

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2020-3802

(P2020-3802A)

(43) 公開日 令和2年1月9日(2020.1.9)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/20 (2006.01)	G09G 3/20 612T	5C006
G09G 3/36 (2006.01)	G09G 3/20 612F	5C058
G09G 3/3233 (2016.01)	G09G 3/20 641C	5C080
G09G 3/34 (2006.01)	G09G 3/20 623D	5C380
H04N 5/66 (2006.01)	G09G 3/20 623C	

審査請求 有 請求項の数 5 O L (全 28 頁) 最終頁に続く

(21) 出願番号	特願2019-141198 (P2019-141198)	(71) 出願人	512187343
(22) 出願日	令和1年7月31日 (2019.7.31)		三星ディスプレイ株式会社
(62) 分割の表示	特願2013-245162 (P2013-245162) の分割		Samsung Display Co., Ltd.
原出願日	平成25年11月27日 (2013.11.27)		大韓民国京畿道龍仁市器興区三星路1
(31) 優先権主張番号	10-2012-0144600	(74) 代理人	110002619
(32) 優先日	平成24年12月12日 (2012.12.12)		特許業務法人PORT
(33) 優先権主張国・地域又は機関	韓国 (KR)	(72) 発明者	洪 碩 夏
			大韓民国 京畿道 龍仁市 器興区 農書洞 三星電子株式会社 器興キャンパス 男子社外寄宿舍 ウォルゲス棟 337号
		(72) 発明者	張 大 光
			大韓民国 仁川市 桂陽区 鶴田洞 漢陽アパートメント 2-107

最終頁に続く

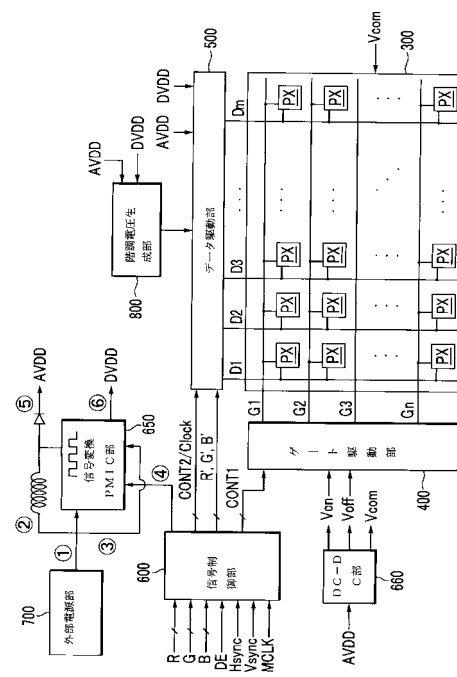
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】消費電力を減らすことができる表示装置、及びその駆動方法を提供する。

【解決手段】表示装置の駆動方法は、データ駆動部と、ゲート駆動部と、データ駆動部及びゲート駆動部を制御する信号制御部と、アナログ電源電圧の印加を受けてデータ駆動部に階調電圧を伝達する階調電圧生成部とを含む表示装置において、信号制御部は、データ駆動部に映像データを印加しないブランク時間の間に、データ駆動部がいずれも同一のデータ電圧を出力し、階調電圧生成部が全て同一の階調電圧を出力できるように制御し、階調電圧生成部は、データ駆動部に映像データを印加する時間に出力する階調電圧を保存する第1記憶部と、ブランク時間に出力される階調電圧を保存する第2記憶部とを含み、階調電圧生成部は、ブランク時間の間に、アナログ電源電圧の印加を受けて第2記憶部に保存される全て同一の階調電圧を出力することを含む。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

ゲート線、データ線、ゲート線及びデータ線に接続されている画素を含む表示パネルと、前記データ線に接続されているデータ駆動部と、前記ゲート線に接続されているゲート駆動部と、前記データ駆動部及び前記ゲート駆動部を制御する信号制御部と、アナログ電源電圧を生成する集積回路と、前記アナログ電源電圧の印加を受けて前記データ駆動部に階調電圧を伝達する階調電圧生成部とを含む表示装置において、

前記信号制御部は、前記データ駆動部に映像データを印加しないブランク時間の間に、前記データ駆動部がいずれも同一のデータ電圧を出力し、前記階調電圧生成部が全ての階調電圧を出力できるように、前記階調電圧生成部を制御し、

前記階調電圧生成部は、前記データ駆動部に映像データを印加する時間に出力される階調電圧を表す第 1 デジタル信号が保存されている第 1 記憶部と、前記ブランク時間に出力される階調電圧を表す第 2 デジタル信号が保存されている第 2 記憶部とを含み、

前記階調電圧生成部は、前記ブランク時間の間に、前記アナログ電源電圧の印加を受けて前記第 2 記憶部に保存された前記第 2 デジタル信号で表される前記全ての階調電圧を出力することを含む表示装置の駆動方法。

【請求項 2】

前記信号制御部が、前記データ駆動部に映像データを印加しないブランク時間の間に、前記データ駆動部にクロック信号を印加しないように前記集積回路を制御することをさらに含む、請求項 1 に記載の表示装置の駆動方法。

【請求項 3】

前記信号制御部は、前記クロック信号を生成する PLL 部、及び前記クロック信号を出力する出力端を含み、

前記データ駆動部は、前記クロック信号を受信する受信端を含み、

前記信号制御部は、イネーブル信号により前記 PLL 部を制御して、前記ブランク時間の間に前記クロック信号が発生しないように前記集積回路を制御することをさらに含む、請求項 2 に記載の表示装置の駆動方法。

【請求項 4】

前記信号制御部は、前記クロック信号を出力する出力端を含み、

前記データ駆動部は、前記クロック信号を受信する受信端を含み、

前記信号制御部は、イネーブル信号によって前記出力端が前記ブランク時間の間に前記クロック信号を出力しないように前記集積回路を制御することをさらに含む、請求項 2 に記載の表示装置の駆動方法。

【請求項 5】

前記出力端と前記受信端は一对の配線によって接続されており、

前記クロック信号を出力しないときは、前記信号制御部が前記一对の配線のうちの一つをフローティングさせる、請求項 4 に記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置及びその駆動方法に関し、より詳しくは、消費電力を削減できる表示装置及びその駆動方法に関する。

【背景技術】

【0002】

今日、幅広く利用されるコンピュータモニタ、テレビ、及び携帯電話機などには表示装置が必要である。表示装置には、陰極線管表示装置、液晶表示装置、及びプラズマ表示装置などがある。

【0003】

このような表示装置は、表示パネル及び信号制御部を含む。信号制御部は、外部から印加された映像信号と共に表示パネルを駆動するための制御信号を生成し、表示パネルに伝

10

20

30

40

50

送して表示装置を駆動する。

【0004】

表示パネルが表示する画像は、静止画と動画とに大きく区分される。表示パネルは、1秒当たり複数のフレームを示し、このとき、各フレームが有する映像データが同一であれば、静止画を表示する。また、各フレームが有する映像データが相異すれば、動画を表示する。

【0005】

このとき、信号制御部は、表示パネルが動画を表示するときだけでなく、静止画を表示するときにも、グラフィック処理装置から同一の映像データを毎フレームごとに受信するため、消費電力量が過多になるという問題点があった。

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

そこで、本発明の目的は、消費電力を減らすことができる表示装置、及びその駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

このような課題を解決するために、本発明の実施形態による表示装置は、ゲート線と、データ線、ゲート線及びデータ線に接続されている画素を含む表示パネルと、データ線に接続されているデータ駆動部と、ゲート線に接続されているゲート駆動部と、データ駆動部及びゲート駆動部を制御する信号制御部とを含み、信号制御部が、データ駆動部に映像データを印加しないブランク時間の間に、データ駆動部を駆動する電源電圧を印加しない。

20

【0008】

電源電圧は、アナログ電源電圧であってもよい。

【0009】

電源電圧を生成するPMIC部をさらに含んでもよい。

【0010】

データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、階調電圧生成部は、通常はアナログ電源電圧の印加を受け、ブランク時間の間はアナログ電源電圧の印加を受けなくてもよい。

30

【0011】

階調電圧生成部は、ブランク時間に出力されるBPC用階調電圧が保存されているバンクを含み、ブランク時間の間にBPC用階調電圧を出力してもよい。

【0012】

BPC用階調電圧は0V電圧であってもよい。

【0013】

表示パネルに共通電圧を印加するDC-DC部をさらに含んでもよい。

【0014】

DC-DC部は通常、アナログ電源電圧の印加を受け、ブランク時間の間はアナログ電源電圧の印加を受けなくてもよい。

40

【0015】

DC-DC部は、通常、ゲートオン電圧、ゲートオフ電圧及び共通電圧のうちの少なくとも一つを生成することができる。

【0016】

DC-DC部は、ゲートオフ電圧及び共通電圧を生成し、ゲートオフ電圧を生成するDC-DCと、共通電圧を生成するDC-DCとが、それぞれ形成されてもよい。

【0017】

データ駆動部、階調電圧生成部及びDC-DC部は、通常はアナログ電源電圧の印加を受け、データ駆動部及び階調電圧生成部は、ブランク時間の間にアナログ電源電圧の印加

50

を受けず、D C - D C 部はブランク時間の間にアナログ電源電圧の印加を受けてもよい。

【0018】

データ駆動部は、出力バッファ部、D C - A C 変換器、ラッチ部、及びシフトレジスタを含み、出力バッファ部及びD C - A C 変換器は通常アナログ電源電圧の印加を受け、ブランク時間の間は、アナログ電源電圧の印加を受けなくてもよい。

【0019】

P M I C 部は、電源電圧だけでなく、ゲートオン電圧または共通電圧をさらに通常生成してもよい。

【0020】

電源電圧は、デジタル電源電圧を含んでもよい。

10

【0021】

デジタル電源電圧は通常、データ駆動部に印加され、ブランク時間の間は、すくなくともアナログ電源電圧またはデジタル電源電圧のいずれかはデータ駆動部に選択的に印加されない。

【0022】

データ駆動部は、出力バッファ部、D C - A C 変換器、ラッチ部、及びシフトレジスタを含み、出力バッファ部及びD C - A C 変換器は通常アナログ電源電圧の印加を受け、ブランク時間の間はアナログ電源電圧の印加を受けなくてもよい。

【0023】

ラッチ部及びシフトレジスタは通常、デジタル電源電圧の印加を受け、ブランク時間の間はデジタル電源電圧の印加を受けなくてもよい。

20

【0024】

データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、階調電圧生成部は通常デジタル電源電圧及びアナログ電源電圧の印加を受け、ブランク時間の間はすくなくともデジタル電源電圧またはアナログ電源電圧のいずれか1つの印加を受けなくてもよい。

【0025】

デジタル電源電圧を先に印加し、それから一定時間が経過した後、アナログ電源電圧を印加し、その後、アナログ電源電圧を先に遮断した後、デジタル電源電圧を遮断してもよい。

【0026】

アナログ電源電圧が印加されない時間は、ブランク時間であってもよい。

30

【0027】

電源電圧は、デジタル電源電圧であってもよい。

【0028】

データ駆動部は、出力バッファ部、D C - A C 変換器、ラッチ部、及びシフトレジスタを含み、ラッチ部及びシフトレジスタは通常デジタル電源電圧の印加を受け、ブランク時間の間はデジタル電源電圧の印加を受けなくてもよい。

【0029】

データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、階調電圧生成部は通常デジタル電源電圧の印加を受け、ブランク時間の間はデジタル電源電圧の印加を受けなくてもよい。

40

【0030】

本発明の実施形態による表示装置は、ゲート線と、データ線、ゲート線及びデータ線に接続されている画素を含む表示パネルと、データ線に接続されているデータ駆動部と、ゲート線に接続されているゲート駆動部と、データ駆動部及びゲート駆動部を制御する信号制御部とを含み、信号制御部がデータ駆動部に新たな映像データを印加しないブランク時間の間に、データ駆動部にクロック信号を印加しない。

【0031】

信号制御部は、クロック信号を生成するP L L 部及びクロック信号を出力する出力端を含み、データ駆動部は、クロック信号を受信する受信端を含み、信号制御部のイネーブル

50

信号により P L L 部を制御して、ブランク時間の間にクロック信号を発生させなくてもよい。

【 0 0 3 2 】

信号制御部はクロック信号を出力する出力端を含み、データ駆動部は通常クロック信号を受信する受信端を含み、信号制御部のイネーブル信号によって、出力端はブランク時間の間にクロック信号を出力しなくてもよい。

【 0 0 3 3 】

出力端と受信端は一对の配線により接続されており、クロック信号を出力しないときは、一对の配線のうちの一つをフローティングさせて出力しなくてもよい。

【 0 0 3 4 】

信号制御部は、データ駆動部に映像データを印加しないブランク時間の間に、データ駆動部を駆動する電源電圧を印加しなくてもよい。

【 0 0 3 5 】

電源電圧は、アナログ電源電圧であってもよい。

【 0 0 3 6 】

データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、階調電圧生成部は通常、アナログ電源電圧の印加を受け、ブランク時間の間はアナログ電源電圧の印加を受けなくてもよい。

【 0 0 3 7 】

表示パネルに共通電圧を印加する D C - D C 部をさらに含んでもよい。

【 0 0 3 8 】

D C - D C 部は通常、アナログ電源電圧の印加を受け、ブランク時間の間はアナログ電源電圧の印加を受けなくてもよい。

【 0 0 3 9 】

D C - D C 部は、ゲートオン電圧、ゲートオフ電圧、及び共通電圧のうちの少なくとも一つを生成してもよい。

【 0 0 4 0 】

データ駆動部、階調電圧生成部、及び D C - D C 部は、通常、アナログ電源電圧の印加を受け、データ駆動部及び階調電圧生成部は、ブランク時間の間にアナログ電源電圧の印加を受けず、D C - D C 部は、ブランク時間の間にアナログ電源電圧の印加を受けてもよい。

【 0 0 4 1 】

データ駆動部は、出力バッファ部、D C - A C 変換器、ラッチ部、及びシフトレジスタを含み、出力バッファ部及び D C - A C 変換器は、通常アナログ電源電圧の印加を受け、ブランク時間の間はアナログ電源電圧の印加を受けなくてもよい。

【 0 0 4 2 】

本発明の実施形態による表示装置の駆動方法は、ゲート線と、データ線、ゲート線及びデータ線に接続されている画素を含む表示パネルと、データ線に接続されているデータ駆動部と、ゲート線に接続されているゲート駆動部と、データ駆動部及びゲート駆動部を制御する信号制御部とを含む表示装置において、信号制御部がデータ駆動部に映像データを印加しないブランク時間の間に、データ駆動部を駆動する電源電圧を印加しないようにすることを含む。

【 0 0 4 3 】

電源電圧は、アナログ電源電圧であってもよい。

【 0 0 4 4 】

表示装置は、電源電圧を生成する P M I C 部をさらに含んでもよい。

【 0 0 4 5 】

表示装置は、データ駆動部に通常階調電圧を伝達する階調電圧生成部をさらに含み、信号制御部は、通常アナログ電源電圧の印加を受ける階調電圧生成部に、ブランク時間の間はアナログ電源電圧を印加しないことをさらに含んでもよい。

10

20

30

40

50

【0046】

階調電圧生成部は、ブランク時間に出力されるBPC用階調電圧が保存されているバンクを含み、階調電圧生成部は、ブランク時間の間にBPC用階調電圧を出力してもよい。

【0047】

BPC用階調電圧は0V電圧であってもよい。

【0048】

表示装置は、表示パネルに共通電圧を印加するDC-DC部をさらに含んでもよい。

【0049】

信号制御部は、通常アナログ電源電圧の印加を受けるDC-DC部に、ブランク時間の間はアナログ電源電圧を印加しないことをさらに含んでもよい。

10

【0050】

DC-DC部が、ゲートオン電圧、ゲートオフ電圧及び共通電圧のうちの少なくとも一つを生成するようにすることをさらに含んでもよい。

【0051】

DC-DC部が、ゲートオフ電圧及び共通電圧を生成するようにすることをさらに含み、ゲートオフ電圧を生成するDC-DC部と、共通電圧を生成するDC-DC部とが、DC-DC部に含まれてもよい。

【0052】

信号制御部は、アナログ電源電圧の印加を受けるデータ駆動部、階調電圧生成部、及びDC-DC部に対して、ブランク時間の間にデータ駆動部及び階調電圧生成部は、アナログ電源電圧の印加を受けないようにし、DC-DC部は、ブランク時間の間にアナログ電源電圧の印加を受けるようにすることをさらに含んでもよい。

20

【0053】

データ駆動部は、出力バッファ部、DC-AC変換器、ラッチ部、及びシフトレジスタを含み、信号制御部は、アナログ電源電圧の印加を受ける出力バッファ部及びDC-AC変換器が、ブランク時間の間はアナログ電源電圧の印加を受けるようにすることをさらに含んでもよい。

【0054】

PMIC部は、電源電圧だけでなく、ゲートオン電圧または共通電圧をさらに生成してもよい。

30

【0055】

電源電圧はデジタル電源電圧を含んでもよい。

【0056】

信号制御部は、デジタル電源電圧の印加を受けるデータ駆動部に、ブランク時間の間はアナログ電源電圧またはデジタル電源電圧の少なくとも1つは印加されないようにすることをさらに含んでもよい。

【0057】

データ駆動部は、出力バッファ部、DC-AC変換器、ラッチ部、及びシフトレジスタを含み、信号制御部は、通常、アナログ電源電圧の印加を受ける出力バッファ部及びDC-AC変換器が、ブランク時間の間はアナログ電源電圧の印加を受けないようにすることをさらに含んでもよい。

40

【0058】

信号制御部は、通常、デジタル電源電圧の印加を受けるラッチ部及びシフトレジスタが、ブランク時間の間はデジタル電源電圧の印加を受けないようにすることをさらに含んでもよい。

【0059】

表示装置は、データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、信号制御部は、アナログ電源電圧及びデジタル電源電圧の印加を受ける階調電圧生成部が、ブランク時間の間はデジタル電源電圧またはアナログ電源電圧の印加を受けないようにすることをさらに含んでもよい。

50

【0060】

デジタル電源電圧を先に印加し、それから一定時間が経過した後、アナログ電源電圧を印加し、その後、アナログ電源電圧を先に遮断した後、デジタル電源電圧を遮断してもよい。

【0061】

アナログ電源電圧が印加されない時間は、ブランク時間であってもよい。

【0062】

電源電圧は、デジタル電源電圧であってもよい。

【0063】

データ駆動部は、出力バッファ部、D C - A C 変換器、ラッチ部、及びシフトレジスタを含み、信号制御部は、通常、デジタル電源電圧の印加を受けるラッチ部及びシフトレジスタを、ブランク時間の間デジタル電源電圧の印加を受けないように制御してもよい。

10

【0064】

表示装置は、データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、信号制御部は、通常、デジタル電源電圧の印加を受ける階調電圧生成部を、ブランク時間の間デジタル電源電圧の印加を受けないように制御してもよい。

【0065】

本発明の実施形態による表示装置の駆動方法は、ゲート線と、データ線、ゲート線及びデータ線に接続されている画素を含む表示パネルと、データ線に接続されているデータ駆動部と、ゲート線に接続されているゲート駆動部と、データ駆動部及びゲート駆動部を制御する信号制御部とを含む表示装置において、信号制御部がデータ駆動部に映像データを印加しないブランク時間の間に、データ駆動部にクロック信号を印加しないようにすることを含む。

20

【0066】

信号制御部は、通常、クロック信号を生成するP L L 部及びクロック信号を出力する出力端を含み、データ駆動部はクロック信号を受信する受信端を含み、信号制御部はイネーブル信号によりP L L 部を制御して、ブランク時間の間にクロック信号が発生しないようにすることをさらに含んでもよい。

【0067】

信号制御部は通常クロック信号を出力する出力端を含み、データ駆動部は通常クロック信号を受信する受信端を含み、信号制御部は、イネーブル信号によって出力端がブランク時間の間にクロック信号を出力しないようにすることをさらに含んでもよい。

30

【0068】

出力端と受信端は、一对の配線により接続されており、クロック信号を出力しないように、信号制御部が一对の配線のうちの一つをフローティングさせてもよい。

【0069】

信号制御部がデータ駆動部に映像データを印加しないブランク時間の間に、データ駆動部を駆動する電源電圧を印加しないようにすることをさらに含んでもよい。

【0070】

電源電圧は、アナログ電源電圧であってもよい。

40

【0071】

表示装置は、通常データ駆動部に階調電圧を伝達する階調電圧生成部をさらに含み、信号制御部は、通常アナログ電源電圧の印加を受ける階調電圧生成部が、ブランク時間の間アナログ電源電圧の印加を受けるようにすることをさらに含んでもよい。

【0072】

表示装置は、表示パネルに共通電圧を印加するD C - D C 部をさらに含んでもよい。

【0073】

信号制御部は、アナログ電源電圧の印加を受けるD C - D C 部が、ブランク時間の間はアナログ電源電圧の印加を受けないようにすることをさらに含んでもよい。

【0074】

50

D C - D C 部が、ゲートオン電圧、ゲートオフ電圧、及び共通電圧のうちの少なくとも一つを生成するようにすることをさらに含んでもよい。

【0075】

信号制御部は、アナログ電源電圧の印加を受けるデータ駆動部、階調電圧生成部、及び D C - D C 部に対して、ブランク時間の間にデータ駆動部及び階調電圧生成部は、アナログ電源電圧の印加を受けないようにし、D C - D C 部は、ブランク時間の間にアナログ電源電圧の印加を受けるようにすることをさらに含んでもよい。

【0076】

データ駆動部は、出力バッファ部、D C - A C 変換器、ラッチ部、及びシフトレジスタを含み、信号制御部は、通常アナログ電源電圧の印加を受ける出力バッファ部及び D C - A C 変換器が、ブランク時間の間はアナログ電源電圧の印加を受けないようにすることをさらに含んでもよい。

【発明の効果】

【0077】

以上のように、ブランク時間を利用して表示装置内で駆動電圧またはクロック信号の少なくとも1つを遮断させて、ブランク時間の間、通常当該駆動部が動作しないようにすることにより、表示装置の消費電力を減らす。

【図面の簡単な説明】

【0078】

【図1】本発明の一実施形態による表示装置のブロック図である。

【図2】本発明の実施形態による表示装置における信号を遮断する構造を示したブロック図である。

【図3】本発明の一実施形態による表示装置の信号の印加のタイミング図である。

【図4】本発明の実施形態による階調電圧生成部のブロック図である。

【図5】本発明の他の実施形態による P M I C 部のブロック図である。

【図6】本発明の他の実施形態による D C - D C 部のブロック図である。

【図7】本発明の実施形態による P M I C 部 650 及び周辺回路を示した図面である。

【図8】図7による信号の印加のタイミング図である。

【図9】本発明の一実施形態による A V D D 電圧の印加方式を示したブロック図である。

【図10】本発明の実施形態によるデータ駆動部のブロック図である。

【図11】図10の実施形態によるデータ駆動部のうちの A V D D 電圧が使用される部分を拡大して示した図面である。

【図12】他の実施形態によるデータ駆動部のうちの D V D D 電圧が使用される部分を拡大して示した図面である。

【図13】本発明の一実施形態によってデジタル電源電圧とアナログ電源電圧を共に制御するタイミング図である。

【図14】本発明の一実施形態によってクロック信号を利用して消費電力を減らす方法についてのブロック図である。

【図15】本発明の一実施形態によってクロック信号を利用して消費電力を減らす方法についてのタイミング図である。

【図16】本発明の一実施形態と比較例の映像表示周波数による消費電流のグラフである。

【発明を実施するための形態】

【0079】

添付した図面を参照して、本発明の実施形態について本発明が属する技術分野における通常の知識を有する者が容易に実施できるように詳細に説明する。しかし、本発明は種々の異なる形態に実現でき、ここで説明する実施形態に限られない。

【0080】

図面において、種々の層及び領域を明確に表現するために、厚さを拡大して示した。明細書の全体にわたって類似する部分に対しては同一の図面符号を付けた。層、膜、領域、

10

20

30

40

50

板などの部分が他の部分の「上」にあるというとき、これは他の部分の「すぐ上」にある場合だけでなく、その中間に他の部分がある場合も含む。一方、ある部分が他の部分の「すぐ上」にあるというときには、中間に他の部分がないことを意味する。

【0081】

以下、本発明の実施形態による表示装置について、図1を参照して詳細に説明する。

【0082】

図1は、本発明の一実施形態による表示装置のブロック図である。

【0083】

本発明の一実施形態による表示装置は、図1に示したように、映像（動画映像を含む）を表示する表示パネル300、表示パネル300のデータ線及びゲート線を駆動させるためにそれぞれに接続されたデータ駆動部500及びゲート駆動部400を含む。また、信号制御部600はデータ駆動部500及びゲート駆動部400を制御するとともに、データ駆動部500によって要求される電圧を生成する階調電圧生成部800を制御する。さらに、信号制御部600はDC-DC部660及びPMIC部650を制御する。PMIC部650は、外部電源部700から電源の印加を受ける。

10

【0084】

以下、各部分について詳細に説明し、先ず表示パネル300について説明する。

【0085】

表示パネル300は、複数のゲート線G1-Gnと、複数のデータ線D1-Dmを含み、複数のゲート線G1-Gnは、横方向に延在しており、複数のデータ線D1-Dmは、複数のゲート線G1-Gnと交差して縦方向に延在している。

20

【0086】

一つのゲート線G1-Gn及び一つのデータ線D1-Dmは一つの画素部と接続されており、それぞれの画素部にはゲート線G1-Gn及びデータ線D1-Dmと接続されている少なくとも1つのスイッチング素子Q（図1に図示しないが、薄膜の半導電性を有するトランジスタやゲート及びソース電極を有するTFTであってもよい。）を含む。スイッチング素子Qは画素部の画素電極に接続されるドレイン電極等の出力端子を含んでもよい。画素電極は、液晶表示装置である場合には、液晶キャパシタの一端を構成し、他端は、いわゆる共通電極に接続される。有機発光表示装置の場合、ドレイン電極は、OLEDの一端へ流す電流の大きさを制御する駆動トランジスタに容量として蓄積された制御信号を提供する。その他の表示装置の種類によってスイッチング素子Qの出力機能の役割は互いに異なってもよい（例えば、プラズマ、LCD、OLED、電気泳動、表面浸潤性電解質等）。

30

【0087】

以下、表示パネル300は液晶表示パネルを中心に説明する。しかし、本発明が適用できる表示パネル300には、液晶表示パネル以外に、有機発光表示パネル、電気泳動表示パネル、プラズマ表示パネルなど多様な表示パネルを用いることができる。

【0088】

表示パネル300は、静止画と動画を表示することができる。連続する複数のフレームが同一の映像データを有していれば、静止画を表示し、互いに異なる映像データを有していれば、動画を表示する。また、信号制御部600は、静止画を表示するとき画像を表示する静止画周波数を、動画を表示するとき画像を表示する動画周波数よりも低い低周波数で表示するようにしてもよい。

40

【0089】

信号制御部600は、外部から入力される映像データR、G、Bを液晶表示パネル300の動作条件に適するように処理し、例えば、垂直同期信号Vsync、水平同期信号Hsync、メインクロック信号MCLK、及びデータイネーブル信号DEなどの外部から入力される入力制御信号に応答する。そして、信号制御部600は、映像データR'、G'、B'、ゲート制御信号CONT1、データ制御信号CONT2、及びクロックclock信号を生成及び出力する。

50

【0090】

ゲート制御信号CONT1は、ゲートオンパルス（ゲート信号GSのハイ区間）の出力開始を指示する垂直同期開始信号STV（以下、「STV信号」という）、及びゲートオンパルスの出力時期を制御するゲートクロック信号CPV（以下、「CPV信号」という）などを含む。

【0091】

データ制御信号CONT2は、映像データDATの入力開始を指示する水平同期開始信号STH、及びデータ線D1-Dmに当該データ電圧の印加を指示するロード信号TPなどを含む。

【0092】

表示パネル300の複数のゲート線G1-Gnはゲート駆動部400と接続されており、ゲート駆動部400は、信号制御部600から印加されたゲート制御信号CONT1によって、ゲートオン電圧Vonとゲートオフ電圧Voffを交互にゲート線G1-Gnに印加する。図1の実施形態においては、ゲート駆動部400から出力するゲートオン電圧Vonとゲートオフ電圧Voffには、DC-DC部660から入力を受けた電圧を使用する。しかし、実施形態によっては、ゲートオン電圧Vonとゲートオフ電圧Voffのうちの一つの電圧だけがDC-DC部660から印加を受け、それ以外の一つの電圧は、例えば、DC-DC部660から印加された1つの電圧に応じて、ゲート駆動部400で生成されてもよい。

【0093】

表示パネル300の複数のデータ線D1-Dmはデータ駆動部500と接続されており、データ駆動部500は、信号制御部600からデータ制御信号CONT2及び映像データDATが伝達される。データ駆動部500は、階調電圧生成部800で生成された階調電圧を利用して、映像データDATをアナログデータ電圧に変換し、これをデータ線D1-Dmに伝達する。

【0094】

図1の実施形態において、データ駆動部500、階調電圧生成部800及びDC-DC部660によって生成される出力電圧は、電源部からの電源電圧として出力されるAVDD電圧またはDVDD電圧の少なくとも1つに対応する。ここで、AVDD電圧は、図1のデータ駆動部500や階調電圧生成部800のようなアナログ信号出力部によって用いられるアナログ電源電圧であってもよく、DVDD電圧は図1のデータ駆動部500や階調電圧生成部800のようなデジタル信号処理部によって用いられるデジタル電源電圧であってもよい。

【0095】

このようなAVDDまたはDVDD電源電圧は、外部電源部700によって提供された1つ以上の外部電源信号を利用して生成される。DVDD電源電圧は、例えば図1のPMIC部650で変換される。

【0096】

PMIC部650は集積回路で構成されてもよく、複数の入力端子と複数の出力端子を有してもよい。PMIC部650では、外部電源部700から外部電源電圧の印加（1ルート参照）を受け、信号制御部600から制御信号の印加（4ルート参照）を受ける。外部インダクタ（L）と連動して動作するための交換型インダクタ回路を含むPMIC部650では、信号制御部600の制御信号に従って外部電源電圧に基づいてDVDD電圧及びAVDD電圧を生成する。

【0097】

PMIC部650において、AVDD電圧は、外部電源電圧に基づいて生成されたスイッチング信号と、インダクタ及びダイオードを経て生成される（図1の2及び5ルート参照）。また、PMIC部650において、DVDD電圧は交換型インダクタを用いて外部電源電圧を変形し、所望のレベルにて生成される（図1の3及び6ルート参照）。より具体的には、電氣的な流れの第一パルスは、外部インダクタ（L）を通じて流れるようにな

10

20

30

40

50

り、それから遮断される。これに対応して、外部インダクタ（L）はダイオードを通じて出力される電氣的な流れの第二パルスを提供する。外部キャパシタ（図示せず）は、対応する電圧レベルをA V D Dのレベルとして提供するために電氣的な流れの第二パルスを集積する。A V D Dのレベルは外部電源電圧よりも大きく、D V D Dのレベルよりも大きい。

【0098】

図1において、1ルートは、外部電源電圧（例えば5ボルト）がA V D D及びD V D D電圧を共に生成するように、外部電源部700からP M I C部650に入力される場合を示しており、2ルートは、外部電源がA V D D電圧を生成するように、外部電源部700から外部インダクタ（L）やP M I C部650に入力される場合を示しており、3ルートは、外部電源電圧がD V D D電圧を生成するように、外部電源部700からP M I C部650に入力される場合を示している。

10

【0099】

実施形態によっては、1、2、及び3ルートが全て含まれていてもよく、また、全てのルートが含まれていなくてもよい。

【0100】

図1において、4ルートは、信号制御部600から制御信号がP M I C部650に伝達される経路を示しており、5ルートは、P M I C部650からA V D D電圧が出力される経路を示しており、6ルートは、P M I C部650からD V D D電圧が出力される経路を示している。

20

【0101】

P M I C部650から出力されたA V D D電圧は、データ駆動部500、階調電圧生成部800、及びD C - D C部660に印加され、D V D D電圧は、データ駆動部500及び階調電圧生成部800に印加されて、各部分が動作するようにする。

【0102】

D C - D C部660は、P M I C部650からA V D D電圧の印加を受けて、D C - D C変換を通じてゲートオン電圧V o n、ゲートオフ電圧V o f f、及び共通電圧V c o mを生成するために印加されたA V D D電圧のレベルを使用する。ゲートオン電圧V o nとゲートオフ電圧V o f fはゲート駆動部400に伝達され、共通電圧V c o mは表示パネル300の共通電極に伝達される。

30

【0103】

本発明の実施形態による表示装置においては、消費電力を減少させるために、信号制御部600からパネル駆動部へと画像を表示するデータが伝達されないブランク時間（b l a n k t i m e）に、表示装置のうちの少なくとも一つの駆動部、ゲート駆動部400やデータ駆動部500が動作しないようにする。パネル駆動部（例えばゲート駆動部400やデータ駆動部500）の少なくとも1つは、さらに消費電力を減少させるために、ブランク時間の間通常の最大電力で動作させない。ブランク時間の間に動作しない駆動部としては、P M I C部650、階調電圧生成部800、データ駆動部500、D C - D C部660、及びゲート駆動部400があってもよい。

【0104】

図1の実施形態においては、1乃至6ルートのうちの少なくとも一つをブランク時間の間に遮断して、A V D D電圧またはD V D D電圧が生成されないようにして、A V D D電圧またはD V D D電圧で動作するそれぞれのパネル駆動部が動作しないようにし、消費電力を減少させることができる。

40

【0105】

つまり、1ルートをブランク時間の間に遮断して、外部電源部700からP M I C部650に外部電源が印加されないようにして、P M I C部650が動作しないようにする（例えば、ブランク時間の間、インダクタ（L）のレベルを上げない）。その結果、通常、P M I C部650で生成されるA V D D電圧及びD V D D電圧がいずれも生成されず、A V D D電圧及びD V D D電圧がいずれも事前設定された閾値を下回る。

50

【0106】

一方、2ルートをブランク時間の間に遮断すると、外部電源部700の外部電源がインダクタ(L)に印加されないので、通常PMIC部650で生成されるAVDD電圧の通常値は生成されず、AVDD電圧は事前設定された最小の閾値を下回る。AVDD電圧の通常値の印加を受けるときに動作する1つ以上の駆動回路は、事前設定された最小の閾値を下回るときに電力を下げるように構成される。その結果、AVDD電圧の印加を受ける1つ以上の駆動部(データ駆動部500、階調電圧生成部800、及びDC-DC部660)は、自動的に各自電力を下げる(例えば、仮に、電力を切断する等して)、ブランク時間に動作させない。

【0107】

一方、PMIC部650のDVDD生成部に電源が印加される3ルートをブランク時間の間に遮断すると、通常DVDD値を生成するために外部電源部700からPMIC部650に通常印加される外部電源が、PMIC部650でDVDD電圧が生成されるルートには印加されないようにして、DVDD電圧が生成されないようにする。それゆえ、通常生成されるDVDD電圧の値ではなく、DVDD電圧の準閾値がPMIC部650によって生成される。DVDD電圧の通常値の印加を受けるときに最大電力で作動する1つ以上の駆動回路は、DVDD電圧が事前設定された最小閾値を下回るときに各自電力を下げるように構成される。

その結果、DVDD電圧の印加を受ける駆動部(データ駆動部500及び階調電圧生成部800)は、ブランク時間にそれぞれの最大電力消費値で動作しない。

【0108】

一方、4ルートをブランク時間の間に遮断すると、動画が表示されるときに通常AVDD電圧や通常DVDD電圧の生成を制御するために、信号制御部600からPMIC部650に通常伝達される制御信号がデアサートされる。その結果、信号制御部600から4ルートを通じてPMIC部650に制御信号を印加せず、これに対応してPMIC部650では、AVDD電圧またはDVDD電圧もしくはその両方が生成されない。また、実施形態によっては、AVDD電圧またはDVDD電圧もしくはその両方を生成しない制御信号が、ブランク時間の間に印加される。したがって、通常AVDD電圧の値及び通常DVDD電圧の値のうちの少なくとも一つの電圧が生成されない(通常とは動画が表示されるときに通常使用される値をいう)。

【0109】

一方、5ルート及び6ルートをブランク時間の間に遮断すると、PMIC部650で通常AVDD電圧及び通常DVDD電圧が出力されない。つまり、PMIC部650において、5ルートにAVDD電圧が出力されないように出力端を遮断するか、または6ルートにDVDD電圧が出力されないように出力端を遮断する。

【0110】

以上のように、通常電源電圧が印加されず、通常AVDD電圧及び通常DVDD電圧が生成されないか、伝達されないようにして、データ駆動部500、階調電圧生成部800、及びDC-DC部660のそれぞれに準閾値の電圧が印加される。ゲート駆動部400も、DC-DC部660から通常ゲートオン電圧Vonと通常ゲートオフ電圧Voffが印加されないことによって動作させなくてもよい。その結果、ブランク時間の間に表示装置を通常電力消費値で動作させないことで、消費電力が減少する。

【0111】

ここで、ブランク時間は、水平ブランク時間(1H)と垂直ブランク時間(1V)のうちの一つまたは両方であってもよい。本実施形態では垂直ブランク時間(1V 例えば、ブランク時間はSTVパルスの間の時間よりもかすかに小さい時間である。)を利用した(図3参照)。

【0112】

図1では1～6ルートを中心に説明したが、実施形態はこれに限られない。

【0113】

また、図 1 の 1 ～ 6 ルートのうちの少なくとも一つを遮断するためには、当該ルートにスイッチ（例えば、パストランジスタ（`a p a s s t r a n s i s t e r`））を使用するか、または M U X を使用して形成されてもよい。

【 0 1 1 4 】

これについては、図 2 を参照して説明する。

【 0 1 1 5 】

図 2 は、本発明の実施形態による表示装置における信号を遮断する構造を示したブロック図である。

【 0 1 1 6 】

図 2 の実施形態においては、図 1 とは異なって外部電源部 7 0 0 及び P M I C 部 6 5 0 の間に M U X またはスイッチ 6 1 0 を設けた一実施形態であり、信号制御部 6 0 0 が M U X またはスイッチ 6 1 0 の転換の状態を制御する P M I C 部 6 5 0 が用いるために、M U X またはスイッチ 6 1 0 は、接地電圧 G N D か外部電源部 7 0 0 から供給される電源インーブル信号のいずれか 1 つを選択的に供給する。つまり、M U X またはスイッチ 6 1 0 は、信号制御部 6 0 0 の制御信号によって、外部電源部 7 0 0 から外部電源を P M I C 部 6 5 0 に伝達するか、または遮断させる。M U X またはスイッチ 6 1 0 は、接地電圧 G N D の印加を受け、外部電源と接地電圧 G N D のうちの一つを P M I C 部 6 5 0 に伝達してもよい。

【 0 1 1 7 】

図 2 の実施形態は、図 1 の 1 ルートに M U X またはスイッチを設けた場合であり、図 1 の 2 ～ 6 ルートでも M U X またはスイッチを設けて、遮断動作を行ってもよい。

【 0 1 1 8 】

M U X またはスイッチにおいて、M U X は回路の動作によって遮断するもので、デジタル方式により遮断するものであるが、スイッチはアナログ方式により配線の接続をオープンさせることにより遮断する。

【 0 1 1 9 】

以下、図 3 を参照して、図 1 の実施形態による表示装置における波形図を説明する。

【 0 1 2 0 】

図 3 は、本発明の一実施形態による表示装置の信号印加タイミング図である。

【 0 1 2 1 】

図 3 に示したように、垂直同期開始信号 S T V が印加された後、次の垂直同期開始信号 S T V が印加される前までの時間（1 0 0 m s）のうち、画像を表示するデータ D a t a が印加される時間を除いた時間（8 4 m s）はブランク時間である。このようなブランク時間（例えば、8 4 m s）の間に駆動部のうちの少なくとも一つが動作しないようにし、図 3 には電源電圧のうちの通常の動作レベルの A V D D 電圧が印加されない実施形態を示している。

【 0 1 2 2 】

つまり、図 3 においては、新たな映像情報のためのデータ D a t a が印加される時には A V D D 電圧も生成されて、各駆動部（ゲート駆動部 4 0 0 やデータ駆動部 5 0 0）には A V D D 電圧が印加されて動作する。しかし、ブランク時間に通常値の A V D D 電圧が生成されないとき、または、代わりに準閾値が A V D D 提供線（A V D D - p r o v i d i n g l i n e s）に存在するとき、対応する駆動部（ゲート駆動部 4 0 0 やデータ駆動部 5 0 0）は動作しないか、省電力モードかを、即座に転換する結果、A V D D 電圧の印加を受ける駆動部は通常動作しないようになる。その結果、消費電力を減らすことができる。

【 0 1 2 3 】

以下、図 4 を参照して、本発明の実施形態による階調電圧生成部 8 0 0 の構造及び動作について説明する。

【 0 1 2 4 】

図 4 は、本発明の実施形態による階調電圧生成部のブロック図である。

【0125】

図4に示している階調電圧生成部800は、図1で説明した通り、PMIC部650からAVDD及びDVDD電圧の印加を受けることで通常動作をし、階調電圧GMA1～14を提供する。他方、これら電圧のうちの少なくとも一つの電圧をブランク時間の間に遮断して消費電力を減らす場合が、1ルート及び2ルートに示されている。つまり、1ルート及び2ルートにはそれぞれPMIC部650からAVDD電圧及びDVDD電圧が印加され、これら電圧のうちの少なくとも一つがブランク期間の間に遮断される場合、階調電圧生成部800が動作せず、階調電圧GMA1～14が提供されない。

【0126】

図4においては、以上のようにAVDD電圧またはDVDD電圧を遮断する場合以外にも、他の方式により階調電圧生成部800が動作しないようにする実施形態も示している。

10

【0127】

図4の3においては、階調電圧生成部800が内部に出力する階調電圧GMA1～14が保存されている内部レジスタである第1のレジスタバンク(Bank A)を有するが、図4の実施形態においては、バンクAのみならず追加的にバンクB(Bank B)をさらに有している。バンクBは、BPC(black time power control)用で、ブランク時間に出力されるBPC用階調電圧が保存されており、各BPC用階調電圧は0V値を有する。その結果、ブランク時間に階調電圧生成部800が0Vの階調電圧GMA1～14を出力するので、データ駆動部500で生成されるデータ電圧も0Vを有し、消費電力が減少する。

20

【0128】

本発明の実施形態で適用される階調電圧生成部800は、図4の1'、2'及び3のうちの少なくとも一つだけが適用されてもよい。

【0129】

図5においては、本発明の他の実施形態によるPMIC部650を示している。

【0130】

図5は、本発明の他の実施形態によるPMIC部のブロック図である。

【0131】

図5は、図1の実施形態とは異なり、DC-DC部660で生成されたゲートオフ電圧Voff及び共通電圧Vcomを、PMIC部650で生成する実施形態である。

30

【0132】

図5においては、図1の実施形態でPMIC部650の集積回路の構成を追加的に構成して、ゲートオフ電圧Voff及び共通電圧Vcomも生成するようにする実施形態である。

【0133】

図5の1ルートを参照すれば、PMIC部650ではブランク時間の間にゲートオフ電圧Voffまたは共通電圧Vcomの出力端を遮断して、通常のゲートオフ電圧Voff及び通常の共通電圧Vcomが出力されないようにして、消費電力を減らすことができる。

40

【0134】

図5において、Gamma Ref. は階調電圧生成部800を示し、D-ICはデータ駆動部500を示す。

【0135】

図1において、通常のゲートオフ電圧Voff及び通常の共通電圧Vcomが生成されるためには、外部電源部700、PMIC部650、及びDC-DC部660を通らなければならないが、これを単純化して(回路の部品数を減らして)ゲートオフ電圧Voff及び共通電圧VcomがPMIC部650で生成されるようにする実施形態が図5に示されている。

【0136】

50

図 6 は、本発明の他の実施形態による DC-DC 部のブロック図である。

【0137】

図 6 の実施形態による DC-DC 部 660 は、二つの DC-DC 変換部 661、662 を含み、それぞれの DC-DC 変換部 661、662 は、外部電源部 700 から直接外部電源の印加を受ける。このとき、印加された外部電源をそれぞれ DC-DC 変換して、通常の共通電圧 V_{com} 及び通常のゲートオフ電圧 V_{off} を生成する。

【0138】

図 6 の実施形態においては示されていないが、MUX やアナログ変換部が選択的に提供されることで、ブランク時間の間に外部電源部 700 の外部電源が各 DC-DC 変換部 661、662 に印加されないようにすると外部に共通電圧 V_{com} 及びゲートオフ電圧 V_{off} を出力しないので消費電力が減る。

10

【0139】

以下、図 7 及び図 8 を参照して、PMIC 部 650 及び周辺回路と、それによる信号印加タイミングについて説明する。

【0140】

図 7 は、本発明の実施形態による PMIC 部 650 及び周辺回路を示した図面であり、図 8 は、図 7 による信号印加タイミング図である。

【0141】

図 7 においては、PMIC 部 650 で集積回路 IC として使用されたチップは RT9910A であり、それによる周辺回路が示されている。

20

【0142】

RT9910A の集積回路チップは、イネーブル入力端（図 7 の BPC-EN ピン 19 参照）、及びゲートオン電圧 V_{on} を出力する端子（図 7 の VONS_22V 参照）を有する。また、RT9910A の集積回路チップと周辺回路を通して AVDD 電圧も出力（図 7 の AVDD_7.8V 参照）される。

【0143】

信号制御部 600 では集積回路チップのイネーブル入力端（図 7 の 19）に印加される信号を伝送し、当該信号を利用して、例えば BPC 信号を利用して、PMIC 部 650 がブランク時間には通常の動作をしないように制御する。その結果、図 7 の実施形態による PMIC 部 650 を使用する実施形態においては、ブランク時間には通常の AVDD 電圧と通常のゲートオン電圧 V_{on} が出力されないので、消費電力を減らすことができる。

30

【0144】

図 7 の実施形態による PMIC 部 650 を含む表示装置においては、図 8 に示した通りの信号タイミングを有する。

【0145】

図 8 において、BPC-EN 信号は、信号制御部 600 から PMIC 部 650 のイネーブル入力端に印加される信号である。BPC-EN 信号は、ブランク時間の区間（Blanking time Period）BP が true のとき、高い値を有し、PMIC 部 650 が通常動作しないようにする。PMIC 部 650 が通常動作をするとき（/EN = 0）、BPC-EN 信号は低い値を有する。すなわち、BPC-EN 信号が低い値のとき、PMIC 部 650 は通常動作する。実施形態によっては、図 8 の BPC-EN 信号において、高い値と低い値が互いに反転するような場合を EN-BPC 信号という。つまり、BPC-EN 信号の高い値/低い値とは無関係に、BPC-EN 信号はブランク時間に PMIC 部 650 が動作しないようにする。

40

【0146】

図 8 に示したように、垂直同期開始信号 STV が印加された後、次の垂直同期開始信号 STV が印加される前までの時間（100ms）のうち、画像を表示するデータ Data が印加される時間を除いた時間（84ms）はブランク時間である。このようなブランク時間の間に、信号制御部 600 では PMIC 部 650 のイネーブル入力端に印加される BPC-EN 信号を高い値を有するように印加する。その結果、PMIC 部 650 では通常

50

のA V D D電圧と通常のゲートオン電圧V o nが生成されない。図8ではA V D D電圧だけを示しており、通常のゲートオン電圧V o n（図示していない波形）はブランク時間の間には生成されない。

【0147】

このようにブランク時間の間に通常のA V D D電圧と通常のゲートオン電圧V o nが生成されないので、A V D D電圧またはゲートオン電圧V o nを使用する駆動部はブランク時間に通常の動作をせず、代わりに省電力モードとすることもできる。

【0148】

つまり、図1の実施形態を参照すれば、A V D D電圧を使用する駆動部は、階調電圧生成部800、データ駆動部500、及びD C - D C部660があって、これら駆動部はブランク時間の間に省電力消費モードで動作させてもよい。また、ゲートオン電圧V o nを使用するゲート駆動部400も、ブランク時間の間に通常の動作をしないようにさせてもよい。

【0149】

図1の実施形態とは異なり、図7の実施形態ではゲートオン電圧V o nがP M I C部650で生成されている。P M I C部650が作動されないとき、図7の通常のゲートオン電圧V o nは生成されない。

【0150】

以下、図9を参照して、他の方法によりブランク時間の間に駆動部が動作しないようにする方法について説明する。

【0151】

図9は、本発明の一実施形態によるA V D D電圧の印加方式を示したブロック図である。ここで、D - I Cはデータ駆動部500に送られる通常動作イネーブル信号を示し、G a m m aは階調電圧生成部800に送られる通常動作イネーブル信号を示し、V c o m e nはD C - D C部660に送られる通常動作イネーブル信号を示し、そこではD C - D C部660で通常生成されるV c o m基準電圧信号（V c o m r e f e r e n c e v o l t a g e s i g n a l）が表示パネルの共通電極に印加される。

【0152】

図9の実施形態においては、データ駆動部500、階調電圧生成部800、及びD C - D C部660のそれぞれへの印加のためにP M I C部650で生成されたA V D D電圧用に、3個の独立して作動するアナログスイッチ（a n a l o g s w i t c h）が用いられる。図9に示したように、マルチアナログスイッチは、A V D D電圧の電源と、A V D D電圧を保持するか提供するかの制御を可能とするもので、3個の制御駆動部の間に配置される。すなわち、スイッチをオン／オフさせることにより、A V D D電圧が、データ駆動部500、階調電圧生成部800、及びD C - D C部660のうちの少なくとも一つに、ブランク時間の間に印加されないようにする。このとき、スイッチの動作は、信号制御部600（T - c o n）から印加される3ビットイネーブル信号E n a b l e（2：0）によって調節される。

【0153】

図9ではアナログスイッチが示されているが、M u xのようなデジタルスイッチを用いてもよい。また、信号制御部600から印加されるイネーブル信号E n a b l eは、3個のスイッチを個別制御できる信号として印加されてもよい。

【0154】

図9の実施形態によってブランク時間にA V D D電圧をオン／オフさせる場合の数は、次の表1の通りである。

10

20

30

40

【表 1】

	データ駆動部	階調電圧生成部	DC-DC部
1	非印加	非印加	非印加
2	非印加	印加	非印加
3	印加	非印加	非印加
4	印加	印加	非印加
5	非印加	非印加	印加
6	非印加	印加	印加
7	印加	非印加	印加

10

【0155】

ここで、非印加は、A V D D 電圧が遮断される場合であり、印加は、A V D D 電圧が当該駆動部に印加される場合である。

【0156】

上記の表 1 に表したように、全部で 7 通りの場合が存在し、ブランク時間の間に少なくとも一つの駆動部に A V D D 電圧が印加されない。

20

【0157】

これら 7 通りの場合のうち、消費電力の減少率が良くて、表示装置が画像を表示するとき問題が発生しない場合は、5 番の場合である。つまり、データ駆動部 500 と階調電圧生成部 800 には、ブランク時間の間に A V D D 電圧を印加せず動作しないようにすることで消費電力を減らす。DC-DC 部 660 には A V D D 電圧を印加して、共通電圧 V c o m は生成されるようにする。共通電圧 V c o m が印加されない場合には、表示パネルで基準電圧が変化して表示品質が低下するおそれがあるため、ブランク時間にも共通電圧 V c o m は一定に維持する。

【0158】

しかし、前記 7 通りの場合のうち、消費電力及び表示品質に問題がない場合には、それ以外の場合も全て適用可能である。

30

【0159】

図 9 では A V D D 電圧の印加だけを示しているが、実施形態によっては D V D D 電圧、ゲートオン電圧 V o n、ゲートオフ電圧 V o f f、及び共通電圧 V c o m に対しても適用可能である。

【0160】

以下、図 10 乃至図 12 を参照して、A V D D 電圧と共に D V D D 電圧が印加されるデータ駆動部 500 について説明する。

【0161】

図 10 は、本発明の実施形態によるデータ駆動部のブロック図であり、図 11 は、図 10 の実施形態によるデータ駆動部のうちの A V D D 電圧が使用される部分を拡大して示した図面であり、図 12 は、他の実施形態によるデータ駆動部のうちの D V D D 電圧が使用される部分を拡大して示した図面である。

40

【0162】

まず、図 10 を参照して説明する。

【0163】

本発明の実施形態によるデータ駆動部 500 は、A V D D 電圧と D V D D 電圧の両方について電源電圧として印加を受け、アナログ電源電圧の A V D D 電圧によって駆動する出力バッファ部 (output buffer) 501 を有する。さらに、データ駆動部 500 は、DC-AC 変換器 (R-DAC) 502 とデジタル電源電圧の D V D D 電圧によ

50

って駆動するラッチ部 (data latches) 511を有する。さらに、データ駆動部 500は、シフトレジスタ (342 bit shift register) 512、及びRVDS受信部 (eRVDS RX core) 513を含む。

【0164】

RVDS受信部 513は、信号制御部 600から印加されるデータR'、G'、B'をRVDS (reduced voltage differential signaling) 方式により受信する部分であって、RVDS方式によるデータR'、G'、B'をデコーディングする。

【0165】

シフトレジスタ 512は、信号制御部 600から制御信号の印加を受けて、デコーディングされた映像データを一つずつシフトさせ整列させて出力する。

【0166】

ラッチ部 511は、シフトレジスタ 512から印加された整列された映像データを保存し、信号制御部 600から印加された制御信号によって出力する。

【0167】

DC-AC変換器 502は、ラッチ部 511から印加されたデジタル映像データをアナログデータ電圧に変換し、このとき、階調電圧生成部 800から提供された階調電圧GMA1~14を利用してデータ電圧に変換する。

【0168】

出力バッファ部 501は、データ電圧を一定時間保存していて、信号制御部 600から印加された制御信号によって表示パネル 300のY1026データ線を通してY1に出力する。

【0169】

図10及び図11を参照すれば、この中で出力バッファ部 501とDC-AC変換器 502は、AVDD電圧を電源電圧として使用するので、AVDD電圧が印加されなければ、動作しない。つまり、ブラंक時間の間にAVDD電圧がデータ駆動部 500に印加されなければ、出力バッファ部 501とDC-AC変換器 502が動作しないため、データ駆動部 500では表示パネル 300のデータ線にデータ電圧を出力せず、その結果、消費電力が減少する。

【0170】

また、ラッチ部 511、シフトレジスタ 512、及びRVDS受信部 513は、DVDD電圧を電源電圧として使用するので、DVDD電圧が印加されなければ、動作しない。つまり、ブラंक時間にDVDD電圧がデータ駆動部 500に印加されなければ、ラッチ部 511、シフトレジスタ 512、及びRVDS受信部 513が動作しないため、データ駆動部 500では表示パネル 300のデータ線にデータ電圧を出力せず、その結果、消費電力が減少する。

【0171】

AVDD電圧及びDVDD電圧がデータ駆動部 500に印加されなければ、出力バッファ部 501、DC-AC変換器 502、ラッチ部 511、シフトレジスタ 512、及びRVDS受信部 513が全て動作せず徐々に電力が減少するので、消費電力が減少する。

【0172】

一方、図12には、本発明の他の実施形態によるデータ駆動部 500のブロック図が示されており、図12のデータ駆動部は、DVDD電圧を使用する部分のブロック構造が図10と異なる。

【0173】

図12の実施形態においては、RVDS受信部 513の代わりに直並列変換器 (serial to parallel converter) 514、及び論理制御器 (logic controller) 515を含む。

【0174】

論理制御器 515及び直並列変換器 514は、信号制御部 600から制御信号に基づい

10

20

30

40

50

て印加されるデータR'、G'、B'を受信して、直列に配列されたデータR'、G'、B'を並列に再整列させる。再整列されたデータR'、G'、B'はシフトレジスタ512に印加され、これの一つずつシフトさせてデータ駆動部500で処理可能な整列状態を作って出力する。

【0175】

図12の実施形態においては、DVDD電圧が二種類である実施形態が示されている。つまり、DVDD1電圧とDVDD1A電圧がデジタル電源電圧（DVDD電圧）に印加されている。DVDD1電圧は、ラッチ部511及びシフトレジスタ512でデジタル電源電圧として使用され、DVDD1A電圧は、直並列変換器514でデジタル電源電圧として使用される。

10

【0176】

図12の実施形態ではデジタル電源電圧が二種類に生成される必要があり、二種類のデジタル電源電圧のうちの少なくとも一つをブランク時間の間に遮断する実施形態も可能である。

【0177】

図12の実施形態によってブランク時間の間にDVDD1電圧とDVDD1A電圧をオン／オフさせる場合の数は、次の表2の通りである。

【表2】

	DVDD1	DVDD1A
1	非印加	非印加
2	非印加	印加
3	印加	非印加

20

【0178】

ここで、非印加は、当該デジタル電源電圧が遮断される場合であり、印加は、当該デジタル電源電圧が印加される場合である。

【0179】

上記の表2に表したように、全部で3通りの場合の数が存在し、ブランク時間に少なくとも一つの部分にデジタル電源電圧が印加されない。

30

【0180】

これら3通りの場合は、類似するレベルの消費電力が減少し、実施形態によって3通りの場合のうちのいずれを使用しても消費電力及び表示品質面で差が少ない。

【0181】

しかし、実施形態によっては、二つのデジタル電源電圧は互いに同一のレベルの信号であってよい。

【0182】

以上のようにデジタル電源電圧（DVDD電圧）を制御することができ、このとき、アナログ電源電圧（AVDD電圧）は印加されるが、デジタル電源電圧（DVDD電圧）だけを遮断する場合には、データ駆動部500で出力バッファ部501を動作させて所望しない電圧を出力することで、所望しない画像が表示されるかもしれない。このような問題は、実施形態によって発生したり発生しなかったりするが、発生する実施形態においては、図13に示したように制御して表示品質の低下を防止してもよい。

40

【0183】

図13は、本発明の一実施形態によってデジタル電源電圧とアナログ電源電圧を共に制御するタイミング図である。

【0184】

図13には、AVDD電圧とDVDD電圧（DVDD1と図示）の電圧印加タイミング

50

が示されている。

【0185】

D V D D 電圧と A V D D 電圧の遮断を共に行うようにする場合には、図 1 3 のタイミング図に示したように、D V D D 電圧を先に印加し、それから一定時間が経過した後、A V D D 電圧を印加し、ブランク時間が始まると、その後、A V D D 電圧を先に遮断した後、D V D D 電圧を遮断する。A V D D 電圧が印加されない時間は、図 3 及び図 8 を参照すれば、ブランク時間であるので、A V D D 電圧はブランク時間に合わせて遮断されるが、D V D D 電圧はブランク時間のうちにも一部が印加される時間が存在する場合がある。つまり、ブランク時間が開始した後、一定時間が経過してから D V D D 電圧が遮断され、ブランク時間が終了する一定時間の前に D V D D 電圧が印加される。ここで、ブランク時間が開始してからの一定時間と、ブランク時間が終了する前の一定時間は、互いに異なる時間を有してもよい。

10

【0186】

図 1 3 に示したように、A V D D 電圧が印加される前に D V D D 電圧を印加することによって、データ駆動部 5 0 0 の入力側に位置して、先に動作しなければならない部分（ラッチ部 5 1 1、シフトレジスタ 5 1 2、R V D S 受信部 5 1 3、及び直並列変換器 5 1 4）が先に動作するようにし、その後、データ駆動部 5 0 0 の出力側に位置して、後に動作してもよい部分（出力バッファ部 5 0 1 と D C - A C 変換器 5 0 2）が後に動作するようにする。

【0187】

20

また、A V D D 電圧が遮断される前に D V D D 電圧を遮断することによって、データ駆動部 5 0 0 の入力側に位置して、先に動作しなければならない部分（ラッチ部 5 1 1、シフトレジスタ 5 1 2、R V D S 受信部 5 1 3、及び直並列変換器 5 1 4）が先に遮断するようにし、その後、データ駆動部 5 0 0 の出力側に位置して、後に動作してもよい部分（出力バッファ部 5 0 1 と D C - A C 変換器 5 0 2）が後に遮断されるようにする。このとき、データ駆動部 5 0 0 の出力側では入力側から提供されたデータのみを出力するように設定して、提供されない画像が表示されないようにしてもよい。

【0188】

図 1 3 に示したように、D V D D 電圧のうちの一部の時間は、論理入力（l o g i c i n p u t）信号が印加される時間を含んでもよい。

30

【0189】

また、図 1 3 において、G M A カーブは階調電圧のランプアップや流出を示し、A V D D 電圧が印加された後、階調電圧生成部 8 0 0 が動作して生成され、A V D D 電圧が除去される前に予め出力されないように設定してもよい。

【0190】

以下、図 1 4 及び図 1 5 を参照して、クロック信号を利用してデータ駆動部 5 0 0 の動作を遮断する実施形態について説明する。

【0191】

図 1 4 及び図 1 5 は、本発明の一実施形態によってクロック信号を利用して消費電力を減らす方法に対するブロック図及びタイミング図である。

40

【0192】

図 1 4 及び図 1 5 においては、信号制御部 6 0 0（T - c o n）とデータ駆動部 5 0 0 の間に印加されるクロック（c l o c k）信号（I / F C L K）を遮断して、データ駆動部 5 0 0 がブランク時間の間に動作しないようにする実施形態が示されている。

【0193】

まず、図 1 4 においては、信号制御部 6 0 0 の内部でクロック（c l o c k）信号を生成する P L L 部 6 0 2 をオン／オフさせてクロック信号が生成されないようにする実施形態が示されている。

【0194】

図 1 4 において、信号制御部 6 0 0 はクロック信号を生成する P L L 部 6 0 2 と、イン

50

ターフェース（I/F）の出力端（Tx）601を含む。クロック信号を生成するPLL部602は、信号制御部600の内部に提供されるBPCイネーブル信号（BPC EN）によってクロック信号を生成するか、または遮断する。図14のタイミング図を参照すれば、BPCイネーブル信号（BPC EN）が高い値を有するとき、PLL部602はクロック信号を生成しない。BPCイネーブル信号（BPC EN）が高い値を有する時間はブランク時間である。BPCイネーブル信号（BPC EN）が低い値を有するとき、PLL部602はクロック信号を生成する。

【0195】

PLL部602で生成されたクロック信号は、信号制御部600の内部に位置するインターフェース（I/F）の出力端601に伝達される。

10

【0196】

一方、データ駆動部500（DIC）は、図15に示したように、その内部に位置するインターフェース（I/F）の受信端（Rx）603をさらに含む。

【0197】

データ駆動部500のインターフェース（I/F）の受信端603は、インターフェース（I/F）の出力端601から出力されたクロック信号を受信して、データ駆動部500の少なくとも一部分（ラッチ部511、シフトレジスタ512、RVDS受信部513、直並列変換器514、出力バッファ部501、及びDC-AC変換器502）に伝達して、当該クロック信号によって動作するようにする。

【0198】

BPCイネーブル信号（BPC EN）が高い値を有してPLL部602がクロック信号を生成しない場合には、インターフェース（I/F）の受信端603ではクロック信号が印加されないため、データ駆動部500の内部に位置する少なくとも一部分は、動作の基準となるクロック信号なしで動作しない。代わりに、静的なフローティング状態が維持される。その結果、ブランク時間の間に消費電力が減少する。

20

【0199】

図14の波形図を参照すれば、図14の実施形態においては、ブランク時間の間にAVDD電圧が生成されず、クロック信号がデータ駆動部（DIC）500及び階調電圧生成部（Gamma）800に印加されない。但し、図14の実施形態においては、AVDD電圧はブランク時間にも共通電圧Vcomは生成するようにしており、このような場合には表示パネルにアーチファクトを表示させてもよい。図1の実施形態によれば、DC-DC部660にAVDD電圧はブランク時間の間に印加されている。

30

【0200】

しかし、図14とは異なり、AVDD電圧がブランク時間の間に印加されてもよく、共通電圧Vcomもまたブランク時間の間に生成されてもよい。その他の先行する実施形態による多様な変形例も適用可能である。

【0201】

また、図14においては、信号制御部600とデータ駆動部500の間にクロック信号を印加する配線の一つだけ示しているが、データR'、G'、B'を印加する配線とクロック信号を印加する配線は、互いに別途に形成してもよい。また、その他の多様な制御信号を印加する配線も別途に形成してもよい。

40

【0202】

一方、図15においては、図14とは異なり、信号制御部600の出力端（eRVDS Tx）601'と、データ駆動部500のインターフェース（I/F）受信端603との間に接続された配線を出力部605によって切断して、クロック信号がデータ駆動部500に印加されないようにする実施形態である。

【0203】

図15の実施形態においては、図14に示したように信号制御部600にクロック信号を生成するPLL部602を形成してもよい。

【0204】

50

また、図15の実施形態において、高いインピーダンスを提供するトライステート出力部605は、信号制御部600の出力端(eRVDSTx)601'の終端に切断モードが配置されるときに出力する。出力部605は、信号制御部600の内部でBPCイネーブル信号(BPCEN)によって、クロック信号を出力するか、または出力しないようにする。

【0205】

図15の実施形態による信号制御部600とデータ駆動部500は、差動信号(differential signaling)方式により信号を送受信する。図15では差動信号(differential signaling)方式のうち、RVD方式が使用されているが、LVD方式を使用してもよい。

10

【0206】

差動信号(differential signaling)方式は、信号の送受信において、図15の上部に拡大して示したように、二つの配線(一对の配線)が使用される。このような二つの配線を通じて電圧差により信号を印加して、低電圧で信号を印加することができる。このような二つの配線を通じて信号を印加する差動信号(differential signaling)方式においては、ブランク時間の間に矢印方向(またはその逆方向)に電流が流れる電流通路(current path)を形成してもよく、それによって電力が消費される。したがって、図15の実施形態においては、信号制御部600のBPCイネーブル信号(BPCEN)によって、出力部605とデータ駆動部500(DIC)のインターフェース(I/F)受信端(Rx)603の間の配線のうちの一つをフローティングするか、または切断するようにする。その結果、データ駆動部500にはクロック信号がブランク時間の間に印加されないようにし、消費電力が減少させてもよい。

20

【0207】

図15の波形図を参照すれば、図15の実施形態においては、ブランク時間にクロック信号を生成しないだけでなく、AVDD電圧を生成しないため、AVDD電圧がデータ駆動部(DIC)500及び階調電圧生成部(Gamma)800に印加されない。但し、図15の実施形態においては、AVDD電圧はブランク時間に共通電圧Vcomを生成しないようにされており、図1の実施形態によれば、DC-DC部660にAVDD電圧はブランク時間の間に印加される。

30

【0208】

しかし、図15とは異なり、AVDD電圧がブランク時間の間に印加されてもよく、共通電圧Vcomもブランク時間の間に生成されないようにしてもよい。その他の先行する実施形態による多様な変形例も適用可能である。

【0209】

また、図15においては、信号制御部600とデータ駆動部500の間にクロック信号を印加する配線以外にも、データR'、G'、B'を印加する配線とクロック信号を印加する配線を、互いに別途に形成してもよい。また、クロック信号を印加する配線及びデータR'、G'、B'を印加する配線は、それぞれ一对の配線で構成してもよい。また、その他の多様な制御信号を印加する配線(一对の配線)を別途に形成してもよい。

40

【0210】

以下、図16を参照して、本発明の一実施形態によって消費電力が減少する効果の程度について説明する。

【0211】

図16は、本発明の一実施形態と比較例における映像表示周波数による消費電流のグラフである。

【0212】

図16で使用された比較例は、ブランク時間の間にも各駆動部に電源電圧及びクロック信号などが全て印加される場合であり、本発明の一実施形態は、表1の実施形態のうちの5番の場合(共通電圧Vcomだけが生成される)である。

50

【0213】

図16において、x軸は表示装置の映像表示周波数であり、y軸は消費電流である。当業者であれば、1秒当たり約10回を下回る周波数の場合には静止画を表示する場合であると評価するだろう。

【0214】

図16に示したように、映像表示周波数が高い場合には消費電流の差が大きくなり、映像表示周波数が低い場合にはいつもオン（on）のAVDDと選択的にオフ（off）になるAVDDとの間の消費電力の差が大きいことが確認できる。

【0215】

つまり、表示装置が動画と静止画を表示する場合、静止画を表示するとき適用される静止画周波数は、動画を表示するとき適用される動画周波数に比べ、低い値を有する。したがって、静止画を表示するときのブランク時間の間に、駆動部の少なくとも一つを動作しないようにすれば、比較例に比べて消費電力の差を大きくすることができる。しかし、動画の場合または一定水準以上の映像表示周波数においても、ブランク時間の間に駆動部の少なくとも一つを動作しないようにすれば、大きい差はないが、一定部分の消費電力を削減できるので、このような実施形態も適用可能である。

10

【0216】

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されることなく、請求の範囲で定義している本発明の基本概念を利用した当業者の種々の変形及び改良形態も本発明の権利範囲に属するものである。

20

【符号の説明】

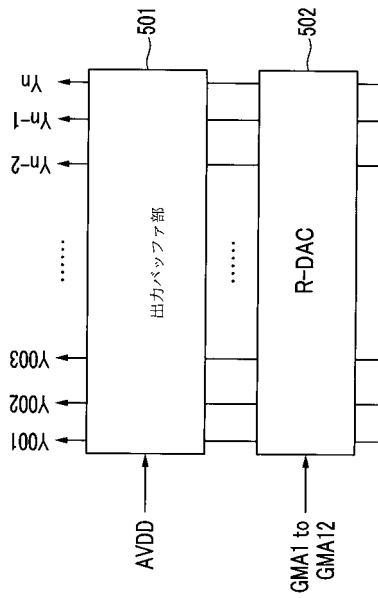
【0217】

- 300 表示パネル
- 400 ゲート駆動部
- 500 データ駆動部
- 501 出力バッファ部
- 502 DC-AC変換器
- 511 ラッチ部
- 512 シフトレジスタ
- 513 RVD S受信部
- 514 直並列変換器
- 515 論理制御器
- 600 信号制御部
- 601 出力端
- 602 PLL部
- 603 受信端
- 605 出力部
- 610 MUXまたはスイッチ
- 650 PMIC部
- 660 DC-DC部
- 661、662 DC-DC
- 700 外部電源部
- 800 階調電圧生成部

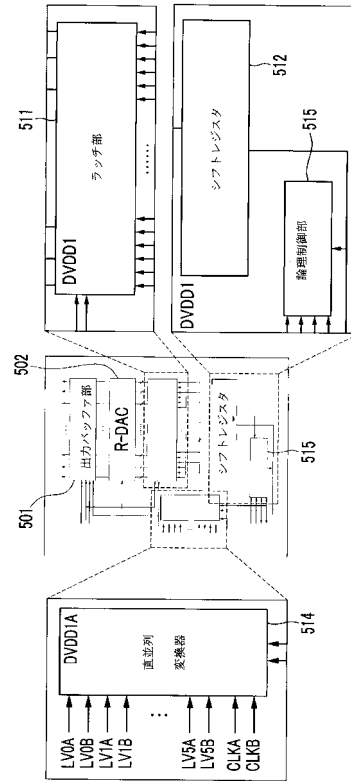
30

40

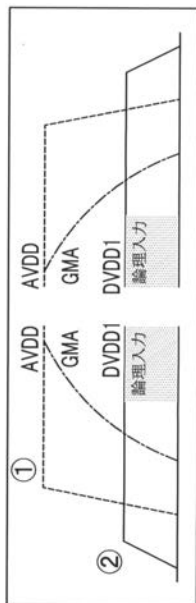
【図 1 1】



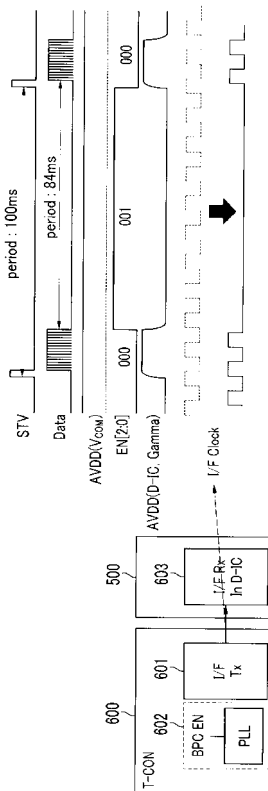
【図 1 2】



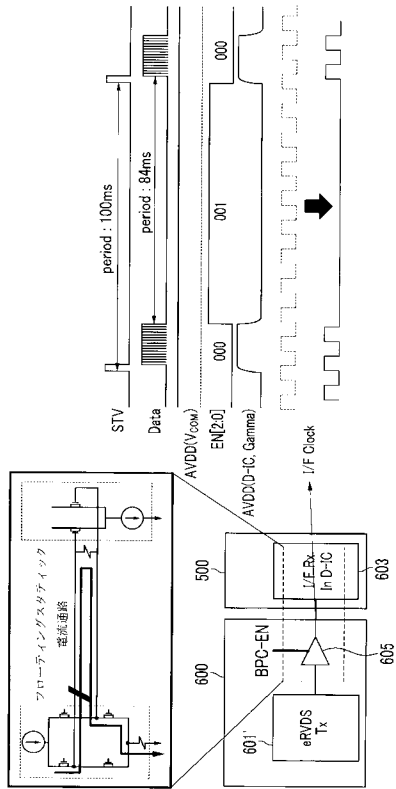
【図 1 3】



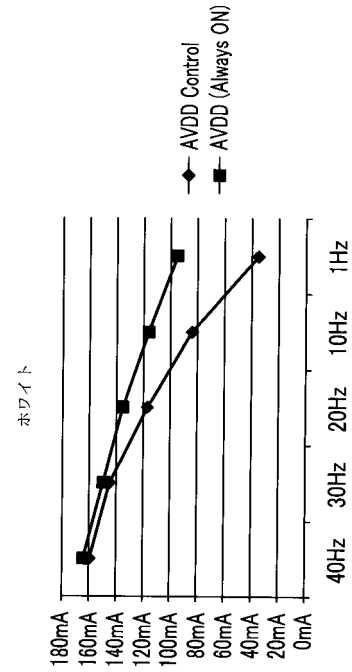
【図 1 4】



【図 15】



【図 16】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 1 2 K
G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 6 0 V
G 0 9 G	3/20	6 6 0 U
G 0 9 G	3/20	6 1 2 G
G 0 9 G	3/20	6 1 2 D
G 0 9 G	3/36	
G 0 9 G	3/3233	
G 0 9 G	3/20	6 3 1 V
G 0 9 G	3/34	C
H 0 4 N	5/66	B

(72)発明者 金 相 美

大韓民国 京畿道 龍仁市 器興区 農書洞 山24番地 ジンダルレ棟 1123号

(72)発明者 閔 雄 圭

大韓民国 ソウル市 城東区 馬場洞 819 チュンアンハイツ 101-1605

(72)発明者 徐 志 明

大韓民国 京畿道 水原市 靈通区 網浦洞 雙龍3次アパートメント 303棟 102号

(72)発明者 柳 鳳 鉉

大韓民国 京畿道 龍仁市 水枝区 豊▲徳▼川洞 ジンサンマウル三星5次アパートメント 505棟 305号

(72)発明者 黄 ▲玄▼ 植

大韓民国 京畿道 華城市 盤松洞 シボムダウンマウルウォールドメルディアンバンドユボラアパートメント 348棟 801号

(72)発明者 金 基 根

大韓民国 ソウル市 瑞草区 蠶院洞 新盤浦韓新アパートメント 119棟 906号

(72)発明者 金 鍾 熙

大韓民国 京畿道 華城市 陵洞 スッソクマウルザヨンエンギョンナム 806-1403

(72)発明者 李 京 遠

大韓民国 ソウル市 松坡区 松坡洞 28-4 102号

Fターム(参考) 5C006 AA01 AA02 AA16 AA22 AC21 AC25 AF13 AF19 AF25 AF44
 AF45 AF46 AF51 AF52 AF53 AF68 AF69 AF72 AF73 AF83
 BB16 BC03 BC12 BF03 BF04 BF07 BF14 BF16 BF24 BF25
 BF26 BF36 BF43 BF46 EB06 FA04 FA16 FA43 FA48
 5C058 AA05 BA26
 5C080 AA06 AA10 AA13 AA16 BB05 CC03 DD25 DD26 EE01 EE19
 EE25 EE26 EE29 FF03 FF11 GG08 GG12 JJ02 JJ03 JJ04
 JJ05 KK07
 5C380 AA01 AB06 AB34 AC07 AC11 BA02 BA03 BA06 BA13 BA22
 BA33 BA45 CA12 CA17 CA32 CA53 CA54 CB01 CB31 CC26
 CE03 CE05 CE09 CE19 CE22 CF06 CF07 CF09 CF15 CF22
 CF27 CF31 CF36 CF45 CF46 CF48 CF51 CF57 CF60 CF61
 CF62 DA02 DA06 DA35 DA41 DA42 DA49 DA58 FA10