

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017年8月3日 (03.08.2017)



(10) 国际公布号
WO 2017/128561 A1

- (51) 国际专利分类号:
H01L 27/12 (2006.01) G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2016/082413
- (22) 国际申请日: 2016年5月17日 (17.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610060834.0 2016年1月28日 (28.01.2016) CN
- (71) 申请人: 武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。
- (72) 发明人: 李安石 (LI, Anshi); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(74) 代理人: 深圳市德力知识产权代理事务所 (COMIPS INTELLECTUAL PROPERTY OFFICE); 中国广东省深圳市福田区上步中路深勘大厦 15E, Guangdong 518028 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: TFT ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: TFT 阵列基板及其制作方法

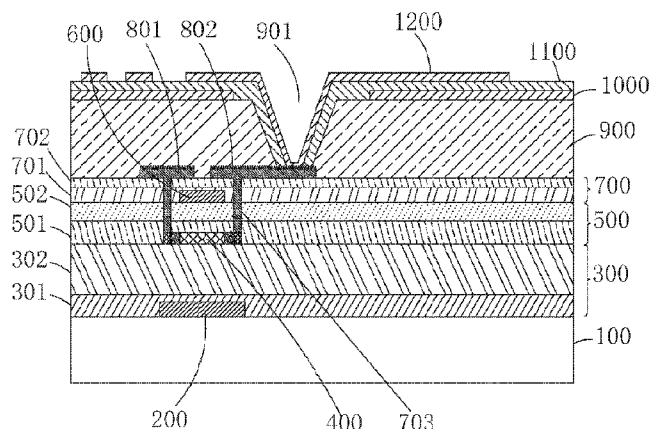


图6

(57) Abstract: A TFT array substrate. In the TFT array substrate, both a source electrode (801) and a drain electrode (802) comprise a first molybdenum layer (811), a first aluminium layer (812), a second aluminium layer (813) and a second molybdenum layer (814) stacked from bottom to top, wherein the surface of the first molybdenum layer (811) is smooth; a plurality of burrs (8120) are distributed on the surfaces of both the first aluminium layer (812) and the second aluminium layer (813); the height of the burrs (8120) on the second aluminium layer (813) is greater than that of the burrs (8120) on the first aluminium layer (812); the surface of the second molybdenum layer (814) is smooth and coats the burrs (8120) on the second aluminium layer (813), so as to reduce the sharpness of the burrs (8120) on the second aluminium layer (813); and the upper surfaces of the source electrode (801) and the drain electrode (802) are finally presented as uneven coarse surfaces. The uneven coarse surfaces can increase a contact area of the drain electrode (802) and a pixel electrode (1200), so that the contact resistance of a TFT and the pixel electrode (1200) is reduced, and the performance of a liquid crystal display panel is improved. Also provided is a manufacturing method for a TFT array substrate.

(57) 摘要:

[见续页]



WO 2017/128561 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种 TFT 阵列基板，该 TFT 阵列基板中源极(801)与漏极(802)均包括自下而上层叠设置的第一钼层(811)、第一铝层(812)、第二铝层(813)及第二钼层(814)，其中，所述第一钼层(811)的表面平滑，所述第一铝层(812)与第二铝层(813)的表面均分布有多个毛刺(8120)，且所述第二铝层(813)上的毛刺(8120)的高度大于所述第一铝层(812)上的毛刺(8120)的高度，所述第二钼层(814)的表面平滑，其包覆于所述第二铝层(813)的毛刺(8120)上，使所述第二铝层(813)的毛刺(8120)的锋利度降低，最终使所述源极(801)与漏极(802)的上表面呈现为凹凸不平的粗糙表面。该凹凸不平的粗糙表面能够增大漏极(802)与像素电极(1200)的接触面积，进而减小 TFT 与像素电极(1200)的接触阻抗，提升液晶显示面板的性能。还提供了一种 TFT 阵列基板的制作方法。

TFT 阵列基板及其制作方法

技术领域

本发明涉及显示技术领域，尤其涉及一种 TFT 阵列基板及其制作方法。

5

背景技术

液晶显示器（Liquid Crystal Display，LCD）具有机身薄、省电、无辐射等众多优点，得到了广泛的应用，如：液晶电视、移动电话、个人数字助理（PDA）、数字相机、计算机屏幕或笔记本电脑屏幕等，在平板显示领域中占主导地位。

10

现有市场上的液晶显示器大部分为背光型液晶显示器，其包括液晶显示面板及背光模组（backlight module）。液晶显示面板的工作原理是在薄膜晶体管阵列基板（Thin Film Transistor Array Substrate，TFT Array Substrate）与彩色滤光片基板（Color Filter，CF）之间灌入液晶分子，并在两片基板上施加驱动电压来控制液晶分子的旋转方向，以将背光模组的光线折射出来产生画面。

15

TFT 阵列基板包括：多条栅极线和数据线，相互垂直的多条栅极线和多条数据线形成了多个像素单元，且每个像素单元内均设置有 TFT、像素电极及存储电容等。TFT 包括一栅极连接至栅极线，源极连接至数据线，漏极连接至像素电极。当栅极线被驱动时，TFT 处于导通状态，对应的数据线送入灰阶电压信号并将其加载至像素电极，从而使得像素电极与公共电极之间产生相应的电场，液晶层中的液晶分子则在电场的作用下发生取向变化，以实现不同的图像显示。

20

请参阅图 1，图 1 为现有的 TFT 阵列基板的剖面结构示意图，该 TFT 阵列基板包括：衬底基板 1、设于所述衬底基板 1 上的遮光层 2、覆盖所述遮光层 2 及衬底基板 1 的缓冲层 3、对应所述遮光层 2 上方设于所述缓冲层 3 上的多晶硅半导体层 4、覆盖所述多晶硅半导体层 4 及缓冲层 3 的栅极绝缘层 5、对应所述多晶硅半导体层 4 上方设于所述栅极绝缘层 5 上的栅极 6、覆盖所述栅极 6 及栅极绝缘层 5 的层间绝缘层 7、设于所述层间绝缘层 7 上的源极 81 与漏极 82、覆盖所述源极 81、漏极 82、及层间绝缘层 7 的平坦层 9、设于所述平坦层 9 上的公共电极 10、设于所述公共电极 10 上的保护层 11、以及设于所述保护层 11 上方的像素电极 12。所述源极 81 与漏极 82 均采用两层钼（Mo）夹设一层铝（Al）的结构，所述像素电极 12 通过贯穿

25

30

所述保护层 11、公共电极 10、及平坦层 9 的过孔 91 与所述漏极 82 相接触，如图 2 所示，所述像素电极 12 与漏极 82 的接触面均为光滑的平整面，两者接触面积等于过孔 91 的底面面积，接触阻抗较高，影响液晶显示面板的性能。

5

发明内容

本发明的目的在于提供一种 TFT 阵列基板，能够减小 TFT 与像素电极的接触阻抗，提升液晶显示面板性能。

10 本发明的目的还在于提供一种 TFT 阵列基板的制作方法，能够减小 TFT 与像素电极的接触阻抗，提升液晶显示面板性能。

为实现上述目的，本发明提供了一种 TFT 阵列基板，包括：衬底基板、设于所述衬底基板上的遮光层、覆盖所述遮光层及衬底基板的缓冲层、对应所述遮光层上方设于所述缓冲层上的多晶硅半导体层、覆盖所述多晶硅半导体层及缓冲层的栅极绝缘层、对应所述多晶硅半导体层上方设于所述栅极绝缘层上的栅极、覆盖所述栅极及栅极绝缘层的层间绝缘层、设于所述层间绝缘层上的源极与漏极、覆盖所述源极、漏极、及层间绝缘层的平坦层、设于所述平坦层上的公共电极、设于所述公共电极上的保护层、以及设于所述保护层上方的像素电极；

20 所述源极与漏极均包括自下而上层叠设置的第一钼层、第一铝层、第二铝层、及第二钼层，其中，所述第一钼层的表面平滑，所述第一铝层与第二铝层的表面均分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度，所述第二钼层的表面平滑，其包覆于所述第二铝层的毛刺上，使所述第二铝层的毛刺的锋利度降低，最终使所述源极与漏极的上表面呈现为凹凸不平的粗糙表面；

25 所述像素电极通过贯穿所述保护层、公共电极、以及平坦层的过孔与所述漏极的上表面相接触。

所述源极和漏极分别通过贯穿层间绝缘层和栅极绝缘层的过孔与多晶硅半导体层的两端相接触。

所述遮光层的材料为钼。

30 所述缓冲层包括自下而上层叠设置的第一氮化硅层和第一氧化硅层；

所述栅极绝缘层包括自下而上层叠设置的二氧化硅层和第二氮化硅层；

所述层间绝缘层包括自下而上层叠设置的第三氮化硅层和第三氧化硅层；

所述保护层材料为氮化硅。

所述像素电极与公共电极的材料均为 ITO。

本发明还提供一种 TFT 阵列基板的制作方法，包括如下步骤：

- 5 步骤 1、提供一衬底基板，在所述衬底基板自下而上依次形成遮光层、缓冲层、多晶硅半导体层、栅极绝缘层、栅极、及层间绝缘层；
- 步骤 2、在所述层间绝缘层上沉积第一钼层，所述第一钼层的表面平滑；
- 步骤 3、在所述第一钼层上沉积第一铝层，所述第一铝层的表面分布有多个毛刺；
- 10 步骤 4、在所述第一铝层上沉积第二铝层，所述第二铝层的表面也分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度；
- 步骤 5、在所述第二铝层上沉积第二钼层，所述第二钼层的表面平滑，其包覆于所述第二铝层的毛刺上，使毛刺的锋利度降低，对第一钼层、第一铝层、第二铝层、及第二钼层进行图形化处理，得到位于所述层间绝缘层上的源极与漏极，所述源极与漏极的上表面呈现为凹凸不平的粗糙表面；
- 15 步骤 6、在所述源极、漏极、及层间绝缘层上自下而上依次形成平坦层、公共电极、保护层、及像素电极；
- 所述像素电极通过贯穿所述保护层、公共电极、以及平坦层的过孔与所述漏极的上表面相接触。
- 20 所述源极和漏极分别通过贯穿层间绝缘层和栅极绝缘层的过孔与多晶硅半导体层的两端相接触。
- 所述遮光层的材料为钼。
- 所述缓冲层包括自下而上层叠设置的第一氮化硅层和第一氧化硅层；
- 所述栅极绝缘层包括自下而上层叠设置的第二氧化硅层和第二氮化硅层；
- 25 所述层间绝缘层包括自下而上层叠设置的第三氮化硅层和第三氧化硅层；
- 所述保护层材料为氮化硅。
- 所述像素电极与公共电极的材料均为 ITO。
- 30 本发明还提供一种 TFT 阵列基板，包括：衬底基板、设于所述衬底基板上的遮光层、覆盖所述遮光层及衬底基板的缓冲层、对应所述遮光层上方设于所述缓冲层上的多晶硅半导体层、覆盖所述多晶硅半导体层及缓冲层的栅极绝缘层、对应所述多晶硅半导体层上方设于所述栅极绝缘层上的栅极、覆盖所述栅极及栅极绝缘层的层间绝缘层、设于所述层间绝缘层上

的源极与漏极、覆盖所述源极、漏极、及层间绝缘层的平坦层、设于所述平坦层上的公共电极、设于所述公共电极上的保护层、以及设于所述保护层上方的像素电极；

所述源极与漏极均包括自下而上层叠设置的第一钼层、第一铝层、第二铝层、及第二钼层，其中，所述第一钼层的表面平滑，所述第一铝层与第二铝层的表面均分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度，所述第二钼层的表面平滑，其包覆于所述第二铝层的毛刺上，使所述第二铝层的毛刺的锋利度降低，最终使所述源极与漏极的上表面呈现为凹凸不平的粗糙表面；

所述像素电极通过贯穿所述保护层、公共电极、以及平坦层的过孔与所述漏极的上表面相接触；

其中，所述源极和漏极分别通过贯穿层间绝缘层和栅极绝缘层的过孔与多晶硅半导体层的两端相接触；

其中，所述遮光层的材料为钼。

本发明的有益效果：本发明提供了一种 TFT 阵列基板，该 TFT 阵列基板中的源极与漏极包括自下而上层叠设置的第一钼层、第一铝层、第二铝层、及第二钼层，所述第一铝层与第二铝层的表面均分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度，使得所述源极与漏极的上表面呈现为有凹凸不平的粗糙表面，相比于现有技术中的光滑的平整面，该凹凸不平的粗糙表面能够增大漏极与像素电极的接触面积，进而减小 TFT 与像素电极的接触阻抗，提升液晶显示面板的性能。本发明还提供一种 TFT 阵列基板的制作方法，能够减小 TFT 与像素电极的接触阻抗，提升液晶显示面板的性能。

附图说明

为了能更进一步了解本发明的特征以及技术内容，请参阅以下有关本发明的详细说明与附图，然而附图仅提供参考与说明用，并非用来对本发明加以限制。

附图中，

图 1 为现有的 TFT 阵列基板的剖面结构示意图；

图 2 为图 1 所示 TFT 阵列基板的漏极与像素电极的接触面的示意图；

图 3 为本发明的 TFT 阵列基板的制作方法的示意图；

图 4 为本发明的 TFT 阵列基板的制作方法的步骤 1-步骤 5 的示意图；

图 5 为本发明的 TFT 阵列基板的制作方法的步骤 5 制得的源极与漏极

的结构示意图;

图 6 为本发明的 TFT 阵列基板的制作方法的步骤 6 的示意图暨本发明的 TFT 阵列基板的剖面结构示意图;

图 7 为本发明的 TFT 阵列基板的漏极与像素电极的接触面的示意图。

5

具体实施方式

为更进一步阐述本发明所采取的技术手段及其效果, 以下结合本发明的优选实施例及其附图进行详细描述。

请参阅图 6 和图 5, 本发明首先提供一种 TFT 阵列基板, 包括: 衬底
10 基板 100、设于所述衬底基板 100 上的遮光层 200、覆盖所述遮光层 200 及衬底基板 100 的缓冲层 300、对应所述遮光层 200 上方设于所述缓冲层 300 上的多晶硅半导体层 400、覆盖所述多晶硅半导体层 400 及缓冲层 300 的栅极绝缘层 500、对应所述多晶硅半导体层 400 上方设于所述栅极绝缘层 500 上的栅极 600、覆盖所述栅极 600 及栅极绝缘层 500 的层间绝缘层 700、
15 设于所述层间绝缘层 700 上的源极 801 与漏极 802、覆盖所述源极 801、漏极 802、及层间绝缘层 700 的平坦层 900、设于所述平坦层 900 上的公共电极 1000、设于所述公共电极 1000 上的保护层 1100、以及设于所述保护层 1100 上方的像素电极 1200;

所述源极 801 与漏极 802 均包括自下而上层叠设置的第一铝层 811、
20 第一铝层 812、第二铝层 813、及第二钼层 814, 其中, 所述第一铝层 811 的表面平滑, 所述第一铝层 812 与第二铝层 813 的表面均分布有多个毛刺 8120, 且所述第二铝层 813 上的毛刺 8120 的高度大于所述第一铝层 812 上的毛刺 8120 的高度, 所述第二钼层 814 的表面平滑, 其包覆于所述第二铝层 813 的毛刺 8120 上, 使所述第二铝层 813 的毛刺 8120 的锋利度降低,
25 最终使所述源极 801 与漏极 802 的上表面呈现为凹凸不平的粗糙表面;

所述像素电极 1200 通过贯穿所述保护层 1100、公共电极 1000、以及平坦层 900 的过孔 901 与所述漏极 802 的上表面相接触。

具体的, 本发明通过设置粗糙度较高的第二铝层 813, 可保证所述源极 801 与漏极 802 的上表面具有足够的粗糙度, 同时在第二铝层 813 下方设置
30 粗糙度较低的第一铝层 812, 可保证所述源极 801 与漏极 802 的粗糙面下方的平整部分具有足够的厚度。

所述源极 801 和漏极 802 分别通过贯穿层间绝缘层 700 和栅极绝缘层 500 的过孔 703 与多晶硅半导体层 400 的两端相接触。

特别的, 请参阅图 2 与图 7, 在现有技术中像素电极与漏极接触面为光

滑的平整面，两者的接触面积等于过孔的底面积，而本发明中通过层叠设置粗糙度不同的第一铝层 812 与第二铝层 813 使得漏极 802 的上表面（即与像素电极的接触面）呈现为凹凸不平的粗糙表面，像素电极 1200 与漏极 802 接触面由平面接触变为了曲面接触，大大增加了接触面积，进而减小 TFT 与像素电极的接触阻抗，提升液晶显示面板的性能。

优选地，所述遮光层 200 的材料为钼。

优选地，所述缓冲层 300 包括自下而上层叠设置的第一氮化硅层 301 和第一氧化硅层 302；所述栅极绝缘层 500 包括自下而上层叠设置的第二氧化硅层 501 和第二氮化硅层 502；所述层间绝缘层 700 包括自下而上层叠设置的第三氮化硅层 701 和第三氧化硅层 702；

优选地，所述保护层 1100 的材料为氮化硅。

优选地，所述像素电极 1200 与公共电极 1000 的材料均为 ITO。

请参阅图 3 并结合图 4 至图 7，本发明还提供一种 TFT 阵列基板的制作方法，包括如下步骤：

步骤 1、请参阅图 4，提供一衬底基板 100，在所述衬底基板 100 自下而上依次形成遮光层 200、缓冲层 300、多晶硅半导体层 400、栅极绝缘层 500、栅极 600、及层间绝缘层 700。

具体的，该步骤 1 具体包括：

步骤 11、在衬底基板 100 上沉积一金属薄膜，图案化该金属薄膜形成遮光层 200，优选的，所述金属薄膜的材料为钼；

步骤 12、在所述遮光层 200 及衬底基板 100 上成膜第一氮化硅层 301，在所述第一氮化硅层 301 上成膜第一氧化硅层 302，形成缓冲层 300；

步骤 13、在所述缓冲层 300 上沉积一非晶硅层，对所述非晶硅层进行晶化处理形成多晶硅层，在对所述多晶硅层进行图案化和离子掺杂制程，形成位于缓冲层 300 上且对应所述遮光层 200 的多晶硅半导体层 400；

步骤 14、在所述多晶硅半导体层 400 及缓冲层 300 上成膜并图案化第二氧化硅层 501，在所述第二氧化硅层 501 上成膜并图案化第二氮化硅层 502，形成栅极绝缘层 500；

步骤 15、在所述栅极绝缘层 500 上沉积并图案化一金属薄膜，形成位于所述栅极绝缘层 500 上且对应所述多晶硅半导体层 400 的栅极 600；

步骤 16、在所述栅极 600、及栅极绝缘层 500 上依次沉积第三氮化硅层 701 与第三氧化硅层 702，形成层间绝缘层 700，对所述层间绝缘层 700 和栅极绝缘层 500 同时进行图案化处理，形成贯穿所述层间绝缘层 700 和栅极绝缘层 500 且暴露出所述多晶硅半导体层 400 两端的过孔 703。

步骤 2、在所述层间绝缘层 700 上沉积第一钼层 811，所述第一钼层 811 的表面平滑。

步骤 3、在所述第一钼层 811 上沉积第一铝层 812，所述第一铝层 812 的表面分布有多个毛刺 8120。

5 步骤 4、在所述第一铝层 811 上沉积第二铝层 813，所述第二铝层 813 的表面也分布有多个毛刺 8120，且所述第二铝层 813 上的毛刺 8120 的高度大于所述第一铝层 812 上的毛刺 8120 的高度，即所述第二铝层 813 的粗糙度大于所述第一铝层 812 上的粗糙度。

10 具体的，所述步骤 3 和步骤 4 通过溅射法形成所述第一铝层 812 与第二铝层 813，并通过控制沉积时间的长短或者调整溅射靶材的组分（如微量元素的含量）等措施来控制沉积得到的铝层的粗糙度（毛刺的高度）。

步骤 5、在所述第二铝层 813 上沉积第二钼层 814，所述第二钼层 814 的表面平滑，其包覆于所述第二铝层 813 的毛刺 8120 上，使所述第二铝层 813 的毛刺 8120 的锋利度降低，对第一钼层 811、第一铝层 812、第二铝层 15 813、及第二钼层 814 进行图形化处理，得到位于所述层间绝缘层 700 上的源极 801 与漏极 802，所述源极 801 与漏极 802 的上表面呈现为凹凸不平的粗糙表面。

具体的，所述源极 801 和漏极 802 分别通过贯穿层间绝缘层 700 和栅极绝缘层 500 的过孔 703 与多晶硅半导体层 400 的两端相接触。

20 步骤 6、请参阅图 6，在所述源极 801、漏极 802、及层间绝缘层 700 上自下而上依次形成平坦层 900、公共电极 1000、保护层 1000、及像素电极 1200；

具体的，所述像素电极 1200 通过贯穿所述保护层 1100、公共电极 1000、以及平坦层 900 的过孔 901 与所述漏极 802 的上表面相接触。

25 优选地，所述像素电极 1200 与公共电极 1000 的材料均为 ITO。

特别的，请参阅图 2 与图 7，在现有技术中像素电极与漏极接触面为光滑的平整面，两者的接触面积等于过孔的底面积，而本发明中通过依次沉积粗糙度不同的第一铝层 812 与第二铝层 813 使得漏极 802 的上表面（即与像素电极的接触面）呈现为凹凸不平的粗糙表面，像素电极 1200 与漏极 30 802 接触面由平面接触变为了曲面接触，大大增加了接触面积，进而减小 TFT 与像素电极的接触阻抗，提升液晶显示面板的性能。

综上所述，本发明提供了一种 TFT 阵列基板，该 TFT 阵列基板中的源极与漏极包括自下而上层叠设置的第一钼层、第一铝层、第二铝层、及第二钼层，所述第一铝层与第二铝层的表面均分布有多个毛刺，且所述第二

- 铝层的毛刺的高度大于所述第一铝层的毛刺的高度，使得所述源极与漏极的上表面呈现为凹凸不平的粗糙表面，相比于现有技术中的光滑的平整面，该凹凸不平的粗糙表面能够增大漏极与像素电极的接触面积，进而减小 TFT 与像素电极的接触阻抗，提升液晶显示面板的性能。本发明还提供
- 5 一种 TFT 阵列基板的制作方法，能够减小 TFT 与像素电极的接触阻抗，提升液晶显示面板的性能。

以上所述，对于本领域的普通技术人员来说，可以根据本发明的技术方案和技术构思作出其他各种相应的改变和变形，而所有这些改变和变形都应属于本发明权利要求的保护范围。

权 利 要 求

1、一种 TFT 阵列基板，包括：衬底基板、设于所述衬底基板上的遮光层、覆盖所述遮光层及衬底基板的缓冲层、对应所述遮光层上方设于所述缓冲层上的多晶硅半导体层、覆盖所述多晶硅半导体层及缓冲层的栅极绝缘层、对应所述多晶硅半导体层上方设于所述栅极绝缘层上的栅极、覆盖所述栅极及栅极绝缘层的层间绝缘层、设于所述层间绝缘层上的源极与漏极、覆盖所述源极、漏极、及层间绝缘层的平坦层、设于所述平坦层上的公共电极、设于所述公共电极上的保护层、以及设于所述保护层上方的像素电极；

所述源极与漏极均包括自下而上层叠设置的第一钼层、第一铝层、第二铝层、及第二钼层，其中，所述第一钼层的表面平滑，所述第一铝层与第二铝层的表面均分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度，所述第二钼层的表面平滑，其包覆于所述第二铝层的毛刺上，使所述第二铝层的毛刺的锋利度降低，最终使所述源极与漏极的上表面呈现为凹凸不平的粗糙表面；

所述像素电极通过贯穿所述保护层、公共电极、以及平坦层的过孔与所述漏极的上表面相接触。

2、如权利要求 1 所述的 TFT 阵列基板，其中，所述源极和漏极分别通过贯穿层间绝缘层和栅极绝缘层的过孔与多晶硅半导体层的两端相接触。

3、如权利要求 1 所述的 TFT 阵列基板，其中，所述遮光层的材料为钼。

4、如权利要求 1 所述的 TFT 阵列基板，其中，所述缓冲层包括自下而上层叠设置的第一氮化硅层和第一氧化硅层；

所述栅极绝缘层包括自下而上层叠设置的第二氧化硅层和第二氮化硅层；

所述层间绝缘层包括自下而上层叠设置的第三氮化硅层和第三氧化硅层；

所述保护层的材料为氮化硅。

5、如权利要求 1 所述的 TFT 阵列基板，其中，所述像素电极与公共电极的材料均为 ITO。

6、一种 TFT 阵列基板的制作方法，包括如下步骤：

步骤 1、提供一衬底基板，在所述衬底基板自下而上依次形成遮光层、缓冲层、多晶硅半导体层、栅极绝缘层、栅极、及层间绝缘层；

步骤 2、在所述层间绝缘层上沉积第一钼层，所述第一钼层的表面平滑；

步骤 3、在所述第一钼层上沉积第一铝层，所述第一铝层的表面分布有多个毛刺；

5 步骤 4、在所述第一铝层上沉积第二铝层，所述第二铝层的表面也分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度；

步骤 5、在所述第二铝层上沉积第二钼层，所述第二钼层的表面平滑，其包覆于所述第二铝层的毛刺上，使所述第二铝层的毛刺的锋利度降低，对第一钼层、第一铝层、第二铝层、及第二钼层进行图形化处理，得到位于所述层间绝缘层上的源极与漏极，所述源极与漏极的上表面呈现为凹凸不平的粗糙表面；

步骤 6、在所述源极、漏极、及层间绝缘层上自下而上依次形成平坦层、公共电极、保护层、及像素电极；

15 所述像素电极通过贯穿所述保护层、公共电极、以及平坦层的过孔与所述漏极的上表面相接触。

7、如权利要求 6 所述的 TFT 阵列基板的制作方法，其中，所述源极和漏极分别通过贯穿层间绝缘层和栅极绝缘层的过孔与多晶硅半导体层的两端相接触。

20 8、如权利要求 6 的 TFT 阵列基板的制作方法，其中，所述遮光层的材料为钼。

9、如权利要求 6 的 TFT 阵列基板的制作方法，其中，所述缓冲层包括自下而上层叠设置的第一氮化硅层和第一氧化硅层；

所述栅极绝缘层包括自下而上层叠设置的第二氧化硅层和第二氮化硅层；

25 所述层间绝缘层包括自下而上层叠设置的第三氮化硅层和第三氧化硅层；

所述保护层材料为氮化硅。

10、如权利要求 6 的 TFT 阵列基板的制作方法，其中，所述像素电极与公共电极的材料均为 ITO。

30 11、一种 TFT 阵列基板，包括：衬底基板、设于所述衬底基板上的遮光层、覆盖所述遮光层及衬底基板的缓冲层、对应所述遮光层上方设于所述缓冲层上的多晶硅半导体层、覆盖所述多晶硅半导体层及缓冲层的栅极绝缘层、对应所述多晶硅半导体层上方设于所述栅极绝缘层上的栅极、覆盖所述栅极及栅极绝缘层的层间绝缘层、设于所述层间绝缘层上的源极与

漏极、覆盖所述源极、漏极、及层间绝缘层的平坦层、设于所述平坦层上的公共电极、设于所述公共电极上的保护层、以及设于所述保护层上方的像素电极；

所述源极与漏极均包括自下而上层叠设置的第一钼层、第一铝层、第二铝层、及第二钼层，其中，所述第一钼层的表面平滑，所述第一铝层与第二铝层的表面均分布有多个毛刺，且所述第二铝层上的毛刺的高度大于所述第一铝层上的毛刺的高度，所述第二钼层的表面平滑，其包覆于所述第二铝层的毛刺上，使所述第二铝层的毛刺的锋利度降低，最终使所述源极与漏极的上表面呈现为凹凸不平的粗糙表面；

所述像素电极通过贯穿所述保护层、公共电极、以及平坦层的过孔与所述漏极的上表面相接触；

其中，所述源极和漏极分别通过贯穿层间绝缘层和栅极绝缘层的过孔与多晶硅半导体层的两端相接触；

其中，所述遮光层的材料为钼。

12、如权利要求 11 所述的 TFT 阵列基板，其中，所述缓冲层包括自下而上层叠设置的第一氮化硅层和第一氧化硅层；

所述栅极绝缘层包括自下而上层叠设置的第二氧化硅层和第二氮化硅层；

所述层间绝缘层包括自下而上层叠设置的第三氮化硅层和第三氧化硅层；

所述保护层的材料为氮化硅。

13、如权利要求 11 所述的 TFT 阵列基板，其中，所述像素电极与公共电极的材料均为 ITO。

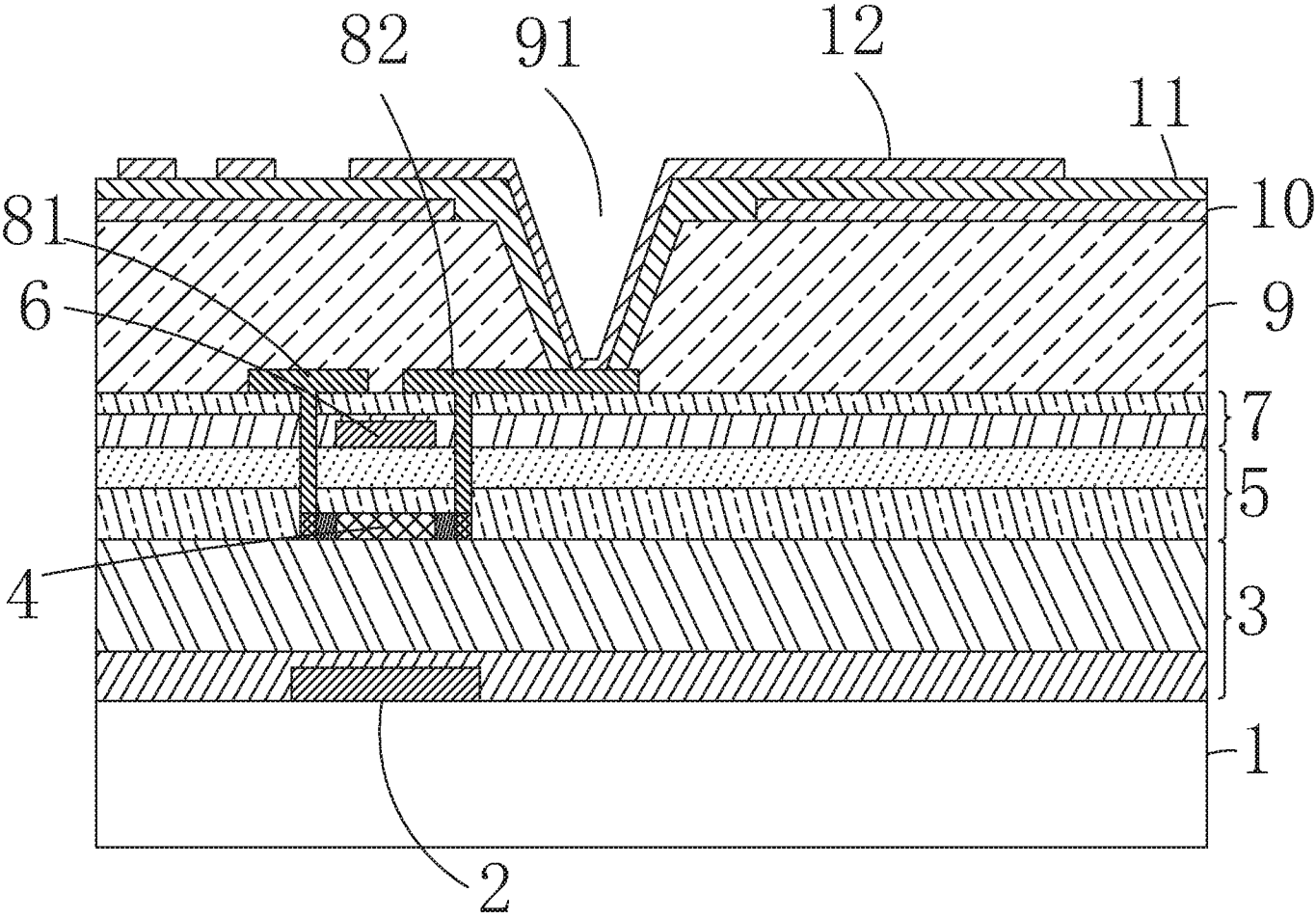


图1

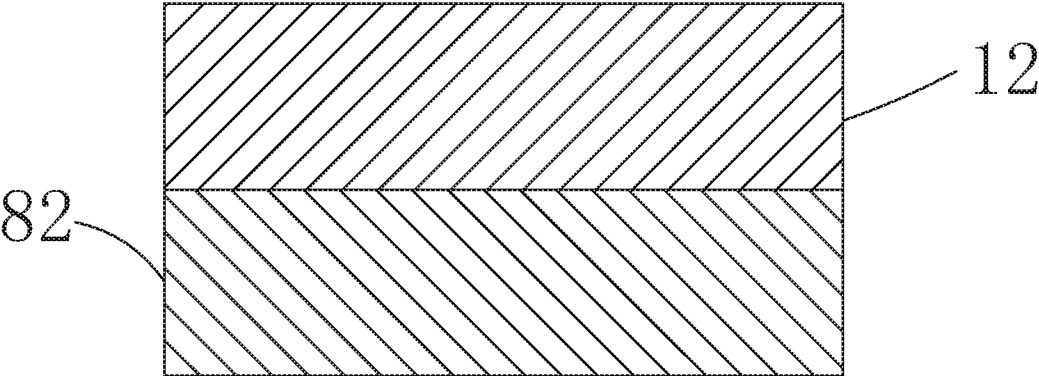


图2

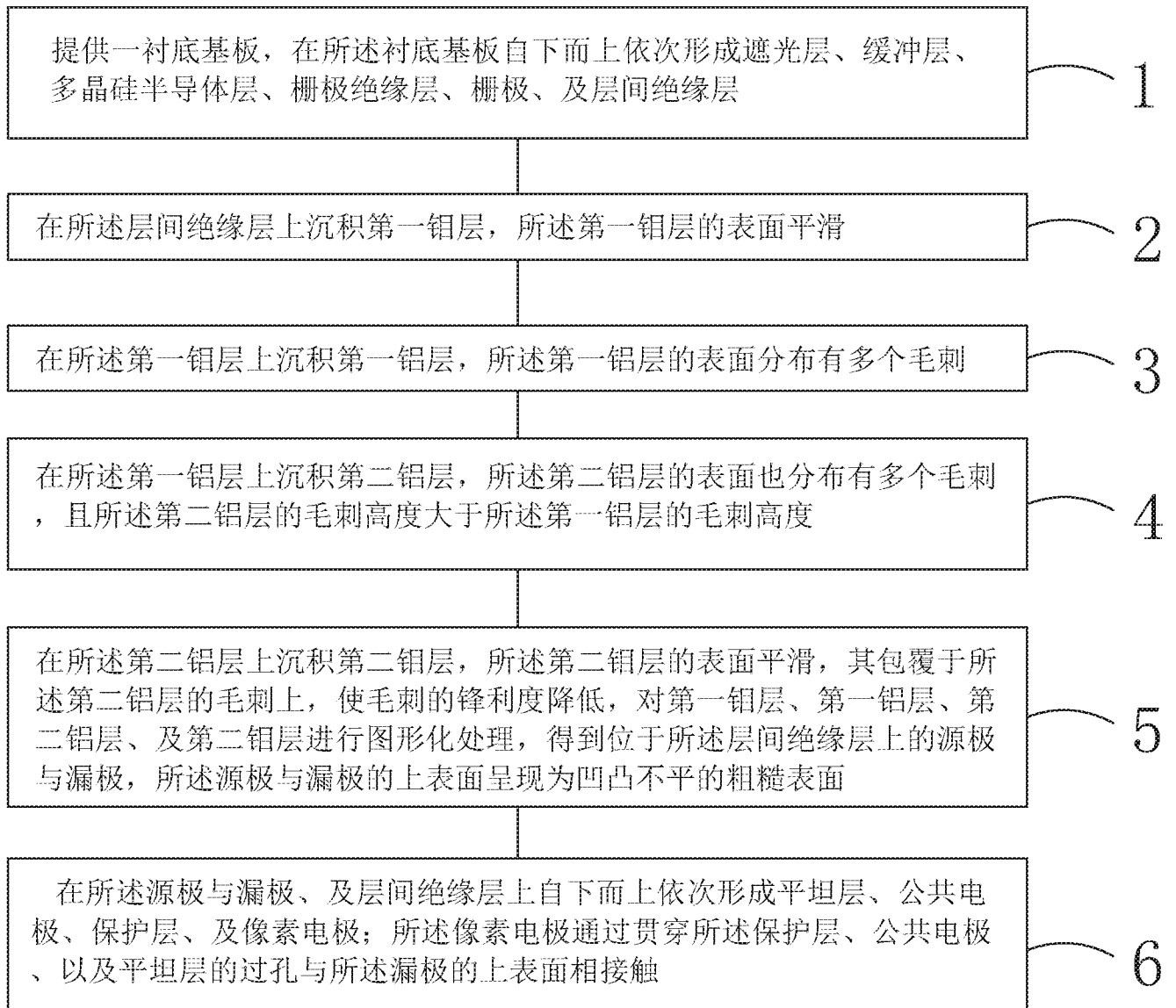


图3

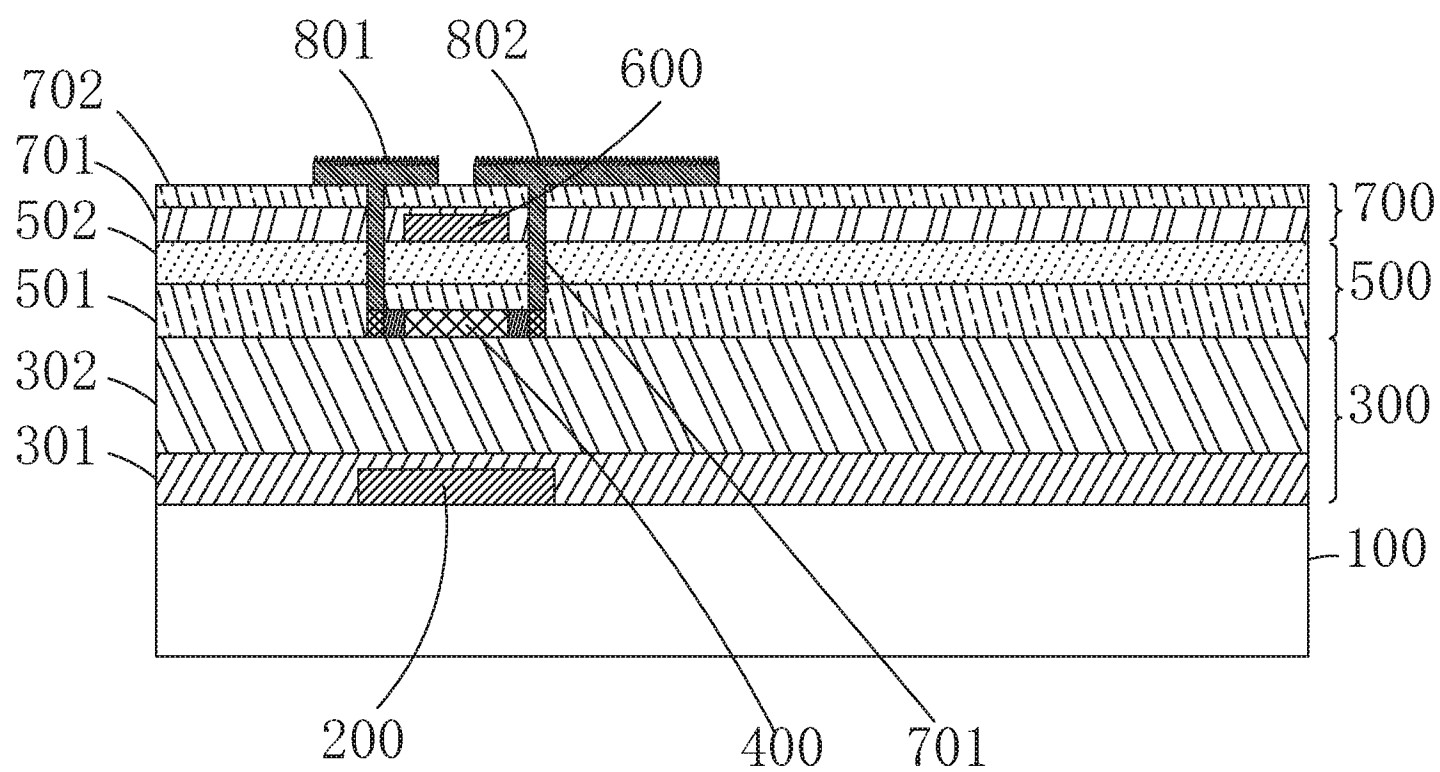


图4

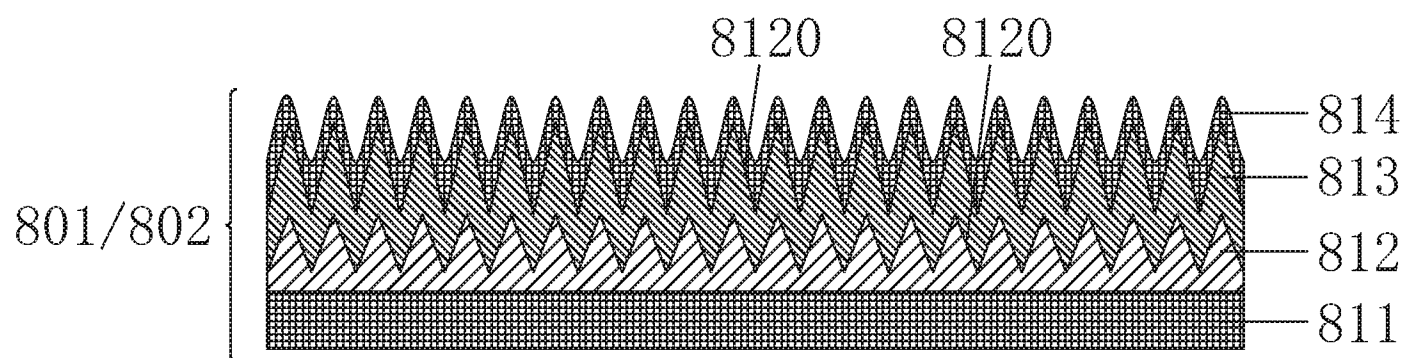


图5

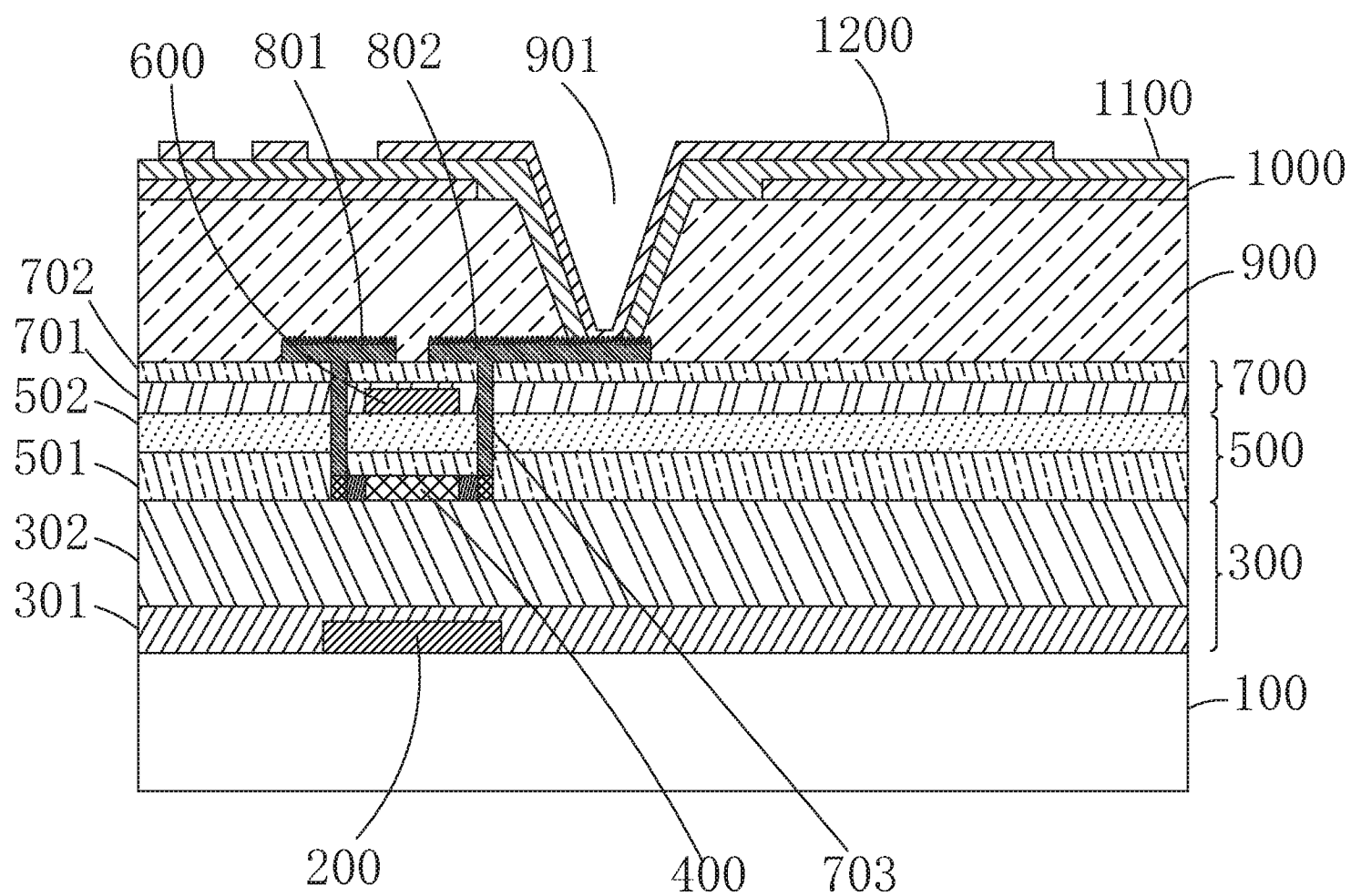


图6

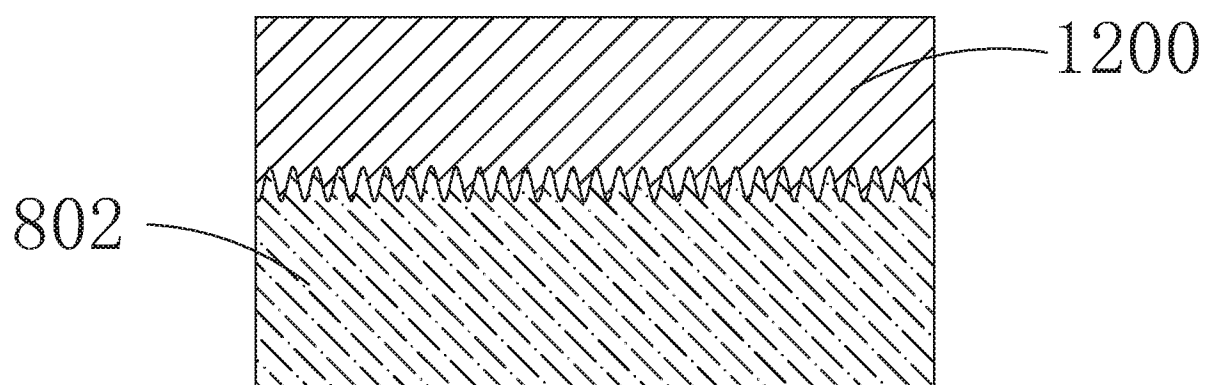


图7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2016/082413

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; G02F 1/1362 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F; H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI: TFT, thin film transistor, drain, pixel electrode, molybdenum, mo, aluminium, al, burr, rough, concave, convex, uneven, contact resistance

WPI, EPODOC: tft, thin w film w transistor, drain, pixel, mo, molybdenum, al, aluminium, rough+, concave, convex, uneven, contact w resistance, impedance

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 105093747 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 November 2015 (25.11.2015), description, paragraphs 0029-0037, and figures 1-3	1-13
A	CN 202905715 U (BOE TECHNOLOGY GROUP CO., LTD. et al.), 24 April 2013 (24.04.2013), the whole document	1-13
A	US 2015069343 A1 (SAMSUNG DISPLAY CO., LTD.), 12 March 2015 (12.03.2015), the whole document	1-13

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 08 September 2016 (08.09.2016)	Date of mailing of the international search report 28 September 2016 (28.09.2016)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer LIU, Jing Telephone No.: (86-10) 62413952

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2016/082413

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 105093747 A	25 November 2015	None	
CN 202905715 U	24 April 2013	None	
US 2015069343 A1	12 March 2015	KR 20150029207 A	18 March 2015
		US 9153633 B2	06 October 2015

A. 主题的分类 H01L 27/12(2006.01)i; G02F 1/1362(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类		
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) G02F; H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNPAT, CNKI: TFT, 薄膜晶体管, 漏, 像素电极, 象素电极, 钼, mo, 铝, al, 刺, 粗糙, 凹, 凸, 不平坦, 接触电阻, 接触阻抗 WPI, EPDOC: tft, thin w film w transistor, drain, pixel, mo, molybdenum, al, aluminium, rough+, concave, convex, uneven, contact w resistance, impedance		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 105093747 A (武汉华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 说明书第0029-0037段, 附图1-3	1-13
A	CN 202905715 U (京东方科技集团股份有限公司 等) 2013年 4月 24日 (2013 - 04 - 24) 全文	1-13
A	US 2015069343 A1 (SAMSUNG DISPLAY CO., LTD.) 2015年 3月 12日 (2015 - 03 - 12) 全文	1-13
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2016年 9月 8日		国际检索报告邮寄日期 2016年 9月 28日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘婧 电话号码 (86-10)62413952

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/082413

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	105093747	A	2015年 11月 25日	无			
CN	202905715	U	2013年 4月 24日	无			
US	2015069343	A1	2015年 3月 12日	KR	20150029207	A	2015年 3月 18日
				US	9153633	B2	2015年 10月 6日