

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-11233

(P2014-11233A)

(43) 公開日 平成26年1月20日(2014.1.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/06 (2006.01)	HO 1 L 27/06 3 1 1 C	5 F 0 3 8
HO 2 H 11/00 (2006.01)	HO 2 H 11/00 F	5 F 0 4 8
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06 3 1 1 A	
HO 1 L 27/088 (2006.01)	HO 1 L 27/08 1 0 2 F	
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 H	

審査請求 未請求 請求項の数 4 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2012-145279 (P2012-145279)
 (22) 出願日 平成24年6月28日 (2012. 6. 28)

(71) 出願人 000010098
 アルプス電気株式会社
 東京都大田区雪谷大塚町1番7号
 (74) 代理人 100085453
 弁理士 野▲崎▼ 照夫
 (74) 代理人 100121083
 弁理士 青木 宏義
 (74) 代理人 100138391
 弁理士 天田 昌行
 (74) 代理人 100132067
 弁理士 岡田 喜雅
 (74) 代理人 100150304
 弁理士 溝口 勉

最終頁に続く

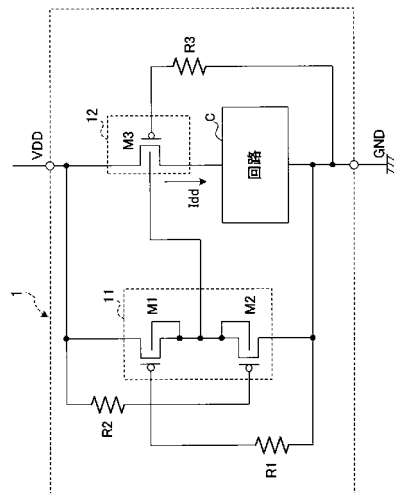
(54) 【発明の名称】 保護回路

(57) 【要約】

【課題】消費電流の大きい回路が用いられる場合でも適切に保護可能な保護回路を提供すること。

【解決手段】電源端子(VDD)と、グランド端子(GND)と、電源端子及びグランド端子と接続される制御部(11)と、電源端子及びグランド端子と接続される供給部(12)と、を備え、所定の機能を備える回路部(C)に逆方向の電圧が加わることを防止する保護回路(1)であって、制御部は、電源端子から供給される電位及び前記グランド端子から供給される電位に応じて制御部及び供給部を制御する制御電位を生成し、供給部は、電源端子から供給される電位、グランド端子から供給される電位、及び制御部で生成された制御電位に基づいて、後段に接続される回路部に電流を供給可能に構成されたことを特徴とする。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

電源端子と、グランド端子と、第 1 から第 3 のトランジスタと、を備え、所定の機能を備える回路部に逆方向の電圧が加わることを防止する保護回路であって、

前記第 1 のトランジスタのソース及びドレインの一方は前記電源端子に接続され、ゲートは前記グランド端子に接続され、ソース及びドレインの他方は前記第 1 のトランジスタにおいてチャンネルの形成される領域を含む第 1 の領域に接続され、

前記第 2 のトランジスタのソース及びドレインの一方は前記第 2 のトランジスタにおいてチャンネルの形成される領域を含む第 2 の領域に接続されると共に前記第 1 のトランジスタのソース及びドレインの他方に接続され、ゲートは前記電源端子に接続され、ソース及びドレインの他方は前記グランド端子に接続され、

前記第 3 のトランジスタのソース及びドレインの一方は前記電源端子に接続され、ゲートは前記グランド端子に接続され、ソース及びドレインの他方は前記回路部を介して前記グランド端子に接続され、

前記第 1 の領域と前記第 2 の領域とは一体に形成されると共に、前記第 3 のトランジスタにおいてチャンネルの形成される領域を含む第 3 の領域と接続されることを特徴とする保護回路。

【請求項 2】

前記第 1 から第 3 の領域は一体に形成されることを特徴とする請求項 1 記載の保護回路。

【請求項 3】

第 1 から第 3 の抵抗部を備え、

前記第 1 のトランジスタのゲートは前記第 1 の抵抗部を介して前記グランド端子に接続され、前記第 2 のトランジスタのゲートは前記第 2 の抵抗部を介して前記電源端子に接続され、前記第 3 のトランジスタのゲートは前記第 3 の抵抗部を介して前記グランド端子に接続されることを特徴とする請求項 1 又は請求項 2 に記載の保護回路。

【請求項 4】

電源端子と、グランド端子と、前記電源端子及び前記グランド端子と接続される制御部と、前記電源端子及び前記グランド端子と接続される供給部と、を備え、所定の機能を備える回路部に逆方向の電圧が加わることを防止する保護回路であって、

前記制御部は、前記電源端子から供給される電位及び前記グランド端子から供給される電位に応じて前記供給部を制御する制御電位を生成し、

前記供給部は、電界効果型トランジスタからなり、

前記制御電位は、前記供給部を構成する電界効果型トランジスタにおいてチャンネルの形成される領域に印加され、

前記電源端子から供給される電位、前記グランド端子から供給される電位、及び前記制御部で生成された前記制御電位に基づいて、前記供給部は、後段に接続される回路部に電流を供給可能に構成されたことを特徴とする保護回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、回路の破損を防止する保護回路に関し、特に、電源の逆接続による回路の破損を防止可能な保護回路に関する。

【背景技術】**【0002】**

車載用の集積回路には、バッテリーをはじめとする電源の逆接続による破損を防ぐための保護回路が設けられている（例えば、特許文献 1 参照）。図 4 に、この保護回路を含む集積回路の回路構成を示す。図 4 に示す保護回路 2 は、電源端子 VDD とグランド端子 GND との間に直列に接続される 2 個の P チャネル型 MOSFET（Metal-Oxide-Semiconductor Field-Effect Transistor）Q3、Q4 を備えている。

【 0 0 0 3 】

M O S F E T Q 3 のソースは電源端子 V D D に接続され、ゲートは抵抗 R 4 を介してグランド端子 G N D に接続されている。M O S F E T Q 4 のドレインはグランド端子 G N D に接続され、ゲートは抵抗 R 3 を介して電源端子 V D D に接続されている。M O S F E T Q 3 のドレインと M O S F E T Q 4 のソースとは接続されており、この接続点とグランド端子 G N D との間には所望の機能を備える回路 C が接続される。

【 0 0 0 4 】

この集積回路に電源が正しく接続（正接続）されると、M O S F E T Q 3 のソースには電源端子 V D D からハイレベルの電位が供給され、ゲートにはグランド端子 G N D からローレベルの電位が供給されるので、M O S F E T Q 3 はオンとなる。また、M O S F E T Q 4 のドレインにはグランド端子 G N D からローレベルの電位が供給され、ゲートには電源端子 V D D からハイレベルの電位が供給されるので、M O S F E T Q 4 はオフとなる。これにより、電源端子 V D D から M O S F E T Q 3 及び回路 C を経由してグランド端子 G N D へと向かう電流経路が形成され、回路 C には正方向の電流 I d d が流れる。

10

【 0 0 0 5 】

一方、この集積回路に電源が逆向きに接続（逆接続）されると、M O S F E T Q 3 のソースには電源端子 V D D からローレベルの電位が供給され、ゲートにはグランド端子 G N D からハイレベルの電位が供給されるので、M O S F E T Q 3 はオフとなる。また、M O S F E T Q 4 のドレインにはグランド端子 G N D からハイレベルの電位が供給され、ゲートには電源端子 V D D からローレベルの電位が供給されるので、M O S F E T Q 4 はオンとなる。この場合、M O S F E T Q 3 がオフとなり、M O S F E T Q 4 がオンとなるので、回路 C を経由する電流経路は形成されない。このように、保護回路 2 は、電源の逆接続時に回路 C を経由する電流経路を遮断することで回路 C の破損を防止している。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開平 5 - 1 5 2 5 2 6 号公報

【 特許文献 2 】 特開 2 0 0 2 - 3 3 5 6 2 6 号公報

【 発明の概要 】

【 発明が解決しようとする課題 】

30

【 0 0 0 7 】

ところで、上述の保護回路 2 を備える集積回路において、回路 C の規模が大きくなるなどして消費電流 I d d が大きくなると、電源が正接続された状態で M O S F E T Q 3 を流れる電流も増大する。その結果、M O S F E T Q 3 のオン抵抗による電圧降下は大きくなり、M O S F E T Q 3 のドレイン電圧は低下される。このような電圧降下を生じると、保護回路 2 中に存在する P N 接合に適切な逆方向バイアスが印加されなくなるので、不要な電流が流れ易くなり保護回路 2 を含む集積回路が破損する恐れがある。

【 0 0 0 8 】

本発明はかかる点に鑑みてなされたものであり、消費電流の大きい回路が用いられる場合でも適切な保護が可能な保護回路を提供することを目的とする。

40

【 課題を解決するための手段 】

【 0 0 0 9 】

本発明の保護回路は、電源端子と、グランド端子と、第 1 から第 3 のトランジスタと、を備え、所定の機能を備える回路部の破損を防止する保護回路であって、前記第 1 のトランジスタのソース及びドレインの一方は前記電源端子に接続され、ゲートは前記グランド端子に接続され、ソース及びドレインの他方は前記第 1 のトランジスタにおいてチャンネルの形成される領域を含む第 1 の領域に接続され、前記第 2 のトランジスタのソース及びドレインの一方は前記第 2 のトランジスタにおいてチャンネルの形成される領域を含む第 2 の領域に接続されると共に前記第 1 のトランジスタのソース及びドレインの他方に接続され、ゲートは前記電源端子に接続され、ソース及びドレインの他方は前記グランド端子に接

50

続され、前記第3のトランジスタのソース及びドレインの一方は前記電源端子に接続され、ゲートは前記グランド端子に接続され、ソース及びドレインの他方は前記回路部を介して前記グランド端子に接続され、前記第1の領域と前記第2の領域とは一体に形成されると共に、前記第3のトランジスタにおいてチャンネルの形成される領域を含む第3の領域に接続されることを特徴とする。

【0010】

この構成によれば、回路部には第3のトランジスタを介して電流が供給されるので、第1のトランジスタのソース及びドレインの他方と第2のトランジスタのソース及びドレインの一方との接続点は回路部の消費電流の影響を受けない。このため、第1のトランジスタの電圧降下に伴う第1から第3の領域の電位の低下を防いで、第1から第3の領域と基板との間に適切な逆方向バイアスを印加できる。よって、第1から第3の領域から基板に向かって流れる電流の発生を防止でき、消費電流の大きい回路部が用いられる場合でも適切な保護が可能な保護回路を提供できる。

10

【0011】

本発明の保護回路において、前記第1から第3の領域は一体に形成されても良い。

【0012】

本発明の保護回路において、第1から第3の抵抗部を備え、前記第1のトランジスタのゲートは前記第1の抵抗部を介して前記グランド端子に接続され、前記第2のトランジスタのゲートは前記第2の抵抗部を介して前記電源端子に接続され、前記第3のトランジスタのゲートは前記第3の抵抗部を介して前記グランド端子に接続されることが好ましい。この構成によれば、第1から第3の抵抗部を介して各トランジスタのゲートに適切な電位を供給できる。

20

【0013】

本発明の保護回路は、電源端子と、グランド端子と、前記電源端子及び前記グランド端子と接続される制御部と、前記電源端子及び前記グランド端子と接続される供給部と、を備え、所定の機能を備える回路部に逆方向の電圧が加わることを防止する保護回路であって、前記制御部は、前記電源端子から供給される電位及び前記グランド端子から供給される電位に応じて前記供給部を制御する制御電位を生成し、前記供給部は、電界効果型トランジスタからなり、前記制御電位は、前記供給部を構成する電界効果型トランジスタにおいてチャンネルの形成される領域に印加され、前記電源端子から供給される電位、前記グランド端子から供給される電位、及び前記制御部で生成された前記制御電位に基づいて、前記供給部は、後段に接続される回路部に電流を供給可能に構成されたことを特徴とする。

30

【0014】

この構成によれば、回路部には供給部を介して電流が供給されるので、制御部の出力端は回路部の消費電流の影響を受けない。このため、回路部の消費電流の増大に起因する制御部の出力端の電圧降下を防いで、不要な電流の発生を防止できる。また、供給部を構成する電界効果型トランジスタにおいて、チャンネルを形成する領域に制御電圧を加えることで、供給部が制御されるので、基板からのジャンクション電流が発生しにくくなり、消費電流の大きい回路部が用いられる場合でも適切な保護が可能な保護回路を提供できる。

【発明の効果】

40

【0015】

本発明によれば、消費電流の大きい回路部が用いられる場合でも適切な保護が可能な保護回路を提供できる。

【図面の簡単な説明】

【0016】

【図1】実施の形態1に係る保護回路を含むデバイス構成を示す回路図である。

【図2】実施の形態1に係る保護回路の素子構造の一例を示す模式図である。

【図3】実施の形態2に係る保護回路の素子構造の一例を示す模式図である。

【図4】従来の保護回路を含む集積回路の一例を示す回路図である。

【図5】図4記載の保護回路の素子構造の一例を示す模式図である。

50

【発明を実施するための形態】

【0017】

図5を参照して、図4の保護回路2の素子構造の例について説明する。図5は、図4に示す保護回路2において想定される素子構造の一例を示す模式図である。図5に示す保護回路2は、ホウ素やアルミニウムなどの不純物（アクセプタ）を添加されたシリコンでなるP型基板21に設けられている。P型基板21の表面21a側には、リンやヒ素などの不純物（ドナー）を添加されたNウェル22が形成されている。このNウェル22には、アクセプタを高濃度に添加された高濃度P型領域23a~23e、及びドナーを高濃度に添加された高濃度N型領域24が相互に離間して設けられており、Nウェル22の外部には、高濃度P型領域23fが設けられている。

10

【0018】

図5に示すように、MOSFETQ3は、ソースとして機能する高濃度P型領域23a、及びドレインとして機能する高濃度P型領域23bを含んでいる。高濃度P型領域23aと高濃度P型領域23bとの間には、Nウェル22の一部で構成されるチャンネル形成領域（チャンネルの形成される領域）22aが配置されている。チャンネル形成領域22aの表面にはシリコン酸化膜でなるゲート絶縁膜25aが形成されており、ゲート絶縁膜25aの上方には、MOSFETQ3のオン及びオフを制御するポリシリコンでなるゲート電極（不図示）が設けられている。

【0019】

MOSFETQ4は、MOSFETQ3と同様の構成を有している。すなわち、MOSFETQ4は、ソースとして機能する高濃度P型領域23c、ドレインとして機能する高濃度P型領域23d、チャンネル形成領域22b、ゲート絶縁膜25b、及びゲート電極（不図示）を備えている。

20

【0020】

高濃度P型領域23a、23cには不図示のソース電極が接続され、高濃度P型領域23b、23dには不図示のドレイン電極が接続されている。また、高濃度P型領域23e、23f、高濃度N型領域24にも、不図示の電極が接続されている。これらの電極を介して各素子を所定の関係で接続することにより、図4に示される回路構成の保護回路2が構成されている。

【0021】

ここで、図4及び図5に示す保護回路2において、電源が正しく接続（正接続）された状態を考える。この場合、MOSFETQ3はオンになるので、MOSFETQ3及び回路Cには電流 I_{dd} が流れる。MOSFETQ3の電圧降下は、MOSFETQ3のオン抵抗を R_{on} として $R_{on} \times I_{dd}$ であるから、回路Cの規模に応じて消費電流 I_{dd} が大きくなると、MOSFETQ3において生じる電圧降下も大きくなる。

30

【0022】

MOSFETQ3のドレインとなる高濃度P型領域23bは、高濃度P型領域23c、及び高濃度N型領域24に接続されると共に、Nウェル22に接続されている。このため、MOSFETQ3における電圧降下が大きくなって高濃度P型領域23bの電位が大きく低下されるようになると、Nウェル22の電位も大きく低下される。P型基板21には高濃度P型領域23fを介して一定のグランド電位が供給されるので、Nウェル22の電位が大きく低下されると、Nウェル22とP型基板21とによるPN接合の逆方向バイアスは著しく小さくなってしまふ。その結果、Nウェル22からP型基板21へと電流が流れるようになり、電源電位とグランド電位との間で大電流を生じる恐れがある。

40

【0023】

本発明者らは、この現象がNウェル22の電位の低下に起因するものであり、Nウェル22の電位が後段の回路Cの消費電流の影響を受けないようにすればこの問題を解消できると考えた。そして、図4及び図5のMOSFETQ3に相当するトランジスタを経由せずに回路Cに電流を供給できる保護回路を具体化して本発明を完成させた。すなわち、本発明の骨子は、電源端子とグランド端子との間で直列に接続される第1及び第2のトラン

50

ジスタでなる制御部に加え、電流を供給させるための第3のトランジスタでなる供給部を備えることである。以下、本実施の形態に係る保護回路について説明する。

【0024】

(実施の形態1)

図1は、本実施の形態に係る保護回路1を含むデバイス構成を示す回路図である。図2は、本実施の形態に係る保護回路1の素子構造の一例を示す模式図である。図1に示すように、本実施の形態の保護回路1は、電源端子VDDと、グランド端子GNDと、3個のトランジスタM1~M3と、3個の抵抗R1~R3とを備えている。電源端子VDDは、不図示の電源(直流電源)と正接続された状態でハイレベルの電位を供給され、グランド端子GNDは、電源と正接続された状態でローレベルの電位を供給される。

10

【0025】

3個のトランジスタM1~M3は、いずれもPチャネル型のMOSFETである。トランジスタ(第1のトランジスタ)M1及びトランジスタ(第2のトランジスタ)M2により、後述するNウェル102(図2参照)の電位を制御する制御部11が構成されている。また、トランジスタ(第3のトランジスタ)M3により、回路Cに電流を供給する供給部12が構成されている。供給部12は、電源端子VDDから供給される電位、グランド端子GNDから供給される電位、及び制御部11からNウェル102に供給される電位(制御電位)に基づいて、回路Cへの電流の供給を制御する。

【0026】

制御部11を構成するトランジスタM1のソースは、電源端子VDDに接続され、ゲートは、抵抗(第1の抵抗)R1を介してグランド端子GNDに接続されている。また、トランジスタM1のドレインは、トランジスタM1においてチャネルの形成される領域(チャネル形成領域)を含む第1の領域102a(図2参照)に接続されている。トランジスタM2のドレインは、グランド端子GNDに接続され、ゲートは、抵抗(第2の抵抗)R2を介して電源端子VDDに接続されている。また、トランジスタM2のソースは、トランジスタM2のチャネル形成領域を含む第2の領域102b(図2参照)に接続されている。

20

【0027】

トランジスタM1のドレインとトランジスタM2のソースとは互いに接続されている。これらの接続点は、制御部11の出力端となり、供給部12を構成するトランジスタM3のチャネル形成領域を含む第3の領域102c(図2参照)に接続される。トランジスタM3のソースは電源端子VDDに接続され、ゲートは抵抗(第3の抵抗)R3を介してグランド端子GNDに接続されている。また、トランジスタM3のドレインは、所定の機能を備える回路(回路部)Cを介してグランド端子GNDに接続されている。

30

【0028】

図2に示すように、保護回路1は、アクセプタを添加されたシリコンでなるP型の基板101に設けられている。基板101の表面101a側には、イオンインプラネーションなどの方法でドナーを添加されたNウェル102が形成されている。このNウェル102には、アクセプタを高濃度に添加された高濃度P型領域103a~103f、及びドナーを高濃度に添加された高濃度N型領域104a, 104bが相互に離間して設けられている。また、Nウェル102の外部には、高濃度P型領域103gが設けられている。なお、基板101はシリコン基板以外でも良い。

40

【0029】

高濃度P型領域103a, 103bは、それぞれトランジスタM1のソース及びドレインとなる領域であり、その間のNウェル102の表面を覆うようにシリコン酸化膜でなるゲート絶縁膜105aが形成されている。ゲート絶縁膜105aの上方には、トランジスタM1のオン及びオフを制御するポリシリコンでなる不図示のゲート電極が設けられている。また、高濃度P型領域103a, 103bの上方には、高濃度P型領域103a, 103bとそれぞれ接続される不図示のソース電極及びドレイン電極が設けられている。なお、ゲート絶縁膜、ゲート電極、ソース電極及びドレイン電極の材質は特に限定されない

50

。

【0030】

トランジスタM1のゲート電極に所定の電位を供給してNウェル102に電界を印加すれば、Nウェル102中でのチャンネルの形成を制御してトランジスタM1のオン又はオフを制御できる。例えば、ソース(又はドレイン)に対してゲート電極を低電位とすれば、Nウェル102中のゲート絶縁膜105aの近傍の領域にチャンネルが形成され、トランジスタM1はオンされる。逆に、ソース(又はドレイン)に対してゲート電極を高電位とすれば、チャンネルは閉じてトランジスタM1はオフされる。本実施の形態では、Nウェル102中のトランジスタM1の近傍の領域(チャンネル形成領域を含む)を第1の領域102aと呼ぶ。

10

【0031】

トランジスタM1のソースとなる高濃度P型領域103aは、電源端子VDDに接続されている。また、ドレインとなる高濃度P型領域103bは高濃度N型領域104aを介してNウェル102と接続されている。このため、Nウェル102(第1の領域102a)の電位はドレインの電位と略等しくなる。トランジスタM1のゲート電極(不図示)は、抵抗R1を介してグランド端子GNDに接続されており、第1の領域102aにはグランド端子GNDの電位に応じた電界が印加される。

【0032】

高濃度P型領域103c, 103dはそれぞれ、トランジスタM2のソース及びドレインとなる領域であり、その間のNウェル102の表面を覆うようにゲート絶縁膜105bが形成されている。ゲート絶縁膜105bの上方には、トランジスタM2のオン及びオフを制御する不図示のゲート電極が設けられている。また、高濃度P型領域103c, 103dの上方には、高濃度P型領域103c, 103dとそれぞれ接続される不図示のソース電極及びドレイン電極が設けられている。本実施の形態では、Nウェル102中のトランジスタM2の近傍の領域(チャンネル形成領域を含む)を第2の領域102bと呼ぶ。

20

【0033】

トランジスタM2のドレインとなる高濃度P型領域103dは、グランド端子に接続されている。ソースとなる高濃度P型領域103cは高濃度N型領域104bを介してNウェル102と接続されており、Nウェル102(第2の領域102b)の電位はソースの電位と略等しくなる。ゲート電極は、抵抗R2を介して電源端子VDDに接続されており、第2の領域102bには、ゲート絶縁膜105bを介して電源端子VDDの電位に応じた電界が印加される。

30

【0034】

高濃度P型領域103e, 103fはそれぞれ、トランジスタM3のソース及びドレインとなる領域であり、その間のNウェル102の表面を覆うようにゲート絶縁膜105cが形成されている。ゲート絶縁膜105cの上方には、トランジスタM3のオン及びオフを制御する不図示のゲート電極が設けられている。また、高濃度P型領域103e, 103fの上方には、高濃度P型領域103e, 103fとそれぞれ接続される不図示のソース電極及びドレイン電極が設けられている。本実施の形態では、Nウェル102中のトランジスタM3の近傍の領域(チャンネル形成領域を含む)を第3の領域102cと呼ぶ。

40

【0035】

トランジスタM3のソースとなる高濃度P型領域103eは、電源端子VDDに接続されており、ドレインとなる高濃度P型領域103fは、所定の機能を有する回路Cに接続されている。ゲート電極は、抵抗R3を介してグランド端子GNDに接続されており、第3の領域102cには、ゲート絶縁膜105cを介してグランド端子GNDの電位に応じた電界が印加される。

【0036】

トランジスタM3の第3の領域102cは、トランジスタM1の第1の領域102a及びトランジスタM2の第2の領域102bと共に同一のNウェル102内に設けられている。このため、第1の領域102a、第2の領域102b、及び第3の領域102cは略

50

等電位となる。つまり、トランジスタM3の第3の領域102cにも、トランジスタM1のドレイン及びトランジスタM2のソースの電位が供給される。

【0037】

P型基板101は、高濃度P型領域103gを介してグランド端子GNDと接続されており、P型基板101の電位は、グランド端子GNDの電位と略等しい電位に保たれる。なお、高濃度P型領域103g、高濃度N型領域104a, 104bの上方には、高濃度P型領域103g、高濃度N型領域104a, 104bとそれぞれ接する不図示の電極が設けられている。

【0038】

この保護回路1を含む集積回路に電源が逆接続されると、トランジスタM1のソースには電源端子VDDからローレベルの電位が供給され、ゲートにはグランド端子GNDからハイレベルの電位が供給されて、トランジスタM1はオフとなる。また、トランジスタM2のドレインにはグランド端子GNDからハイレベルの電位が供給され、ゲートには電源端子VDDからローレベルの電位が供給されて、トランジスタM2はオンとなる。トランジスタM2のソースはNウェル102に接続されているので、Nウェル102の電位も引き上げられてハイレベルとなる。

10

【0039】

また、トランジスタM3のソースには電源端子VDDからローレベルの電位が供給され、ゲートにはグランド端子GNDからハイレベルの電位が供給されて、トランジスタM3はオフとなる。その結果、回路Cを経由する電流経路は形成されず、回路Cには電流は流れない。これにより、電源の逆接続時による回路Cの破損は防止される。

20

【0040】

一方、この保護回路1を含む集積回路に電源が正接続されると、トランジスタM1のソースには電源端子VDDからハイレベルの電位が供給され、ゲートにはグランド端子GNDからローレベルの電位が供給されてトランジスタM1はオンとなる。また、トランジスタM2のドレインにはグランド端子GNDからローレベルの電位が供給され、ゲートには電源端子VDDからハイレベルの電位が供給されてトランジスタM2はオフとなる。その結果、トランジスタM1のドレイン及びトランジスタM2のソースの接続点には、電源端子VDDからハイレベルの電位が供給される。トランジスタM1のドレイン(高濃度P型領域103b)は、高濃度N型領域104aを介してNウェル102に接続されており、トランジスタM2のソース(高濃度P型領域103c)は、高濃度N型領域104bを介してNウェル102に接続されているので、Nウェル102の電位も引き上げられてハイレベルとなる。

30

【0041】

また、トランジスタM3のソースには電源端子VDDからハイレベルの電位が供給され、ゲートにはグランド端子GNDからローレベルの電位が供給されるので、トランジスタM3はオンとなる。その結果、回路Cに所定の電圧が印加されると共に、トランジスタM3を通じて回路Cに電流I_{dd}が流れる。この時、Nウェル102の電位は、電源端子VDDの電位に近いハイレベルであり、P型基板101の電位は、グランド端子GNDの電位に近いローレベルである。このため、P型基板101とNウェル102とのPN接合に逆方向バイアスが印加され、Nウェル102からP型基板101への電流は流れない。

40

【0042】

また、この保護回路1は、回路Cの消費電流I_{dd}が増大されてもNウェル102の電位は殆ど変動しない。これは、Nウェル102の電位が、回路Cの消費電流I_{dd}に関わらずハイレベルとなるように制御部11(トランジスタM1, M2)で制御されているためである。つまり、回路Cの消費電流I_{dd}が大きくなっても、Nウェル102の電位の低下は防止され、P型基板101とNウェル102とに適切な逆方向バイアスが印加される。これにより、Nウェル102からP型基板101へのリーク電流を抑制でき、電源端子VDDとグランド端子GNDとの間の大電流の発生を防止できる。

【0043】

50

なお、回路CにはトランジスタM3を介して電流が供給されるので、トランジスタM3のオン抵抗は十分に小さいことが望ましい。オン抵抗は、例えば、チャネル幅を大きくすることで小さくできる。一方、保護回路1では、トランジスタM1を電流I_{dd}の経路として用いないので、トランジスタM1, M2は十分に小型化できる。

【0044】

このように、本実施の形態の保護回路1において、回路(回路部)Cにはトランジスタ(第3のトランジスタ)M3を介して電流が供給されるので、トランジスタ(第1のトランジスタ)M1のドレイン(又はソース)とトランジスタ(第2のトランジスタ)M2のソース(又はドレイン)との接続点は回路Cの消費電流I_{dd}の影響を受けない。このため、トランジスタM1の電圧降下に伴うNウェル102(第1の領域102a、第2の領域102b、及び第3の領域102c)の電位の低下を防いで、Nウェル102と基板101との間に適切な逆方向バイアスを印加できる。よって、Nウェル102から基板101に向かう電流を防止でき、回路Cの消費電流I_{dd}が大きい場合でも適切な保護が可能となる。

10

【0045】

(実施の形態2)

本実施の形態では、実施の形態1とは異なる態様の保護回路について説明する。図3は、本実施の形態に係る保護回路1aの素子構造の一例を示す模式図である。なお、本実施の形態に係る保護回路1aと、実施の形態1に係る保護回路1とは、素子構造において相違し、他の点で共通する。つまり、保護回路1aの回路構成は、図1に示す保護回路1と共通であるから、回路構成についての詳細な説明は省略する。

20

【0046】

図3に示すように、本実施の形態の保護回路1aは、P型の基板111に設けられている。基板111の表面111a側には、イオンインプランテーションなどの方法でドナーを添加されたNウェル112, 113が形成されている。Nウェル112には、アクセタを高濃度に添加された高濃度P型領域114a~114d、及びドナーを高濃度に添加された高濃度N型領域115aが相互に離間して設けられている。また、Nウェル113には、高濃度P型領域114e, 114f、及び高濃度N型領域115bが相互に離間して設けられている。Nウェル112, 113の外部には、高濃度P型領域114gが設けられている。

30

【0047】

本実施の形態の保護回路1aにおいて、トランジスタM1は、ソース又はドレインとなる高濃度P型領域114a, 114b、ゲート絶縁膜116a、チャネルの形成される第1の領域112a、不図示のソース電極、ドレイン電極、ゲート電極などで構成されている。トランジスタM2は、ソース又はドレインとなる高濃度P型領域114c, 114d、ゲート絶縁膜116b、チャネルの形成される第2の領域112b、不図示のソース電極、ドレイン電極、ゲート電極などで構成されている。また、トランジスタM3は、ソース又はドレインとなる高濃度P型領域114e, 114f、ゲート絶縁膜116c、チャネルの形成される第3の領域113a、不図示のソース電極、ドレイン電極、ゲート電極などで構成されている。

40

【0048】

すなわち、本実施の形態の保護回路1aにおいて、トランジスタM1, M2の形成されるNウェル112と、トランジスタM3の形成されるNウェル113とは分離されている。ただし、Nウェル112とNウェル113とは、高濃度N型領域115a及び高濃度N型領域115bを介して電氣的に接続されており、電位は略等しくなっている。

【0049】

このように構成された保護回路1aにおいても、回路(回路部)Cにはトランジスタ(第3のトランジスタ)M3を介して電流が供給されるので、トランジスタ(第1のトランジスタ)M1のドレイン(又はソース)とトランジスタ(第2のトランジスタ)M2のソース(又はドレイン)との接続点は回路Cの消費電流I_{dd}の影響を受けない。このため

50

、トランジスタM1の電圧降下に伴うNウェル112(第1の領域112a、第2の領域112b)及びNウェル113(第3の領域103a)の電位の低下を防いで、Nウェル112, 113と基板111との間に適切な逆方向バイアスを印加できる。よって、Nウェル112, 113から基板111に向かって流れる電流の発生を防止でき、回路Cの消費電流I_{dd}が大きい場合でも適切な保護が可能となる。

【0050】

なお、本発明は上記実施の形態の記載に限定されず、その効果が発揮される態様で適宜変更して実施することができる。例えば、トランジスタM1~M3はMOSFETであることに限られず、他のタイプのFETとしても良い。また、抵抗R1~R3は、各トランジスタM1~M3のゲートに適切な電位を供給できれば他のインピーダンス素子としても良く、省略することも可能である。また、抵抗R3に相当するインピーダンス素子については回路Cに含まれるものを使用しても良い。

10

【0051】

また、上記実施の形態において、保護回路1, 1aは、回路Cと一体に構成されているが、保護回路1, 1aと、回路Cとは別体で構成されても良い。また、上記実施の形態では、説明の便宜上、各トランジスタM1~M3のソースとドレインとの関係を固定しているが、供給される電位との関係でソースとドレインとの関係は入れ替わることがある。すなわち、ソースはドレインであっても良く、ドレインはソースであっても良い。

【0052】

また、上記実施の形態において、トランジスタM1のゲート、トランジスタM2のドレイン、及びトランジスタM3のゲートは、グランド端子に接続されている。しかし、トランジスタM1のゲートと、トランジスタM2のドレインと、トランジスタM3のゲートとに、回路Cを介してグランド電位を供給するように構成しても良い。

20

【産業上の利用可能性】

【0053】

本発明の保護回路は、例えば、車載用の集積回路など、電源の逆接続による破損の恐れがある回路の保護に有用である。

【符号の説明】

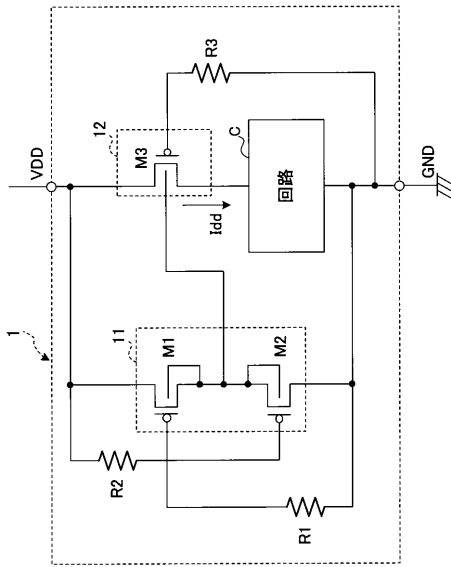
【0054】

- 1, 1a 保護回路
- 11 制御部
- 12 供給部
- 101, 111 基板
- 102, 112, 113 Nウェル
- 102a, 112a 第1の領域
- 102b, 112b 第2の領域
- 102c, 113a 第3の領域
- 103a~103g, 114a~114g 高濃度P型領域
- 104a, 104b, 115a, 115b 高濃度N型領域
- 105a~105c, 116a~116c ゲート絶縁膜
- C 回路(回路部)
- M1 トランジスタ(第1のトランジスタ)
- M2 トランジスタ(第2のトランジスタ)
- M3 トランジスタ(第3のトランジスタ)
- R1 抵抗(第1の抵抗)
- R2 抵抗(第2の抵抗)
- R3 抵抗(第3の抵抗)

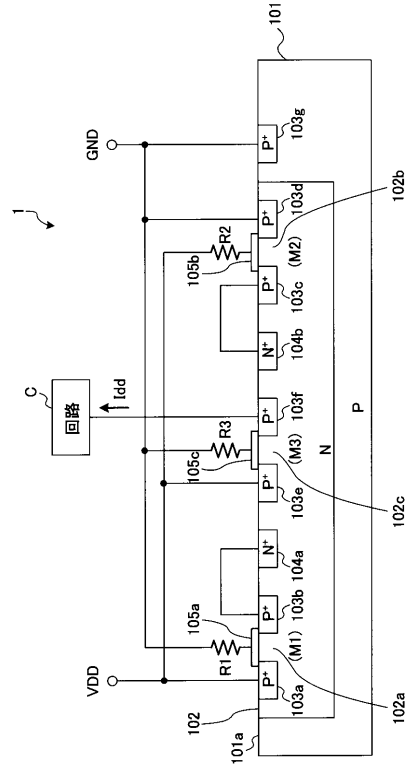
30

40

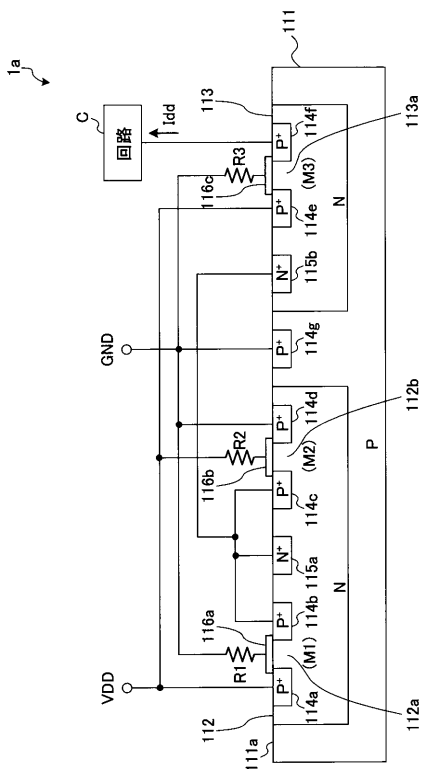
【図 1】



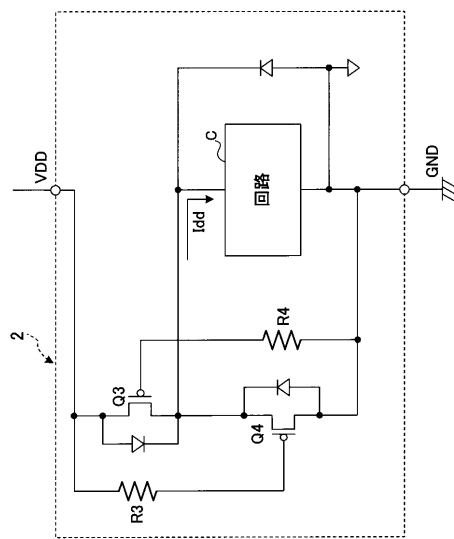
【図 2】



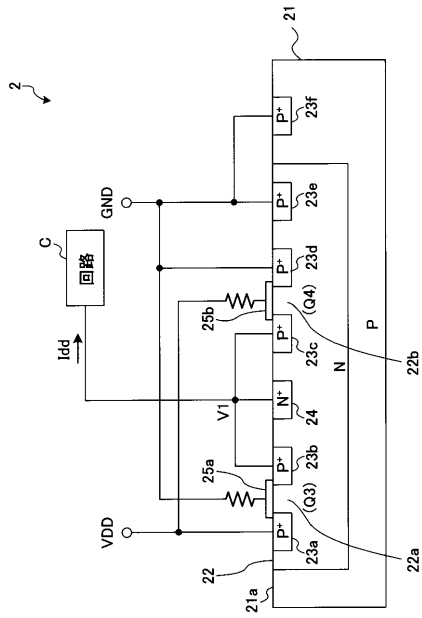
【図 3】



【図 4】



【図 5】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 27/04 (2006.01)

(72)発明者 澤田石 智之
東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72)発明者 飯倉 昭久
東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72)発明者 中尾 公泰
東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

(72)発明者 浅尾 陽
東京都大田区雪谷大塚町1番7号 アルプス電気株式会社内

Fターム(参考) 5F038 BH02 BH07 BH14 CD02 EZ13 EZ20
5F048 BA01 BB05 BE04 BE09 BF18 BH04 CC01 CC09 CC11 CC13
CC18