

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 21/318 (2006.01)

H01L 21/3065 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200680011056.0

[43] 公开日 2008年4月2日

[11] 公开号 CN 101156234A

[22] 申请日 2006.3.28

[21] 申请号 200680011056.0

[30] 优先权

[32] 2005.3.31 [33] JP [31] 103655/2005

[86] 国际申请 PCT/JP2006/306277 2006.3.28

[87] 国际公布 WO2006/106665 日 2006.10.12

[85] 进入国家阶段日期 2007.9.30

[71] 申请人 东京毅力科创株式会社

地址 日本东京都

[72] 发明人 本多稔 中西敏雄

[74] 专利代理机构 北京纪凯知识产权代理有限公司

代理人 龙淳

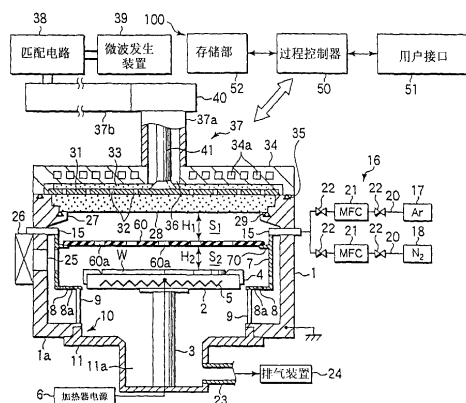
权利要求书 4 页 说明书 18 页 附图 12 页

[54] 发明名称

基板的氮化处理和绝缘膜的形成方法

[57] 摘要

本发明涉及一种基板的氮化处理方法，在等离子体处理装置的处理室内，将含氮等离子体作用于基板表面的硅，从而进行氮化处理，使作为等离子体生成区域的等离子体电位(V_p)与上述基板的悬浮电位(V_f)的电位差($V_p - V_f$)的上述基板附近的鞘电压(V_{dc})控制在 3.5 [eV] 以下，而进行利用上述含氮等离子体的氮化处理。



1. 一种基板的氮化处理方法,是在等离子体处理装置的处理室内,将含氮等离子体作用于基板表面的硅,从而进行氮化处理的、基板的氮化处理方法,其特征在于:

使作为等离子体生成区域中的等离子体电位 (V_p) 与所述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的所述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下,而进行利用所述含氮等离子体的氮化处理。

2. 如权利要求 1 所述的基板的氮化处理方法,其特征在于:
将鞘电压 (V_{dc}) 控制在 0~2 [eV]。

3. 如权利要求 1 所述的基板的氮化处理方法,其特征在于:
利用具有多个缝隙的平面天线向所述处理室内导入微波而形成所述含氮等离子体。

4. 如权利要求 1 所述的基板的氮化处理方法,其特征在于:
在所述处理室内的等离子体生成区域和所述被处理基板之间,隔着具有多个贯通开口的电介质板而进行处理。

5. 如权利要求 4 所述的基板的氮化处理方法,其特征在于:
所述贯通开口的孔径为 2.5~10mm,在对应于所述基板的所述电介质板的区域内,相对所述基板的面积的所述贯通开口的合计的开口面积比率为 10~50%。

6. 如权利要求 4 所述的基板的氮化处理方法,其特征在于:
处理压力为 1.33Pa~1333Pa。

7. 如权利要求 4 所述的基板的氮化处理方法,其特征在于:
处理压力为 66.7Pa~266.6Pa。

8. 如权利要求 1 所述的基板的氮化处理方法,其特征在于:

处理压力为 93.3Pa~1333Pa。

9. 如权利要求 1 所述的基板的氮化处理方法，其特征在于：
处理温度为 600℃~900℃。

10. 如权利要求 1 所述的基板的氮化处理方法，其特征在于：
所述氮化硅膜的膜厚为 1~5nm。

11. 一种绝缘膜的形成方法，是将露出硅的基板表面曝露在含氮等离子体中，直接对硅进行氮化处理，而在所述基板表面上形成氮化硅膜的绝缘膜的形成方法，其特征在于：

通过使作为所述含氮等离子体的等离子体电位 (V_p) 与所述基板的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的所述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而对所述硅进行氮化处理，由此在所述基板表面形成氮化硅膜。

12. 如权利要求 11 所述的绝缘膜的形成方法，其特征在于：
所述含氮等离子体，为稀有气体和氮气的混合气体的等离子体。

13. 如权利要求 11 所述的绝缘膜的形成方法，其特征在于：
将所述鞘电压 (V_{dc}) 控制在 0~2 [eV]。

14. 如权利要求 11 所述的绝缘膜的形成方法，其特征在于：
利用通过具有多个缝隙的平面天线而传播的微波形成所述含氮等离子体。

15. 如权利要求 11 所述的绝缘膜的形成方法，其特征在于：
所述含氮等离子体，形成于具有多个贯通开口的电介质板的上方，并通过所述贯通开口，向所述电介质板的下方转移，到达所述基板的表面。

16. 如权利要求 15 所述的绝缘膜的形成方法，其特征在于：

在对应于所述基板的所述电介质板的区域内，相对所述基板的面积的所述贯通开口的合计的开口面积比率为 10~50%。

17. 如权利要求 15 所述的绝缘膜的形成方法，其特征在于：
生成所述含氮等离子体的压力为 1.33Pa~1333Pa。

18. 如权利要求 15 所述的绝缘膜的形成方法，其特征在于：
形成在所述电介质板的上方的所述含氮等离子体的电子温度为 0.7~2 [eV]。

19. 如权利要求 15 所述的绝缘膜的形成方法，其特征在于：
形成在所述电介质板的上方的所述含氮等离子体的电子温度为 1.5 [eV] 以下。

20. 如权利要求 15 所述的绝缘膜的形成方法，其特征在于：
转移到所述电介质板的下方的所述含氮等离子体的电子温度为 1 [eV] 以下。

21. 如权利要求 15 所述的绝缘膜的形成方法，其特征在于：
转移到所述电介质板的下方的所述含氮等离子体的电子温度为 0.7 [eV] 以下。

22. 如权利要求 11 所述的绝缘膜的形成方法，其特征在于：
处理温度为 600°C~900°C。

23. 一种控制程序，其特征在于：

在计算机上动作，执行时，对所述等离子体处理装置进行控制，以进行基板的氮化处理，该基板的氮化方法是，在等离子体处理装置的处理室内，使作为等离子体生成区域中的等离子体电位 (V_p) 与所述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的所述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而利用含氮等离子体对基板表面的硅进行氮化处理。

24. 一种计算机可读的存储介质，其特征在于：

是存储有在计算机上动作的控制程序的计算机可读的存储介质，所述控制程序在执行时，对所述等离子体处理装置进行控制，以进行基板的氮化处理，该基板的氮化方法是，在等离子体处理装置的处理室内，使作为等离子体生成区域中的等离子体电位 (V_p) 与所述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的所述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而利用含氮等离子体对基板表面的硅进行氮化处理。

25. 一种等离子体处理装置，其特征在于，包括：

等离子体供给源，产生等离子体；

处理容器，内设有载置被处理基板的基板支承台并可真空排气；

和

控制部，控制进行基板的氮化处理，该基板的氮化方法是，在所述处理容器内，使作为等离子体生成区域中的等离子体电位 (V_p) 与所述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的所述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而利用含氮等离子体对基板表面的硅进行氮化处理。

基板的氮化处理方法和绝缘膜的形成方法

技术领域

本发明涉及使用等离子体处理半导体基板等被处理基板，而形成氮化硅膜的基板的氮化处理方法和绝缘膜的形成方法。

背景技术

各种半导体装置的制造过程中，进行例如作为晶体管的栅极绝缘膜等的氮化硅膜的形成。作为氮化硅膜的形成方法，除利用 CVD（化学气相沉积：Chemical Vapor Deposition）堆积氮化硅膜的方法以外，提出了例如利用等离子体处理向氧化硅膜导入氮，而形成氧氮化硅膜的方法（例如，专利文献 1）。

另一方面，随着近年来半导体装置的精密化，栅极绝缘膜不断薄膜化，要求形成膜厚薄至数 nm 的栅极绝缘膜。因此，也在讨论直接对硅进行氮化处理形成氮化硅膜。

作为向硅基板直接导入氮而在表面上形成氮化硅膜的方法，提出了在处理室内导入氮气的状态下加热硅基板，并照射紫外线的方法。（例如，专利文献 2）。而且，此专利文献 2 也公开了使用平行平板型的等离子体处理装置，形成氮气的等离子体，直接氮化处理硅基板的方法，但可指出该方法的问题：由于等离子体的非常高的能量在硅基板上产生损伤；发生非目的性的反应而损害氮化硅膜的膜质。即，专利文献 2 中为了避免利用等离子体氮化处理硅基板时的问题，提出不使用等离子体而利用紫外线进行氮化处理的方法。

专利文献 1：日本专利特开 2001—274148 号公报（权利要求的范围等）

专利文献 2：日本专利特开 2003—243387 号公报（权利要求的范围，段落 0008—0015，图 8）

发明内容

如对上述专利文献 2 所指出的，利用等离子体直接对硅进行氮化形成氮化膜的方法的情况下，由于将具有非常高能量的离子打入膜中，膜质劣化，存在所谓的等离子体损伤（Plasma damage）的问题。这样的等离子体损伤会对例如晶体管等器件的特性产生不良影响，使其性能下降。

此外，直接对硅进行等离子体氮化处理的情况下，存在例如历时 N 浓度减少（N 脱离）和容易产生氧化的课题。特别是膜厚越薄越容易因 N 脱离和氧化使膜质下降，存在难以形成稳定的氮化膜的问题。

因此，本发明的目的是提供一种利用等离子体直接对硅进行氮化，而形成优质且薄的氮化膜的技术。

为了解决上述课题，本发明的第一方面是提供一种基板的氮化处理方法，在等离子体处理装置的处理室内，将含氮等离子体作用于基板表面的硅，从而进行氮化处理，

使作为等离子体生成区域中的等离子体电位（Plasma potential）（ V_p ）与上述基板的悬浮电位（Floating potential）（ V_f ）的电位差（ $V_p - V_f$ ）的上述基板附近的鞘电压（Sheath voltage）（ V_{dc} ）控制在 $3.5 [eV]$ 以下，而进行利用上述含氮等离子体的氮化处理。

上述第一方面的鞘电压（ V_{dc} ）优选控制在 $0 \sim 2 [eV]$ 。

此外，优选利用具有多个缝隙（slot）的平面天线向上述处理室内导入微波而形成上述含氮等离子体。

此外，在上述处理室内的等离子体生成区域和上述被处理基板之间，优选隔着具有多个贯通开口的电介质板而进行处理。此时，上述贯通开口的孔径优选为 $2.5 \sim 10mm$ ，在对应于上述基板的上述电介质板的区域内，相对上述基板的面积的上述贯通开口的合计的开口面积比率优选为 $10 \sim 50\%$ 。此外，处理压力优选为 $1.33Pa \sim 1333Pa$ ，更优选 $66.7Pa \sim 266.6Pa$ 。

此外，不使用上述电介质板的情况下的处理压力优选为 $93.3Pa \sim 1333Pa$ 。

此外，处理温度优选为 $600^\circ C \sim 900^\circ C$ 。此外，上述氮化硅膜的膜厚优选为 $1 \sim 5nm$ 。

此外，本发明的第二方面是提供一种绝缘膜的形成方法，将露出硅的基板表面曝露在含氮等离子体中，直接对硅进行氮化处理，而在上述基板表面形成氮化硅膜，

通过使作为上述含氮等离子体的等离子体电位 (V_p) 与上述基板的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的上述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而对上述硅进行氮化处理，由此在上述基板表面形成氮化硅膜。

上述第二方面的上述含氮等离子体，优选为稀有气体和氮气的混合气体的等离子体。

此外，上述鞘电压 (V_{dc}) 优选控制在 0~2 [eV]。

此外，优选利用通过具有多个缝隙的平面天线而传播的微波形成上述含氮等离子体。

此外，上述含氮等离子体，优选形成于具有多个贯通开口的电介质板的上方并通过上述贯通开口，向上述电介质板的下方转移，到达上述基板的表面。此时，在对应于上述基板的上述电介质板的区域内，相对上述基板的面积的上述贯通开口的合计的开口面积比率优选为 10~50%。此外，生成上述含氮等离子体的压力优选为 1.33Pa~1333Pa。此外，形成在上述电介质板的上方的上述含氮等离子体的电子温度优选为 0.7~2 [eV]，更优选为 1.5 [eV] 以下。此外，转移到上述电介质板的下方的上述含氮等离子体的电子温度优选为 1 [eV] 以下，更优选为 0.7 [eV] 以下。

此外，上述第二方面中，处理温度优选为 600°C~900°C。

本发明的第三方面是提供一种控制程序，在计算机上动作，执行时，对上述等离子体处理装置进行控制，以进行基板的氮化处理，该基板的氮化方法是，在等离子体处理装置的处理室内，使作为等离子体生成区域中的等离子体电位 (V_p) 与上述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的上述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而利用含氮等离子体对基板表面的硅进行氮化处理。

本发明的第四方面是提供一种计算机可读的存储介质，是存储在计算机上动作的控制程序的计算机可读的存储介质，上述控制程序在执行时，对上述等离子体处理装置进行控制，以进行基板的氮

化处理方法，该基板的氮化处理方法是，在等离子体处理装置的处理室内，使作为等离子体生成区域中的等离子体电位 (V_p) 与上述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的上述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而利用含氮等离子体对基板表面的硅进行氮化处理。

本发明的第五方面是提供一种等离子体处理装置，包括：

等离子体供给源，产生等离子体；

处理容器，内设有载置被处理基板的基板支承台并可真空排气；

和

控制部，控制进行基板的氮化处理方法，该基板的氮化处理方法是，在上述处理容器内，使作为等离子体生成区域中的等离子体电位 (V_p) 与上述基板上的悬浮电位 (V_f) 的电位差 ($V_p - V_f$) 的上述基板附近的鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，而利用含氮等离子体对基板表面的硅进行氮化处理。

本发明通过将鞘电压 (V_{dc}) 控制在 3.5 [eV] 以下，利用含氮等离子体直接对硅进行氮化处理，可以抑制等离子体损伤，形成优质且薄的氮化硅膜。

即，通过本发明方法获得的氮化硅膜，即使为例如 5nm 以下的薄膜，也不易发生 N 脱离和氧化，能够稳定地维持高的 N 浓度。这样形成稳定的氮化膜的本发明方法，能够被有效地利用于在逐渐精密化的半导体装置的制造过程中，形成例如 1~5nm 左右（优选 1~2nm）的薄栅极绝缘膜等目的中。

此外，通过将鞘电压 (V_{dc}) 控制在 0~2 [eV]，能够进一步提高氮化硅膜中的 N 浓度，使膜质更优异。

而且，通过由具有多个缝隙的平面天线向处理室内导入微波，形成含氮等离子体，能够使等离子体的电子温度和离子能量进一步下降，进一步降低对基板的等离子体损伤。

此外，通过在处理室内的等离子体生成区域和被处理基板之间，隔着具有多个贯通开口的电介质板，能够容易地进行鞘电压 (V_{dc}) 的控制。此时，通过从 6.7Pa~1333Pa 中选择施加于电介质板的处理压力，从 600~900℃ 中选择处理温度，能够更容易地调整鞘电压 (V_{dc}) 至期

望的值。即，通过组合等离子体处理装置的硬件结构和处理条件，能够更细致且容易地控制鞘电压 (V_{dc})。

附图说明

图 1 是表示可利用于本发明的等离子体处理装置的一个例子的概略剖面图。

图 2A 是用以说明板的平面图。

图 2B 是用以说明板的主要部分的剖面图。

图 3 是用以说明平面天线部件的图。

图 4A 是用以说明等离子体处理装置的 V_{dc} 的示意图。

图 4B 是用以说明配置有板的等离子体处理装置的 V_{dc} 的示意图。

图 5A 是表示关于 V_{dc} 的基础数据，表示板的孔径与 V_{dc} 的关系的图。

图 5B 是表示关于 V_{dc} 的基础数据，表示处理压力与 V_{dc} 的关系的图。

图 6A 是表示根据 XPS 分析，膜中的 N 浓度与 SiN 膜厚的关系的图，表示的是放置时间为 3 小时的结果。

图 6B 是表示根据 XPS 分析，膜中的 N 浓度与 SiN 膜厚的关系的图，表示的是放置时间为 24 小时的结果。

图 7 是表示根据 XPS 分析，在放置时间为 3~24 小时中，膜中的 N 浓度的变化率与 SiN 膜厚的关系的图。

图 8A 是表示根据 XPS 分析，SiN 膜中的 O 浓度与膜厚的关系的图，表示的是放置时间为 3 小时的结果。

图 8B 是表示根据 XPS 分析，SiN 膜中的 O 浓度与膜厚的关系的图，表示的是放置时间为 24 小时的结果。

图 9 是表示根据 XPS 分析，在放置时间为 3~24 小时中，膜中的 O 浓度的变化率与 SiN 膜厚的关系的图。

图 10 是表示根据 XPS 分析，SiN 膜中的 N 浓度与 V_{dc} 的关系的图。

图 11 是表示氮化处理时间和 SiN 膜厚的关系的图。

图 12A 是表示根据 XPS 分析，膜中的 N 浓度与 SiN 膜厚的关系的图，表示的是放置时间为 3 小时的结果。

图 12B 是表示根据 XPS 分析,膜中的 N 浓度与 SiN 膜厚的关系的图,表示的是放置时间为 24 小时的结果。

图 13 是表示根据 XPS 分析,在放置时间为 3~24 小时中,膜中的 N 浓度的变化率与 SiN 膜厚的关系的图。

图 14 是表示根据 XPS 分析,在放置时间为 3~24 小时中, SiN 膜中的 O 浓度的变化率与膜厚的关系的图。

具体实施方式

以下,参照相应附图具体说明本发明的实施方式。图 1 是示意地表示可适用于本发明的等离子体处理装置的一个例子的剖面图。该等离子体处理装置 100 构成为 RLSA 微波等离子体处理装置:利用具有多个缝隙(slot)的平面天线,特别是 RLSA(径向线缝隙天线:Radial Line Slot Antenna)向处理室内导入微波而产生等离子体,由此产生高密度且低电子温度的微波等离子体。可以利用具有等离子体密度为 $1 \times 10^{10} \sim 5 \times 10^{12}/\text{cm}^3$,且电子温度为 $0.7 \sim 2$ [eV]的等离子体进行处理。由此,能够适用于例如 MOS 晶体管、MOSFET(场效应管)等的各种半导体装置的制造过程中的栅极绝缘膜的形成等。

上述等离子体处理装置 100 具有,气密地构成且接地的大致圆筒状的腔室 1。腔室 1 的底壁 1a 的大致中央部形成有圆形的开口部 10,在底壁 1a 上设有与此开口部 10 连通并向下方突出的排气室 11。

腔室 1 内设置有用于水平支承作为被处理基板的硅晶片(以下简称“晶片”)W 的,由 AlN 等陶瓷构成的载置台 2。此载置台 2 由从排气室 11 的底部中央向上方延伸的圆筒状的 AlN 等由陶瓷构成的支承部件 3 支承。载置台 2 的外边缘部设有用于引导晶片 W 的导向环(guide ring) 4。此外,载置台 2 中埋有电阻加热型的加热器 5,此加热器 5 通过加热器电源 6 供电,由此对载置台 2 进行加热,利用该热量对作为被处理基板的晶片 W 加热。此时,可以在例如室温到 800°C 的范围内进行温度控制。而且,在腔室 1 的内周设有由石英构成的圆筒状的衬圈(liner) 7。此外,在载置台 2 的外周侧,环状地设有用于对腔室 1 内进行均匀排气的,具有多个排气孔 8a 的挡板(baffle plate) 8,此挡板 8 由多个支柱 9 支承。

在载置台 2 上，相对于载置台 2 的表面可突出或没入地设有用于支承晶片 W 并使其升降的晶片支承销（未图示）。

在载置台 2 的上方配备有用于衰减等离子体中的离子能量，降低相对于晶片 W 的 V_{dc} 的板 60。此板 60 由例如石英、蓝宝石、SiN、SiC、 Al_2O_3 、AlN 等陶瓷的电介质、多晶硅、硅等构成，为了防止金属污染（metal contamination），优选石英、SiN、多晶硅和硅。然后，板 60 通过其外周部与支承部 70 结合而被支承，此支承部 70 在整个圆周从腔室 1 内的衬圈 7 向内侧突起。而且，板 60 也可以由其他方法支承。

板 60 的安装位置优选接近晶片 W 的位置，板 60 和晶片 W 的距离（高度 H_2 ）优选例如 3~50mm，更优选 25~35mm 左右。此时，板 60 的上面与透过板 28（后述）的下面间的距离（高度 H_1 ）优选例如 30~150mm，更优选 50~100mm 左右。通过将板 60 配置在这样的位置能够抑制等离子体损伤，均匀地对硅进行氮化。

以板 60 作为分界，在其上方形成第一等离子体区域 S_1 ，在其下方形成第二等离子体区域 S_2 。优选将第一等离子体区域 S_1 和第二等离子体区域 S_2 的容积设定为相同，或是第二等离子体区域 S_2 的容积较小。第一等离子体区域 S_1 的高度 H_1 和第二等离子体区域 S_2 的高度 H_2 的比（ H_1/H_2 ），优选为例如 0.6~50，更优选 1.4~4。

板 60 上形成有多个贯通孔 60a。图 2A 和图 2B 是详细表示板 60 的图。图 2A 表示从板 60 的上方看到的状态，图 2B 表示板 60 的主要部分的剖面。

图 2A 中，以相对于虚线所示的晶片 W 的载置区域，贯通孔 60a 的设置区域稍大的方式，大致均匀地配置板 60 的贯通孔 60a。具体而言，例如图 2A 中，相对于 300mm 直径的晶片 W，贯通孔 60a 的配置区域的外延所结成的圆的直径相当的长度 L，与晶片 W 的外边缘相比向外侧扩大至贯通孔 60a 的间距（pitch）以上，例如大致 5~30mm，而设置贯通孔 60a。而且，贯通孔 60a 也可以设置在板 60 的整个面上。通过如此配置比晶片直径更广的贯通孔 60a，能够均匀地进行氮化处理。

贯通孔 60a 的直径 D_1 能够任意地设定，例如优选 2~15mm，更优选 2.5~10mm。而且，图 2A 是贯通孔 60a 的直径为 10mm 的例子。也

可以根据板 60 内的贯通孔 60a 的位置改变孔的大小, 此外, 贯通孔 60a 的配置也能够选择例如同心圆状、辐射状、螺旋状等任意的排列。而且, 板 60 的厚度 (T_1) 优选例如 2~20mm 左右, 更优选设定为 2~5mm 左右。通过这样规定贯通孔 60a 的直径, 能够降低 V_{dc} , 减少对晶片 W 的离子损伤, 实现均匀的氮化处理。

此板 60 作为降低等离子体的离子能量总量的离子能量降低构件而起作用。

即通过配置电介质的板 60, 主要使等离子体中的自由基 (Radical) 通过, 能够阻挡多数离子。为了达到此目的, 如后述, 优选综合考虑板 60 的贯通孔 60a 的开口面积、贯通孔 60a 的直径 D_1 , 及贯通孔 60a 的形状和配置、板 60 的厚度 T_1 (即壁 60b 的高度)、板 60 的设置位置 (与晶片 W 的距离) 等。例如贯通孔 60a 的孔径为 2.5~10mm 时, 对应于晶片 W 的板 60 的区域内 (即与晶片 W 重合的范围), 相对于晶片 W 的面积优选贯通孔 60a 的合计的开口面积的比率为 10~50%。通过控制开口面积比率, 能够抑制离子能量, 在低 V_{dc} 的状态下进行氮化处理。

在腔室 1 的侧壁上设有形成为环状的气体导入部件 15, 气体供给系统 16 连接在此气体导入部件 15 上。而且, 气体导入部件也可以配置为喷淋状。此气体供给系统 16 具有例如 Ar 气供给源 17、 N_2 气供给源 18, 这些气体分别通过气体管路 20 到达气体导入部件 15, 从气体导入部件 15 导入至腔室 1 内。各个气体管路 20 上设有质量流量控制器 (mass flow controller) 21 和其前后的开关阀 22。而且, 代替上述 N_2 气, 作为含氮气体, 能够使用例如 NH_3 气、 N_2 与 H_2 气的混合气体、联氨等。而且, 代替上述 Ar 气, 也能够使用 Kr、Xe、He 等稀有气体。

上述排气室 11 的侧面连接有排气管 23, 此排气管 23 上连接有包括高速真空泵的排气装置 24。从而通过使此排气装置 24 动作, 使腔室 1 内的气体向排气室 11 的空间 11a 内均匀排出, 通过排气管 23 排气。由此能够对腔室 1 高速减压, 达到规定的真空度, 例如 0.133Pa。

腔室 1 的侧壁上设有用于在与邻接等离子体处理装置 100 的搬送室 (未图示) 之间搬入搬出晶片 W 的搬入搬出口 25, 和开关此搬入搬出口 25 的闸阀 26。

腔室 1 的上部为开口部，沿着此开口部的周边部，突出设置有环状的支承部 27，此支承部 27 由电介质，例如石英或 Al_2O_3 、 AlN 等陶瓷构成，透过微波的透过板 28 通过密封部件 29 气密地设置。从而可以保持腔室 1 内的气密。

在透过板 28 的上方，以相对载置台 2 的方式，设有圆板状的平面天线部件 31。此平面天线部件 31 卡止在腔室 1 的侧壁上端。平面天线部件 31 例如由表面镀金或镀银的铜板或铝板构成，构成为，以规定图案贯通形成有放射微波的多个缝隙状的孔 32。例如图 3 所示，此孔 32 成为长沟状，典型地配置为相邻的孔 32 彼此之间为“T”字状，这些多个孔 32 配置为同心圆状。孔 32 的长度和排列间隔根据微波的波长 (λ_g) 而决定，例如孔 32 的间隔配置为 $\lambda_g/4$ 、 $\lambda_g/2$ 或 λ_g 。而且，图 3 中用 Δr 表示形成为同心圆状的相邻的孔 32 彼此之间的间隔。而且，孔 32 也可以形成为圆形状、圆弧状等其他形状。此外，孔 32 的配置方式并无特别的限制，同心圆状以外也可以配置为例如螺旋状、辐射状。

在此平面天线部件 31 的上面设置有，具有大于真空的介电常数的滞波件 33。由于真空中微波的波长变长，因此，该滞波件 33 具有使微波的波长变短，调整等离子体的功能。而且，平面天线部件 31 与透过板 28 之间，滞波件 33 和平面天线部件 31 之间，可以分别接触或分离。

在腔室 1 的上面以覆盖这些平面天线部件 31 和滞波件 33 的方式，设有例如由铝或不锈钢等金属材料构成的屏蔽 (shield) 盖体 34。腔室 1 的上面和屏蔽盖体 34 之间由密封部件 35 密封。屏蔽盖体 34 上形成有冷却水流路 34a，冷却水从此处通流，以冷却屏蔽盖体 34、滞波件 33、平面天线部件 31、透过板 28。而且，屏蔽盖体 34 接地。

在屏蔽盖体 34 的上壁的中央形成有开口部 36，在此开口部上连接有波导管 37。此波导管 37 的端部通过匹配电路 38 与产生微波的微波产生装置 39 连接。由此，产生于微波产生装置 39 的，例如频率为 2.45GHz 的微波通过波导管 37 向上述平面天线部件 31 传送。微波的频率也可以使用 8.35GHz、1.98GHz 等。

波导管 37 具有从上述屏蔽盖体 34 的开口部 36 向上方延伸的剖面为圆形的同轴波导管 37a；和通过模式变换器 40 连接于此同轴波导管 37a 的上端部的在水平方向延伸的矩形波导管 37b。矩形波导管 37b 和

同轴波导管 37a 之间的模式变换器 40 具有将在矩形波导管 37b 内以 TE 模式传播的微波变换为 TEM 模式的功能。在同轴波导管 37a 的中心延伸存在内导体 41，内导体 41 在其下端部与平面天线部件 31 的中心连接而固定。由此，通过同轴波导管 37a 的内导体 41 向平面天线部件 31 辐射状地高效均匀地传播微波。

等离子体处理装置 100 的各结构部与具有 CPU 的过程控制器 50 连接并被控制。在过程控制器 50 上连接有用户接口 51，此用户接口 51 由，为使工序管理者对等离子体处理装置 100 进行管理操作输入指令等的键盘和可视化地显示等离子体处理装置 100 的运转状况的显示器等构成。

此外，过程控制器 50 上连接有存储方案的存储部 52，该方案记录有用于实现以过程控制器 50 控制在等离子体处理装置 100 中实施的各种处理的控制程序（软件）和处理条件数据等。

根据需要，根据来自用户接口 51 的指令等，从存储部 52 中调出任意的方案在过程控制器 50 中执行，从而在过程控制器 50 的控制下在等离子体处理装置 100 中进行期望的处理。此外，上述控制程序和处理条件数据等的方案，以存储在计算机可读的存储介质，例如 CD-ROM、硬盘、软盘、闪存等中的状态进行使用，或者，也能够从其他的装置例如通过专用线路随时传送，而在线使用。

具有这样结构的 RLSA 方式的等离子体处理装置 100，能够根据以下所述顺序，直接氮化晶片 W 的硅层而形成氮化硅膜等的处理。

首先打开闸阀 26 从搬入搬出口 25 将形成硅层的晶片 W 搬入腔室 1 内，载置在载置台 2 上。然后，从气体供给系统 16 的 Ar 气供给源 17 和 N₂ 气供给源 18，将规定流量的 Ar 气和 N₂ 气通过气体导入部件 15 导入至腔室 1 内。

具体而言，例如设定 Ar 等稀有气体的流量为 250~2000mL/min (sccm)，N₂ 气的流量为 10~100mL/min (sccm)；调整腔室内的处理压力为 1.33~1333Pa (10mTorr~10Torr)，优选为 26.6~400 Pa (200mTorr~3Torr)，更优选为 66.7~266.6 Pa (500mTorr~2Torr)；加热晶片 W，至温度为 300~900℃，优选为 600~900℃，更优选为 600~800℃左右。

而且，未配备板 60 的情况下，优选调整处理压力到 93.3~1333 Pa (700mTorr~10Torr)。

接着，来自微波产生装置 39 的微波经由匹配电路 38 引导至波导管 37，依次通过矩形波导管 37b、模式变换器 40 和同轴波导管 37a，通过内导体 41 供给至平面天线部件 31，通过透过板 28，由平面天线部件 31 的缝隙向腔室 1 内的晶片 W 的上方空间放射。微波在矩形波导管 37b 内以 TE 模式传送，此 TE 模式的微波在模式变换器 40 中变换为 TEM 模式，在同轴波导管 37a 内向平面天线部件 31 传送。利用从平面天线部件 31 经由透过板 28 放射至腔室 1 内的微波，在腔室 1 内形成电磁场，等离子体化 Ar 气、N₂ 气。此微波等离子体是通过从平面天线部件 31 的多个孔 32 放射微波，变为大致 $1 \times 10^{10} \sim 5 \times 10^{12}/\text{cm}^3$ 的高密度且在晶片 W 的附近的大致 1.5 [eV] 以下的低电子温度等离子体。这样形成的微波等离子体，由朝向基底膜的离子造成的等离子体损伤很少，但是，通过在腔室 1 内设置电介质的板 60，将生成等离子体的第一等离子体区域 S₁，和由通过板 60 的等离子体对晶片 W 进行处理的第 2 等离子体区域 S₂ 分离，能够使第二等离子体区域 S₂ 内的离子能量大幅度衰减，降低基板附近的鞘电压 V_{dc}，而且能够使等离子体的电子温度降低为 1 [eV] 以下，优选 0.7 [eV] 以下，进一步降低等离子体损伤。从而，通过等离子体中的活性种，主要是氮自由基 (N^{*}) 等的作用，直接向硅中导入 N，形成均匀的 SiN 膜。

接着，参照图 4A 和图 4B 说明本发明的作用。首先参照图 4，等离子体处理装置中，Ar/N₂ 混合气体在从平面天线部件 31 供给的微波的电磁场的作用下产生的等离子体 P，在腔室 1 内的空间中向载置在载置台 2 的晶片 W 的方向下降。如图 4A 所示，等离子体 P 的等离子体电位 (空间电位) 为 V_p，接地的腔室 1 的壁和载置台 2 的悬浮电位 (浮游电位) 为 V_f 时，等离子体 P 与腔室壁和载置台 2 之间形成的分界层 (鞘) Ps 的电位 (鞘电位 V_{dc}) 可表示为： $V_{dc} = V_p - V_f$ 。此 V_{dc} 与等离子体的离子能量的大小相关，V_{dc} 的值变大时，打入硅中 (形成的绝缘膜中) 的离子的能量变大 (离子的速度被加速)，离子能量的总量也变大。

从等离子体 P 向作为被处理基板的晶片 W 供给能量（例如来自电子、离子、自由基等的能量），是进行硅的氮化所不可或缺的。例如在氮化氧化硅膜的情况下，供给超过 Si—O 键的键能约 4.3 [eV] 的能量（作为包含离子能量的总量），能够通过切断 Si—O 键实现氮化。但是，由于 Si—N 键的键能约为 3.5 [eV]，供给的能量比该值大时，可能会切断一度形成的 Si—N 键。而且，由于供给需要的能量以上的高能量，硅自身也可能会产生缺陷等等离子体损伤。

与此相反，由于 Si—Si 键的键能约为 2.3 [eV]，和 Si—O 键的键能相比较小，在直接对硅进行氮化处理时，在与氮化氧化硅膜的情况相比较小的能量下进行处理，从而可以相应地减少离子能量。

此外，在直接对硅进行氮化处理时，供给大大超过 Si—Si 键的键能的能量时，产生结晶缺陷的可能性增大。

因此，在本发明中，在直接由等离子体对硅（多晶硅或单晶硅）进行氮化处理，而形成氮化硅膜的等离子体处理中，利用降低 V_{dc} 的构件（例如开设有贯通孔 60a 的板 60），使 V_{dc} 降低至 3.5 [eV] 以下，由此能够不对膜造成损伤，维持稳定的氮浓度，形成具有稳定的 Si—N 键的氮化膜。

如图 4B 所示，在图 1 的等离子体处理装置 100 中包括，一个作为降低离子能量的构件的具有贯通孔 60a 的板 60。由此，向晶片 W 的方向下降的等离子体中的离子通过板 60 衰减或消失。特别是等离子体中包含的氩离子 (Ar^+) 等具有很大能量的带电粒子，在通过由石英等电介质构成的板 60 时衰减或失去活性。即，通过板 60 能够在离子通过时控制离子能量。结果，板 60 上方的等离子体 P_1 的等离子体电位 V_{p1} 和板 60 下方的等离子体 P_2 的等离子体电位 V_{p2} 间的关系为： $V_{p2} < V_{p1}$ 。从而，表示为 $V_{p2} - V_f$ 的晶片 W 附近的 V_{dc} 与未配置板 60 的情况（图 4A）相比变小，能够在不使加速通过贯通孔 60a 的离子和自由基过度加速的条件下进行等离子体处理，实现适度（mild）的氮化处理。

通过上述的由电介质构成的板 60，使等离子体的离子能量衰减，从而能够减少 V_{dc} ，控制其为期望的值。

接着，参照图 5A 和图 5B 说明有关板 60 的贯通孔 60a 与 V_{dc} 和压力的关系的实验数据，此实验数据是本发明的基础。图 5A 是表示使用

与图 1 同样结构的等离子体处理装置 100 进行等离子体处理时, 改变处理压力进行研究所得到的板 60 的贯通孔 60a 的直径与 V_{dc} 之间关系的结果的图。图 5A 中图的纵轴为 V_{dc} , 横轴表示贯通孔 60a 的直径(“无”表示未配置板 60)。此外, 多个贯通孔 60a 相对晶片 W 的表面均匀地配置, 其贯通孔 60a 的孔径为 $\Phi 10\text{mm}$ 时, 开口面积比率(即对应于晶片 W 的板 60 的区域内, 相对晶片 W 的面积贯通孔 60a 的合计开口面积比率)为约 48%, 贯通孔 60a 的孔径为 $\Phi 5\text{mm}$ 时开口面积比率为约 28%, 贯通孔 60a 的孔径为 $\Phi 2.5\text{mm}$ 时开口面积比率为约 13%。

使用经由 1% 的稀氟酸 (DHF) 溶液清洗过的晶片 W。此实验的等离子体处理条件为: 使用流量为 1000/40mL/min (sccm) 的作为处理气体的 Ar/N₂ 气体, 晶片温度为室温, 压力为 6.7Pa (50mTorr)、13.3 Pa (100mTorr)、26.6 Pa (200mTorr)、40.0 Pa (300mTorr) 或 66.7 Pa (500mTorr), 向等离子体供给的功率为 1.5kW, 处理时间为 60 秒。 V_{dc} 的测量是通过测量朗缪尔测量仪 (Langmuir probe) 的探针的电流电压而计算得出的。

由图 5A 了解到通过设置板 60 与未设置的情况 (“无”) 相比, 能够降低 V_{dc} 。此外, 可观察到由板 60 的贯通孔 60a 的孔径 (开口面积比率) 带来的不同的降低 V_{dc} 的效果, 确认在相同压力下孔径 (开口面积比率) 越小降低 V_{dc} 的效果越大。而且, 随着压力增高 V_{dc} 会下降, 这被认为是因为压力低时等离子体中的离子比率高, 而压力高时等离子体中的自由基比率高。因此可知, 为了抑制 V_{dc} 优选高压侧的条件。

以上结果表示, 板 60 是作为使等离子体处理装置 100 的板 60 与晶片 W 之间的 V_{dc} 降低, 降低离子能量的构件而被使用的。此外, 确认了能够通过板 60 的贯通孔 60a 的孔径和开口面积比率等硬件结构或该硬件结构与处理压力的组合, 控制 V_{dc} 为期望的值。

图 5B 表示压力升高到 266.6Pa 时 V_{dc} 的变化。此试验在与图 5A 的试验相同的条件下实施等离子体处理, 测量 V_{dc} 。 V_{dc} 优选控制在 3.5 [eV] 以下, 更优选在 2 [eV] 以下。由图 5B 可知, 板 60 的贯通孔 60a 的孔径为 10mm 时, 为了降低 V_{dc} 优选提高压力, 压力为 133.3Pa 以上时, V_{dc} 可以降低至 2 [eV] 以下。

这些被认为是因为如前所述，压力低时等离子体中的离子比率高，随压力变高，等离子体中的自由基的比率升高。因此，通过在高压侧使用板 60， V_{dc} 的下降效果特别显著。此外，由图 5A 和图 5B 可知，贯通孔 60a 的孔径小时 V_{dc} 变低。

下面，使用等离子体处理装置 100，直接对 Si 基板进行氮化处理形成氮化硅膜，在经过规定时间后对其膜中的 N 浓度和 O 浓度通过 X 射线光电子能谱法（XPS 分析）进行测量。

使用经由 1% 的稀氟酸（DHF）溶液清洗过的晶片 W。

氮化处理的等离子体条件为：使用流量为 1000/40mL/min（sccm）的作为处理气体的 Ar/N₂ 气体，晶片温度为 800℃，压力为 6.7~266.6Pa（50~2000mTorr），向等离子体供给的功率为 1.5KW，处理时间为 10~60 秒。

本实施例中，以对应晶片 W 的载置区域的方式，均匀地配备板 60 的贯通孔 60a， $\Phi 10\text{mm}$ 时为 626 个， $\Phi 2.5\text{mm}$ 时为 2701 个，在板 60 上的对应于晶片 W 的区域内，相对晶片 W 的面积，贯通孔 60a 的合计的开口面积比率为， $\Phi 10\text{mm}$ 时为约 48%， $\Phi 2.5\text{mm}$ 时为约 14%。而且，为了进行比较，对不配备板 60 进行氮化处理而形成的膜也进行同样的 N 浓度和 O 浓度的测量。

将形成的氮化膜，在大气中放置 3 小时后的 N 浓度与膜厚的关系和放置 24 小时后的 N 浓度与膜厚的关系分别用图 6A 和图 6B 表示。图 7 表示从图 6A 和图 6B 的数据中，计算出的放置时间（Q 时间）为 3~24 小时的 N 浓度的变化率（ ΔN ）与膜厚的关系。

此外将形成的氮化膜，在大气中放置 3 小时后的 O 浓度和放置 24 小时后的 O 浓度分别用图 8A 和图 8B 表示。图 9 表示从图 8A 和图 8B 的数据中，计算出的放置时间（Q 时间）为 3~24 小时的 O 浓度的变化率（ ΔO ）与膜厚的关系。

图 7 表示了通过配置板 60，与未配置的情况相比，具有维持氮化膜中的高 N 浓度的倾向。即可确认，配置板 60 的一方与未配置的情况相比，3~24 小时的放置时间的 N 浓度变化率（ ΔN ）接近于零，抑制浓度变化至很小。由图 6A 和图 6B 的比较可以确认，此倾向随放置时间（Q 时间）的增加而变得明确，未配置板 60 而形成的氮化膜随时间

产生 N 脱离的现象。未配置板 60 而形成的氮化膜， V_{dc} 大时，由于是由具有大离子能量的等离子体进行的处理，会切断一度形成的 Si-N 键，形成在膜中游离的 N，历时的 N 脱离变多。

另一方面，由于本发明配置板 60 以降低 V_{dc} 行氮化处理，因此形成稳定的 Si-N 键，可形成 N 脱离小的稳定的氮化膜。如上所述，考虑到在等离子体中的离子成分多时，对硅进行氮化形成 Si-N 键后，高能离子再次切断 Si-N 键，会使来自氮化硅膜的 N 脱离变多。与此相对，考虑等离子体中的自由基成分多时，自由基不会切断氮化的 Si-N 键，N 脱离变小。

此外，由图 7 和图 6A、图 6B 可知，板 60 的贯通孔 60a 的孔径小时，N 浓度高，则 N 脱离小且稳定。这些被认为是因为贯通孔 60a 的孔径为 2.5mm 时与 10mm 相比开口率小，离子能量的衰减率大，晶片 W 附近的 V_{dc} 进一步下降（参照图 5A）。从而可以抑制等离子体损伤，抑制形成例如妨碍 Si-N 键的 Si-Ar 键，抑制 Si-N 键的切断等。

此外，图 9 表示了通过配置板 60 与未配置的情况相比，具有维持氮化膜中的低 O 浓度的倾向。通过图 8A 和图 8B 的比较，此倾向随放置时间（Q 时间）的增加而变得明确。未配置板 60 而形成的氮化膜，由于晶片 W 附近的 V_{dc} 高，由具有高离子能量的等离子体造成等离子体损伤，切断 Si-N 键，在膜中形成缺陷部分（例如 Si-Si 键、Si- 等），随时间大气中的 O 侵入并进行氧化，增加 O 浓度。

另一方面，配置板 60 抑制晶片 W 附近的 V_{dc} ，并由等离子体进行处理时，由于离子加速小，抑制其切断 Si-N 键，减少 N 脱离和损伤，减少膜中缺陷，Si-N 键稳定。结果难以被氧化，形成稳定的氮化膜。此外，由于板 60 的贯通孔 60a 的孔径为 2.5mm 时与 10mm 相比较，开口率小，离子能量的衰减率大，控制晶片附近的 V_{dc} 变低，可形成稳定的 Si-N 键，形成难以被氧化、O 浓度低、稳定且优质的氮化膜。

由以上的图 6A、6B~图 9 的结果可以确认，在处理容器内配置由电介质构成的板 60，使离子能量衰减，降低晶片 W 附近的 V_{dc} ，能够形成稳定且致密的氮化膜。此外也表示了由形成于板 60 上的贯通孔 60a 的孔径能够控制 V_{dc} ，使膜质提高。

氧化硅膜(SiO_2 膜)的介电常数 ϵ 为 4, 与此相对的氮化硅膜(Si_3N_4 膜)的介电常数 ϵ 为 7~8, 由于氮化硅膜具有大致两倍的介电常数, 能够使绝缘膜的膜厚变薄。所以, 利用本发明的适宜的方式, 由于能够获得膜厚薄且膜质良好的氮化硅膜, 对于形成下一代器件中的薄膜, 例如膜厚为 5nm 以下, 优选 2nm 以下厚度的栅极绝缘等特别有用。

此外, 随着由一般的等离子体氮化处理形成的氮化硅膜的膜厚变厚, 长时间曝露在高离子能量的等离子体中, 结果由于 N 脱离和损伤在氮化膜中形成阱(trap), 使得氧容易侵入膜中。与此相反, 本发明即使是在形成膜厚厚的氮化硅膜的情况下, 仍能形成 N 脱离和损伤少, 稳定的氮化硅膜。

图 10 表示等离子体氮化处理的 V_{dc} 和氮化膜中的 N 浓度之间的关系。此图 10 的纵轴表示根据膜厚标准化的 N 浓度, 横轴表示 V_{dc} 。处理条件为: 使用流量为 1000/40mL/min (sccm) 的作为处理气体的 Ar/ N_2 气体, 晶片温度为 800℃, 压力为 6.7~200Pa (50~1500mTorr), 向等离子体供给的功率为 1.5KW, 处理时间为 10~60 秒。 V_{dc} 的测量是通过测量朗缪尔探针的电流电压而计算得出的, N 浓度的测量是通过 XPS 分析进行的。从图 10 可知, 将等离子体处理对象的 V_{dc} 降低至 3.5 [eV] 以下, 可获得稳定且高的 N 浓度。而且可知为了形成具有足够的 N 浓度、无 N 脱离等、稳定且致密的氮化膜, 优选设定等离子体处理的对象的 V_{dc} 为 3.5 [eV] 以下, 更优选设定在 0~2 [eV] 的范围内。

接着, 参照图 11~图 14 说明针对氮化处理中温度和压力的影响的研究结果。

首先, 使用等离子体处理装置 100, 直接氮化处理 Si 基板形成氮化膜, 研究氮化膜的形成速度(氮化速率)和处理温度间的关系。使用经由 1%的稀氟酸(DHF)溶液清洗, 除去氧化膜的晶片 W。氮化处理的等离子体条件为: 使用流量为 1000/40mL/min (sccm) 的作为处理气体的 Ar/ N_2 气体, 晶片温度为 400℃或 800℃, 压力为 6.7 Pa 或 266.6Pa (50mTorr 或 2000mTorr), 向等离子体供给的功率为 1.5KW, 处理时间为 5~300 秒。图 11 中表示其结果。本实施例中以对应于晶片 W 的载置区域的方式, 均匀配备 $\Phi 10\text{mm}$ 的 626 个板 60 的贯通孔 60a, 板

60 上对应于晶片 W 的区域内，相对于晶片 W 的面积贯通孔 60a 的合计的开口面积比率为约 48%。

从图 11 可知，通过以 400°C 或 800°C 的温度进行处理，能够控制氮化速率进行氮化处理。而且可确认在 800°C 下进行处理时，氮化速率快，高温的一方能够在短时间内形成期望的膜厚的氮化膜。此外，关于压力，6.7 Pa 和 266.6 Pa 的比较中，压力低下的氮化速度快，这是因为低压侧的离子比率高，容易氮化。可确认，通过这样调整氮化处理的温度、压力和时间，能够例如图 11 所示，控制氮化膜厚在 0.6~2.3nm 的范围内。

接着基于上述结果，针对温度和压力对氮化膜的膜质的影响进行评价，此评价基于由 X 射线光电子能谱法（XPS 分析）对经过规定时间后的其膜中的 N 浓度和 O 浓度进行的测量。

将形成的氮化膜，在大气中放置 3 小时后的 N 浓度与膜厚的关系和放置 24 小时后的 N 浓度与膜厚的关系分别用图 12A 和图 12B 表示。图 13 表示从图 12A 和图 12B 的数据中，计算出的放置时间（Q 时间）为 3~24 小时的 N 浓度的变化率（ ΔN ）与膜厚的关系。进一步的，图 14 表示放置时间（Q 时间）为 3~24 小时的 O 浓度的变化率（ ΔO ）与膜厚的关系。

由图 13 可以确认，在 800°C 的高温处理下，N 浓度的变化小，为稳定的氮化膜。关于压力，266.6Pa 的高压下的 N 浓度变化率（ ΔN ）小，形成稳定的氮化膜。

此外由图 14 可知，在 800°C 的高温处理下表示出维持低的氮化膜中的 O 浓度的倾向，形成稳定的氮化膜。此外关于压力，266.6Pa 的高压下的 O 浓度变化率（ ΔO ）变小，形成不易氧化的稳定的氮化膜。

以上的图 12A、12B~图 14 的结果表示，在配置板 60 抑制晶片附近的 V_{dc} 由等离子体进行氮化处理的情况下，通过在高温度、高压力下进行处理，可形成 N 脱离少且难以氧化的稳定的氮化膜，由此更为优选。处理温度优选 600~900°C，更加优选 600~800°C。此外处理压力优选 26.6Pa~400Pa，更优选 66.7Pa~266.6Pa。

以上叙述了本发明的实施方式，本发明并不制约于上述实施方式，能够进行种种变形。

例如，上述实施方式中使用由频率 300MHz~300GHz 的微波激发等离子体的微波等离子体处理装置 100，也能够使用由频率为 30kHz~300MHz 的高频波激发等离子体的高频波等离子体处理装置。

此外，图 1 举出了 RLSA 方式的等离子体处理装置 100 的例子，也能够使用在例如远程等离子体（Remote plasma）方式、ICP 方式、ECR 方式、表面反射波方式、CCP 方式、磁控（Magnetron）方式等的等离子体处理装置中配置由电介质或 Si 类部件构成的板的等离子体处理装置。

此外，图 1 中配置了一块板 60，根据需要也能够重合配置两块以上的板。能够根据等离子体氮化处理的对象和处理条件等对贯通孔 60a 等的开口面积和其比率等进行适当调整。

产业上的可利用性

本发明适用于在各种半导体装置的制造过程中，对硅进行氮化处理而形成氮化硅膜。

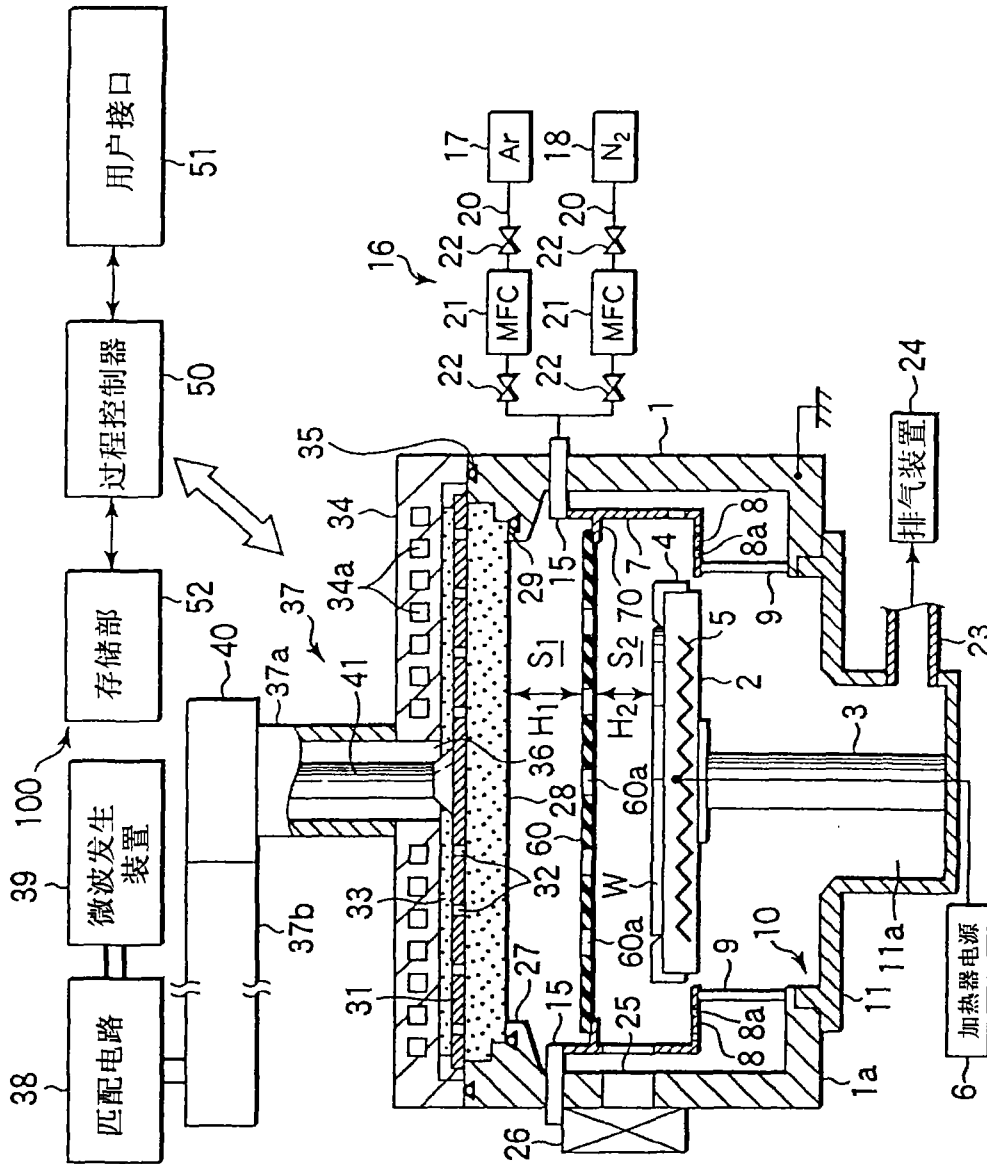


图1

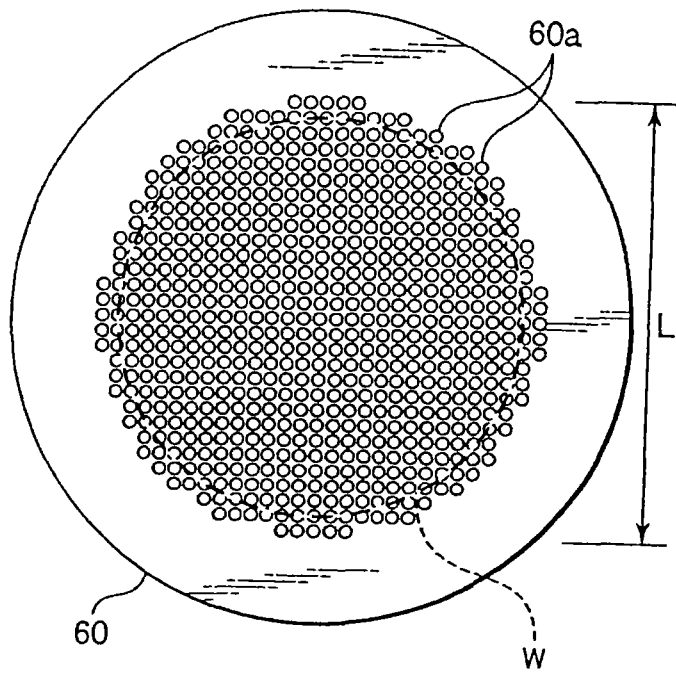


图2A

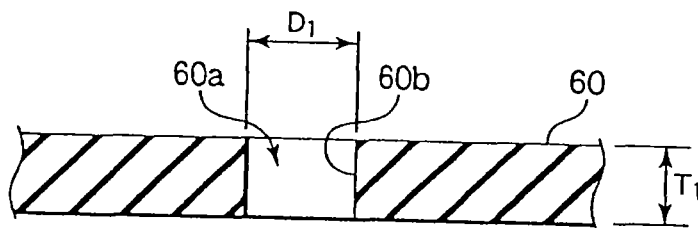


图2B

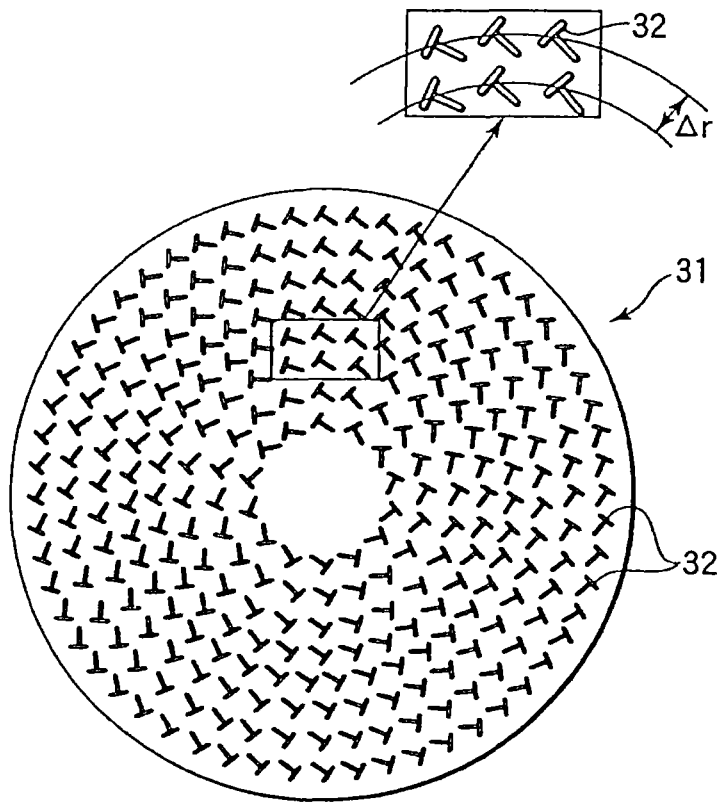


图3

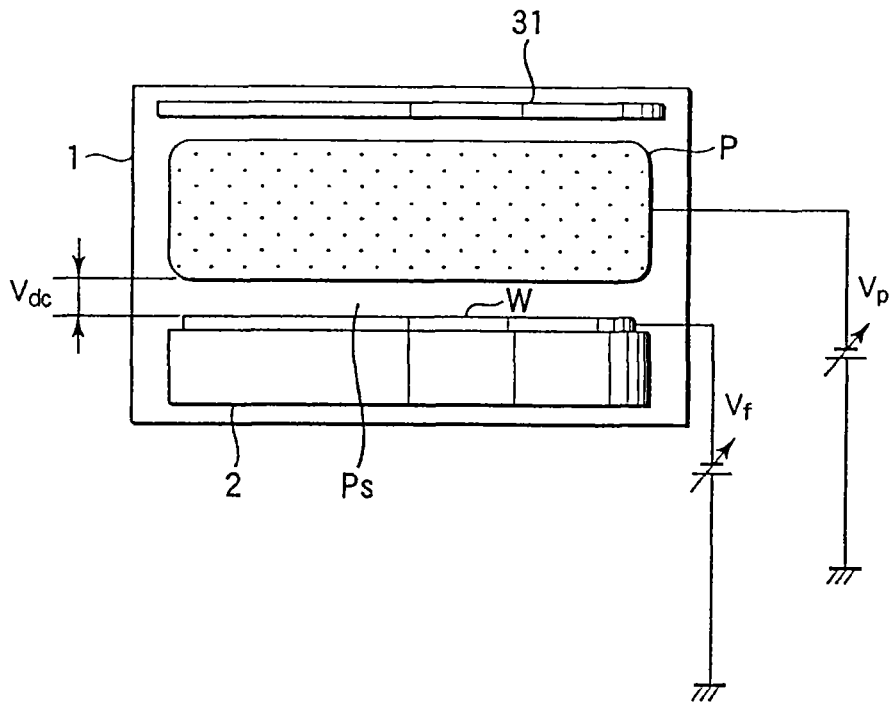


图4A

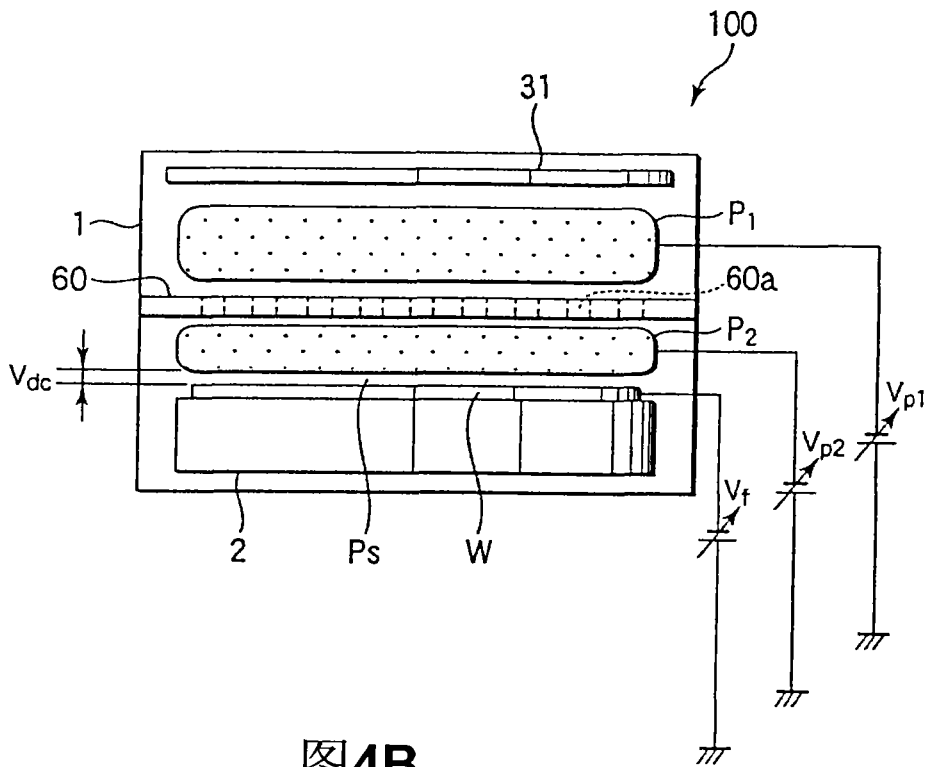


图4B

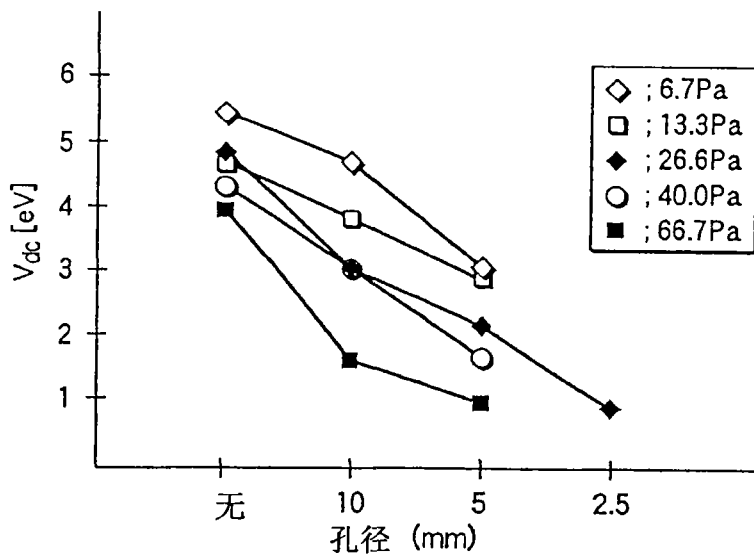


图5A

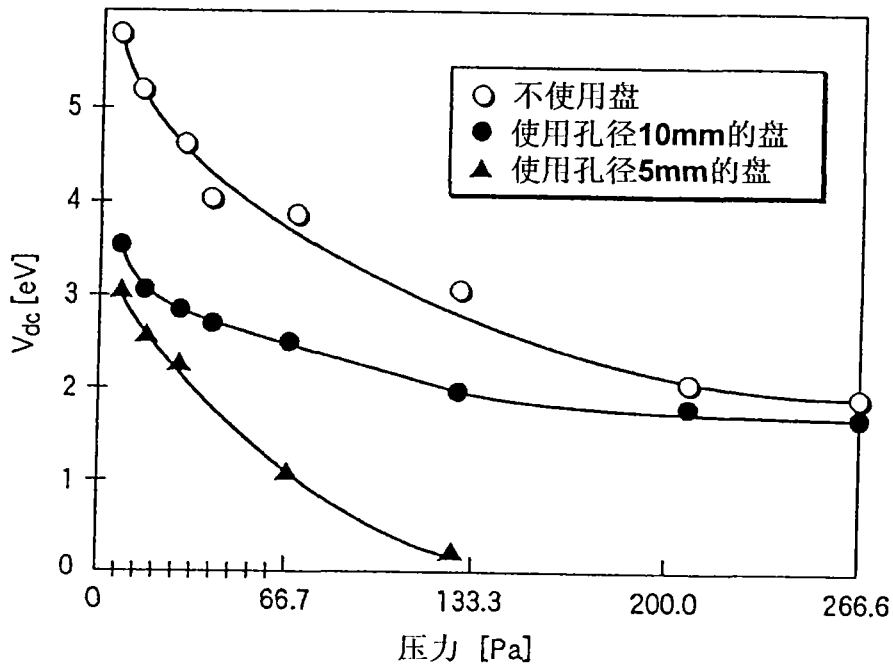


图5B

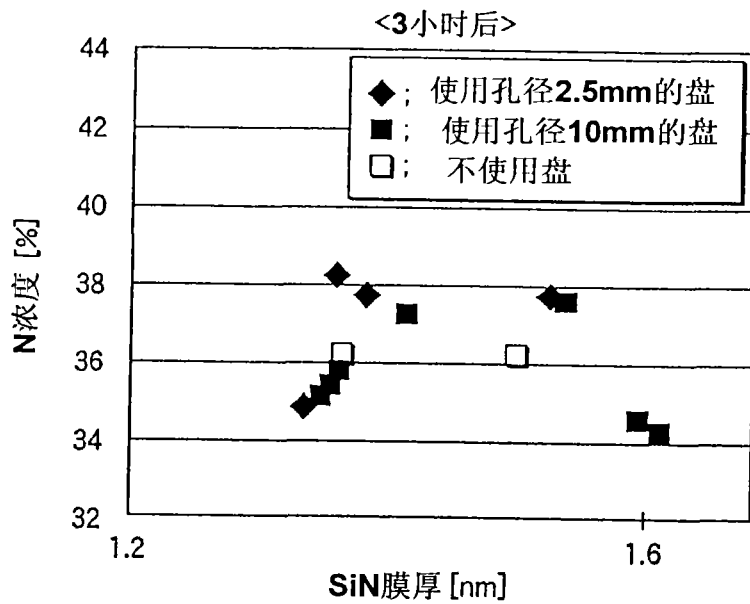


图6A

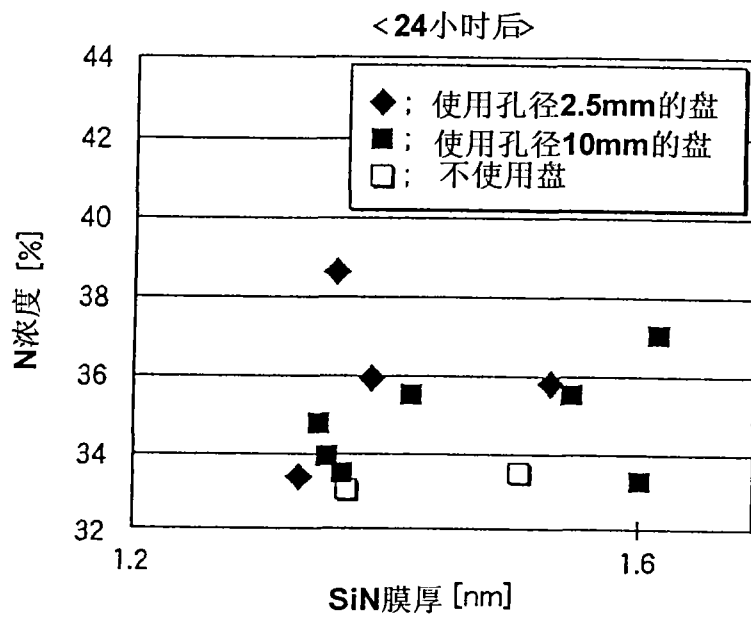


图6B

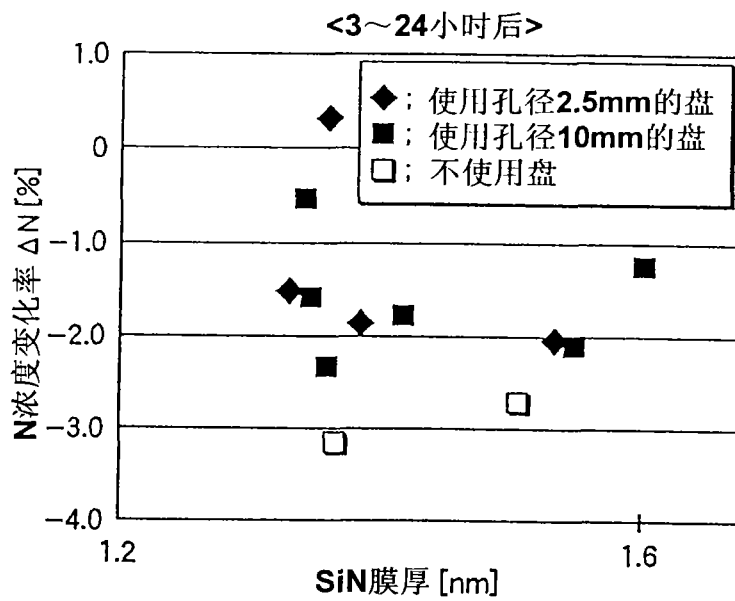


图7

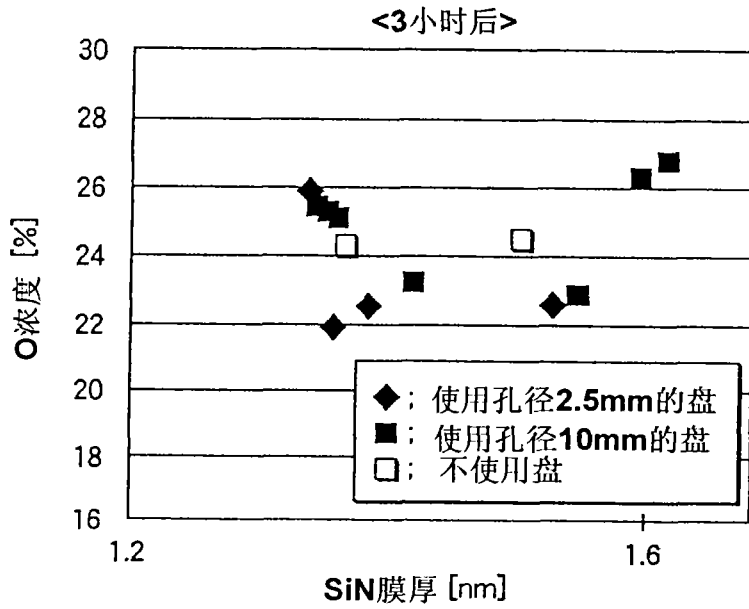


图8A

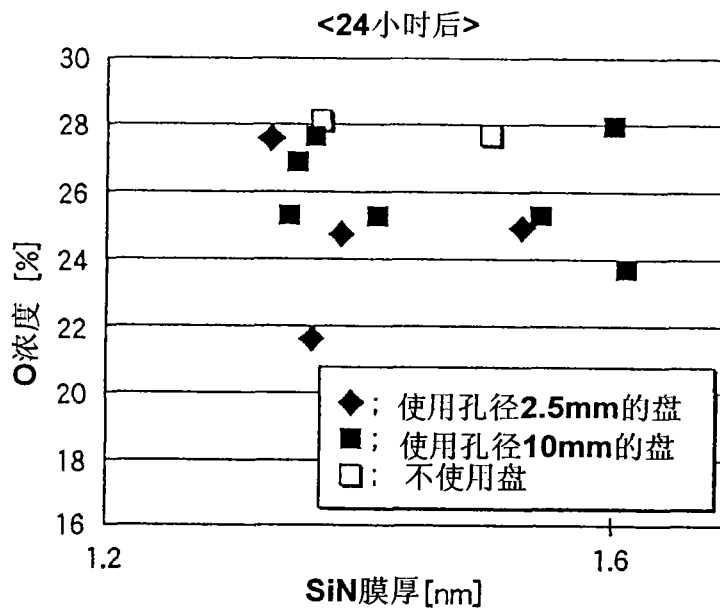


图8B

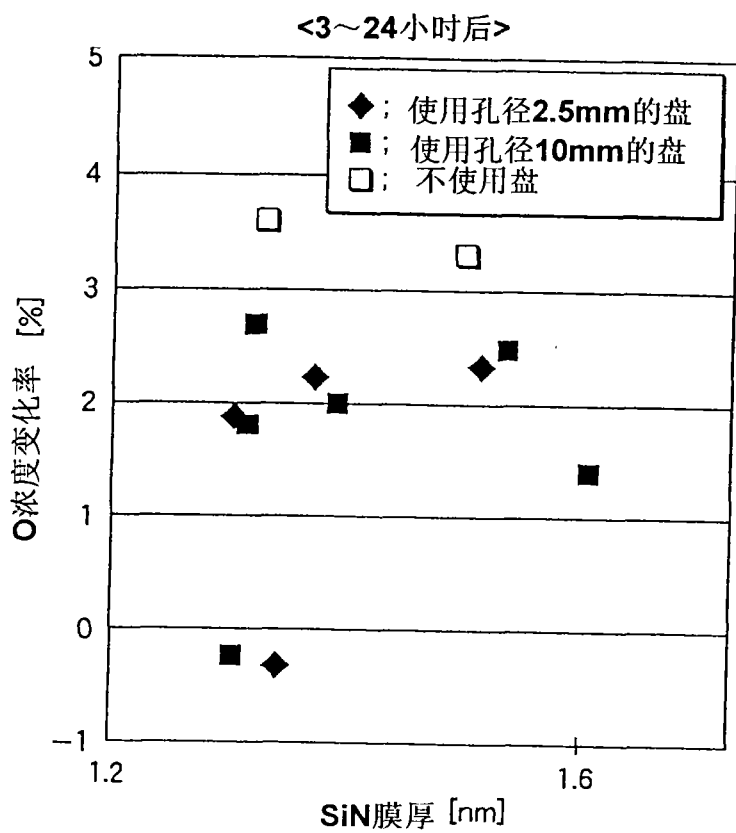


图9

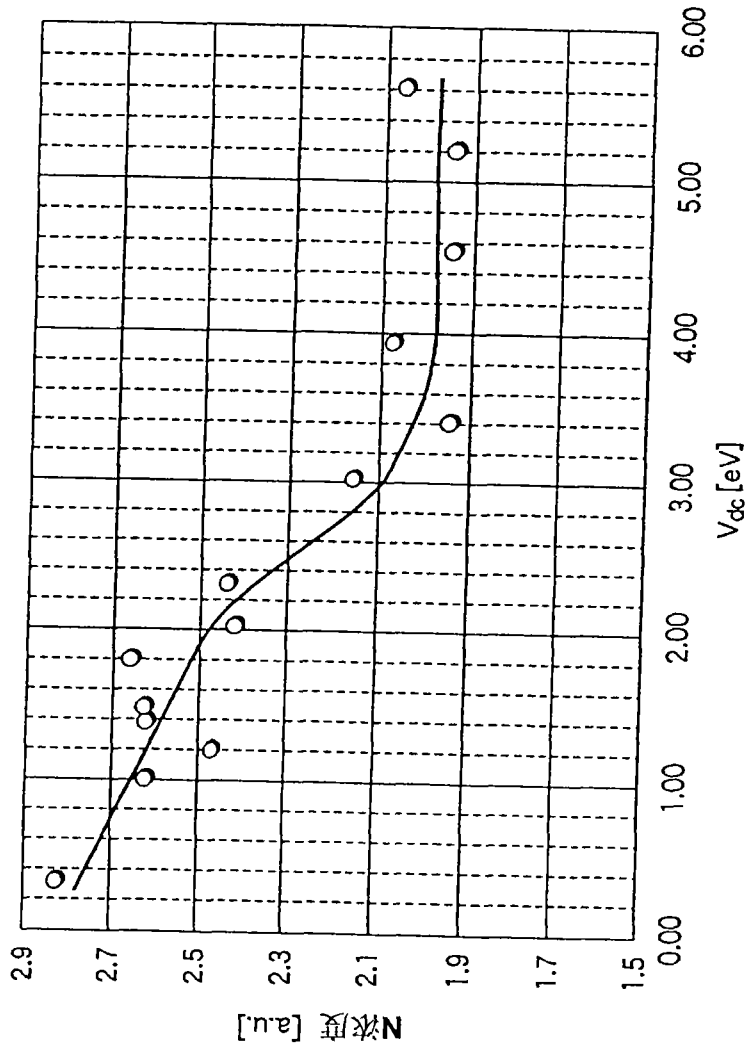


图10

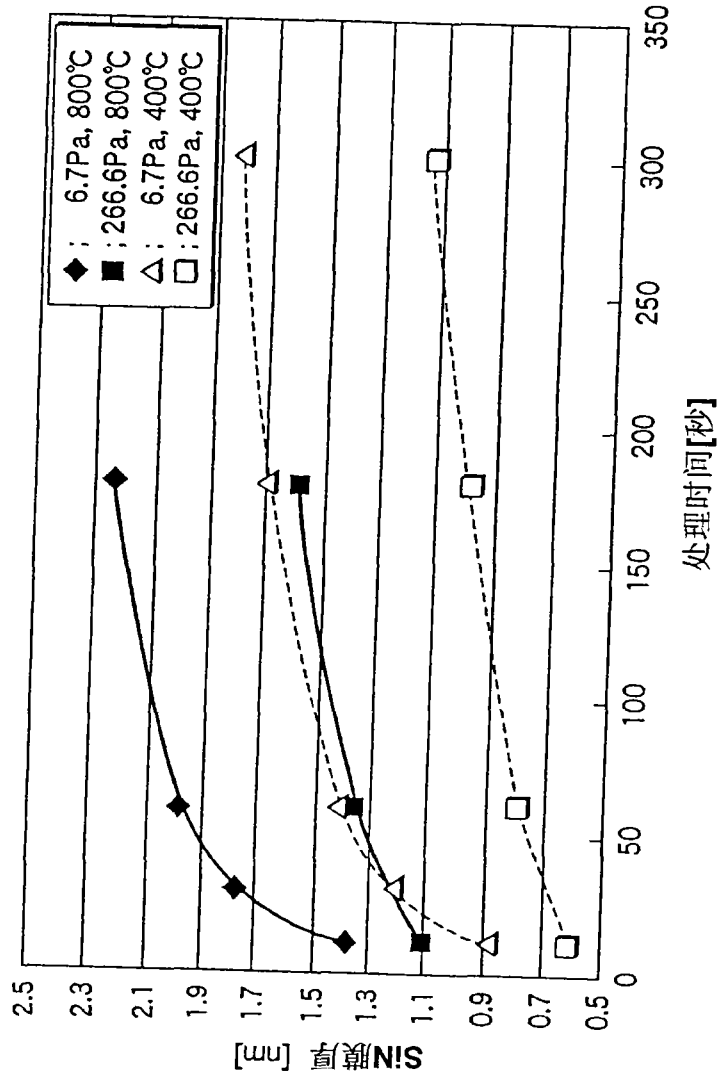


图11

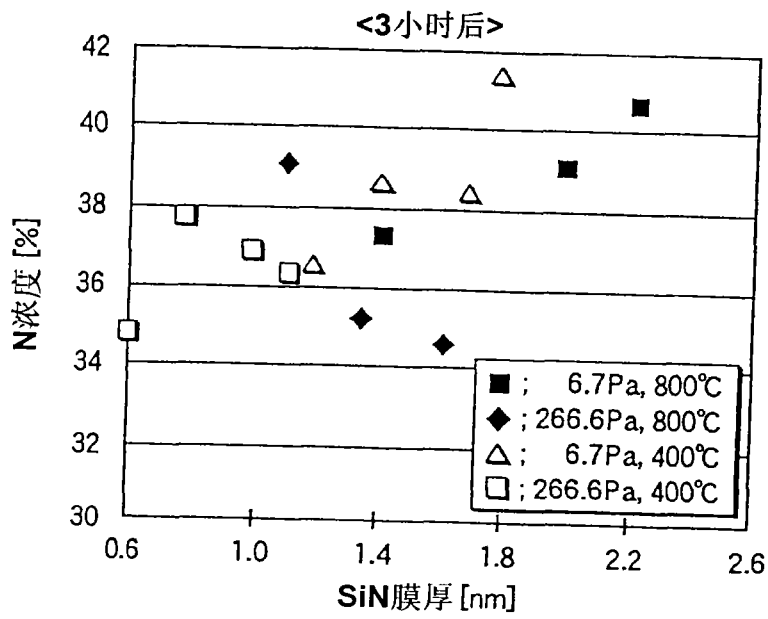


图12A

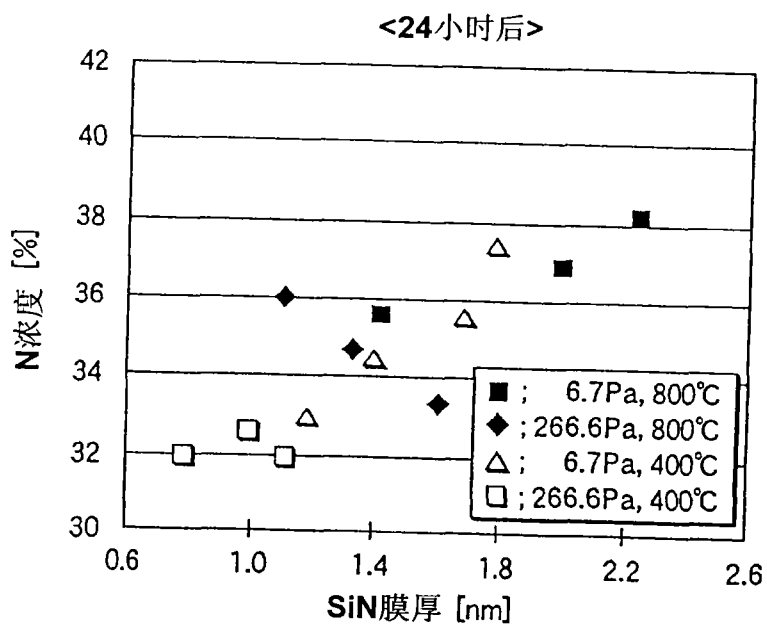


图12B

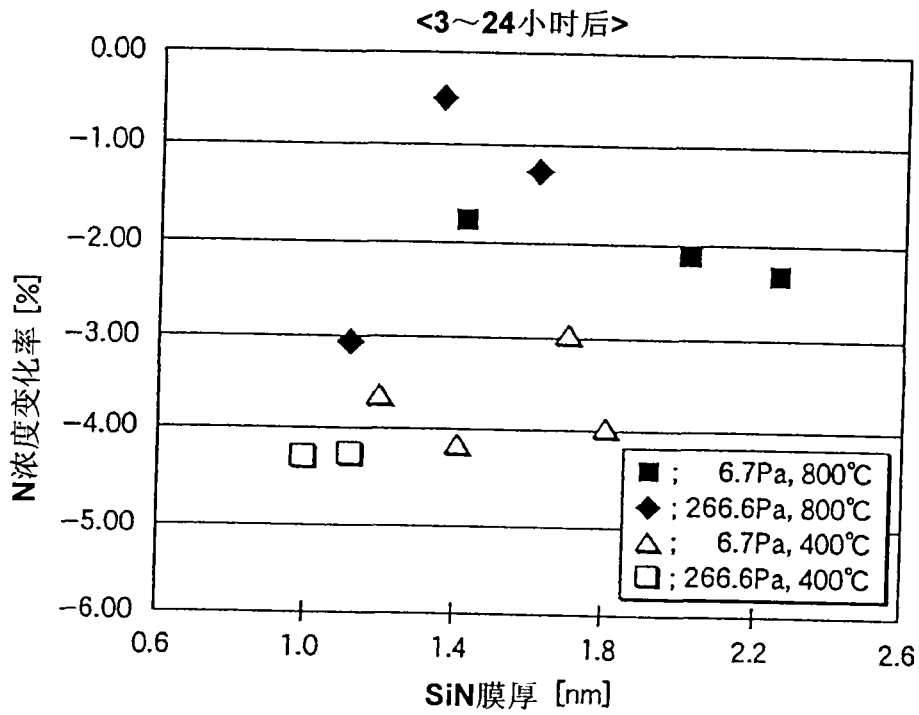


图13

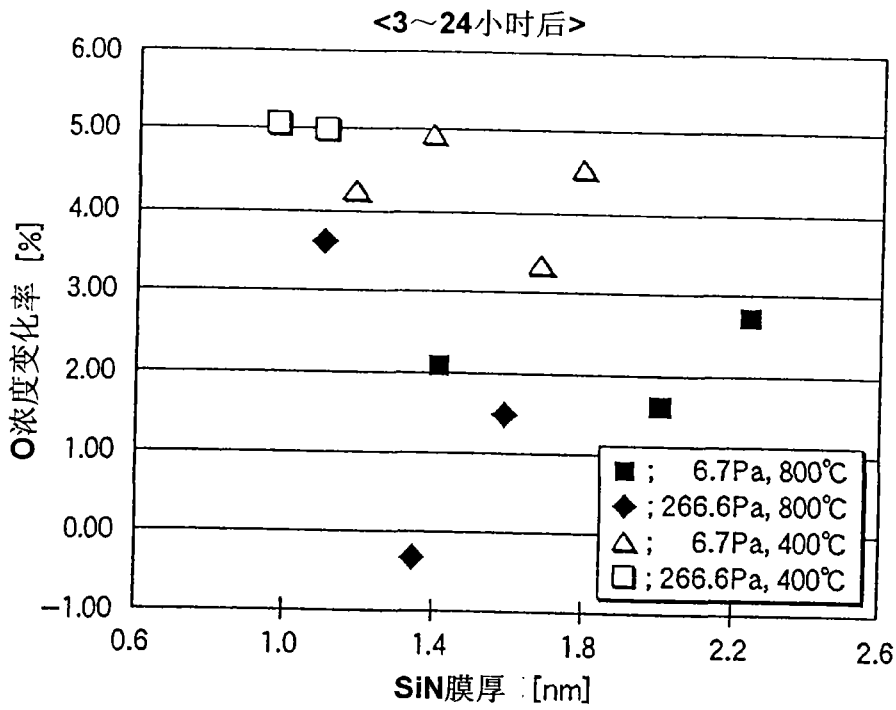


图14