



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I442600 B

(45)公告日：中華民國 103 (2014) 年 06 月 21 日

(21)申請案號：099146210

(22)申請日：中華民國 99 (2010) 年 12 月 28 日

(51)Int. Cl. : **H01L33/32 (2010.01)**

(30)優先權：2009/12/30 德國

10 2009 060 749.8

(71)申請人：歐斯朗奧托半導體股份有限公司(德國)OSRAM OPTO SEMICONDUCTORS GMBH
(DE)

德國

(72)發明人：彼得 馬修斯 PETER, MATTHIAS (DE)；梅爾 托拜西 MEYER, TOBIAS (DE)；
曼威瑟 尼可勞斯 GMEINWIESER, NIKOLAUS (DE)；高哲也 TAKI, TETSUYA
(JP)；盧加爾 漢斯 侏根 LUGAUER, HANS-JUERGEN (DE)；瓦特 亞歷山大
WALTER, ALEXANDER (DE)

(74)代理人：何金塗；丁國隆

(56)參考文獻：

US 2003/0218181A1

審查人員：廖崑男

申請專利範圍項數：13 項 圖式數：11 共 0 頁

(54)名稱

光電半導體晶片

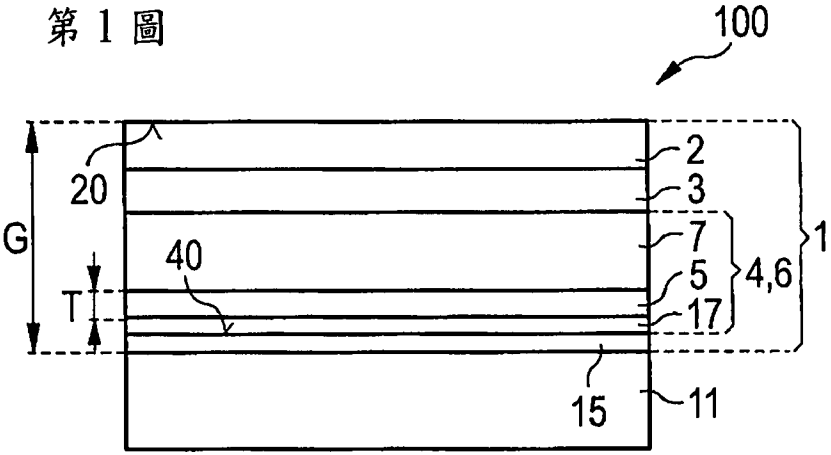
OPTOELECTRONIC SEMICONDUCTOR CHIP

(57)摘要

本發明之光電半導體晶片(100)的至少一實施樣態中，其包含一 GaN、InGaN、AlGaN 與/或 InAlGaN 系半導體疊層(1)。此半導體疊層(1)包括一 p 型摻雜疊層(2)、一 n 型摻雜疊層(4)與位於 p 型摻雜疊層(2)與 n 型摻雜疊層(4)間之一活性區(3)。再者，半導體疊層(1)包含至少一 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 系中間層(5)，其中 $0 < x \leq 1$ 。該中間層(5)與 n 型摻雜疊層(4)位於活性區(3)之同一側，且對於低黏滯性液體具有特定化學劑可滲透性，其低於半導體疊層(1)中與中間層(5)相鄰的區域之特定化學劑可滲透性。

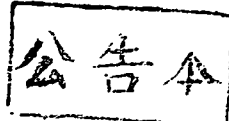
In at least one embodiment the optoelectronic semiconductor chip (100) includes a GaN-, InGaN-, AlGaN- and/or InAlGaN-based semiconductor multilayer (1). The semiconductor multilayer (1) contains a p-doped multilayer (2), an n-doped multilayer (4), and an active zone (3), which lies between the p-doped (2) and the n-doped multilayer (4). Furthermore, the semiconductor multilayer (1) contains at least a $\text{Al}_x\text{Ga}_{1-x}\text{N}$ -based interlayer (5), wherein $0 < x \leq 1$. The interlayer (5) lies on the same side of the active zone (3) as the n-doped multilayer (4) and has a specific chemical permeability with respect to liquids of low viscosity, which is lower than the specific chemical permeability of the regions of the semiconductor multilayer (1) bordering the interlayer (5).

第 1 圖



- 1 . . . 半導體疊層
- 2 . . . p 型摻雜疊層
- 3 . . . 活性區
- 4 . . . n 型摻雜疊層
- 5 . . . 中間層
- 6 . . . 緩衝層
- 7 . . . n 型摻雜電流擴展層
- 11 . . . 成長基板
- 15 . . . 無摻雜層
- 17 . . . 部分層
- 20 . . . p 型摻雜疊層之一側
- 40 . . . n 型摻雜疊層之一側
- 100 . . . 光電半導體晶片
- G . . . 總厚度
- T . . . 中間層的厚度

發明專利說明書



(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 99146210

※ 申請日： 99-12-28

※IPC 分類： H01L 33/32 (2010.01)

一、發明名稱：(中文/英文)

光電半導體晶片

OPTOELECTRONIC SEMICONDUCTOR CHIP

二、中文發明摘要：

本發明之光電半導體晶片(100)的至少一實施樣態中，其包含一 GaN、InGaN、AlGaIn 與 / 或 InAlGaIn 系半導體疊層(1)。此半導體疊層(1)包括一 p 型摻雜疊層(2)、一 n 型摻雜疊層(4)與位於 p 型摻雜疊層(2)與 n 型摻雜疊層(4)間之一活性區(3)。再者，半導體疊層(1)包含至少一 $Al_xGa_{1-x}N$ 系中間層(5)，其中 $0 < x \leq 1$ 。該中間層(5)與 n 型摻雜疊層(4)位於活性區(3)之同一側，且對於低黏滯性液體具有特定化學劑可滲透性，其低於半導體疊層(1)中與中間層(5)相鄰的區域之特定化學劑可滲透性。

三、英文發明摘要：

In at least one embodiment the optoelectronic semiconductor chip (100) includes a GaN-, InGaN-, AlGaN- and/or InAlGaN-based semiconductor multilayer (1). The semiconductor multilayer (1) contains a p-doped multilayer (2), an n-doped multilayer (4), and an active zone (3), which lies between the p-doped (2) and the n-doped multilayer (4). Furthermore, the semiconductor multilayer (1) contains at least at least an $\text{Al}_x\text{Ga}_{1-x}\text{N}$ -based interlayer (5), wherein $0 < x \leq 1$. The interlayer (5) lies on the same side of the active zone (3) as the n-doped multilayer (4) and has a specific chemical permeability with respect to liquids of low viscosity, which is lower than the specific chemical permeability of the regions of the semiconductor multilayer (1) bordering the interlayer (5).

四、指定表示圖：

(一)本案指定表示圖為：第（ 1 ）圖。

(二)本表示圖之元件符號簡單說明：

1	半 導 體 疊 層
2	p 型 摻 雜 疊 層
3	活 性 區
4	n 型 摻 雜 疊 層
5	中 間 層
6	緩 衝 層
7	n 型 摻 雜 電 流 擴 展 層
11	成 長 基 板
15	無 摻 雜 層
17	部 分 層
20	p 型 摻 雜 疊 層 之 一 側
40	n 型 摻 雜 疊 層 之 一 側
100	光 電 半 導 體 晶 片
G	總 厚 度
T	中 間 層 的 厚 度

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無。

六、發明說明：

【發明所屬之技術領域】

本發明係有關於一種具有 AlGa_N 系中間層之光電半導體晶片與其應用。

【發明內容】

本發明提供一種具有 AlGa_N 系中間層之光電半導體晶片。此外提供一種 AlGa_N 系中間層之應用。

本發明之一目的在於，提供一種光電半導體晶片，其對於液態化學劑具有高抗滲透性。

本發明之至少一實施樣態中，該光電半導體晶片包含 Ga_N、InGa_N、AlGa_N 與 / 或 InAlGa_N 系，且尤為磊晶成長的半導體疊層。「系」意謂，此半導體疊層主要具有至少一上述材料或由其組成。這裡不排除，半導體疊層可含相對少量其他物質，尤其是摻雜元素。

本發明之至少一實施樣態中，半導體晶片半導體疊層包含一 p 型摻雜疊層、一 n 型摻雜疊層以及一活性區，其位於 p 型摻雜疊層與 n 型摻雜疊層間。此處所謂疊層不排除此疊層僅具有物性均勻之單一層。

所謂層意指一區域，其沿垂直半導體疊層成長的方向延展於整個半導體疊層，或半導體疊層之大部分，如超過 80%。因此，一層可為半導體疊層中以平面方式成型，朝向垂直於成長的方向之一區域，其具有特定物性，如特定材料組成成分。不同層或區域可由一驟變過渡區在平行方向

成長方向上彼此分開。驟變過渡區尤指依製程公差所得層之間或區域之間，關於如材料組成的物性之一過渡區域，與/或至多為晶體結構之五原子單層，尤可為至多兩原子單層。

本發明之至少一實施樣態中，光電半導體晶片設入活性區，用以在半導體晶片運作時產生紫外光、可見光與/或近紅外光光譜區域的電磁輻射。半導體晶片運作時，活性區產生的輻射之主要波長尤可介於包含 380nm 與 550nm 之波長。主要波長為活性區產生的輻射中，具有最高的每奈米光譜寬強度之波長。較佳者，由活性區產生且由半導體晶片發射的輻射為非同調輻射。易言之，半導體晶片係設為發光二極體而非雷射二極體或超螢光二極體。

本發明的半導體晶片之至少一實施樣態中，半導體疊層包括 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 系中間層。此處 x 大於 0 且小於 1。易言之，此中間層可為 GaN 系膜層，其中特定比例的 Ga 晶格位置由 Al 原子占據。中間層與 n 型摻雜疊層位於活性區之同一側。

本發明的光電半導體晶片之至少一實施樣態中，中間層或中間層之一係為無摻雜。無摻雜尤指摻雜濃度小於 $5 \times 10^{16}/\text{cm}^3$ 。中間層可與 n 型摻雜疊層直接相鄰。易言之，中間層的材料與 n 型摻雜疊層的 n 型摻雜材料直接接觸。較佳者，中間層位於半導體疊層內，使中間層不作為半導體疊層在平行成長方向的方向上之包覆面。

本發明的光電半導體晶片之至少一實施樣態中，中間層或至少一中間層位於摻雜疊層內且為 n 型摻雜。所謂中間層位於 n 型摻雜疊層內，即中間層於兩側與 n 型摻雜疊層的其他 n 型摻雜區域相鄰。因此不以中間層形成 n 型摻雜疊層在平行成長方向的方向上之包覆面。

本發明的光電半導體晶片之至少一實施樣態中，中間層之特定化學劑可滲透性小於中間層的相鄰區域或半導體疊層中的鄰層。至少一中間層尤可具有一特定化學劑可滲透性，其相當於整體半導體疊層或全部 n 型摻雜疊層之最小特定化學劑可滲透性。特定化學劑可滲透性尤指關於膜層的特定幾何厚度與特定時程之可滲透性，本發明的光電半導體晶片之至少一實施樣態中，相對於具有特別低黏滯性之液體。低黏滯性可謂此液體具有的黏滯性至多為 2.5mPas。此處特別指不會分解中間層的液體或化學劑。特別與其餘半導體疊層相較，例如中間層可對如硝酸之液態化學劑具防透性。較佳者，中間層對蒸氣同樣具防透性。再者，中間層可較佳地防阻例如銀的金屬擴散，或者較之於半導體疊層中其他膜層，金屬無法經擴散或僅減量地穿過中間層。

本發明的光電半導體晶片之至少一實施樣態中，其較佳者包含 GaN、InGaN、AlGaIn 與 / 或 InAlGaIn 系之磊晶成長半導體疊層。半導體疊層包括一 p 型摻雜疊層、一 n 型摻雜疊層與一活性區，其為產生電磁輻射而設，且位於 p 型

摻雜疊層與 n 型摻雜層間。再者，半導體疊層包含至少一 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ 系，無摻雜或 n 型摻雜的中間層，其中 $0 < x \leq 1$ 。較佳者，中間層位於半導體疊層內，且殊化地相對於低黏滯性液體尤具有一特定化學劑可滲透性，其較低於與中間層相鄰的半導體疊層區域或膜層之特定化學劑可滲透性。

藉由使用此種中間層，可有效減低半導體疊層相對於如硝酸的液態化學劑之可滲透性。因此，在製程上可達較高產量與半導體晶片之較高可信度。半導體疊層中，膜層相對於液態化學劑或蒸氣的可滲透性可歸因於例如差排，如半導體材料中形成通道或孔洞的穿透差排。隙溝可為例例如差排線。中間層的 AlGaN 可積疊於孔洞與 / 或隙溝中與 / 或其外圍，因此使隙溝與 / 或孔洞與 / 或差排線的核心變小。

本發明的光電半導體晶片之至少一實施樣態中，n 型摻雜疊層或半導體疊層中與中間層相鄰的膜層具有隙溝與 / 或孔洞，其斜置延展於中間層之一主要延伸方向。在橫向上，即垂直於半導體層成長方向的方向，隙溝與 / 或孔洞之具有奈米尺度或為微米尺度之橫向大小。孔洞與 / 或隙溝在橫向上的大小可為例例如至多 25 nm，或至多 50 nm，或至多 0.10 μm ，或至多 0.25 μm ，或至多 0.40 μm 。

本發明的光電半導體晶片之至少一實施樣態中，中間層封閉至少一部分隙溝與 / 或孔洞之。易言之，中間層完全覆蓋至少一部分孔洞與 / 或隙溝。中間層尤可具有凸起，其從活性區開始與 / 或朝向活性區延展進入隙溝與 / 或孔洞。較佳

者，以與中間層相同的材料形成凸起，部分緊密、直接地與延展於隙溝與/或孔洞之膜層的材料實體接觸。

本發明的光電半導體晶片之至少一實施樣態中，孔洞與/或隙溝的直徑與/或跨寬因中間層而變小。亦即至少一部分隙溝與/或孔洞，例如多於 80%或多於 95%或多於 99%的孔洞與/或隙溝，沿成長方向看來，在中間層之後小於中間層之前。這包含孔洞與/或隙溝由中間層完全覆蓋與/或阻塞與/或中斷。

本發明的光電半導體晶片之至少一實施樣態中，沿成長方向看來，孔洞與/或隙溝於中間層之後至少部分繼續延展於。易言之，中間層可將孔洞與/或隙溝封閉而阻止液態化學劑穿過，然而不去除作為晶格缺陷處之孔洞與/或隙溝，使隙溝與/或孔洞至少部分存在於中間層兩側。例如，沿成長方向看來，緊鄰中間層之後的孔洞數量至少為緊鄰中間層之前的孔洞數量之 50%，或至少為其 75%，或至少為其 90%，與/或最多為其 90%，與/或至多為其 95%。至於隙溝或差排線，其可因中間層完全去除，或其數量因而減少至少 50%，或減少至少 75%，或減少至少 90%。

用於光電半導體晶片的半導體疊層，尤用於發光二極體者，可例如於紅寶石基板上磊晶成長。成長時可形成孔洞於成長的半導體材料中。隙溝同樣尤可生成於雷射剝離步驟，其中將已成長的半導體疊層從基板去除。於半導體疊層原先朝向基板的包覆面上，其孔洞與/或隙溝可例如於雷

射剝離步驟中，自行露出或經由如濕式侵蝕產生的粗糙化，因此使至少一部分孔洞與/或隙溝抵達半導體疊層之此包覆面。

經由此些露出的孔洞與/或隙溝，在隨後的製程步驟中，液態化學劑可穿過半導體疊層，且尤可侵蝕反射鏡，例如預先設於半導體疊層背向成長基板之一側或設於穿透電極的銀鏡。反射鏡因此受損，導致光產出效率降低。更因隙溝與/或孔洞作為半導體疊層中的缺陷，可進一步降低活性區的輻射產生效率。同樣可因隙溝與/或孔洞造成半導體晶片電流電壓特性中的小電流問題。

因為在磊晶成長中，例如所謂 MOVPE 製程，Al 原子在晶體表面上具有比 Ga 原子小的可動性，AlGa_N 膜層可比純 GaN 膜層於成長時更具有使表面形態平坦化的效果。因此，AlGa_N 膜層明顯地比 GaN 膜層不易生成切面，使 GaN 晶體中既有的孔洞、隙溝與/或通道可經由如此的 AlGa_N 膜層封閉或縮小。

本發明的光電半導體晶片之至少一實施樣態中，中間層或中間層之一具有摻雜濃度介於包含 $2 \times 10^{18}/\text{cm}^3$ 與 $5 \times 10^{19}/\text{cm}^3$ ，較佳者，具有摻雜濃度介於包含 $4 \times 10^{18}/\text{cm}^3$ 與 $3 \times 10^{19}/\text{cm}^3$ ，尤為介於包含 $6 \times 10^{18}/\text{cm}^3$ 與 $2 \times 10^{19}/\text{cm}^3$ 。摻雜可採用例如 Si 原子。

本發明的光電半導體晶片之至少一實施樣態中，Ga 的晶格位置被 Al 原子佔據者佔比例 x，其值介於包含 0.03 與 0.2

或介於包含 0.03 與 0.5，較佳者，介於包含 0.07 與 0.13，例如約 0.1。

本發明的光電半導體晶片之至少一實施樣態中，中間層具有的厚度介於包含 5nm 與 250nm 或介於包含 15nm 與 200nm，尤其介於包含 25nm 與 100nm。

本發明的光電半導體晶片之至少一實施樣態中，中間層，中間層之恰好一層或中間層之至少一層係為一未中斷之連續膜層。易言之，在垂直成長方向的方向上，未刻意形成中間層的開口或裂口。因此，中間層在整個半導體疊層上延展於垂直成長方向的方向，無刻意產生的中斷。中間層為未中斷的連續層，不排除在半導體疊層的晶體晶格中，如隙溝與/或孔洞的缺陷形成中間層中非刻意產生的小開口。易言之，可能並非所有隙溝與/或孔洞均由中間層封閉。然而較佳者中不出現如此非刻意產生的小開口。

本發明的光電半導體晶片之至少一實施樣態中，至少一電性穿透電極穿過活性區與/或中間層，尤恰為半導體疊層中形成的兩個中間層之一。此處，供電給半導體晶片之所有電性電極可僅形成於活性區之一側。易言之，半導體晶片因此可形成所謂的覆晶式晶片。

尤其在此實施樣態中，從半導體疊層的外包覆面到大約在穿透電極的反射鏡距離相當小，例如約為 $2\mu\text{m}$ 。在如此小的距離下，特別可能的是半導體疊層中隙溝與/或孔洞從外包覆面抵達反射鏡，尤其若半導體疊層藉由雷射剝離步

驟從基板分離，以及若半導體疊層在鄰外包覆面上產生粗糙化。亦即，特別對於具有穿透電極之較薄的半導體疊層，可利用至少一中間層大大提高產量。

本發明的光電半導體晶片之至少一實施樣態中，AlGaN系中間層於兩側鄰接不具有Al含量或不具有顯著的Al含量之Ga₂N層。較佳者，Ga₂N層中至少一層具有比中間層高的摻雜濃度且作為例如電流擴展層。Ga₂N層中其他層可具有比中間層低至少二倍的摻雜濃度。

本發明的光電半導體晶片之至少一實施樣態中，其包含恰為一或恰為二之中間層。此處較佳者，半導體疊層中無其他層具有與中間層相當的材料組成。中間層尤非所謂超晶格的組成部分。

此外，本發明提供一種AlGa₂N系、無摻雜或n型摻雜的中間層的應用，係應用於AlGa₂N、InGa₂N、AlInGa₂N與/或Ga₂N系半導體疊層中，作為通道、隙溝與/或孔洞之封阻層。中間層可形成如上述實施組態範例之一或多者。關於光電半導體晶片揭露的技術特徵因此可為中間層的應用之特徵，反之亦然。

【實施方式】

以下以根據實施例的圖式進一步說明上述光電半導體晶片。相同符號在個別圖式中表示相同元件。然而未按實際比例呈現，為方便理解可將個別元件放大。

第 1 圖表示光電半導體晶片 100 之一實施例。其中半導體晶片 100 尤可為一發光二極體，運作時發射非同調輻射。

在成長基板 11 上，磊晶成長形成半導體疊層 1。半導體疊層 1 為 GaN、InGaN、AlGaN 與 / 或 InAlGaN 系。半導體疊層 1 的總厚度可例如介於包含 $1.0\mu\text{m}$ 與 $10\mu\text{m}$ ，尤可介於包含 $1.5\mu\text{m}$ 與 $7.0\mu\text{m}$ ，尤可為約 $5\mu\text{m}$ 至 $6\mu\text{m}$ 。

成長基板 11 上直接設有無摻雜的 GaN 層 15。此無摻雜層 15 具有厚度例如介於包含 300nm 與 400nm 。於無摻雜層 15 背向成長基板 11 之一側產生一 n 型摻雜的部分層 17，其為半導體疊層 1 中 n 型摻雜疊層 4 之一部分。亦可僅有膜層 15、17 其中之一。

成長基板 11 背向 n 型摻雜疊層 4 之一側設有一活性區 3，隨後為一 p 型摻雜疊層 2。介於 n 型摻雜疊層 4 與 p 型摻雜疊層 2 間的活性區 2 尤可具有至少一任意維度的量子井結構，較佳者，具有複數個量子井結構。運作時活性區可產生例如紫外光輻射、藍或綠光。

n 型摻雜疊層 4 包括一中間層 5。中間層 5 位於 n 型摻雜疊層 4 內，其介於部分層 17 與 n 型摻雜的電流擴展層 7 間，同時亦為 n 型摻雜疊層 4 的一部分。易言之，中間層與成長基板 11 或活性區 3 間不具有直接接觸。無摻雜層 15 與 / 或部分層 17 之最小厚度可據此至少設定，使成長基板 11 大致被膜層 15、17 之至少一層完全覆蓋，且使膜層 15、17 背向成長基板 11 之一側大致平坦。

較佳者，中間層 5 的厚度 T 介於包含 15nm 與 500nm，尤可介於包含 25nm 與 150nm。中間層 5 為 AlGaIn 系，相較於純 GaN，其中鋁原子佔據鎵的晶格位置的比例可為包含 3% 至 20%，尤可為約 10%。此實施例之較佳者，中間層摻雜濃度可介於包含 $4 \times 10^{18}/\text{cm}^3$ 與 $5 \times 10^{19}/\text{cm}^3$ ，特別是介於包含 $6 \times 10^{18}/\text{cm}^3$ 與 $2 \times 10^{19}/\text{cm}^3$ 。摻雜元素可為例如矽。中間層 5 為完整、全面的膜層。易言之，中間層 5 中無刻意產生的開口或裂口。

半導體疊層 1 中緩衝層 6 係以部分層 17、中間層 5 與電流擴展層 7 形成，因此包含 n 型摻雜疊層 4。緩衝層 6 的厚度為例如介於包含 300nm 與 $6\mu\text{m}$ ，較佳者介於包含 500 nm 與 $1.8\mu\text{m}$ 。較佳者，緩衝層 6 的厚度超過第 1 圖實施例中僅以單一膜層形成之 p 型摻雜疊層 2 的厚度之至少 10 倍或至少 20 倍。

第 2 圖實施例中本發明之半導體晶片 100 為第 1 圖中半導體晶片 100 之伸組態。p 型摻雜疊層 2 背向活性區 3 之一側 20 設有一 p 型電極層 12p。p 型電極層 12p 尤可以一個或複數個金屬膜層形成，且可作為或包含活性區 3 產生輻射的反射鏡 16。p 型電極層 12p 背向活性區 3 之一側設有載體 9，提供半導體晶片 100 力學承載。載體 9 的厚度較佳者介於包含 $40\mu\text{m}$ 與 $600\mu\text{m}$ 。藉由載體 9，可以例如所謂 Pick-and-Place 之取放程序處理半導體晶片 100。

n 型摻雜疊層 4 中部分層 17 背向活性區 3 之一側 40 設有粗化面 8，例如藉由侵蝕。粗化面 8 未達至中間層 5。經由形成粗化面 8，可如第 1 圖完全去除無摻雜層 15。藉由粗化面 8，可提升半導體晶片 100 的輻射輸出效率。較佳者，粗化面 8 的平均粗糙度介於包含 $0.4\mu\text{m}$ 與 $4.0\mu\text{m}$ ，尤可介於包含 $0.5\mu\text{m}$ 與 $1.5\mu\text{m}$ 。再者，於形成粗化面 8 之一側 40 可設一 n 型電極 12n。n 型電極 12n 尤可以一個或複數個金屬層與 / 或由透明導電氧化物形成。n 型電極 12n 尤可為所謂 Bond-Pad 之鉚墊。如第 2 圖，電流通過中間層 5，因此中間層 5 必須導電，即尤可為 n 型摻雜。

如第 2 圖的半導體晶片 100 可從第 1 圖中半導體晶片 100 如下產生：成長半導體疊層 100 於成長基板 11 上之後，設置 p 型電極 12p，隨後於 p 型電極 12p 上設置載體 9。隨後，尤可藉由雷射剝離步驟 (Laser-Lift-Off)，從半導體疊層 1 與載體 9 上去除成長基板 11。此處分離 n 型摻雜疊層 4 接近成長基板 11 之一薄層區域，尤可為無摻雜層 15 的一部分。從半導體疊層 1 去除成長基板 11 後，尤可藉侵蝕在 n 型摻雜疊層 4 之一側 40 的部分層 17 形成粗化面 8。

如第 3 圖實施例之半導體晶片 100，n 型電極 12n 與 p 型電極 12p 位於活性區 3 的同一側。其實現尤可從 n 型電極 12n 起，經過 p 型摻雜疊層 2 與經過活性區 3 直到 n 型疊層 4，形成一穿透電極 10。穿透電極 10 可由一種或複數種金屬形成。穿透電極 10 可形成介於載體 9 與 p 型電極 12p

的 n 型電極 12n 以及 n 型摻雜疊層 4 的電流擴展層 7 之間的直接電性連接。

n 型電極 12n 以及穿透電極 10 與活性區 3、p 型摻雜疊層 2 以及 p 型電極 12p 分隔，係藉由如氧化矽或氮化矽的透明材料形成的絕緣層 13。此實施例中，p 型電極 12p 亦可作為運作時活性區 3 產生且經粗化面 8 從半導體晶片 100 輸出的輻射之反射鏡 16a。

較佳者，穿透電極 10 朝向粗化面 8 之一側可設另一反射鏡 16b，例如銀反射鏡。與圖式所示不同者，反射鏡 16b 亦可部分或完全延展於絕緣層 13 與穿透電極 10 之間。

此實施例中，活性區 3 之供電並非經由中間層 5。因此中間層 5 亦可為無摻雜，並具有較高 Al 含量介於包含 5% 與 50%，或亦可為 AlN 系，或由 AlN 組成。

第 4 圖的實施例中，半導體晶片 100 的半導體疊層 1 具有兩中間層 5。介於兩中間層 5 設有高 n 型摻雜的電流擴展層 7。電流擴展層 7 為例如 GaN 系，不為如中間層 5 之 AlGaIn 系，且具有高摻雜濃度，較佳者，至少 $5 \times 10^{18} / \text{cm}^3$ 。較佳者，電流擴展層 7 與兩中間層 5 直接相鄰。第 4 圖中半導體晶片 100 的其他設置大致如同第 1 圖實施例。

第 5 圖的半導體晶片 100 係第 4 圖中半導體晶片 100 的延伸組態，類似於第 1、2 圖。因為電流從 n 型電極 12n 到 p 型電極 12p 經過兩中間層 5，中間層 5 係設成具有摻雜且呈導電性。

第 6 圖實施例的半導體晶片 100 中，穿透電極 10 穿過中間層 5b，相對地中間層 5a 為一未中斷、完整的膜層，如第 1 至 5 圖之中間層 5。穿透電極 10 直接電性連接 n 型電極 12n 與電流擴展層 7。此實施例中，被穿透電極 10 穿過的中間層 5b 可用於偵測侵蝕完成，以取出穿透電極 10。因為電流不經由中間層 5a，中間層 5a 可為具摻雜亦或無摻雜。

如同所有其他實施例，中間層 5、5a、5b 以及電流擴展層 7、無摻雜層 15 與 / 或部分層 17 形成緩衝層 6 之一部分。

第 7A、7B 圖中發光二極體晶片不具有中間層。在成長基板 11 上成長半導體疊層 1 時，隙溝與 / 或孔洞 14 可形成於無摻雜層 15 或如第 7 圖由單一膜層形成的 n 型摻雜疊層 4 與成長基板 11 間的界面，亦或在成長或雷射剝離步驟時形成於半導體疊層 1 中，請比較第 7A 圖。從半導體疊層 1 脫附成長基板 11 時，例如經由雷射剝離步驟，使一部分隙溝與 / 或孔洞 14 裸露出，見第 7B 圖。

一部分隙溝與 / 或孔洞 14 從 n 型摻雜疊層 4 之一側 40 達至 p 型電極 12p。經由此些孔洞與 / 或隙溝 14，可於隨後的製程步驟中，例如為了在 n 型摻雜疊層 4 產生粗糙面，可使液態的化學劑如硝酸或氫氧化鉀溶液經半導體疊層 1 達至 p 型電極 12p，即完全穿透半導體疊層 1。

藉由化學劑，可使較佳地作成反射鏡 16、16a 之 p 型電極 12p 受侵蝕或損傷，因此降低 p 型電極 12p 的反射率，

因而可降低來自半導體晶片的輻射之發射效率。如第 3、6 圖所示，由於反射鏡 16b 與粗化面 8 間距離很小，損傷穿透電極 10 上反射鏡 16b 的風險甚至更高。

第 8 圖實施例的半導體晶片 100 具有中間層 5，係於成長基板 11 從半導體疊層 1 脫離後的情況。與圖式不同者，亦可僅有膜層 15、17 其中之一。第 8 圖中半導體疊層 1 亦具有隙溝與/或孔洞 14，其從 n 型摻雜疊層 4 之一側 40 達至 p 型電極 12p，且經例如雷射剝離步驟於朝向脫附的成長基板 11 之一側 40 裸露出。

然而第 8 圖中，從該側 40 達至活性區 3 之所有或至少一部分隙溝 14 與/或孔洞 14 係被中間層 5 覆蓋與封閉。在成長半導體疊層或中間層 5 時，將形成中間層 5 的凸起 50 其離開活性區 3 延展朝向成長基板 11。凸起 50 係以與中間層 5 相同的材料形成。因此凸起 50 如插頭狀延展於至少一部分隙溝與/或孔洞 14，且直接連接隙溝與/或孔洞 14 之至少一部分橫向包覆面，於垂直半導體疊層 1 成長方向的方向上。同樣地，亦可使至少一部分隙溝與/或孔洞 14 完全被凸起 50 的材料填滿。

因此，中間層 5 可使用作為隙溝與/或孔洞 14 的封塞或封阻層。其實現尤可以 AlGa_N 取代 GaN 形成中間層 5 與凸起 50。鋁原子在磊晶成長時於表面上具有比鎵原子小的能動性。因此，可達成封閉與部分填充隙溝與/或孔洞 14。

雖然在之後的半導體疊層磊晶成長可形成其他隙溝與/或孔洞 14，其例如從 n 型摻雜疊層背向成長基板 11 之一側 40 達至 p 型電極 12p，然而如第 3、6 圖所示，沒有隙溝與/或孔洞 14 穿透連接在膜層 15、17 背向活性區 3 之一側直到 p 型電極 12p，或直到位於穿透電極 10 之反射鏡 16b。於後續製程步驟中，尤其是使用具有較低黏滯性化學劑的製程步驟，因此不會損傷反射鏡 16、16a、16b 或穿透電極 10 或電極 12n、12p 的其他材料，例如 Al、WN 與/或 Ti。如第 3、6 圖實施例中特別呈顯，當粗化面 8 或半導體疊層 1 的外包覆面與反射鏡 16、16a、16b 間距離特別小時，由中間層 5 產生的封塞隙溝與/或孔洞 14 的效果尤其重要。

第 9 圖顯示半導體晶片 100 於其他實施例中的截面與對應的俯視圖，其俯視具有例如為打線導線而設的電極區域 18 之輻射通過面。半導體晶片 100 可分別具有複數個截面圖中未示的穿透電極 10 與反射鏡 16b，請比較第 3、6 圖。穿透電極 10 與反射鏡 16b 分別從 p 型導電疊層 2 起達至厚度約 $1.1\mu\text{m}$ 的電流擴展層 7。

如第 9A 圖所示，中間層 5 厚度約為 60nm，如第 9B 圖的厚度則約為 30 nm。n 型摻雜層 17 的厚度分別約為 $1.3\mu\text{m}$ 。如第 9C 圖所示，電流擴展層 7 介於厚度分別約為 30nm 之兩中間層 5a、5b 間。因此，電流擴展層 7 背向活性區 3 之一側分別具有至少一中間層 5、5a、5b。在俯視輻射通過面的對應俯視圖中可見，反射鏡 16b 未顯示降低的反射率，

因此未受損。尤可使多於 50%或多於 80%的輻射經輻射通過面離開半導體晶片 100。

第 10A 與 10B 圖的發光二極體晶片中，中間層 5 分別介於電流擴展層 7 與活性區 3 間。因此在反射鏡 16b 與輻射通過面間不存在中間層。因此反射鏡 16b 可能在產生粗化面時，於輻射通過面接觸液態化學劑且因而受損，反映於可見的暗沉顏色與反射鏡 16b 因此較低的反射率。

半導體晶片 100 在此實施例中，具有中間層 5 的半導體疊層 1 僅簡化表示與截面圖中，尤其未顯示電極。經由中間層 5，孔洞與 / 或隙溝 14 於半導體疊層 1 中直徑變小，或於中間層 5 的區域完全被中間層 5 的材料覆蓋或填塞。

沿半導體疊層成長方向視之，孔洞與 / 或隙溝 14 在中間層 5 之前大於在中間層 5 之後。此外，隙溝與 / 或孔洞 14 延伸的方向可經中間層 5 改變。因此，可對於液態化學劑與 / 或對於蒸氣與 / 或金屬擴散封塞孔洞與 / 或隙溝 14。

然而孔洞與 / 或隙溝 14 通過中間層 5 不限於半導體疊層的晶體晶格，而可沿半導體疊層 1 的成長方向延續朝向中間層 5。易言之，隙溝與 / 或孔洞 14 的數量經中間層 5 不會或不顯著地變小。忽略中間層 14 兩側大約不變的隙溝與 / 或孔洞 14 數量，孔洞與 / 或隙溝 14 因中間層 5 的材料對於化學劑仍為無法穿透。

本發明不受限於上述藉由實施例的說明。本發明實應包含每一新特徵以及特徵的每一組合，尤其包括申請專利範

圍中的特徵之每一組合，即使此特徵或組合為直接明敘於申請專利範圍或實施例。

此專利申請案主張依據德國專利申請案 10 2009 060 749.8 之優先權，其揭露內容於此引述含入。

【圖式簡單說明】

第 1 至 6、8、9 與 11 圖示意表現光電半導體晶片實施例的截面；

第 7 與 10 圖示意表現發光二極體晶片的截面。

【主要元件符號說明】

1	半導體疊層
2	p 型摻雜疊層
3	活性區
4	n 型摻雜疊層
5、5a、5b	中間層
6	緩衝層
7	n 型摻雜電流擴展層
8	粗化面
9	載體
10	穿透電極
11	成長基板
12p	p 型電極層
12n	n 型電極
13	絕緣層

14	隙溝與 / 或孔洞
15	無摻雜層
16、16a、16b	反射鏡
17	部分層
18	電極區域
20	p 型摻雜疊層之一側
40	n 型摻雜疊層之一側
50	凸起
100	光電半導體晶片
G	總厚度
T	中間層的厚度

七、申請專利範圍：

1. 一種光電半導體晶片(100)，其具有 GaN、InGaN、AlGaIn 與 / 或 InAlGaIn 系磊晶成長之一半導體疊層(1)，其包括：
 - 一 p 型摻雜疊層(2)；
 - 一 n 型摻雜疊層(4)；
 - 一 活性區(3)，係為產生一電磁輻射而設，且位於該 p 型摻雜疊層(2)與該 n 型摻雜疊層(4)之間；以及
 - 一個或多個 $Al_xGa_{1-x}N$ 系之中間層(5)，其中 $0 < x \leq 1$ ，其與 n 型摻雜疊層(4)位於活性區(3)之同一側，該活性區(3)被一個電性穿透電極(10)穿過；以及其中符合下列至少一種情況：
 - 該中間層(5)具有凸起(50)，其延展於該半導體疊層(1)的中間層(5)之一鄰層(4、7、15、17)中的隙溝與 / 或孔洞(14)，其中，凸起(50)至少部分地直接接觸隙溝與 / 或孔洞(14)之包覆面，且至少一部分或全部隙溝與 / 或孔洞(14)完全被中間層(5)覆蓋；與 / 或
 - 隙溝與 / 或孔洞(14)之一大小經中間層(5)沿半導體疊層(1)之一成長方向變小，其中，至少一部分隙溝與 / 或孔洞(14) 延展於中間層(5)兩側。
2. 如申請專利範圍第 1 項所述之光電半導體晶片(100)，其中該中間層(5)對於液體之一特定化學劑可滲透性低於半導體疊層(1)的中間層(5)之鄰層(4、7、15、17)，與 / 或其中此中間層(5)對於液態的化學劑具防透性。

3. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中該中間層(5)或該些中間層(5)之一者的摻雜濃度介於包含 $4 \times 10^{18}/\text{cm}^3$ 與 $5 \times 10^{19}/\text{cm}^3$ 之間，且一摻雜元素為 Si。
4. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中該中間層(5)或該些或中間層(5)之一者係為無摻雜。
5. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中符合 $0.03 \leq x \leq 0.5$ ，且其包含恰為一個或恰為二個中間層(5)。
6. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中一該中間層(5)或該些中間層(5)之一者具有介於包含 15nm 與 250nm 之一厚度(T)。
7. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中該中間層(5)或該些一中間層(5)之至少一者為一未中斷的連續層。
8. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中包括兩個中間層(5)，n 型摻雜疊層(4)中，GaN 系且摻雜濃度至少為 $5 \times 10^{18}/\text{cm}^3$ 之一 n 型摻雜電流擴展層(7)設於該兩個中間層(5)之間，且直接與該兩個中間層(5)相鄰。
9. 如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中半導體疊層(1)背向活性區(3)之一側(40)，與

n 型摻雜疊層(4)在活性區(3)之同一側，具有一粗化面(8)，其平均粗糙度介於包含 $0.4\mu\text{m}$ 與 $4.0\mu\text{m}$ 。

10.如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中該活性區(3)被多個電性穿透電極(10)穿過。

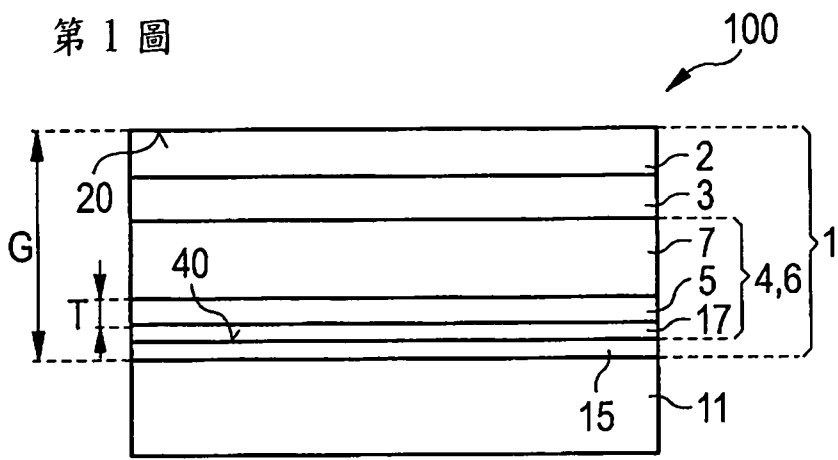
11.如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中電性穿透電極(10)穿過一中間層(5)，且另一中間層(5)係為不中斷且連續。

12.如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中該半導體疊層(1)之一總厚度(G)介於包含 $1.0\mu\text{m}$ 與 $10.0\mu\text{m}$ 。

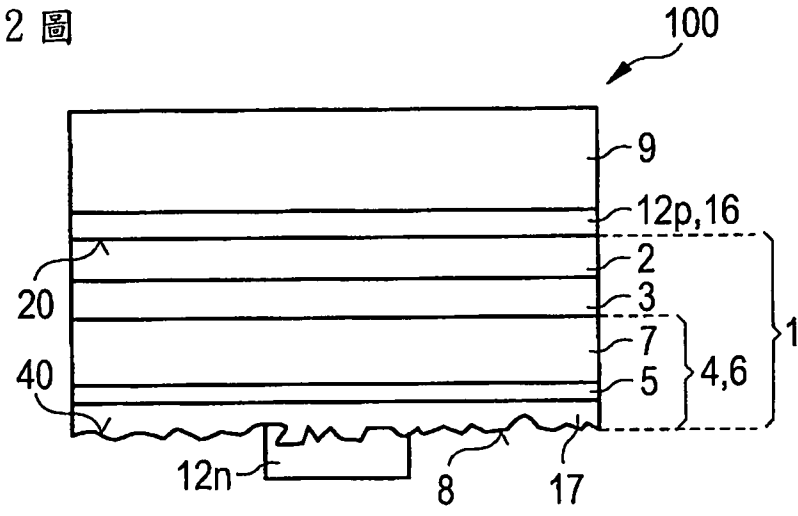
13.如申請專利範圍第 1 或 2 項所述之光電半導體晶片(100)，其中供電於該光電半導體晶片(100)的所有電性電極(12)均設於 p 型摻雜疊層(2)相對於該活性區(3)之一背向側(20)。

八、圖式：

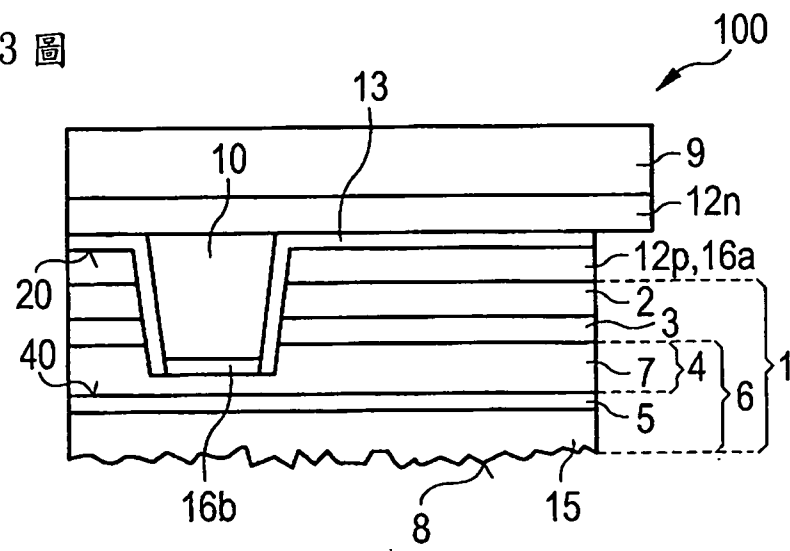
第 1 圖



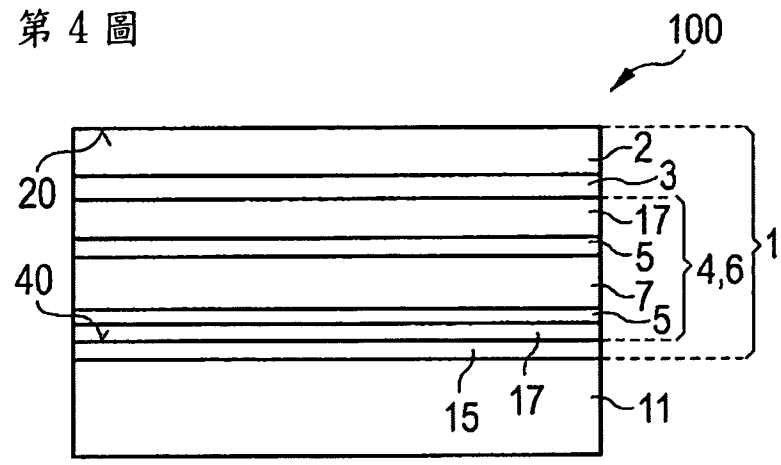
第 2 圖



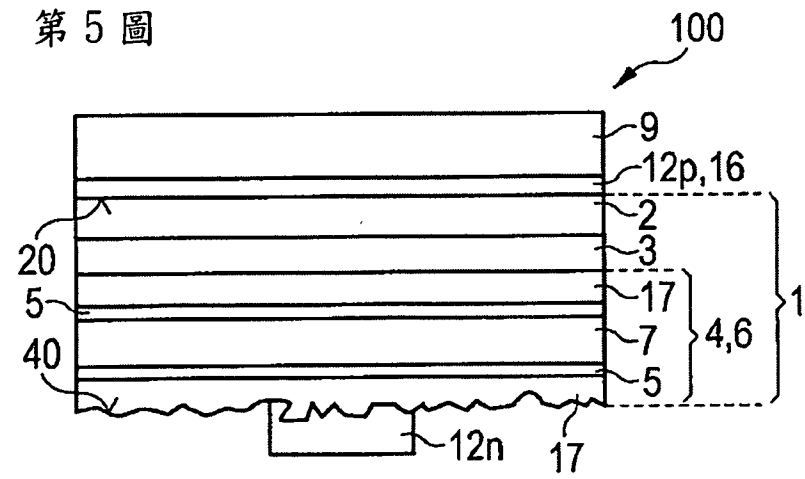
第 3 圖



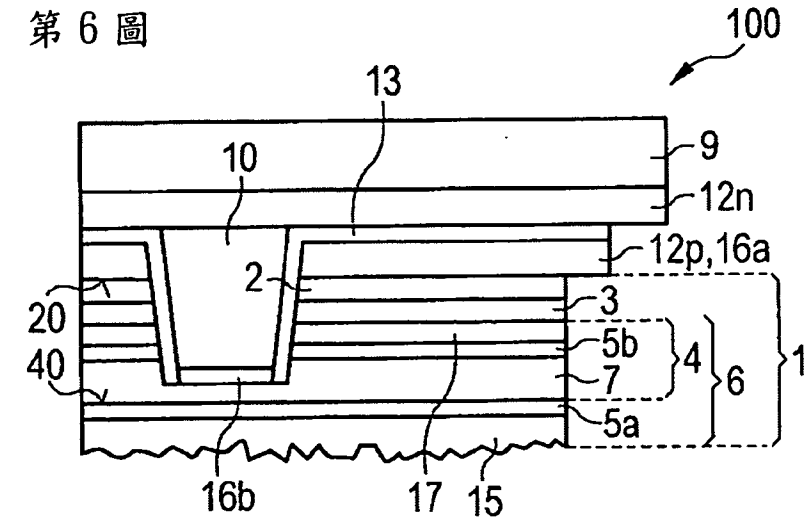
第 4 圖



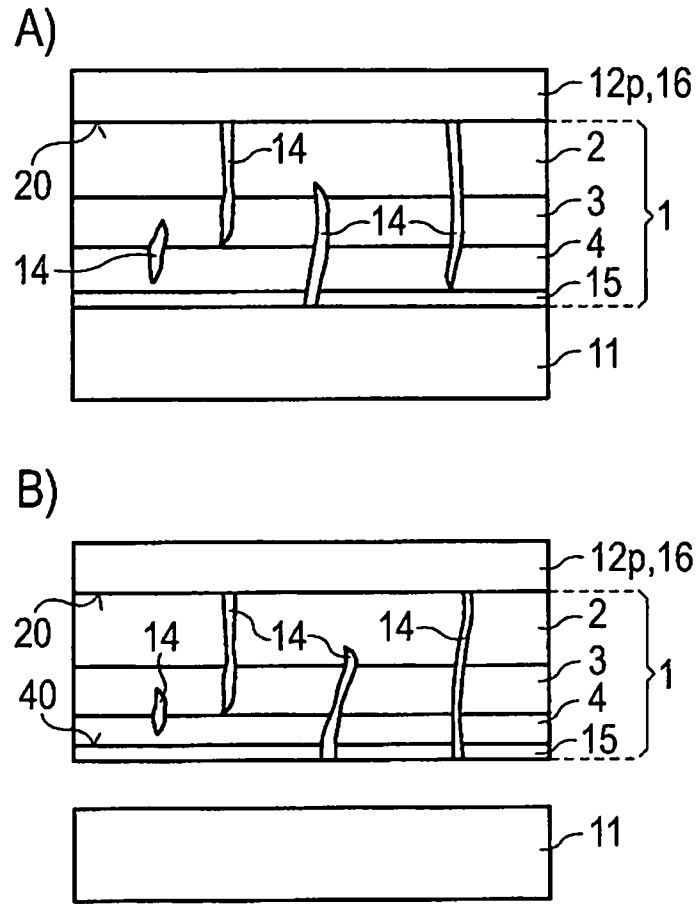
第 5 圖



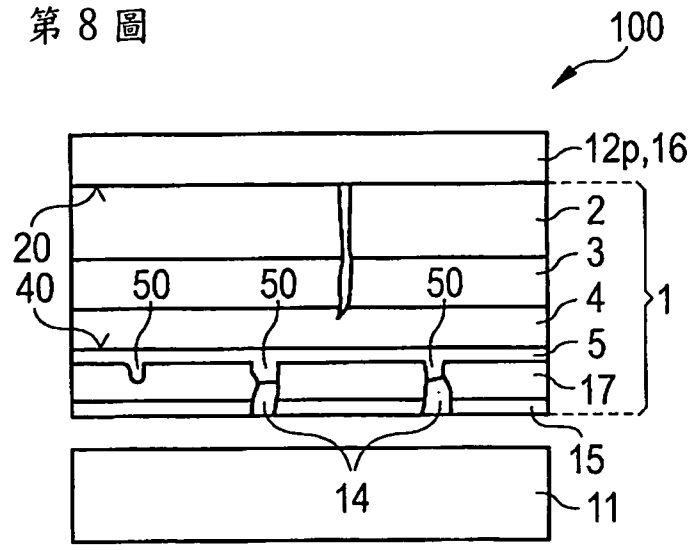
第 6 圖



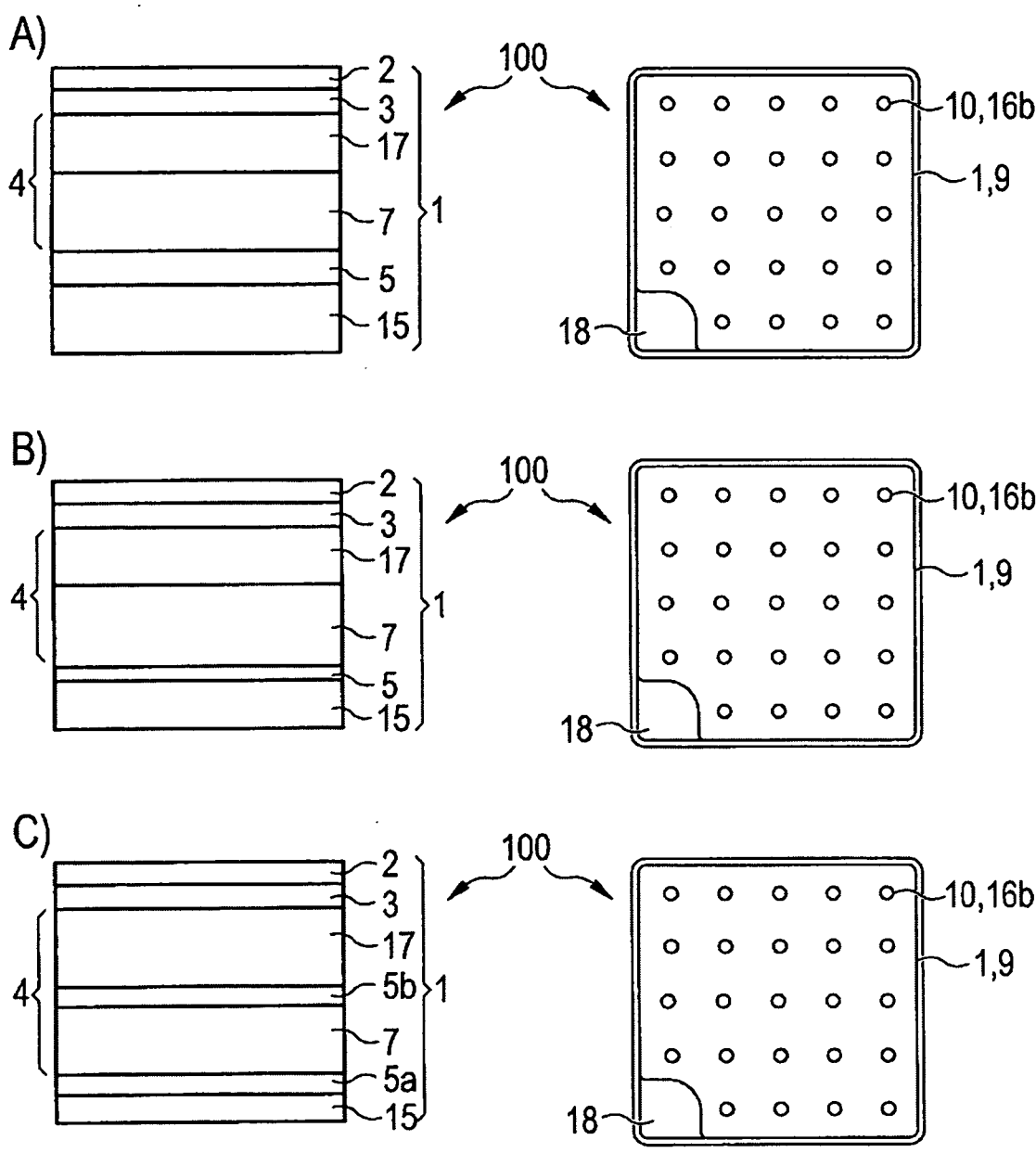
第 7 圖



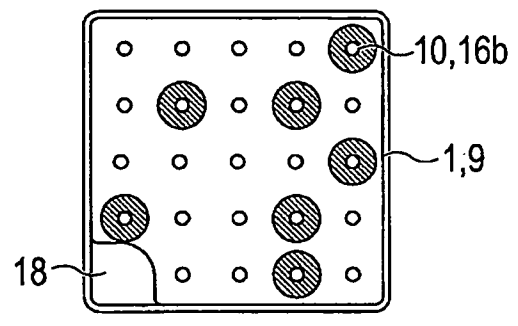
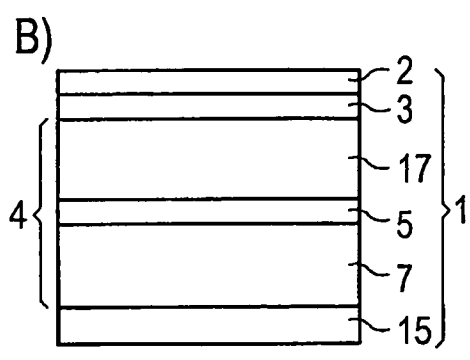
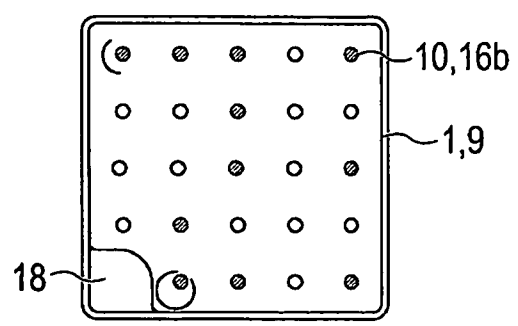
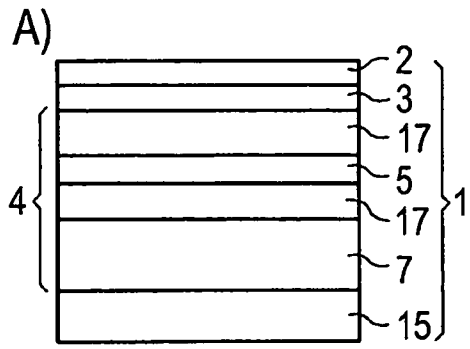
第 8 圖



第 9 圖



第 10 圖



第 11 圖

