



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I574310 B

(45)公告日：中華民國 106 (2017) 年 03 月 11 日

(21)申請案號：103116866 (22)申請日：中華民國 103 (2014) 年 05 月 13 日

(51)Int. Cl. : H01L21/28 (2006.01) H01L21/205 (2006.01)

(30)優先權：2013/05/31 日本 2013-116030

(71)申請人：三壘電氣股份有限公司 (日本) SANKEN ELECTRIC CO., LTD. (JP)

日本

信越半導體股份有限公司 (日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)

日本

(72)發明人：鹿內洋志 SHIKAUCHI, HIROSHI (JP)；佐藤憲 SATO, KEN (JP)；後藤博一 GOTO, HIROKAZU (JP)；篠宮勝 SHINOMIYA, MASARU (JP)；土屋慶太郎 TSUCHIYA, KEITARO (JP)；萩本和德 HAGIMOTO, KAZUNORI (JP)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

JP 2011-018844A

審查人員：邱迺軒

申請專利範圍項數：6 項 圖式數：4 共 23 頁

(54)名稱

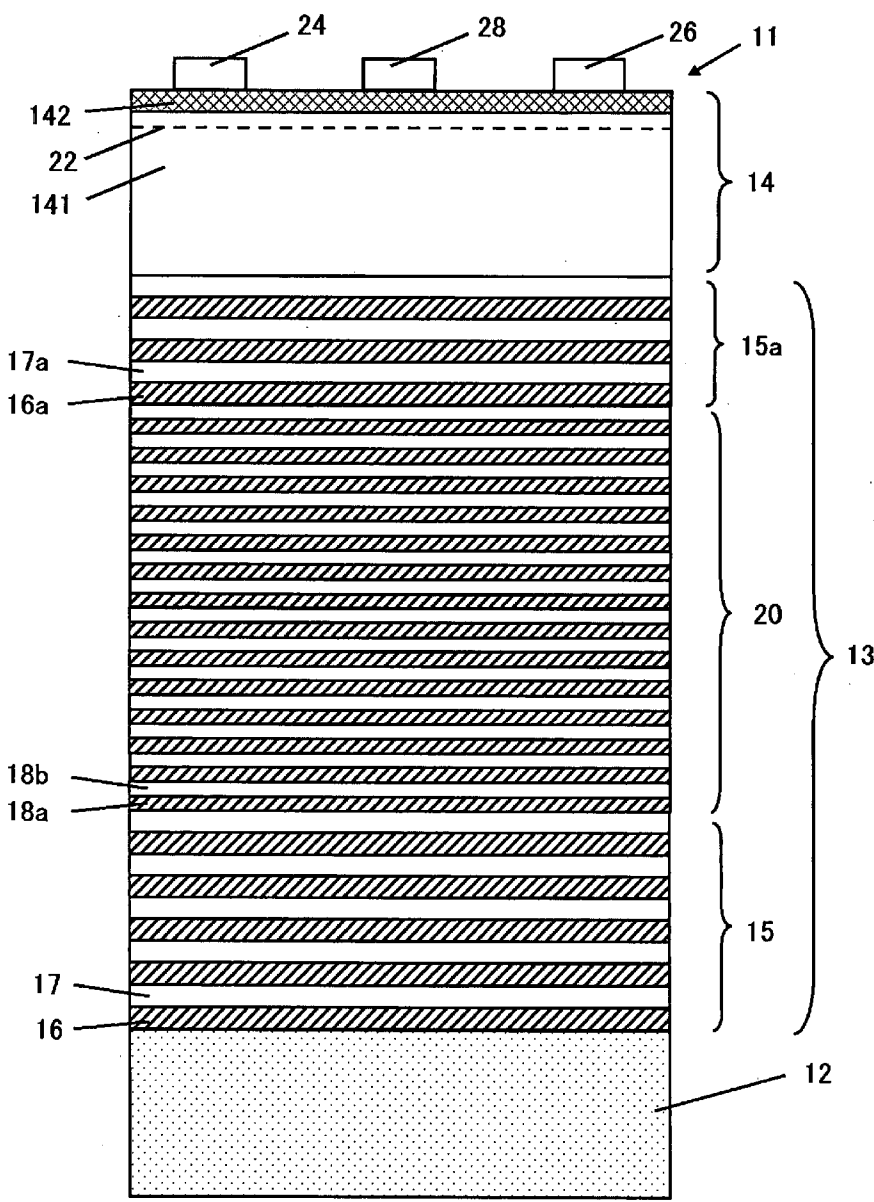
半導體裝置

(57)摘要

本發明為一種半導體裝置，其特徵在於具有：矽系基板；第一緩衝層，其設置於前述矽系基板上，由含有 Al 成份之第一層與 Al 含量比前述第一層少之第二層交互積層而成；第二緩衝層，其設置於前述第一緩衝層上，由含有 Al 成份之第三層與 Al 含量比前述第三層少之第四層交互積層而成；及，第三緩衝層，其設置於前述第二緩衝層上，由含有 Al 成份之第五層與 Al 含量比前述第五層少之第六層交互積層而成；並且，整體而言，前述第二緩衝層的 Al 含量，比前述第一緩衝層和前述第三緩衝層多。藉此，提供一種半導體裝置，其可減低施加在緩衝層上的應力，並抑制漏電流、改善主動層頂面的平坦性。

指定代表圖：

第 1 圖



- 符號簡單說明：
- 11 . . . 半導體裝置
 - 12 . . . 矽系基板
 - 13 . . . 緩衝層
 - 14 . . . 主動層
 - 15 . . . 第一緩衝層
 - 15a . . . 第三緩衝層
 - 16 . . . 第一層
 - 16a . . . 第五層
 - 17 . . . 第二層
 - 17a . . . 第六層
 - 18a . . . 第三層
 - 18b . . . 第四層
 - 20 . . . 第二緩衝層
 - 22 . . . 二維電子氣
 - 24 . . . 第一電極
 - 26 . . . 第二電極
 - 28 . . . 控制電極
 - 141 . . . 通道層
 - 142 . . . 阻障層

公告本

發明摘要

※ 申請案號：103116866

※ 申請日：2014 年 05 月 13 日

※IPC 分類：

【發明名稱】（中文）

半導體裝置

H01L 21/28 (2006.01)

H01L 21/205 (2006.01)

【中文】

本發明為一種半導體裝置，其特徵在於具有：矽系基板；第一緩衝層，其設置於前述矽系基板上，由含有 Al 成份之第一層與 Al 含量比前述第一層少之第二層交互積層而成；第二緩衝層，其設置於前述第一緩衝層上，由含有 Al 成份之第三層與 Al 含量比前述第三層少之第四層交互積層而成；及，第三緩衝層，其設置於前述第二緩衝層上，由含有 Al 成份之第五層與 Al 含量比前述第五層少之第六層交互積層而成；並且，整體而言，前述第二緩衝層的 Al 含量，比前述第一緩衝層和前述第三緩衝層多。藉此，提供一種半導體裝置，其可減低施加在緩衝層上的應力，並抑制漏電流、改善主動層頂面的平坦性。

【英文】

無。

【代表圖】

【本案指定代表圖】：第 1 圖。

【本代表圖的符號簡單說明】：

- 11 半導體裝置
- 12 矽系基板
- 13 緩衝層
- 14 主動層
- 15 第一緩衝層
- 15a 第三緩衝層
- 16 第一層
- 16a 第五層
- 17 第二層
- 17a 第六層
- 18a 第三層
- 18b 第四層
- 20 第二緩衝層
- 22 二維電子氣
- 24 第一電極
- 26 第二電極
- 28 控制電極
- 141 通道層
- 142 阻障層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文)

半導體裝置

【技術領域】

【0001】 本發明是關於一種半導體裝置，特別是關於一種具有氮化物半導體層之半導體裝置。

【先前技術】

【0002】 氮化物半導體層一般形成於低價的矽基板上或藍寶石基板上。然而，這些基板的晶格常數與氮化物半導體層的晶格常數差異大，且熱膨脹係數也相異。因此，在基板上，於藉由磊晶成長所形成的氮化物半導體層中，會產生高應變能。其結果，在氮化物半導體層中容易發生裂痕的產生和結晶品質的低下等。

【0003】 為了解決上述問題，提出一種方法，該方法在矽基板與由氮化物半導體所構成的主動層之間，配置將氮化物半導體層積層而成的緩衝層（例如，參照專利文獻 1）。

【0004】 將專利文獻 1 的具有緩衝層之半導體晶圓 1 顯示於第 4 圖中。

在第 4 圖中，緩衝層 3 設置於矽基板 2 與主動層 4 之間，緩衝層 3 具有：第一多層結構緩衝區域 5、設置於第一多層結構緩衝區域 5 上且由氮化鎵 (GaN) 所構成的第二單層結構緩衝區域 8、及設置於第二單層結構緩衝區域 8 上的第二多層結構緩衝區域 5'。

更且，第一多層結構緩衝區域 5 和第二多層結構緩衝區域 5' 具有多層結構，該多層結構是由次多層結構緩衝區域 6 與第一單層結構緩衝區域 7 重複積層而成，該第一單層結構緩衝區域 7 是由 GaN 所構成且比第二單層結構緩衝區域 8 更薄。

又，次多層結構緩衝區域 6 具有由第一層與第二層重複積層而成之多層結構，該第一層是由氮化鋁 (AlN) 所構成，該第二層是由 GaN 所構成。

【0005】 在專利文獻 1 中，揭示了一種藉由含有第 1 比例之鋁的氮化物半導體來形成第一層，並使第二層、第一單層結構緩衝區域 7 及第二單層結構緩衝區域 8 之鋁的比例(包括 0) 比第 1 比例小，以減低半導體晶圓的翹曲。

[先前技術文獻]

(專利文獻)

【0006】 專利文獻 1：日本特開 2008-205117 號公報

【發明內容】

[發明所欲解決的問題]

【0007】 如上所述，爲了改善形成於矽基板上或藍寶石基板上之氮化物半導體層的特性，進行了緩衝層的設置及緩衝層結構的最佳化。

【0008】 然而，本案發明人發現了以下問題點。

亦即，在由一定厚度的 AlN/GaN 重複積層而成之多層緩衝層來構成緩衝層，並使多層緩衝層的 GaN 層的厚度增加的情況下，在緩衝層或主動層中，會有裂痕產生、或是由於與

基板的熱膨脹係數差異而導致無法調整翹曲這樣的問題。

相反地，在使構成緩衝層之 GaN 層的厚度薄的情況下，會有緩衝層內的漏電流增加這樣的問題。

又，在將緩衝層作成 AlN/GaN 的超晶格結構的情況下，若使緩衝層的總膜厚的厚度大，則同樣會有翹曲的問題。

【0009】 又，在專利文獻 1 所揭示的緩衝結構中，因為具有由厚的 GaN 所構成的單層緩衝區域 8，故在緩衝層 3 的頂面會產生凹凸，且凹凸會轉印至主動層 4 的頂面，於是主動層 4 的頂面的平坦性會產生問題，而有半導體裝置的電特性偏差和特性惡化等的問題。

更且，若利用插入由厚的 GaN 所構成的單層結構緩衝區域 8 而形成厚的緩衝層，則在膜層形成裝置內會因緩衝層與基板的熱膨脹係數差異而翹曲，由膜層形成裝置內取出基板時，基板與基板上的膜層的應力調整會不充分，而有產生翹曲和裂痕等的情況。

【0010】 本發明是有鑑於上述問題點而完成，目的在於提供一種半導體裝置，其可減低施加在緩衝層上的應力，同時抑制漏電流、改善主動層頂面的平坦性。

[解決問題的技術手段]

【0011】 爲了達成上述目的，本發明提供一種半導體裝置，其特徵在於具有：矽系基板；第一緩衝層，其設置於前述矽系基板上，由含有鋁（Al）成份之第一層與 Al 含量比前述第一層少之第二層交互積層而成；第二緩衝層，其設置於前述第一緩衝層上，由含有 Al 成份之第三層與 Al 含量比前述第

三層少之第四層交互積層而成；及，第三緩衝層，其設置於前述第二緩衝層上，由含有 Al 成份之第五層與 Al 含量比前述第五層少之第六層交互積層而成；並且，整體而言，前述第二緩衝層的 Al 含量，比前述第一緩衝層和前述第三緩衝層多。

【0012】 如此，藉由緩衝層中央部的膜層（第二緩衝層）的 Al 含量比緩衝層頂部的膜層（第三緩衝層）及緩衝層底部的膜層（第一緩衝層）多，在緩衝層中央部內會較大規模地發生晶格弛緩（失配差排），而可減少施加在緩衝層上的應力。

又，藉由使緩衝層中央部的膜層（第二緩衝層）為包括含有 Al 成份之膜層（第三層）的多層結構而增加緩衝層整體的 Al 成份，可減低漏電流。

又，藉由使緩衝層中央部的膜層（第二緩衝層）為包括含有 Al 成份之膜層（第三層）的多層結構，可改善緩衝層頂面的平坦性，因而可改善主動層頂面的平坦性。

【0013】 此處，較佳是進一步具有主動層，該主動層設置於前述第三緩衝層上；前述第一層是由含有 Al 成份之第一子層與 Al 含量比前述第一子層少之第二子層重複而形成；前述第五層是由含有 Al 成份之第三子層與 Al 含量比前述第三子層少之第四子層重複而形成；前述第二子層和前述第四子層具有未達臨界膜厚的厚度；前述第二層的 Al 含量比前述第一子層少，且厚度比前述第二子層厚；前述第六層的 Al 含量比前述第四子層少，且厚度比前述第四子層厚；前述第四層，比前述第二子層和前述第四子層厚，比前述第二層和前述第六

層薄，且具有前述臨界膜厚以上的厚度；前述第四層的差排，比前述第二層和前述第六層多。

【0014】 如此，藉由使緩衝層中央部的膜層所包括的第四層比緩衝層底部的膜層所包括的第二子層及緩衝層頂部的膜層所包括的第四子層厚，在緩衝層中央部的膜層所包括的第四層中，晶格弛緩（失配差排）會變得容易發生，藉此，應力控制的範圍會更廣，而可將緩衝層整體更厚地形成。

【0015】 又，前述第二子層、前述第二層、前述第四層、前述第四子層及前述第六層，可設為由 GaN 所構成。

作為構成緩衝層之第二子層、第二層、第四層、第四子層及第六層，可適宜地使用如上述的材料。

【0016】 又，前述第一子層、前述第三層及前述第三子層，可設為由 AlN 所構成。

作為構成緩衝層之第一子層、第三層及第三子層，可適宜地使用如上述的材料。

【0017】 又，較佳為：複數個前述第三層的 Al 含量，距離前述第三緩衝層越近則越少。

如此，藉由在緩衝層中央部的膜層中，相互鄰接之第三層與第四層的 Al 成份比例差異為距離主動層越近則越小，可使在底側的應力緩和效果大，在頂側則是結晶性良好的效果比起應力緩和效果更大。

【0018】 又，較佳為在構成前述第二緩衝層的複數個前述第三層中，就配置於前述第二緩衝層的中央部的前述第三層而言，與配置於前述第二緩衝層的頂面側和底面側的前述第三

層相比，其 Al 含量較少。

如此，藉由在緩衝層中央部的膜層中，相互鄰接之第三層與第四層的 Al 成份比例差異在中央部為小，可使在底側及頂側的應力緩和效果大，在中央部則是結晶性良好的效果比起應力緩和效果更大。

[發明效果]

【0019】 如上，若依據本發明，可提供一種半導體裝置，其能減低施加在緩衝層上的應力，並抑制漏電流、改善主動層頂面的平坦性。

【圖式簡單說明】

【0020】 第 1 圖是顯示本發明的半導體裝置的實施態樣的一例的概略剖面圖。

第 2 圖是顯示第 1 圖的第一層的細節的概略剖面圖。

第 3 圖是顯示第 1 圖的第五層的細節的概略剖面圖。

第 4 圖是具有習知緩衝層之半導體晶圓的概略剖面圖。

【實施方式】

【0021】 以下，針對本發明，作為實施態樣的一例，一邊參照圖式一邊詳細地說明，但本發明並非僅限於此實施態樣。

如上所述，習知的緩衝層，因為在緩衝層的中央部側插入了由厚的氮化鎵 (GaN) 所構成的單層緩衝區域，故在緩衝層的頂面會產生凹凸，且凹凸會轉印至主動層的頂面，於是主動層的頂面的平坦性會產生問題，而有半導體裝置的電特性偏差和特性惡化等的問題。

更且，若利用在緩衝層的中央部側插入由厚的 GaN 所構

成的單層結構緩衝區域而使緩衝層變厚，則在膜層形成裝置內會因緩衝層與基板的熱膨脹係數差異而翹曲，由膜層形成裝置內取出基板時，基板與基板上的膜層的應力調整會不充分，而有產生翹曲和裂痕等的情況。

【0022】 因此，本案發明人重複深入檢討了一種半導體裝置，其可減低施加在緩衝層上的應力，並改善主動層頂面的平坦性。

其結果，發現藉由緩衝層的中央部的膜層（第二緩衝層）的鋁（Al）含量比緩衝層的頂部的膜層（第三緩衝層）及緩衝層的底部的膜層（第一緩衝層）多，而將緩衝層的中央部的膜層（第二緩衝層）作成包括含有 Al 成份之膜層（第三層）之多層結構，可減少施加在緩衝層上的應力，並可減低漏電流，更可改善主動層頂面的平坦性，而完成本發明。

【0023】 第 1 圖是顯示本發明的半導體裝置的一例的概略剖面圖。

第 1 圖所顯示的本發明的半導體裝置 11 具有：矽系基板 12；設置於矽系基板 12 上的緩衝層 13；設置於緩衝層 13 上的主動層 14；及，設置於主動層 14 上的第一電極 24、第二電極 26 及控制電極 28。

此處，矽系基板 12 例如是由矽（Si）或碳化矽（SiC）所構成的基板。

【0024】 緩衝層 13 具有：第一緩衝層 15、設置於第一緩衝層 15 上的第二緩衝層 20、及設置於第二緩衝層 20 上的第三緩衝層 15a。

第一緩衝層 15 是由含有 Al 成份之第一層 16 與 Al 含量比第一層 16 少之第二層 17 交互積層而成者。

第二緩衝層 20 是由含有 Al 成份之第三層 18a 與 Al 含量比第三層 18a 少之第四層 18b 交互積層而成者。

第三緩衝層 15a 是由含有 Al 成份之第五層 16a 與 Al 含量比第五層 16a 少之第六層 17a 交互積層而成者。

【0025】 主動層 14 更具有：通道層 141 與設置於通道層 141 上的阻障層 142。

第一電極 24 和第二電極 26，以使電流由第一電極 24 經由形成於通道層 141 內的二維電子氣 22 流動至第二電極 26 的方式來配置。

在第一電極 24 與第二電極 26 之間流動的電流，可藉由對控制電極 28 所施加的電位來控制。

【0026】 緩衝層 13 的中央部的膜層也就是第二緩衝層 20，就整體而言，其 Al 含量比第一緩衝層 15 和第三緩衝層 15a 多。

藉此，在緩衝層 13 的中央部會大規模地發生晶格弛緩（失配差排），而可使施加在緩衝層 13 上的應力減小。

【0027】 又，藉由將緩衝層 13 的中央部的膜層也就是第二緩衝層 20 作成包括含有 Al 成份之膜層（第三層 18a）之多層結構而增加緩衝層 13 整體的 Al 成份，可減低漏電流。

【0028】 更且，利用將緩衝層 13 的中央部的膜層也就是第二緩衝層 20 作成包括含有 Al 成份之膜層（第三層 18a）之多層結構，可改善緩衝層頂面的平坦性，因而可改善主動層頂面

的平坦性。

【0029】 第一層 16，可如第 2 圖的擴大圖所示，作成由含有 Al 成份之第一子層 16' 與 Al 含量比第一子層 16' 少之第二子層 16'' 重複而形成者。

又，第五層 16a，可如第 3 圖的擴大圖所示，作成由含有 Al 成份之第三子層 16a' 與 Al 含量比前述第三子層 16a' 少之第四子層 16a'' 重複而形成者。

第二子層 16'' 和第四子層 16a''，可作成具有未達臨界膜厚（若為此以上的膜厚，則可確實地發生失配差排）的厚度者。

第二層 17，可作成其 Al 含量比第一子層 16' 少，且厚度比第二子層 16'' 厚者。

第六層 17a，可作成其 Al 含量比第四子層 16a'' 少，且厚度比第四子層 16a'' 厚者。

第四層 18b，可作成比第二子層 16'' 和第四子層 16a'' 厚，比第二層 17 和第六層 17a 薄，且具有臨界膜厚以上的厚度者。

由於第二層 17 和第六層 17a，比第四層 18b 厚，在膜層的底部所發生的失配差排在膜層中途停止的可能性高，故第四層 18b 的失配差排，比第二層 17 和前述第六層 17a 多。

【0030】 並且，第四層 18b 以 3.5nm~200nm 為佳。若為此範圍，則可使失配差排確實地發生。

又，第四層 18b 以 5nm~50nm 更佳。若為此範圍，則可使失配差排更確實地發生。

【0031】 因此，若緩衝層 13 的各層具有上述膜厚關係，則在

緩衝層 13 中央部的膜層所包括的第四層 18b 中，晶格弛緩(失配差排)會變得容易發生，藉此，應力控制的範圍會更廣，而可將緩衝層整體形成更厚。

【0032】 第二子層 16''、第二層 17、第四層 18b、第四子層 16a''及第六層 17a，例如是由 GaN 所構成。

第一子層 16'、第三層 18a 及第三子層 16a'，例如是由氮化鋁 (AlN) 所構成。

【0033】 又，較佳為：構成第二緩衝層 20 之第三層 18a 的 Al 含量，距離第三緩衝層 15a 越近亦即距離主動層 14 越近則越少。

如此，藉由在緩衝層 13 的中央部的膜層中，將相互鄰接的第三層 18a 與第四層 18b 的 Al 成份比例的差異，作成距離第三緩衝層 15a 越近亦即距離主動層 14 越近則越小，可使在底側的應力緩和效果大，在頂側則是使結晶性良好的效果比應力緩和效果更大。

【0034】 更且，較佳為：在構成第二緩衝層 20 之複數個第三層 18a 中，就配置於第二緩衝層 20 的中央部的第三層 18a 而言，作成與配置於第二緩衝層 20 的頂面側和底面側的前述第三層 18a 相比，其 Al 含量較少。

如此，藉由在緩衝層 13 的中央部的膜層中，將相互鄰接的第三層 18a 與第四層 18b 的 Al 成份比例的差異，作成在中央部為小，可使在底側和頂側的應力緩和效果大，而在中央部則是使結晶性良好的效果比應力緩和效果更大。

【0035】 其次，說明本發明的半導體裝置的製造方法。

首先，在矽系基板 12 上，形成構成緩衝層 13 之第一緩衝層 15。

具體而言，藉由有機金屬氣相成長（metal-organic vapor phase epitaxy, MOVPE）法，使由 AlN 所構成的第一子層 16' 和由 GaN 所構成的第二子層 16'' 交互成長而形成的第一層 16、與由 GaN 所構成的第二層 17 交互成長，而形成第一緩衝層 15。

第一子層 16' 的膜厚例如為 3~7nm，第二子層 16'' 的膜厚例如為 2~5nm，第二層 17 的膜厚例如為 100~500nm，較佳為 100~300nm。

重複形成的第一層 16 和第二層 17 的數量，例如可設為 4~7；重複形成的第一子層 16' 和第二子層 16'' 的數量，例如可設為 1~15。

【0036】 其次，在第一緩衝層 15 上，形成構成緩衝層 13 之第二緩衝層 20。

具體而言，藉由 MOVPE 法，使由 AlN 所構成的第三層 18a 與由 GaN 所構成的第四層 18b 交互成長，而形成第二緩衝層 20。

第三層 18a 的膜厚例如為 3~7nm，第四層 18b 的膜厚例如為 3.5~200nm。

重複形成的第三層 18a 和第四層 18b 的數量，例如可設為 10~100。

【0037】 其次，在第二緩衝層 20 上，形成構成緩衝層 13 之第三緩衝層 15a。

具體而言，藉由 MOVPE 法，使由 AlN 所構成的第三子層 16a' 和由 GaN 所構成的第四子層 16a'' 交互成長而形成的第五層 16a、與由 GaN 所構成的第六層 17a 交互成長，而形成第三緩衝層 15a。

第三子層 16a' 的膜厚例如為 3~7nm，第四子層 16a'' 的膜厚例如為 2~5nm，第六層 17a 的膜厚例如為 100~500nm，較佳為 100~300nm。

重複形成的第五層 16a 和第六層 17a 的數量，例如可設為 4~7，重複形成的第三子層 16a' 和第四子層 16a'' 的數量，例如可設為 1~15。

並且，使第三子層 16a' 和第四子層 16a'' 的數量，比第一子層 16' 和第二子層 16'' 的數量少，則可使結晶性較良好。

【0038】 其次，在緩衝層 13 上形成主動層 14。

具體而言，在緩衝層 13 上，藉由 MOVPE 法，使由 GaN 所構成的通道層 141、由氮化鋁鎵 (AlGaIn) 所構成的阻障層 142 依序成長。通道層 141 的膜厚例如為 1000~4000nm，阻障層 142 的膜厚例如為 10~50nm。

【0039】 其次，在主動層 14 上，形成第一電極 24、第二電極 26 及控制電極 28。第一電極 24 和第二電極 26，例如可利用鈦/鋁 (Ti/Al) 的積層膜來形成；控制電極 28，例如可利用下層膜與上層膜的積層膜來形成，該下層膜是由氧化矽 (SiO₂)、氮化矽 (SiN) 等金屬氧化物所構成，該上層膜是由鎳 (Ni)、金 (Au)、鉬 (Mo)、鉑 (Pt) 等金屬所構成。

藉由上述的製造方法，可得到第 1 圖所示的半導體裝置。

[實施例]

【0040】 以下，顯示實施例及比較例來進一步具體地說明本發明，但本發明並非僅限於這些例子。

【0041】 （實施例 1）

利用上述的製造方法來製作如第 1 圖所示的半導體裝置。第一層 16 是作成如第 2 圖所示的積層結構，第五層 16a 是作成如第 3 圖所示的積層結構。

並且，第一子層 16'、第三層 18a 及第三子層 16a' 是設為由 AlN 所構成，第二子層 16''、第二層 17、第四層 18b 及第四子層 16a'' 是設為由 GaN 所構成。

【0042】 （比較例 1）

與實施例 1 同樣地製作半導體裝置。但是，第二緩衝層 20 是作成由 GaN 所構成的單層結構。

【0043】 已確認實施例 1 的半導體裝置，與比較例 1 的半導體裝置相比，可減低施加在緩衝層上的應力，並抑制漏電流、改善主動層頂面的平坦性。

【0044】 並且，本發明並非限於上述實施形態。上述實施形態為例示，凡是具有與本發明的申請專利範圍所記載的技術思想實質相同的結構而達到相同作用效果者，皆包含於本發明的技術範圍內。

【符號說明】

【0045】

- 2 矽基板
- 3 緩衝層
- 4 主動層
- 5 第一多層結構緩衝區域
- 5' 第二多層結構緩衝區域
- 6 次多層結構緩衝區域
- 7 第一單層結構緩衝區域
- 8 第二單層結構緩衝區域
- 11 半導體裝置
- 12 矽系基板
- 13 緩衝層
- 14 主動層
- 15 第一緩衝層
- 15a 第三緩衝層
- 16 第一層
- 16' 第一子層
- 16" 第二子層
- 16a 第五層
- 16a' 第三子層
- 16a" 第四子層
- 17 第二層
- 17a 第六層

18a 第三層

18b 第四層

20 第二緩衝層

22 二維電子氣

24 第一電極

26 第二電極

28 控制電極

141 通道層

142 阻障層

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無。

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無。

【序列表】(請換頁單獨記載)

無。

申請專利範圍

1. 一種半導體裝置，其特徵在於具有：

矽系基板；

第一緩衝層，其設置於前述矽系基板上，由含有 Al 成份之第一層與 Al 含量比前述第一層少之第二層交互積層而成；

第二緩衝層，其設置於前述第一緩衝層上，由含有 Al 成份之第三層與 Al 含量比前述第三層少之第四層交互積層而成；及，

第三緩衝層，其設置於前述第二緩衝層上，由含有 Al 成份之第五層與 Al 含量比前述第五層少之第六層交互積層而成；

並且，整體而言，前述第二緩衝層的 Al 含量，比前述第一緩衝層和前述第三緩衝層多；

前述第四層，具有臨界膜厚以上的厚度，而且，該第四層的差排比前述第二層和前述第六層多。

2. 如請求項 1 所述的半導體裝置，其中，進一步具有主動層，該主動層設置於前述第三緩衝層上；

前述第一層是由含有 Al 成份之第一子層與 Al 含量比前述第一子層少之第二子層重複而形成；

前述第五層是由含有 Al 成份之第三子層與 Al 含量比前述第三子層少之第四子層重複而形成；

前述第二子層和前述第四子層具有前述未達臨界膜厚的厚度；

前述第二層的 Al 含量比前述第一子層少，且厚度比前述

第二子層厚；

前述第六層的 Al 含量比前述第四子層少，且厚度比前述第四子層厚；

前述第四層，比前述第二子層和前述第四子層厚，且比前述第二層和前述第六層薄。

3. 如請求項 2 所述的半導體裝置，其中，前述第二子層、前述第二層、前述第四層、前述第四子層及前述第六層，是由 GaN 所構成。

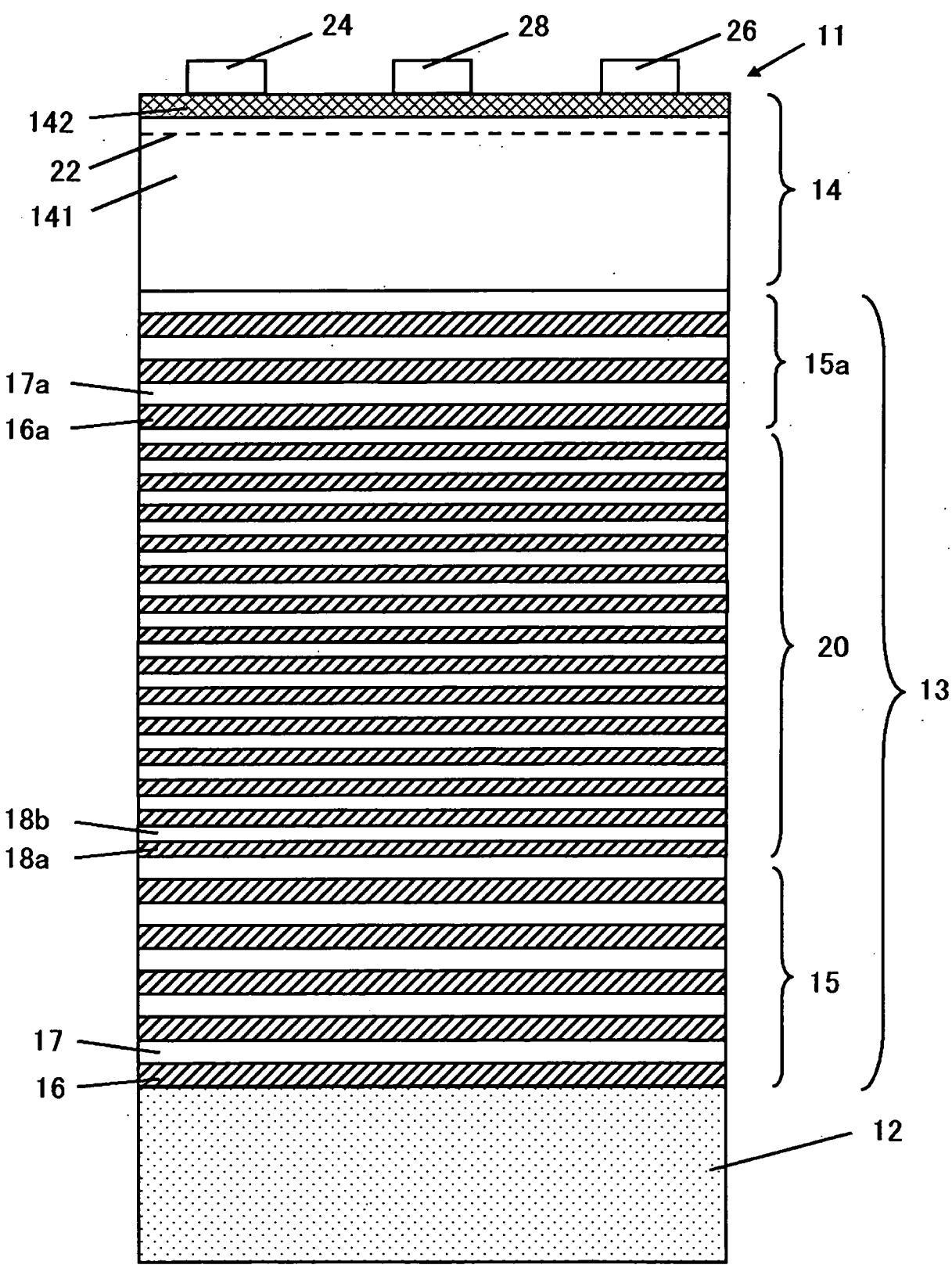
4. 如請求項 2 或請求項 3 所述的半導體裝置，其中，前述第一子層、前述第三層及前述第三子層，是由 AlN 所構成。

5. 如請求項 1 或請求項 2 所述的半導體裝置，其中，複數個前述第三層的 Al 含量，距離前述第三緩衝層越近則越少。

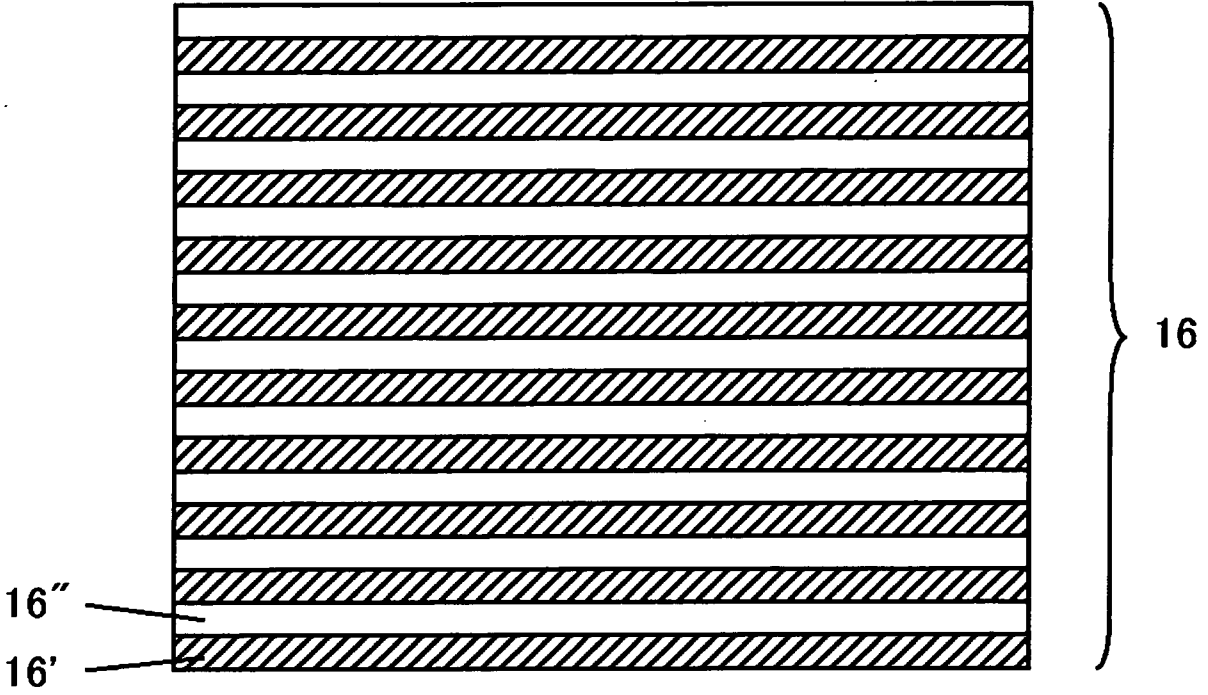
6. 如請求項 1 或請求項 2 所述的半導體裝置，其中，在構成前述第二緩衝層的複數個前述第三層中，配置於前述第二緩衝層的中央部的前述第三層，與配置於前述第二緩衝層的頂面側和底面側的前述第三層相比，其 Al 含量較少。

圖式

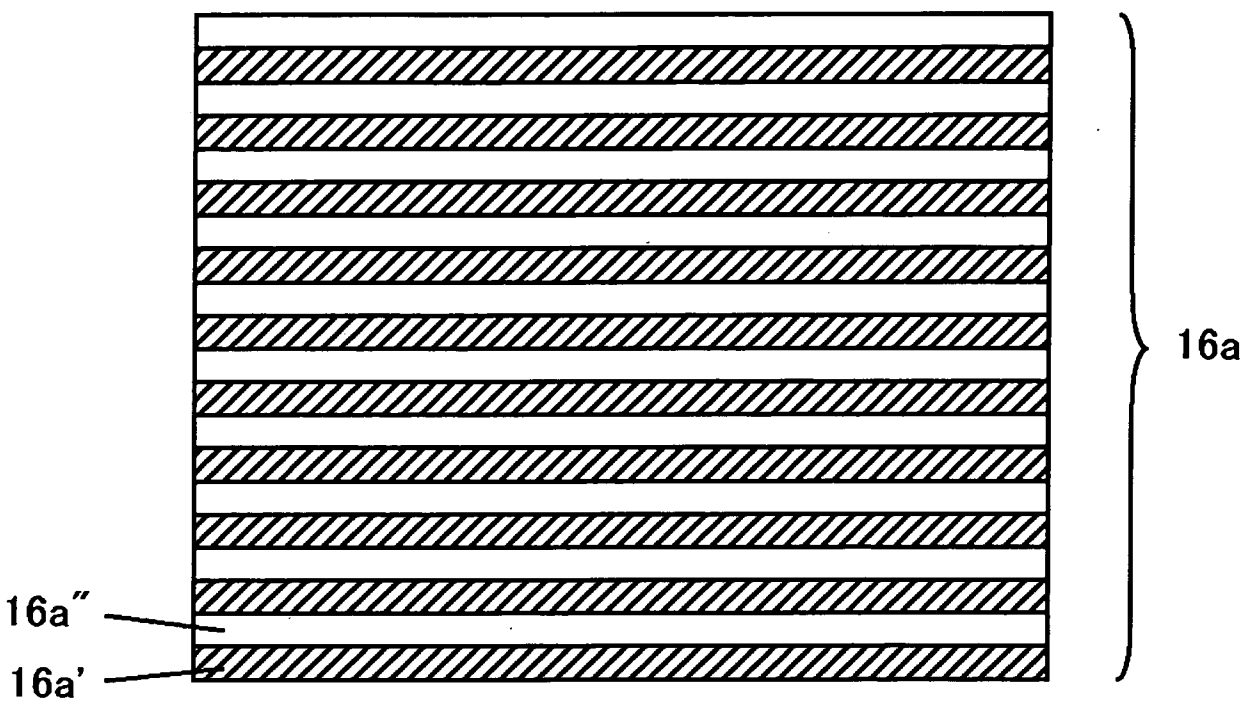
第 1 圖



第 2 圖



第 3 圖



第 4 圖

