(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017 年 1 月 26 日(26.01.2017)

WIPO | PCT

(10) 国際公開番号
WO 2017/014025 A1

(51) 国際特許分類:
H01L 27/146 (2006.01) *H04N 5/374* (2011.01)
H04N 5/369 (2011.01)

(21) 国際出願番号: PCT/JP2016/069595

(22) 国際出願日: 2016 年 7 月 1 日(01.07.2016)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2015-143164 2015 年 7 月 17 日(17.07.2015) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 中村 良助 (NAKAMURA Ryosuke); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP). 古閑 史彦 (KOGA Fumihiko); 〒1080075 東京都港区港南１丁目７番１号 ソニー株式会社内 Tokyo (JP).

(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿７丁目５番２５号 西新宿木村屋ビルディング９階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

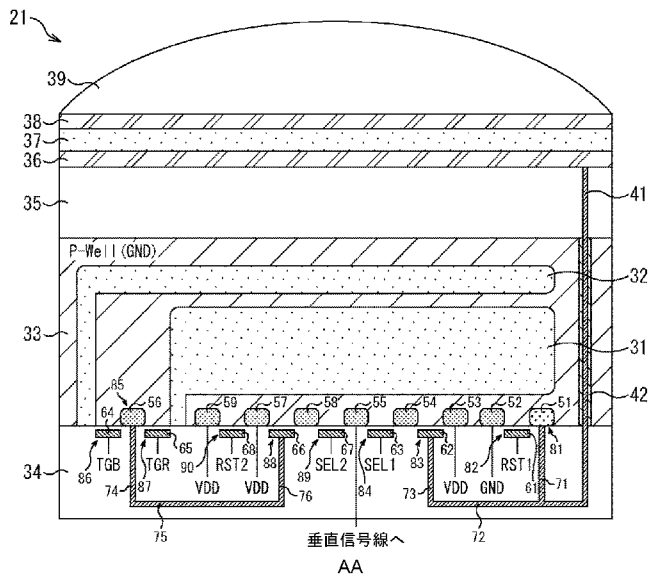
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

(54) **Title**: IMAGE CAPTURE ELEMENT, MANUFACTURING METHOD, SEMICONDUCTOR DEVICE, AND ELECTRONIC DEVICE

(54) 発明の名称 : 撮像素子、製造方法、半導体装置、および電子機器



AA To vertical signal line

(57) **Abstract**: The present disclosure relates to an image capture element with which an increase in image quality can be achieved, a manufacturing method, a semiconductor device, and an electronic device. The image capture element is provided with a photoelectric conversion unit which receives light and performs photoelectric conversion, a floating diffusion layer which accumulates charges produced by the photoelectric conversion unit, and a diffusion layer which serves as the source or drain of a transistor. The floating diffusion layer is formed so as to have a lower impurity concentration than the diffusion layer. The photoelectric conversion unit includes, for each pixel, a first photoelectric conversion unit which is capable of accumulating charges produced by photoelectric conversion, and a second photoelectric conversion unit from which the charges produced by photoelectric conversion are successively extracted and accumulated in the floating diffusion layer, wherein the first photoelectric conversion unit and the second photoelectric conversion unit are disposed side by side in a longitudinal direction along a direction in which light radiates. The present technology can be applied, for example, to backside-illumination type CMOS image sensors.

(57) 要約:

[続葉有]

WO 2017/014025 A1

本開示は、より画質の向上を図ることができるようにする撮像素子、製造方法、半導体装置、および電子機器に関する。 撮像素子は、光を受光して光電変換する光電変換部と、光電変換部で発生した電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備える。そして、浮遊拡散層は、拡散層よりも低濃度の不純物濃度となるように形成される。また、光電変換部として、光電変換により発生した電荷を蓄積可能な第１の光電変換部と、光電変換により発生した電荷が順次取り出されて浮遊拡散層に蓄積される第２の光電変換部との両方が１画素に設けられ、第１の光電変換部および第２の光電変換部は、光が照射される方向に沿った縦方向に並んで配置される。本技術は、例えば、裏面照射型の CMOS イメージセンサに適用できる。

明　細　書

発明の名称 ： 撮像素子、製造方法、半導体装置、および電子機器

技術分野

[0001] 本開示は、撮像素子、製造方法、半導体装置、および電子機器に関し、特に、より画質の向上を図ることができるようにした撮像素子、製造方法、半導体装置、および電子機器に関する。

背景技術

[0002] 従来、固体撮像装置として、CMOS（Complementary Metal Oxide Semiconductor）集積回路と同様のプロセスで製造できるCMOS型固体撮像装置（以下、CMOSイメージセンサと記す）が知られている。

[0003] CMOSイメージセンサにおいては、CMOSプロセスに付随した微細化技術により、画素毎に増幅機能を持つアクティブ型の構造を容易に製作することができる。また、CMOSイメージセンサは、画素アレイ部を駆動する駆動回路や、画素アレイ部の各画素から出力される信号を処理する信号処理回路などの周辺回路部を、画素アレイ部と同一チップ（基板）上に集積することができるという特長を備えている。このため、CMOSイメージセンサが注目され、CMOSに関してより多くの研究・開発がなされている。

[0004] また、一般的に、CMOSイメージセンサの電荷蓄積、読み出し方法として、ＰＤ（photodiode：フォトダイオード）に電荷を蓄積し、転送トランジスタを用いて、所定の電荷蓄積量を有する浮遊拡散層により構成されるＦＤ（Floating Diffusion：フローティングディフュージョン）部へ電荷を移し、読み出す構造が採用されている。

[0005] 近年、特許文献１および特許文献２、並びに、特許文献３の第４の実施形態に開示されているように、CMOSイメージセンサの光電変換部を半導体基板上部に配置し、光電変換信号を半導体基板に蓄積する構造が提案されている。

先行技術文献

特許文献

[0006] 特許文献1：特開２００７－３２９１６１号公報

特許文献2：特開２０１０－２７８０８６号公報

特許文献3：特開２０１１－１３８９２７号公報

発明の概要

発明が解決しようとする課題

[0007] ところで、CMOSイメージセンサでは、電荷を蓄積するＦＤ部を構成する高濃度不純物拡散層に、製造プロセスにおいて、金属不純物などの欠陥源が集まることがあった。そのため、ＦＤ部においてノイズが発生することがあり、CMOSイメージセンサにより撮像される画像に、白点や白傷、黒点などが表れるという撮像特性の悪化が生じ、これにより画質が低下することが懸念される。

[0008] 本開示は、このような状況に鑑みてなされたものであり、より画質の向上を図ることができるようにするものである。

課題を解決するための手段

[0009] 本開示の一側面の撮像素子は、光を受光して光電変換する光電変換部と、前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備え、前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される。

[0010] 本開示の一側面の製造方法は、光を受光して光電変換する光電変換部と、前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備える撮像素子の製造方法であって、前記浮遊拡散層を形成する工程と、前記拡散層を形成する工程とが個別に設けられ、前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される。

[0011] 本開示の一側面の半導体装置は、電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備え、前記浮遊拡散層は、前

記拡散層よりも低濃度の不純物濃度となるように形成される。

[0012] 本開示の一側面の電子機器は、光を受光して光電変換する光電変換部と、前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備え、前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される撮像素子を備える。

[0013] 本開示の一側面においては、電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とについて、前記浮遊拡散層が、前記拡散層よりも低濃度の不純物濃度となるように形成される。

発明の効果

[0014] 本開示の一側面によれば、より画質の向上を図ることができる。

図面の簡単な説明

[0015] [図1]本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[図2]画素の第１の構成例を示す図である。

[図3]第１の工程を説明する図である。

[図4]第２の工程を説明する図である。

[図5]第３の工程を説明する図である。

[図6]第４の工程を説明する図である。

[図7]第５の工程を説明する図である。

[図8]第６の工程を説明する図である。

[図9]第７の工程を説明する図である。

[図10]画素の変形例について説明する図である。

[図11]ショットキー接合の回避について説明する図である。

[図12]画素の第２の構成例を示す図である。

[図13]画素の第３の構成例を示す図である。

[図14]イメージセンサを使用する使用例を示す図である。

[図15]本技術を適用した電子機器の一実施の形態の構成例を示すブロック図である。

発明を実施するための形態

[0016] 以下、本技術を適用した具体的な実施の形態について、図面を参照しながら詳細に説明する。

[0017] ＜撮像素子の構成例＞

[0018] 図１は、本技術を適用した撮像素子の一実施の形態の構成例を示すブロック図である。

[0019] 図１に示すように、撮像素子１１は、画素領域１２、垂直駆動回路１３、カラム信号処理回路１４、水平駆動回路１５、出力回路１６、および制御回路１７を備えて構成される。

[0020] 画素領域１２は、図示しない光学系により集光される光を受光する受光面である。画素領域１２には、複数の画素２１が行列状に配置されており、それぞれの画素２１は、水平信号線２２を介して行ごとに垂直駆動回路１３に接続されるとともに、垂直信号線２３を介して列ごとにカラム信号処理回路１４に接続される。複数の画素２１は、それぞれ受光する光の光量に応じたレベルの画素信号を出力し、それらの画素信号から、画素領域１２に結像する被写体の画像が構築される。

[0021] 垂直駆動回路１３は、画素領域１２に配置される複数の画素２１の行ごとに順次、それぞれの画素２１を駆動（転送や、選択、リセットなど）するための駆動信号を、水平信号線２２を介して画素２１に供給する。

[0022] カラム信号処理回路１４は、複数の画素２１から垂直信号線２３を介して出力される画素信号に対してCDS(Correlated Double Sampling：相関２重サンプリング)処理を施すことにより、画素信号のＡＤ（Analog to Digital）変換を行うとともにリセットノイズを除去する。

[0023] 水平駆動回路１５は、画素領域１２に配置される複数の画素２１の列ごとに順次、カラム信号処理回路１４から画素信号をデータ出力信号線２４に出力させるための駆動信号を、カラム信号処理回路１４に供給する。

[0024] 出力回路１６は、水平駆動回路１５の駆動信号に従ったタイミングでカラム信号処理回路１４からデータ出力信号線２４を介して供給される画素信号

を、所定のレベルまで増幅して出力する。

[0025] 制御回路１７は、撮像素子１１を構成する各ブロックの駆動周期に従ったクロック信号を生成して供給することで、それらの各ブロックの駆動を制御する。

[0026] このように撮像素子１１は構成されており、画素２１が受光した光の光量に応じた画素信号が、順次、後段の図示しない信号処理回路に出力される。また、撮像素子１１は、例えば、画素２１のＰＤが形成される半導体基板の表面に対して反対側を向く裏面に光が照射される裏面照射型の構造を採用することができる。

[0027] ＜画素の第１の構成例＞

[0028] 次に、図２は、画素２１の第１の構成例を示す図である。

[0029] 図２に示すように、画素２１は、赤色ＰＤ３１および青色ＰＤ３２が形成される半導体基板３３の表面（図２の下側を向く面）に配線層３４が積層され、半導体基板３３の裏面（図２の上側を向く面）に、絶縁膜３５、下部電極３６、緑色光電変換膜３７、上部電極３８、およびオンチップレンズ３９が積層されて構成される。

[0030] 赤色ＰＤ３１は、半導体基板３３の裏面に対して比較的に深い領域に形成されるＮ型拡散層およびＰ型拡散層のＰＮ接合からなる光電変換部であり、赤色の光を光電変換して蓄積する。青色ＰＤ３２は、半導体基板３３の裏面に対して比較的に浅い領域に形成されるＮ型拡散層およびＰ型拡散層のＰＮ接合からなる光電変換部であり、青色の光を光電変換して蓄積する。

[0031] 半導体基板３３は、例えば、単結晶シリコンを薄くスライスした板状のウェハである。半導体基板３３の表面には、後述するように、複数のＮ型拡散層が形成されるとともに、それらのＮ型拡散層をソースまたはドレインとし、ゲート電極に印加される電圧に応じて電流の流れを制御する複数のトランジスタが形成される。

[0032] 配線層３４には、画素２１を駆動するための駆動信号や、画素２１から出力される画素信号などを伝送するための複数の配線が、層間絶縁膜を介して

層状に形成される。

[0033] 絶縁膜３５は、半導体基板３３の裏面を絶縁する。

[0034] 下部電極３６および３８は、導電性を備える透明な材質により形成され、緑色光電変換膜３７を挟み込むように積層される。

[0035] 緑色光電変換膜３７は、緑色の光を吸収して光電変換するとともに、緑色以外の光を透過する有機材料により形成される。緑色光電変換膜３７で発生した電荷は、順次、下部電極３６に接続されているコンタクト電極４１を介して取り出され、コンタクト電極４１は、半導体基板３３を貫通する部分においては絶縁膜４２により絶縁されている。

[0036] オンチップレンズ３９は、画素２１に照射される光を集光する。

[0037] このように構成される画素２１は、赤色ＰＤ３１、青色ＰＤ３２、および緑色光電変換膜３７が、画素２１に光が照射する照射方向に沿った縦方向に並んで配置された縦方向分光構造となっている。そして、１つの画素２１において、赤色、青色、および緑色の光を光電変換することができる。

[0038] このような縦方向分光構造の画素２１を用いる構造の撮像素子１１は、例えば、赤色、青色、および緑色のカラーフィルタが平面状に並べられた画素配列の構造と比較して、カラーフィルタの光吸収による感度低下を抑制することができる。さらに、縦方向分光構造の画素２１を用いる構成では、補間処理を必要としないため、偽色の発生を回避することができるという効果が期待される。

[0039] ここで、半導体基板３３（P-Well）は基準電位に接続されており、半導体基板３３の表面にはＮ型拡散層５１乃至５９が形成されるとともに、半導体基板３３の表面に対して絶縁膜を介してゲート電極６１乃至６８が形成されている。

[0040] Ｎ型拡散層５１には、半導体基板３３と配線層３４との界面においてコンタクト電極７１が接続されており、Ｎ型拡散層５１は、コンタクト電極７１、配線７２、およびコンタクト電極４１を介して、下部電極３６に接続されている。即ち、Ｎ型拡散層５１は、緑色光電変換膜３７で発生した電荷を蓄

積するＦＤ部８１を構成する。

[0041] Ｎ型拡散層５２は、基準電位（GND）に接続されている。

[0042] そして、Ｎ型拡散層５１および５２は、それらの間に配置されるゲート電極６１とともに、ＦＤ部８１をリセットするリセットトランジスタ８２を構成する。即ち、リセットトランジスタ８２は、垂直駆動回路１３から供給されるリセット信号RST1に従って駆動し、Ｎ型拡散層５１に蓄積されている電荷を基準電位（GND）に排出して、ＦＤ部８１をリセットする。

[0043] Ｎ型拡散層５３は、ドレイン電源VDDに接続されており、Ｎ型拡散層５３および５４は、それらの間に配置されるゲート電極６２とともに、ＦＤ部８１に蓄積されている電荷を増幅する増幅トランジスタ８３を構成する。即ち、ゲート電極６２は、コンタクト電極７３、配線７２、およびコンタクト電極７１を介してＦＤ部８１に接続されており、ＦＤ部８１に蓄積されている電荷に応じたレベルの電位が、ゲート電極６２に印加される。これにより、ＦＤ部８１に蓄積されている電荷が増幅トランジスタ８３により増幅され、画素信号に変換される。

[0044] Ｎ型拡散層５５は、垂直信号線２３に接続されており、Ｎ型拡散層５４および５５は、それらの間に配置されるゲート電極６３とともに、画素信号を出力するタイミングとなった画素２１を選択する選択トランジスタ８４を構成する。即ち、選択トランジスタ８４は、垂直駆動回路１３から供給される選択信号SEL1に従って駆動し、増幅トランジスタ８３を垂直信号線２３に接続する。

[0045] Ｎ型拡散層５６は、赤色ＰＤ３１および青色ＰＤ３２で発生した電荷を、それぞれ蓄積するＦＤ部８５を構成する。

[0046] また、Ｎ型拡散層５６は、半導体基板３３の表面まで延在する青色ＰＤ３２の一部分との間に配置されるゲート電極６４とともに、青色ＰＤ３２で発生した電荷をＦＤ部８５に転送する転送トランジスタ８６を構成する。即ち、転送トランジスタ８６は、垂直駆動回路１３から供給される転送信号TGBに従って駆動し、青色ＰＤ３２に蓄積されている電荷をＦＤ部８５に転送する

。

[0047] 同様に、Ｎ型拡散層５６は、半導体基板３３の表面まで延在する赤色ＰＤ３１の一部分との間に配置されるゲート電極６５とともに、赤色ＰＤ３１で発生した電荷をＦＤ部８５に転送する転送トランジスタ８７を構成する。即ち、転送トランジスタ８７は、垂直駆動回路１３から供給される転送信号TGRに従って駆動し、赤色ＰＤ３１に蓄積されている電荷をＦＤ部８５に転送する。

[0048] そして、ＦＤ部８５を構成するＮ型拡散層５６は、コンタクト電極７４、配線７５、およびコンタクト電極７６を介して、Ｎ型拡散層５７および５８の間に配置されるゲート電極６６に接続されている。

[0049] Ｎ型拡散層５７および５８は、それらの間に配置されるゲート電極６６とともに、ＦＤ部８５に蓄積されている電荷を増幅する増幅トランジスタ８８を構成する。即ち、増幅トランジスタ８８のゲート電極６６には、ＦＤ部８５に蓄積されている電荷に応じたレベルの電位が印加され、その電荷が増幅トランジスタ８８により増幅されて、画素信号に変換される。

[0050] Ｎ型拡散層５９は、ドレイン電源VDDに接続されており、Ｎ型拡散層５６およびゲート電極６８とともに、ＦＤ部８５をリセットするリセットトランジスタ９０を構成する。即ち、リセットトランジスタ９０は、垂直駆動回路１３から供給されるリセット信号RST2に従って駆動し、Ｎ型拡散層５６に蓄積されている電荷をドレイン電源VDDに排出して、ＦＤ部８５をリセットする。

[0051] このように、画素２１において、半導体基板３３の表面に設けられるＮ型拡散層５１乃至５９のうちの、緑色光電変換膜３７で発生した電荷を蓄積するＮ型拡散層５１の不純物濃度は、他のＮ型拡散層５２乃至５９よりも低濃度となるように形成される。このように、Ｎ型拡散層５１の不純物濃度を低濃度にすることで、半導体基板３３に含まれる金属不純物などの欠陥源がＮ型拡散層５１に集まることを抑制することができ、撮像特性の劣化を回避することができる。

[0052] 具体的には、Ｎ型拡散層５１の不純物濃度は、1e18～1e20/cm3に設定され

、Ｎ型拡散層５２乃至５９の不純物濃度は、1e20/cm3以上に設定されることが好ましい。

[0053] 従って、このような画素２１を備える撮像素子１１は、撮像された画像に白点や白傷、黒点などが発生することがなく、従来よりも画質の向上を図ることができる。また、撮像素子１１の商品性の向上や歩留り向上の効果が期待される。

[0054] また、画素２１は、電荷を蓄積可能な赤色ＰＤ３１および青色ＰＤ３２と、電荷が順次取り出されてＦＤ部８１に蓄積させる緑色光電変換膜３７とが同一の半導体基板３３に混在した構造となっている。このような構成において、赤色ＰＤ３１および青色ＰＤ３２で発生した電荷が転送されるＦＤ部８５よりも、緑色光電変換膜３７の電荷を蓄積するＦＤ部８１の不純物濃度を相対的に低濃度に設定することが好ましい。これにより、ＦＤ部８１に欠陥源が集まることを抑制することができる。特に、ＦＤ部８１に電荷を蓄積する構造においては、電荷の蓄積時間が長くなるため、ＦＤ部８１に欠陥源が集まることを抑制する効果を大きくすることができる。

[0055] 次に、図３乃至図９を参照して、画素２１を有する撮像素子１１の製造方法のうち、不純物濃度の異なるＮ型拡散層を形成する工程について説明する。

[0056] まず、図３に示すように、第１の工程において、半導体基板３３に対してＮ型およびＰ型の不純物がイオン注入されて赤色ＰＤ３１および青色ＰＤ３２が形成され、半導体基板３３の表面に絶縁膜を介してゲート電極６１乃至６８が形成される。

[0057] その後、図４に示すように、第２の工程において、半導体基板３３の表面にレジスト１０１が成膜され、Ｎ型拡散層５１が形成される領域に開口部１０２が形成される。そして、開口部１０２を介してＮ型の不純物がイオン注入されることによりＮ型拡散層５１が形成される。このとき、ゲート電極６１が、開口部１０２とともに、Ｎ型拡散層５１を形成する領域を規定するパターンの一部として利用される。

[0058] そして、図５に示すように、第３の工程において、半導体基板３３の表面からレジスト１０１が除去される。

[0059] 次に、図６に示すように、第４の工程において、半導体基板３３の表面にレジスト１０３が成膜され、Ｎ型拡散層５６が形成される領域に開口部１０４が形成される。そして、開口部１０４を介してＮ型の不純物がイオン注入されることによりＮ型拡散層５６が形成される。このとき、ゲート電極６４および６５が、開口部１０４とともに、Ｎ型拡散層５６を形成する領域を規定するパターンの一部として利用される。

[0060] そして、図７に示すように、第５の工程において、半導体基板３３の表面からレジスト１０３が除去される。

[0061] その後、図８に示すように、第６の工程において、半導体基板３３の表面にレジスト１０５が成膜され、Ｎ型拡散層５２乃至５５およびＮ型拡散層５７乃至５９が形成される領域に開口部１０６が形成される。そして、開口部１０４を介してＮ型の不純物がイオン注入されることによりＮ型拡散層５２乃至５５およびＮ型拡散層５７乃至５９が形成される。このとき、ゲート電極６１乃至６３およびゲート電極６６乃至６８が、開口部１０６とともに、Ｎ型拡散層５２乃至５５およびＮ型拡散層５７乃至５９を形成する領域を規定するパターンの一部として利用される。

[0062] その後、図９に示すように、第７の工程において、半導体基板３３の表面からレジスト１０５が除去される。

[0063] 以上のように、第１乃至第７の工程において、Ｎ型拡散層５１、Ｎ型拡散層５６、並びに、Ｎ型拡散層５２乃至５５およびＮ型拡散層５７乃至５９は、それぞれ異なる工程で形成される。従って、Ｎ型拡散層５１を形成するときの不純物濃度を、Ｎ型拡散層５６、並びに、Ｎ型拡散層５２乃至５５およびＮ型拡散層５７乃至５９を形成するときの不純物濃度よりも低濃度に設定することで、図２を参照して説明したような画素２１を有する撮像素子１１を製造することができる。

[0064] なお、このような製造方法において、Ｎ型拡散層５６の不純物濃度も、Ｎ

型拡散層５２乃至５５およびＮ型拡散層５７乃至５９とは異なる濃度に、例えば、Ｎ型拡散層５２乃至５５およびＮ型拡散層５７乃至５９よりも低濃度に設定することができる。

[0065] ＜画素の変形例＞

[0066] 次に、図１０を参照して、画素２１の変形例について説明する。

[0067] 図１０には、画素２１のＦＤ部８１におけるＮ型拡散層５１とコンタクト電極７１との接合部分が拡大して示されている。

[0068] 上述したように、画素２１では、緑色光電変換膜３７で発生した電荷を蓄積するＦＤ部８１を構成するＮ型拡散層５１には、半導体基板３３と配線層３４との界面においてコンタクト電極７１が接続されている。

[0069] 画素２１は、Ｎ型拡散層５１に対して直接的にコンタクト電極７１を接続させる構成を採用してもよいが、例えば、図１０に示すように、絶縁体１１０を介して、Ｎ型拡散層５１にコンタクト電極７１を接続させる構成を採用することができる。例えば、絶縁体１１０は、半導体基板３３の表面に薄膜を蒸着させるPVD (Physical Vapor Deposition) 法によりＮ型拡散層５１に対して積層される。このようにＮ型拡散層５１とコンタクト電極７１との間に形成される絶縁体１１０としては、SrTi03, Zr02, Ti02, La203, Y203, Hf02, Ta203, HFSi04, Al203などの材料を使用することができる。

[0070] このような絶縁体１１０を設けることによって、画素２１では、Ｎ型拡散層５１とコンタクト電極７１とを接合する際に、ショットキー接合となることを回避することができる。

[0071] 図１１を参照して、ショットキー接合の回避について説明する。

[0072] 図１１のＡには、Ｎ型拡散層５１に対して直接的にコンタクト電極７１を接続させる構成におけるバンド図が示されている。図１１のＢには、絶縁体１１０を介してＮ型拡散層５１にコンタクト電極７１を接続させる構成におけるバンド図が示されている。

[0073] 例えば、ＦＤ部８１のＮ型拡散層５１の低濃度化を進めると、コンタクト電極７１とＮ型拡散層５１とがショットキー接合となり、図１１のＡに示す

ように、ショットキー障壁が存在して、コンタクト抵抗の増加が顕在化してしまう。

[0074] これに対し、図１１のＢに示すように、Ｎ型拡散層５１とコンタクト電極７１との間に絶縁体１１０を配置すると、Ｎ型拡散層５１とコンタクト電極７１とのやり取りは絶縁体１１０を介したトンネル電流で制御されることになる。これにより、Ｎ型拡散層５１の空乏層領域は減少して、ショットキー障壁も低減することになり、抵抗値が低下するようになる。

[0075] このように絶縁体１１０を配置することによって、ＦＤ部８１のＮ型拡散層５１の更なる低濃度化を実現することができる。

[0076] このように画素２１は、絶縁体１１０を設けることによってショットキー接合を回避することができる。従って、画素２１は、絶縁体１１０を設けない構造と比較して、緑色光電変換膜３７で発生した電荷を蓄積するＦＤ部８１のＮ型拡散層５１の不純物濃度をさらに低く設定することができる。具体的には、ＦＤ部８１の不純物濃度は、1e17～1e19/cm3程度に設定にすることが可能となる。

[0077] ＜画素の第２の構成例＞

[0078] 次に、図１２は、画素２１の第２の構成例を示す図である。

[0079] 図１２に示す画素２１Ａにおいて、図２の画素２１と共通する構成については同一の符号を付し、その詳細な説明は省略する。

[0080] 上述した図２には、半導体基板３３の表面に配線層３４が積層され、半導体基板３３の裏面に、絶縁膜３５、下部電極３６、緑色光電変換膜３７、上部電極３８、およびオンチップレンズ３９が積層されたセンサチップ１１１における画素２１が示されていた。これに対し、図１２には、このセンサチップ１１１の表面にロジックチップ１１２が機械的および電気的に貼り合わされた構成の積層型の撮像素子の画素２１Ａが示されている。なお、画素２１Ａのセンサチップ１１１における構成は、図２の画素２１と同一である。

[0081] ロジックチップ１１２は、半導体基板１１３に対して配線層１１４が積層されて構成されており、半導体基板１１３の表面（図１２の上側を向く面）

には、さまざまな機能を有する複数のトランジスタが形成されている。そして、ロジックチップ１１２は、センサチップ１１１に対する駆動制御や、センサチップ１１１から出力される画素信号に対する画像処理などの様々な演算処理を行うことができる。

[0082] 即ち、半導体基板１１３の表面には、Ｎ型拡散層１２１乃至１２９が形成されるとともに、半導体基板１１３の表面に対して絶縁膜を介してゲート電極１３１乃至１３５が形成されている。そして、Ｎ型拡散層１２１および１２２は、それらの間に配置されるゲート電極１３１とともにトランジスタ１４１を構成し、Ｎ型拡散層１２３および１２４は、それらの間に配置されるゲート電極１３２とともにトランジスタ１４２を構成する。以下、同様に、Ｎ型拡散層１２５乃至１２９およびゲート電極１３３乃至１３５により、トランジスタ１４３乃至１４５が形成される。

[0083] また、画素２１Ａでは、電極パッド１５１および１５２を利用して電気的な接続が行われる。例えば、画素２１Ａにおいて、Ｎ型拡散層５５が電極パッド１５１に接続され、Ｎ型拡散層１２５が電極パッド１５２に接続されており、電極パッド１５１および１５２を介して、Ｎ型拡散層５５およびＮ型拡散層１２５が接続されている。

[0084] このように構成される画素２１Ａにおいても、図２の画素２１と同様に、Ｎ型拡散層５１の不純物濃度は、ロジックチップ１１２に設けられるＮ型拡散層１２１乃至１２９の不純物濃度よりも低濃度に設定される。例えば、センサチップ１１１およびロジックチップ１１２を接合する際の熱処理において、半導体基板３３および半導体基板１１３の内部で欠陥が移動することが想定されるが、Ｎ型拡散層５１に欠陥が集まることを回避することができる。

[0085] 従って、画素２１Ａを備える撮像素子１１は、撮像された画像に白点や白傷、黒点などが発生することがなく、従来よりも画質の向上を図ることができる。

[0086] ＜画素の第３の構成例＞

[0087] 次に、図１３は、画素２１の第３の構成例を示す図である。

[0088] 図１３に示す画素２１Ｂにおいて、図２の画素２１と共通する構成については同一の符号を付し、その詳細な説明は省略する。

[0089] 上述した図２には、赤色ＰＤ３１、青色ＰＤ３２、および緑色光電変換膜３７が縦方向に並んで配置された縦方向分光構造の画素２１が示されていた。これに対し、図１３の画素２１Ｂは、カラーフィルタ１６１を透過した１色の光を光電変換するＰＤ１６２を有した構成となっている。

[0090] 即ち、画素２１Ｂは、ＰＤ１６２が形成される半導体基板３３の表面（図１３の下側を向く面）に配線層３４が積層され、半導体基板３３の裏面（図２の上側を向く面）に、絶縁膜３５、カラーフィルタ１６１、およびオンチップレンズ３９が積層されて構成される。

[0091] カラーフィルタ１６１は、オンチップレンズ３９により集光される光のうち、所定の波長域の光、例えば、赤色、青色、または緑色のいずれか一色の光を透過する。

[0092] ＰＤ１６２は、半導体基板３３に形成されるＮ型拡散層およびＰ型拡散層のＰＮ接合からなる光電変換部であり、カラーフィルタ１６１を透過した色の光を光電変換して蓄積する。

[0093] また、半導体基板３３の表面にはＮ型拡散層１７１乃至１７４が形成されるとともに、半導体基板３３の表面に対して絶縁膜を介してゲート電極１８１乃至１８４が形成されている。

[0094] 例えば、Ｎ型拡散層１７１は、ＰＤ１６２で発生した電荷を蓄積するＦＤ部１９１を構成する。また、Ｎ型拡散層１７１は、半導体基板３３の表面まで延在するＰＤ１６２の一部分との間に配置されるゲート電極１８１とともに、ＰＤ１６２で発生した電荷をＦＤ部１９１に転送する転送トランジスタ１９２を構成する。即ち、転送トランジスタ１９２は、垂直駆動回路１３から供給される転送信号TRGに従って駆動し、ＰＤ１６２に蓄積されている電荷をＦＤ部１９１に転送する。

[0095] また、Ｎ型拡散層１７１および１７２は、それらの間に配置されるゲート

電極１８２とともにリセットトランジスタ１９３を構成し、Ｎ型拡散層１７２および１７３は、それらの間に配置されるゲート電極１８３とともに増幅トランジスタ１９４を構成する。図示するように、増幅トランジスタ１９４のゲート電極１８３がＦＤ部１９１に接続されている。また、Ｎ型拡散層１７３および１７４は、それらの間に配置されるゲート電極１８４とともに選択トランジスタ１９５を構成する。

[0096] このように構成される画素２１Ｂにおいても、図２の画素２１と同様に、Ｎ型拡散層１７１の不純物濃度は、他のＮ型拡散層１７２乃至１７４の不純物濃度よりも相対的に低濃度に設定される。具体的には、Ｎ型拡散層１７１の不純物濃度は、1e18～1e20/cm3に設定され、Ｎ型拡散層１７２乃至１７４の不純物濃度は、1e20/cm3以上に設定されることが好ましい。

[0097] これにより、画素２１Ｂにおいても、ＦＤ部１９１を構成するＮ型拡散層１７１に、半導体基板３３に含まれる金属不純物などの欠陥源が集まることを抑制することができ、撮像特性の劣化を回避することができる。

[0098] なお、上述した実施の形態においては、本技術を、CMOSイメージセンサのような撮像素子１１に適用した例について説明したが、本技術は、撮像素子１１以外の半導体装置に適用することができる。即ち、電荷を蓄積するＦＤ部と、トランジスタのソースまたはドレインとなる拡散層とを備える半導体装置であれば、本技術を適用し、ＦＤ部の不純物濃度を相対的に低濃度にすることで、ＦＤ部に欠陥源が集まることを抑制することができる。

[0099] ＜電子機器の構成例＞

[0100] なお、上述したような各実施の形態の画素２１を有する撮像素子１１は、例えば、デジタルスチルカメラやデジタルビデオカメラなどの撮像システム、撮像機能を備えた携帯電話機、または、撮像機能を備えた他の機器といった各種の電子機器に適用することができる。

[0101] 図１４は、電子機器に搭載される撮像装置の構成例を示すブロック図である。

[0102] 図１４に示すように、撮像装置２０１は、光学系２０２、撮像素子２０３

、信号処理回路２０４、モニタ２０５、およびメモリ２０６を備えて構成され、静止画像および動画像を撮像可能である。

[0103] 光学系２０２は、１枚または複数枚のレンズを有して構成され、被写体からの像光（入射光）を撮像素子２０３に導き、撮像素子２０３の受光面（センサ部）に結像させる。

[0104] 撮像素子２０３としては、上述した各実施の形態の画素２１を有する撮像素子１１が適用される。撮像素子２０３には、光学系２０２を介して受光面に結像される像に応じて、一定期間、電子が蓄積される。そして、撮像素子２０３に蓄積された電子に応じた信号が信号処理回路２０４に供給される。

[0105] 信号処理回路２０４は、撮像素子２０３から出力された画素信号に対して各種の信号処理を施す。信号処理回路２０４が信号処理を施すことにより得られた画像（画像データ）は、モニタ２０５に供給されて表示されたり、メモリ２０６に供給されて記憶（記録）されたりする。

[0106] このように構成されている撮像装置２０１では、上述した各実施の形態の画素２１を有する撮像素子１１を適用することで、例えば、より良好な画質の画像を撮像することができる。

[0107] ＜イメージセンサの使用例＞

[0108] 図１５は、上述のイメージセンサ（撮像素子１１）を使用する使用例を示す図である。

[0109] 上述したイメージセンサは、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0110] ・ディジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行

うために、TVや、冷蔵庫、エアーコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクロスコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0111] なお、本技術は以下のような構成も取ることができる。

（１）

光を受光して光電変換する光電変換部と、

前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、

トランジスタのソースまたはドレインとなる拡散層と

を備え、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

撮像素子。

（２）

前記光電変換部として、光電変換により発生した電荷を蓄積可能な第１の光電変換部と、光電変換により発生した電荷が順次取り出されて前記浮遊拡散層に蓄積される第２の光電変換部との両方が１画素に設けられ、

前記第１の光電変換部および前記第２の光電変換部は、光が照射される方向に沿った縦方向に並んで配置される

上記（１）に記載の撮像素子。

（３）

前記第２の光電変換部で発生した電荷を蓄積する前記浮遊拡散層の不純物

濃度が、前記拡散層の不純物濃度よりも低濃度に設定される

上記（２）に記載の撮像素子。

（４）

前記浮遊拡散層として、前記第１の光電変換部で発生した電荷が転送される第１の浮遊拡散層と、前記第２の光電変換部で発生した電荷を蓄積する第２の浮遊拡散層とがそれぞれ設けられ、

前記第２の浮遊拡散層の不純物濃度が、前記第１の浮遊拡散層の不純物濃度よりも低濃度に設定される

上記（２）または（３）までのいずれかに記載の撮像素子。

（５）

前記第２の光電変換部から前記電荷を取り出すために、前記浮遊拡散層に接続されるコンタクト電極をさらに有し、

前記コンタクト電極と、前記浮遊拡散層が形成される半導体基板との間に絶縁体が配置される

上記（２）から（４）までのいずれかに記載の撮像素子。

（６）

前記光電変換部が形成されるセンサチップと、所定の演算処理を行うロジックチップとが積層されて構成され、

前記浮遊拡散層は、前記ロジックチップに形成されるトランジスタのソースまたはドレインとなる拡散層よりも低濃度の不純物濃度となるように形成される

上記（１）から（５）までのいずれかに記載の撮像素子。

（７）

光を受光して光電変換する光電変換部と、前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備える撮像素子の製造方法であって、

前記浮遊拡散層を形成する工程と、

前記拡散層を形成する工程と

が個別に設けられ、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

製造方法。

（８）

電荷を蓄積する浮遊拡散層と、

トランジスタのソースまたはドレインとなる拡散層と

を備え、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

半導体装置。

（９）

光を受光して光電変換する光電変換部と、

前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、

トランジスタのソースまたはドレインとなる拡散層と

を備え、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

撮像素子を備える電子機器。

[0112] なお、本実施の形態は、上述した実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲において種々の変更が可能である。

符号の説明

[0113] １１ 撮像素子，１２ 画素領域，１３ 垂直駆動回路，１４ カラム信号処理回路，１５ 水平駆動回路，１６ 出力回路，１７ 制御回路，２１ 画素，２２ 水平信号線，２３ 垂直信号線，２４ データ出力信号線，３１ 赤色ＰＤ，３２ 青色ＰＤ，３３ 半導体基板，３４ 配線層，３５ 絶縁膜，３６ 下部電極，３７ 緑色光電変換膜，３８ 上部電極，３９ オンチップレンズ，４１ コ

ンタクト電極，　４２　絶縁膜，　５１乃至５９　Ｎ型拡散層，　６１乃至６８　ゲート電極，　７１　コンタクト電極，　７２　配線，　７３および７４　コンタクト電極，　７５　配線，　７６　コンタクト電極，　８１　ＦＤ部，　８２　リセットトランジスタ，　８３　増幅トランジスタ，　８４　選択トランジスタ，　８５　ＦＤ部，　８６および８７　転送トランジスタ，　８８　増幅トランジスタ，　８９　選択トランジスタ，　９０　リセットトランジスタ，　１０１　レジスト，　１０２　開口部，　１０３　レジスト，　１０４　開口部，　１０５　レジスト，　１０６　開口部，　１１１　センサチップ，　１１２　ロジックチップ，　１１３　半導体基板，　１１４　配線層，　１２１乃至１２９　Ｎ型拡散層，　１３１乃至１３５　ゲート電極，　１４１乃至１４５　トランジスタ，　１５１および１５２　電極パッド，　１６１　カラーフィルタ，　１６２　ＰＤ，　１７１乃至１７４　Ｎ型拡散層，　１８１乃至１８４　ゲート電極，　１９１　ＦＤ部，　１９２　転送トランジスタ，　１９３　リセットトランジスタ，　１９４　増幅トランジスタ，　１９５　選択トランジスタ

請求の範囲

[請求項1] 光を受光して光電変換する光電変換部と、

前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、

トランジスタのソースまたはドレインとなる拡散層と

を備え、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

撮像素子。

[請求項2] 前記光電変換部として、光電変換により発生した電荷を蓄積可能な第１の光電変換部と、光電変換により発生した電荷が順次取り出されて前記浮遊拡散層に蓄積される第２の光電変換部との両方が１画素に設けられ、

前記第１の光電変換部および前記第２の光電変換部は、光が照射される方向に沿った縦方向に並んで配置される

請求項１に記載の撮像素子。

[請求項3] 前記第２の光電変換部で発生した電荷を蓄積する前記浮遊拡散層の不純物濃度が、前記拡散層の不純物濃度よりも低濃度に設定される

請求項２に記載の撮像素子。

[請求項4] 前記浮遊拡散層として、前記第１の光電変換部で発生した電荷が転送される第１の浮遊拡散層と、前記第２の光電変換部で発生した電荷を蓄積する第２の浮遊拡散層とがそれぞれ設けられ、

前記第２の浮遊拡散層の不純物濃度が、前記第１の浮遊拡散層の不純物濃度よりも低濃度に設定される

請求項２に記載の撮像素子。

[請求項5] 前記第２の光電変換部から前記電荷を取り出すために、前記浮遊拡散層に接続されるコンタクト電極をさらに有し、

前記コンタクト電極と、前記浮遊拡散層が形成される半導体基板との間に絶縁体が配置される

請求項２に記載の撮像素子。

[請求項6] 前記光電変換部が形成されるセンサチップと、所定の演算処理を行うロジックチップとが積層されて構成され、

前記浮遊拡散層は、前記ロジックチップに形成されるトランジスタのソースまたはドレインとなる拡散層よりも低濃度の不純物濃度となるように形成される

請求項１に記載の撮像素子。

[請求項7] 光を受光して光電変換する光電変換部と、前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、トランジスタのソースまたはドレインとなる拡散層とを備える撮像素子の製造方法であって、

前記浮遊拡散層を形成する工程と、

前記拡散層を形成する工程と

が個別に設けられ、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

製造方法。

[請求項8] 電荷を蓄積する浮遊拡散層と、

トランジスタのソースまたはドレインとなる拡散層と

を備え、

前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

半導体装置。

[請求項9] 光を受光して光電変換する光電変換部と、

前記光電変換部で発生した電荷を蓄積する浮遊拡散層と、

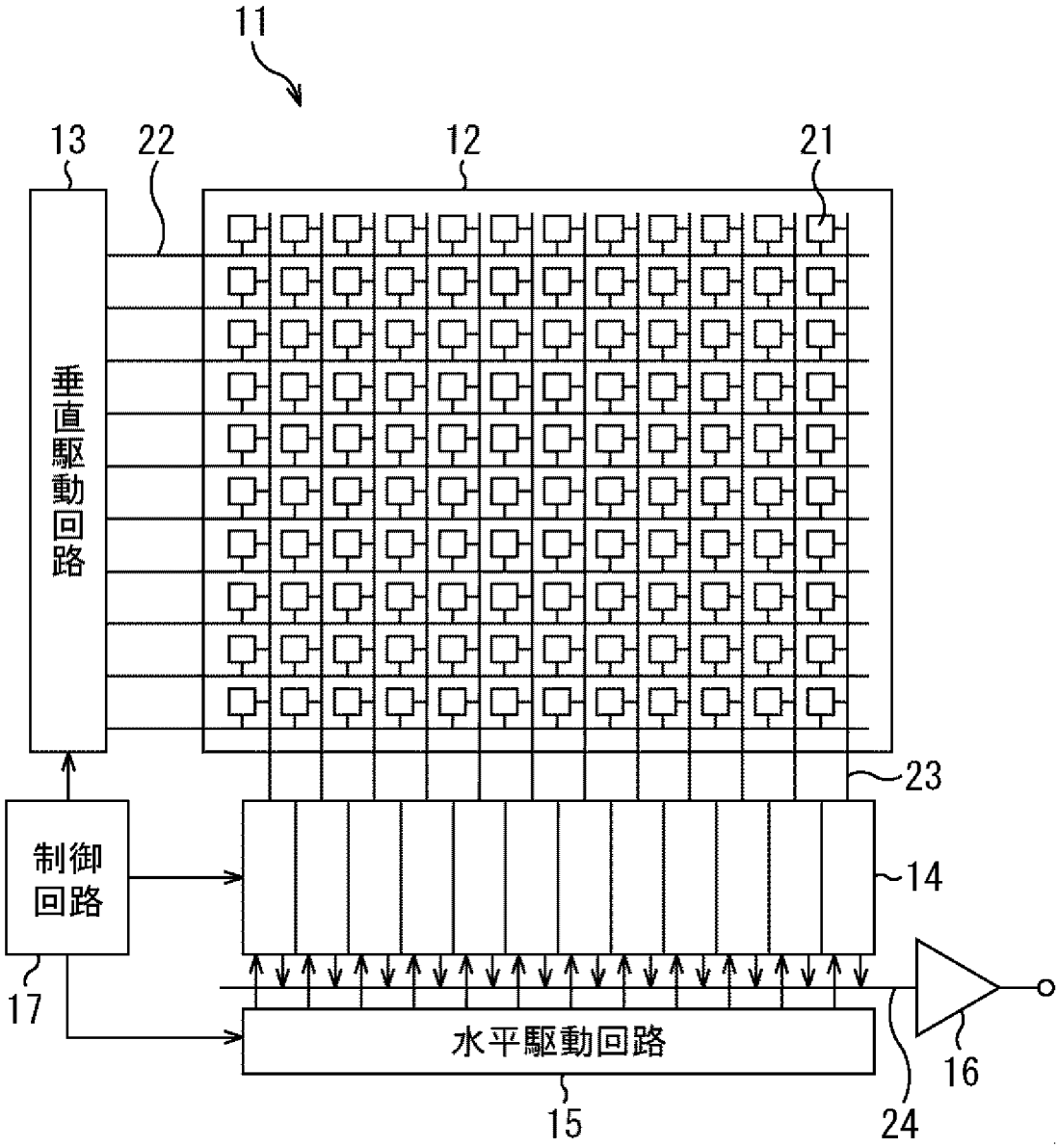
トランジスタのソースまたはドレインとなる拡散層と

を備え、

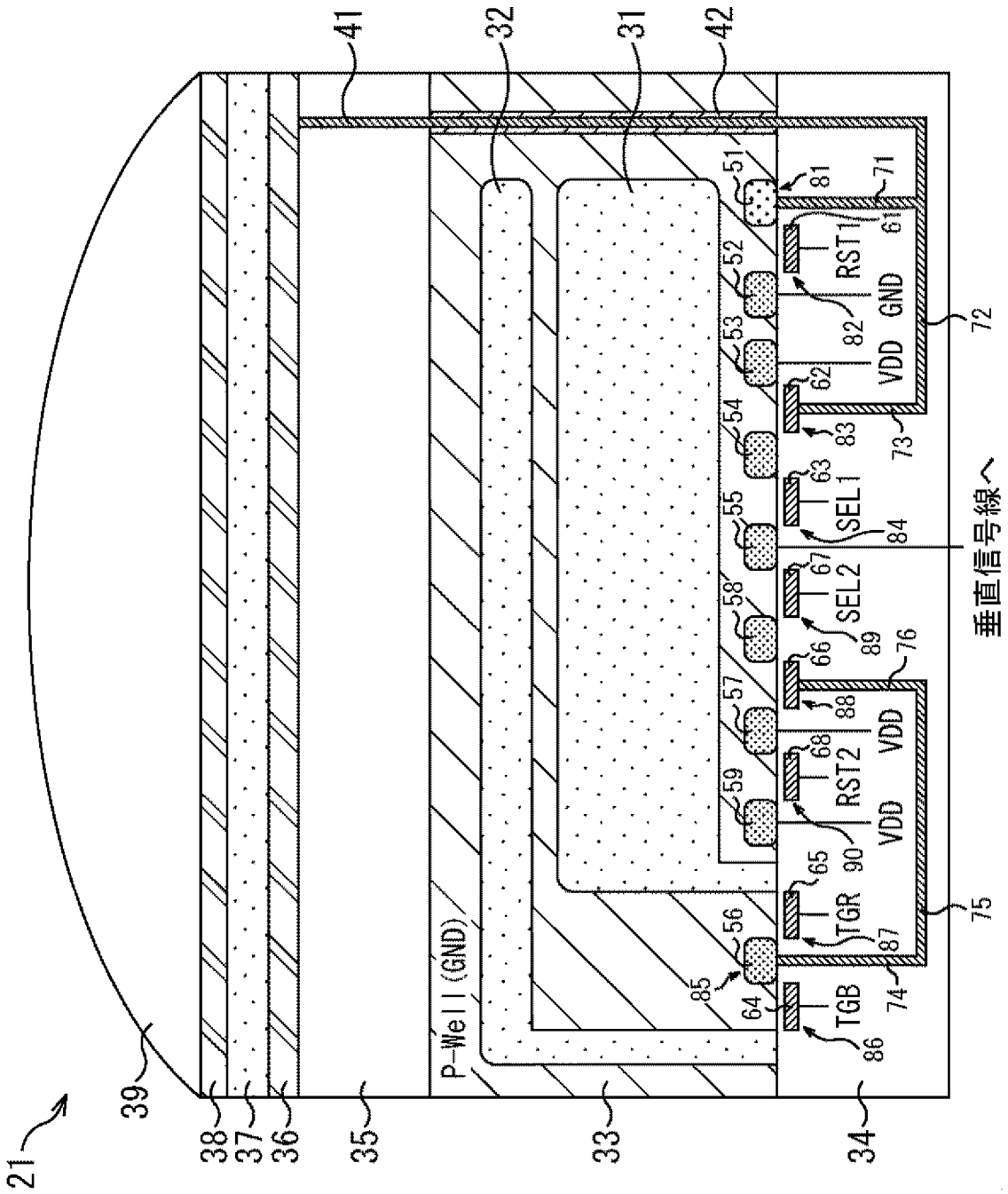
前記浮遊拡散層は、前記拡散層よりも低濃度の不純物濃度となるように形成される

撮像素子を備える電子機器。

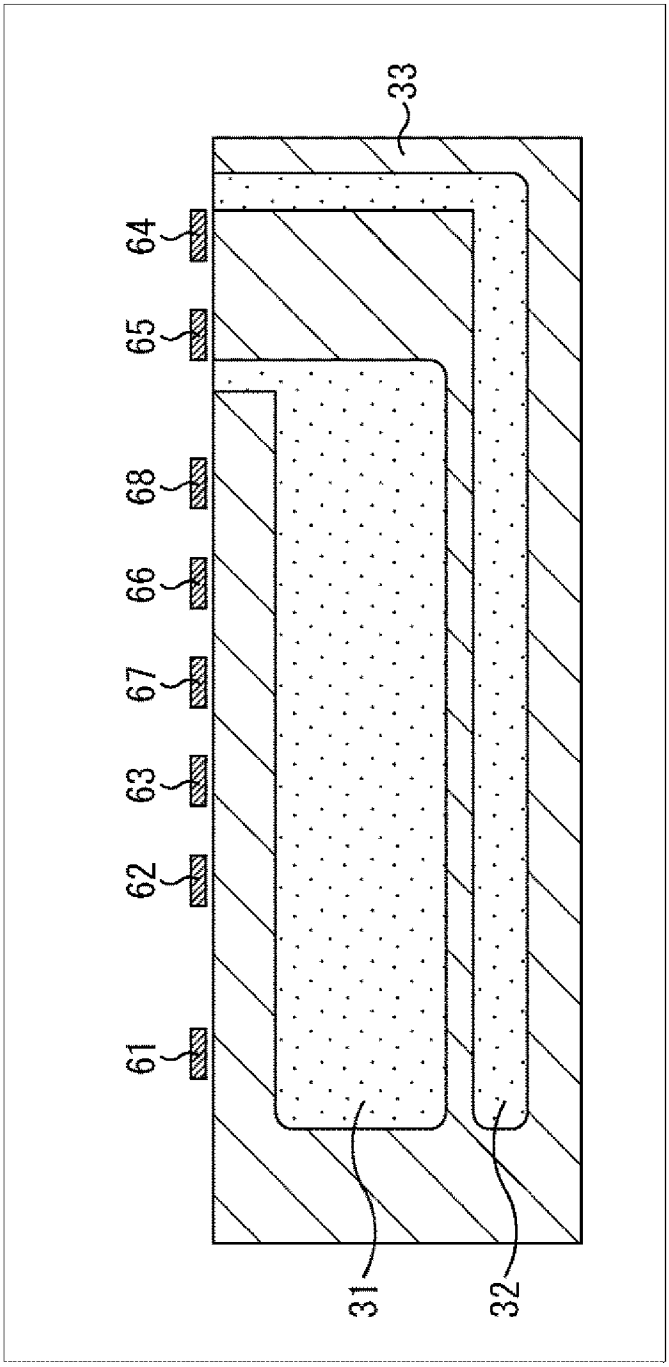
[図1]
FIG. 1



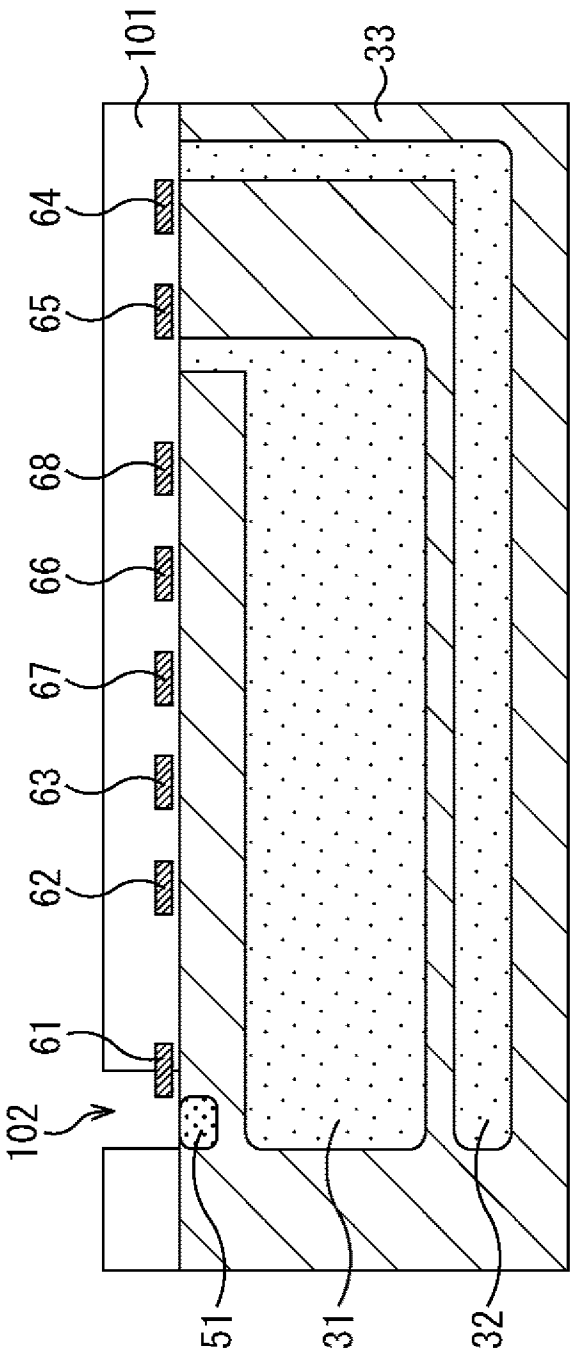
[図2]
FIG. 2


21
39
38
37
36
35
33
34
41
32
31
42
P-Well (GND)
51
52
53
54
55
56
57
58
59
64
65
66
67
68
71
72
73
74
75
76
81
82
83
84
85
86
87
88
89
90
61
62
63
RST1
GND
VDD
SEL1
SEL2
VDD
RST2
VDD
TGR
TGB
垂直信号線へ

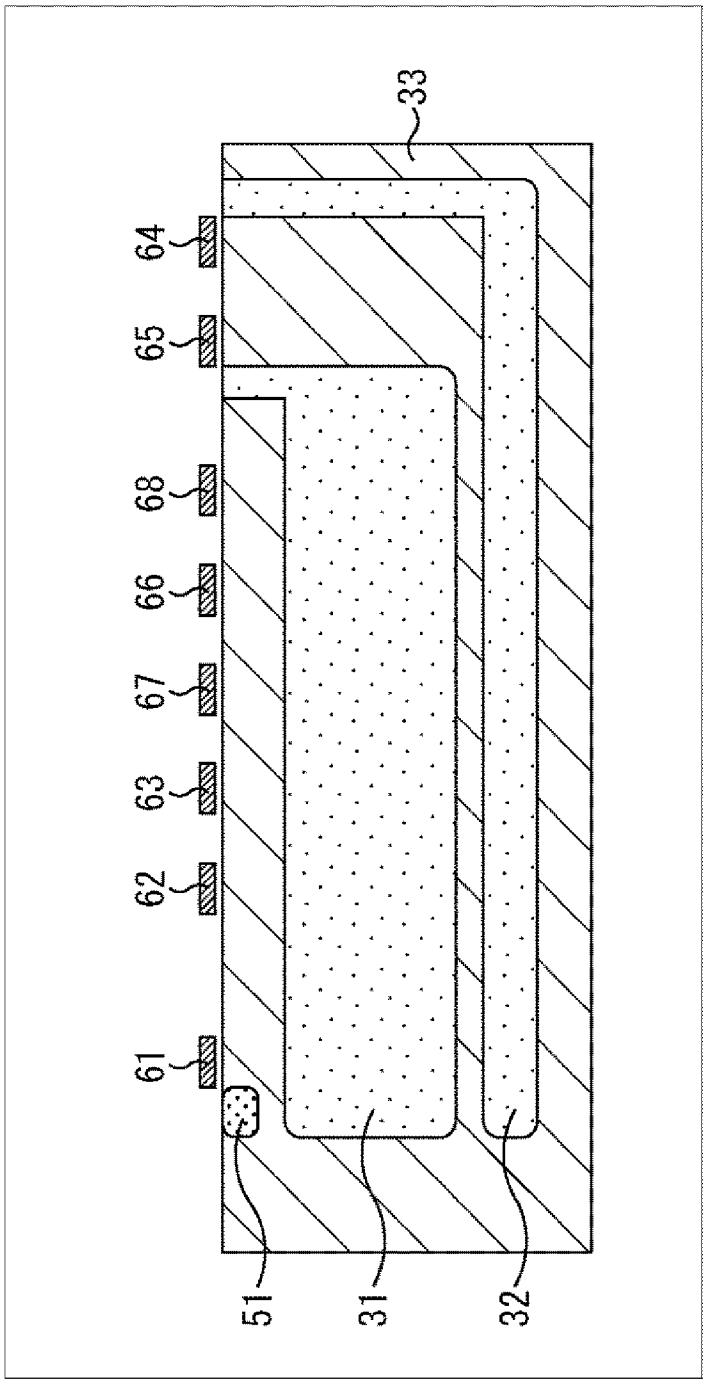
[図3]
FIG. 3



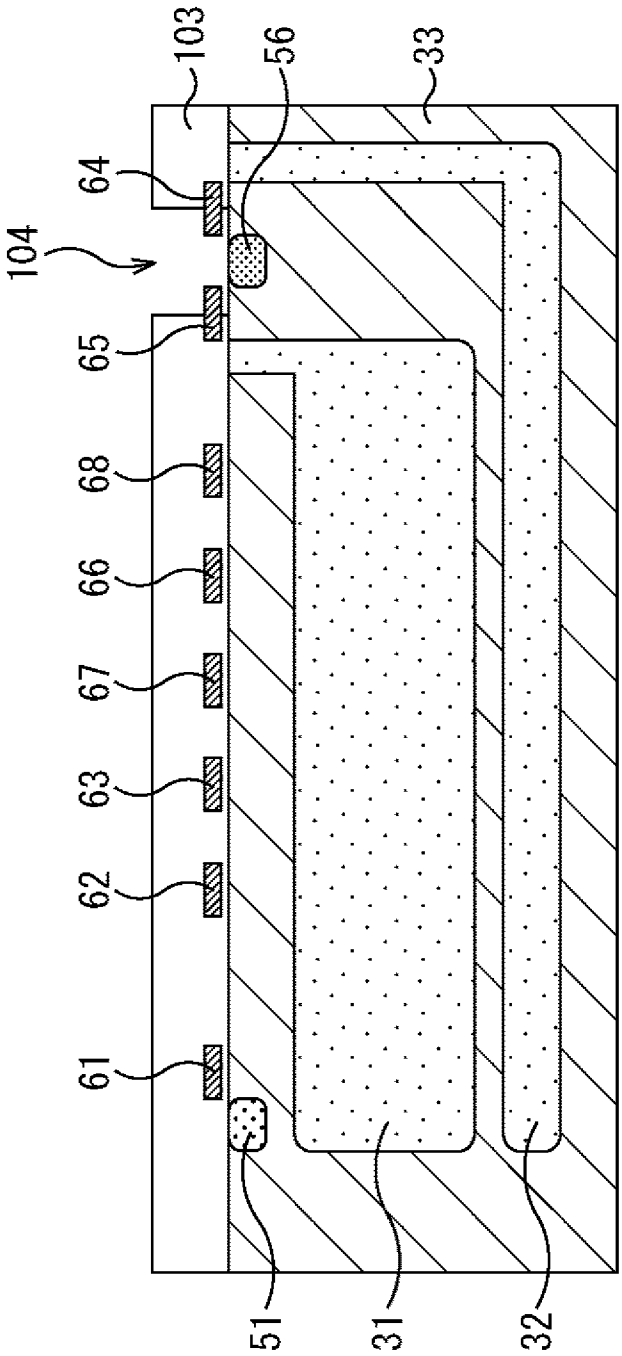
[図4]
FIG. 4



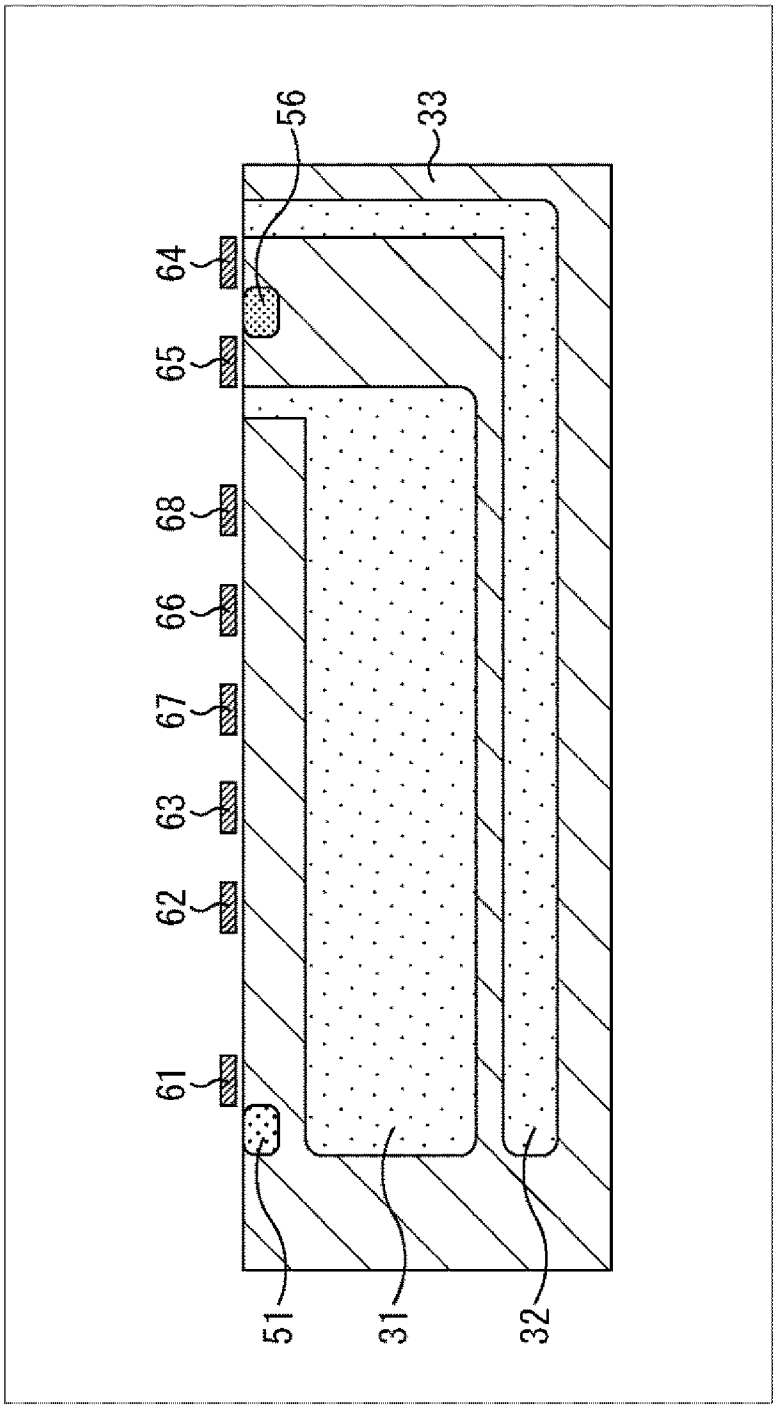
[図5]
FIG. 5



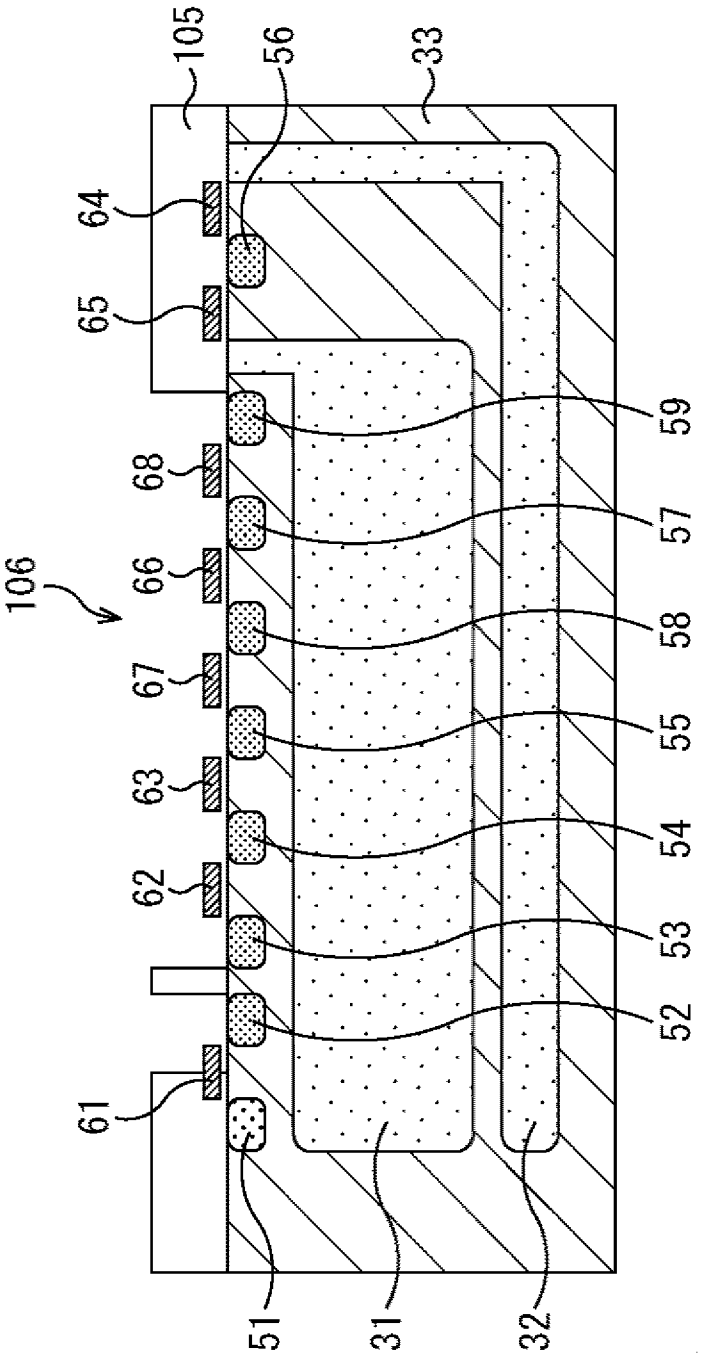
[図6]
FIG. 6



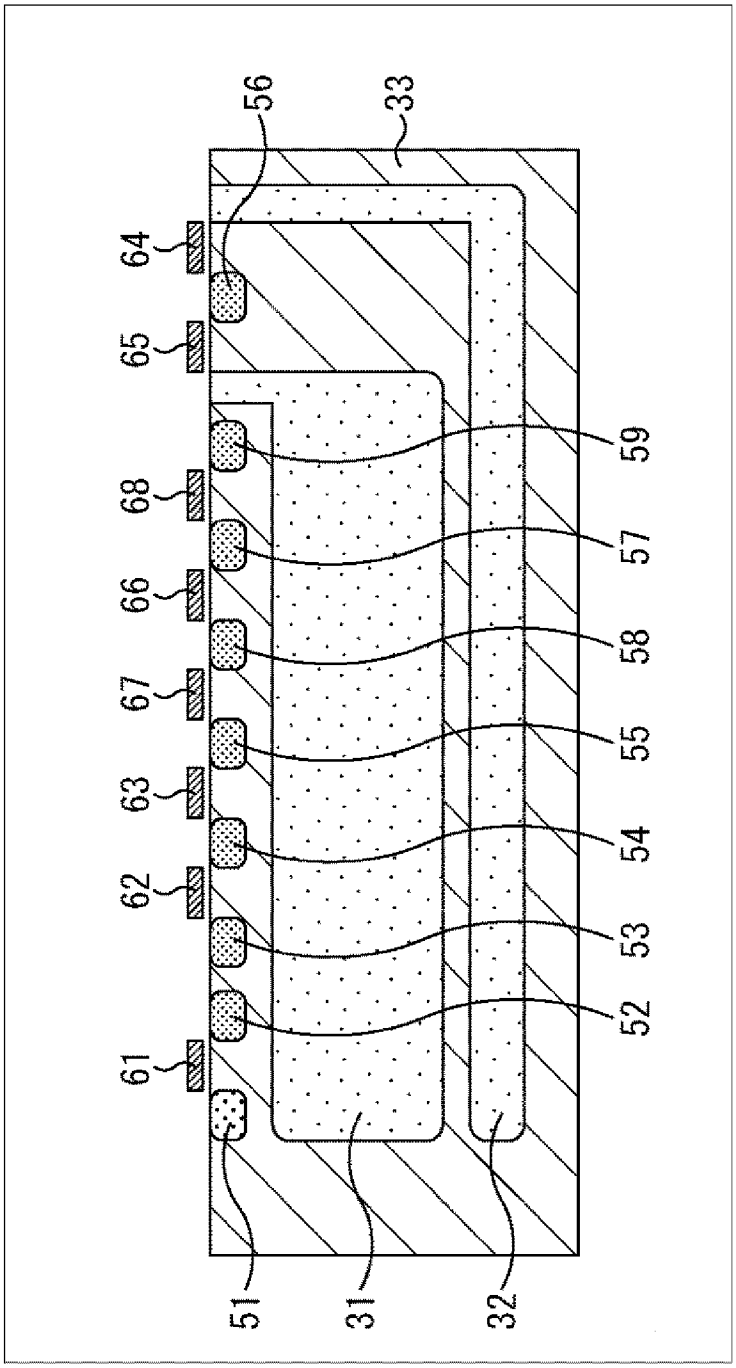
[図7]
FIG. 7



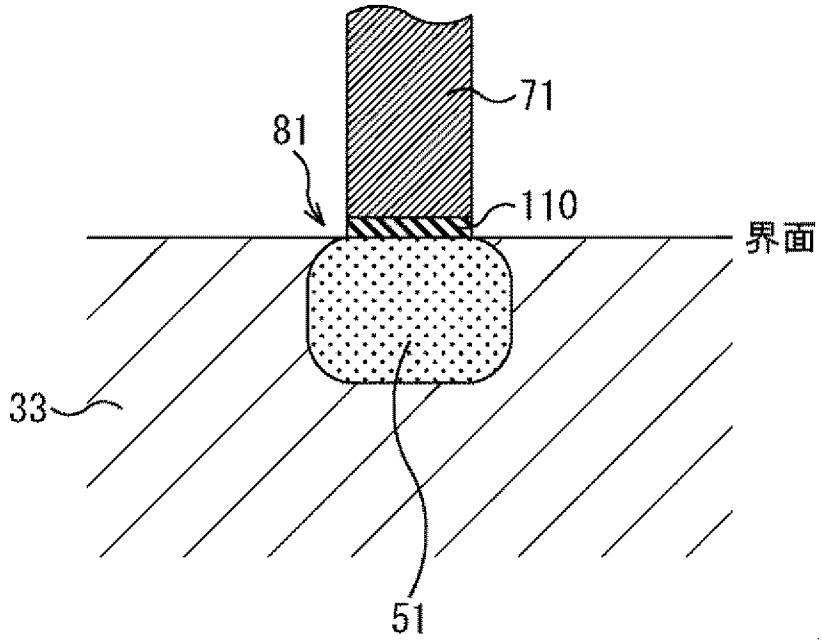
[図8]
FIG. 8



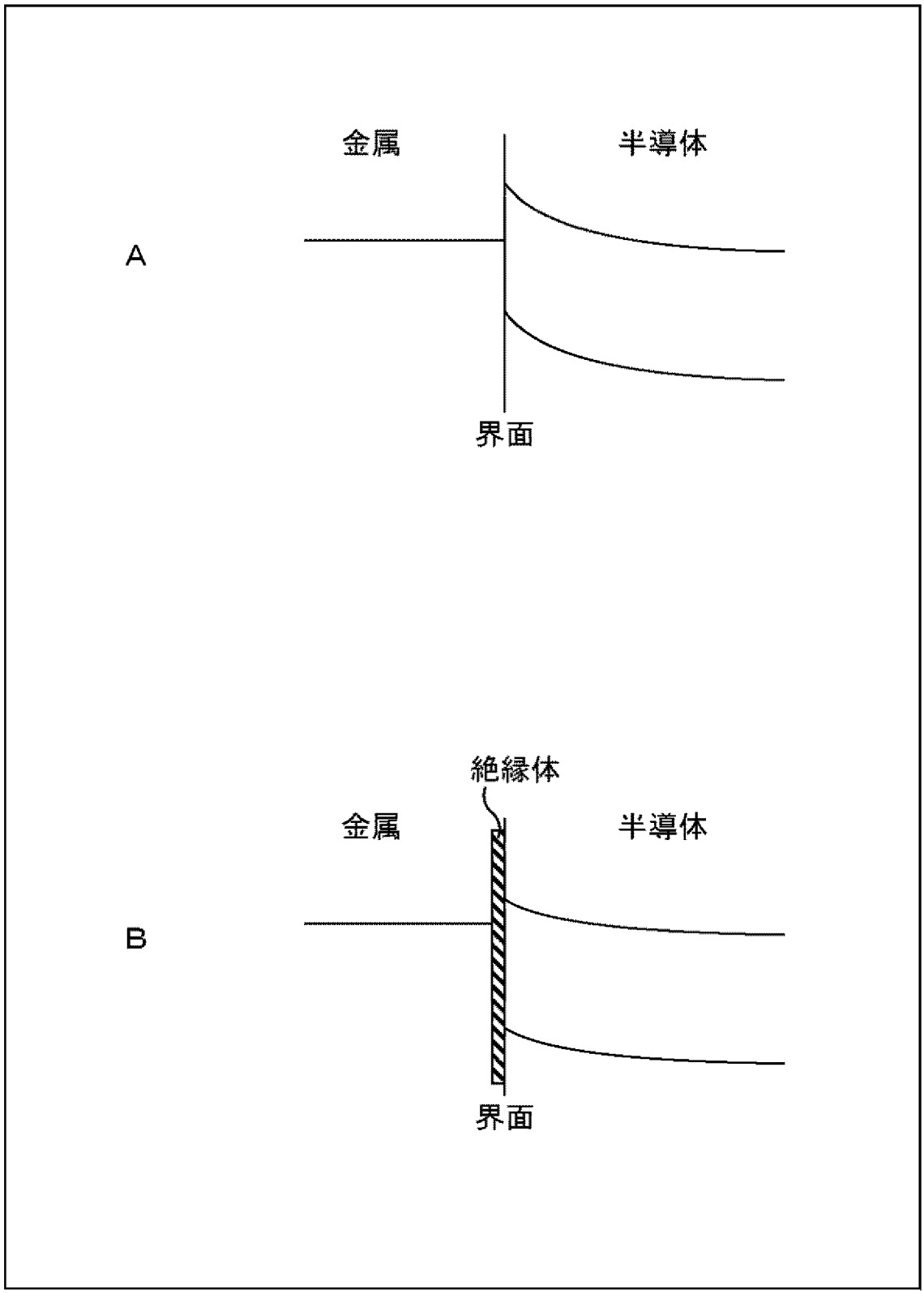
[図9]
FIG. 9



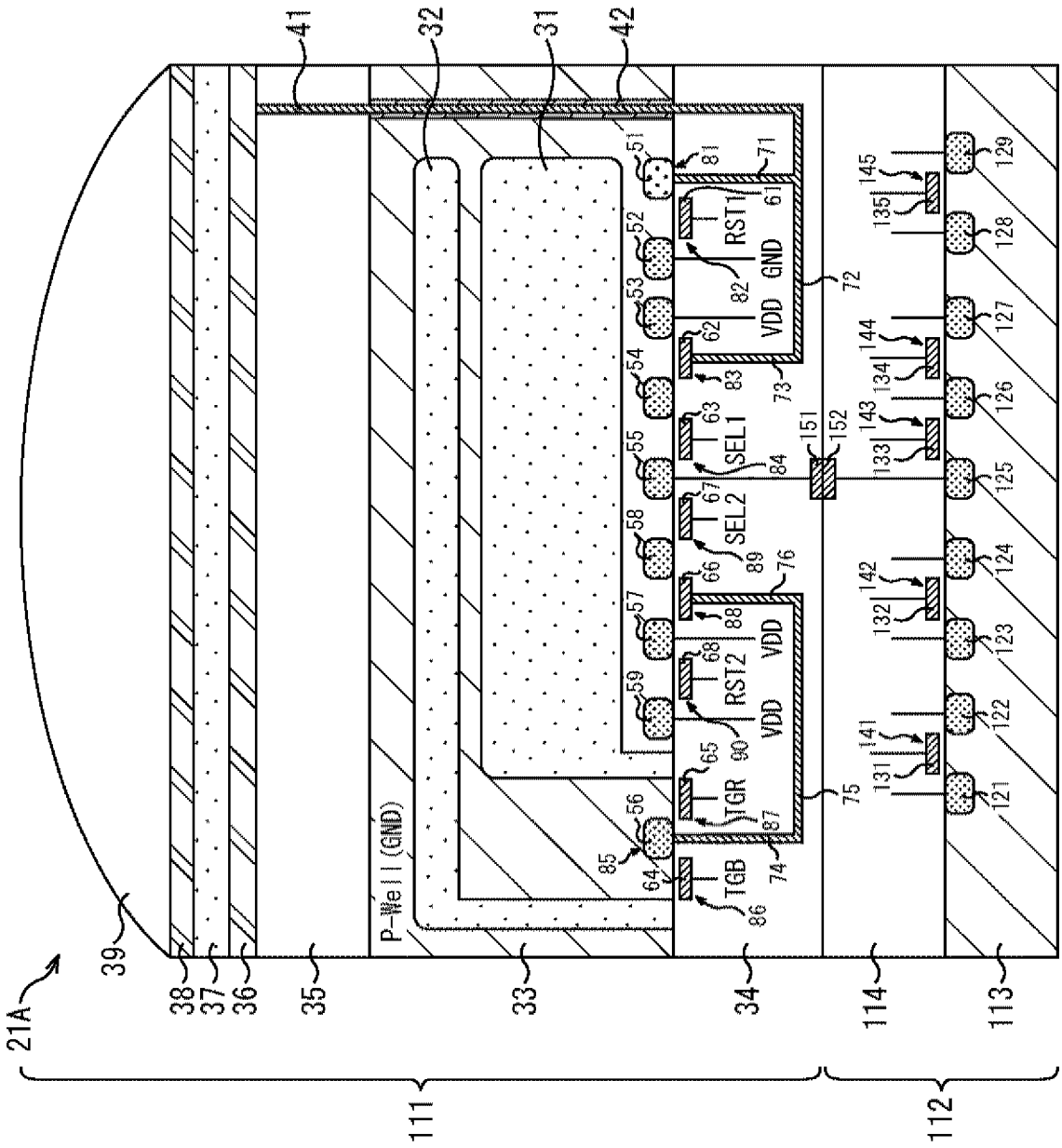
[図10]
FIG. 10



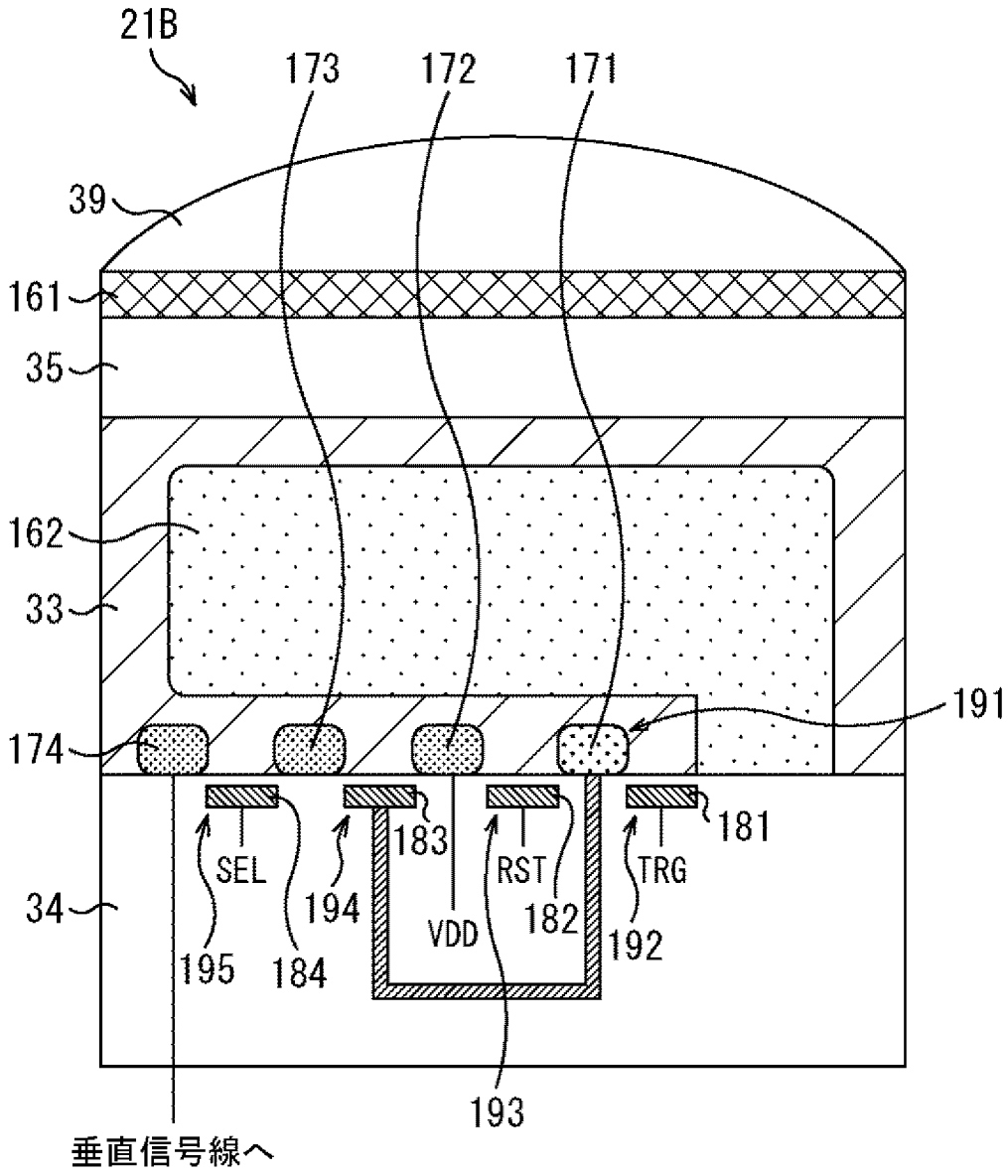
[図11]
FIG. 11



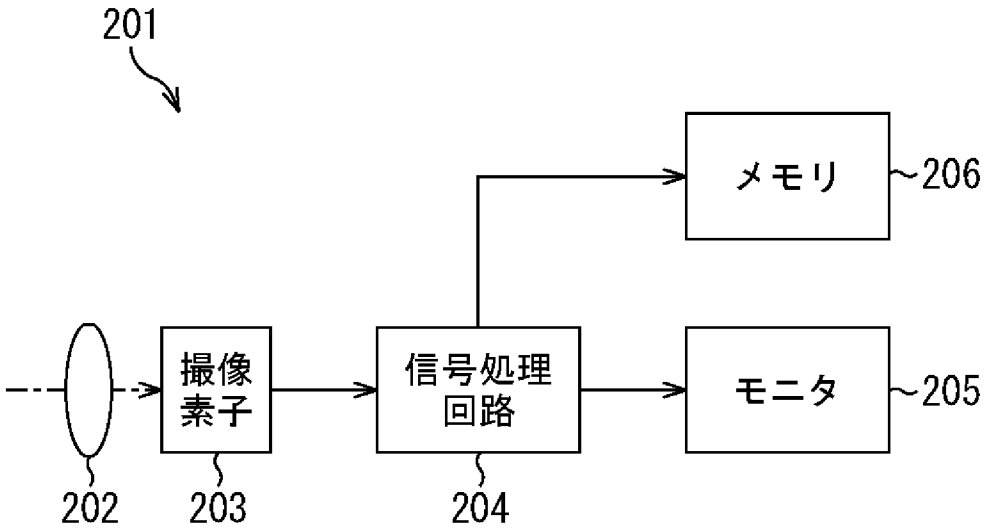
[図12]
FIG. 12


21A
39
38
37
36
35
33
34
114
113
111
112
41
32
31
42
P-Well (GND)
TGB
TGR
RST2
VDD
SEL2
SEL1
RST1
GND
VDD
51
52
53
54
55
56
57
58
59
61
62
63
64
65
66
67
68
71
72
73
74
75
76
81
82
83
84
85
86
87
88
89
90
121
122
123
124
125
126
127
128
129
131
132
133
134
135
141
142
143
144
145
151
152

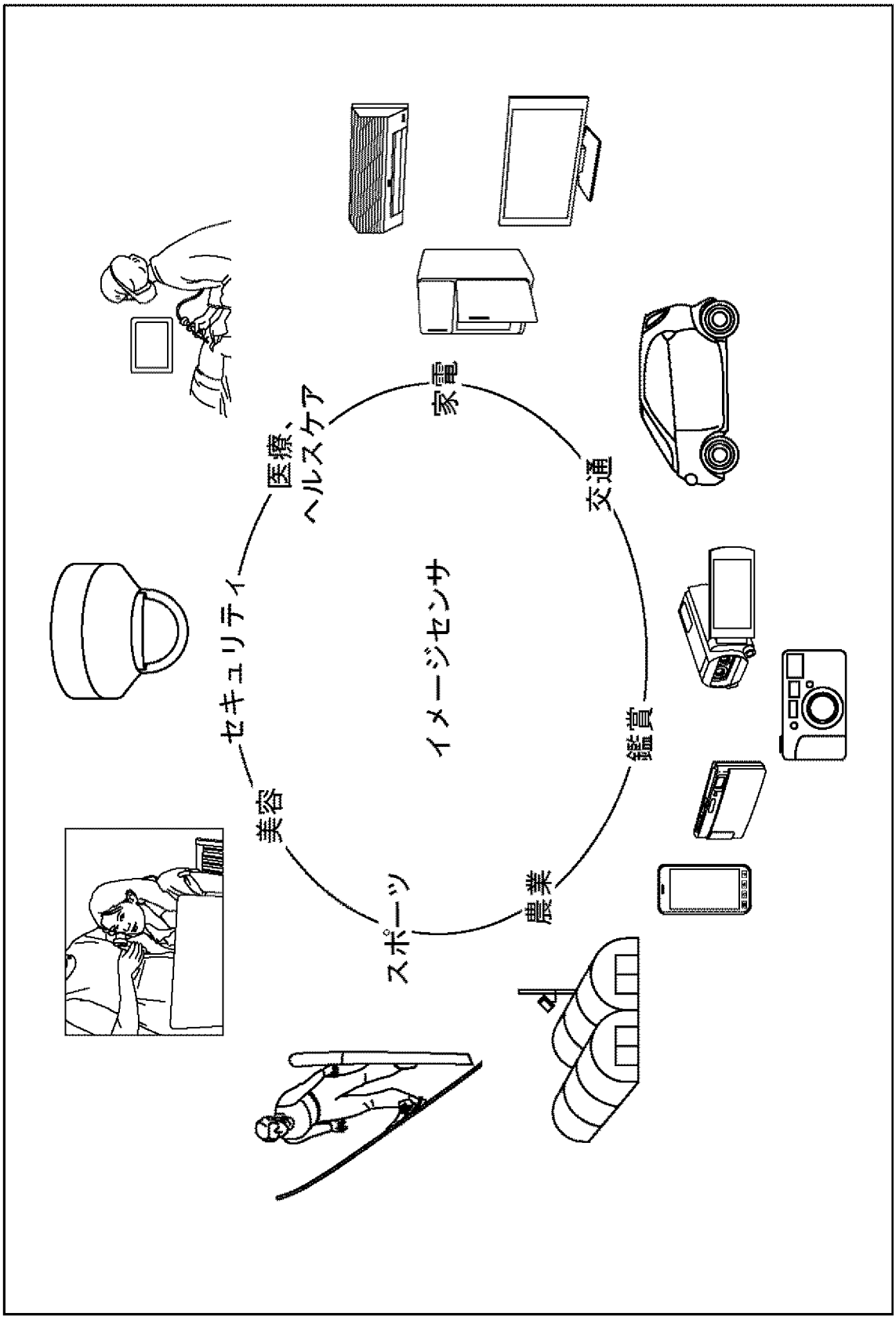
[図13]
FIG. 13


21B
173
172
171
39
161
35
162
33
191
174
181
183
SEL
RST
TRG
34
194
VDD
182
192
195
184
193
垂直信号線へ

[図14]
FIG. 14



[図15]
FIG. 15



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2016/069595

A. CLASSIFICATION OF SUBJECT MATTER
H01L27/146(2006.01)i, *H04N5/369*(2011.01)i, *H04N5/374*(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L27/146, H04N5/369, H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2006-086241 A (Sony Corp.), 30 March 2006 (30.03.2006), paragraphs [0068] to [0080]; fig. 6 to 8 (Family: none)	1,6-9 2-5
Y	JP 2008-085159 A (Fujifilm Corp.), 10 April 2008 (10.04.2008), paragraphs [0023] to [0047]; fig. 1 to 3 & US 2008/0079806 A1 paragraphs [0044] to [0068]; fig. 1 to 3 & KR 10-2008-0030536 A	2-5
Y	JP 2006-108466 A (Sony Corp.), 20 April 2006 (20.04.2006), paragraphs [0031] to [0032], [0088] to [0100]; fig. 4 (Family: none)	4

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 September 2016 (13.09.16)	20 September 2016 (20.09.16)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１６／０６９５９５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146(2006.01)i, H04N5/369(2011.01)i, H04N5/374(2011.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L27/146, H04N5/369, H04N5/374

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報　　１９２２－１９９６年
日本国公開実用新案公報　　１９７１－２０１６年
日本国実用新案登録公報　　１９９６－２０１６年
日本国登録実用新案公報　　１９９４－２０１６年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2006-086241 A (ソニー株式会社) 2006.03.30, 段落 [0068] - [0080], [図 6] - [図 8] (ファミリーなし)	1, 6-9 2-5
Y	JP 2008-085159 A (富士フイルム株式会社) 2008.04.10, 段落 [0023] - [0047], [図 1] - [図 3] & US 2008/0079806 A1, 段落 [0044] - [0068], 図 1-3 & KR 10-2008-0030536 A	2-5

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．０９．２０１６	２０．０９．２０１６

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　５８９４
田邊　顕人
電話番号　０３－３５８１－１１０１　内線　３５１６

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-108466 A (ソニー株式会社) 2006.04.20, 段落 [0031] - [0032], [0088] - [0100], [図 4] (ファミリーなし)	4