

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 1 月 20 日 (20.01.2022)



(10) 国际公布号
WO 2022/012336 A1

(51) 国际专利分类号:
H01L 21/8242 (2006.01)

(21) 国际申请号: PCT/CN2021/103708

(22) 国际申请日: 2021 年 6 月 30 日 (30.06.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202010672968.4 2020 年 7 月 14 日 (14.07.2020) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 鲍锡飞 (BAO, Xifei); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 上海晨皓知识产权代理事务所 (普通合伙) (SHANGHAI CHENHAO INTELLECTUAL PROPERTY LAW FIRM GENERAL PARTNERSHIP); 中国上海市黄浦区制造局路787号二幢202B室, Shanghai 200011 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) Title: SEMICONDUCTOR STRUCTURE MANUFACTURING METHOD

(54) 发明名称: 半导体结构制作方法

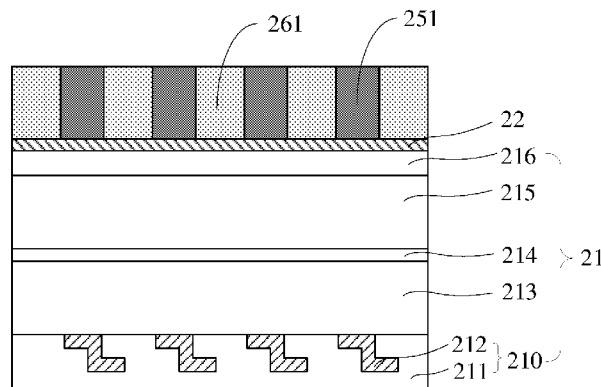


图 8

(57) Abstract: The present application provides a semiconductor structure manufacturing method, comprising: providing a substrate; forming a barrier layer above the substrate; forming a sacrificial layer above the barrier layer; using a photolithography process to form an opening pattern above the sacrificial layer; with the barrier layer as an etch stop layer, etching the sacrificial layer according to the opening pattern so as to form a first trench; filling the first trench with a dielectric layer material; with the barrier layer as an etch stop layer, etching the sacrificial layer so as to form a second trench; filling the second trench with a hard mask layer material; with the barrier layer as an etch stop layer, etching the dielectric layer material, forming a hard mask layer.

(57) 摘要: 本申请实施例提供一种半导体结构制作方法, 包括: 提供一衬底; 在衬底上方形成一阻拦层; 在阻拦层上方形成一牺牲层; 利用光刻工艺在牺牲层上方形成一开口图案; 以阻拦层为刻蚀停止层, 根据开口图案刻蚀牺牲层, 形成第一沟槽; 在第一沟槽中填充介质层材料; 以阻拦层为刻蚀停止层, 刻蚀牺牲层, 形成第二沟槽; 在第二沟槽中填充硬掩膜层材料; 以阻拦层为刻蚀停止层, 刻蚀介质层材料, 形成硬掩膜层。

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国 (除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告 (条约第21条(3))。

半导体结构制作方法

交叉引用

[0001] 本申请要求于 2020 年 7 月 14 日递交的名称为“半导体结构制作方法”、
5 申请号为 202010672968.4 的中国专利申请的优先权，其通过引用被全部并入本申请。

技术领域

[0002] 本申请实施例涉及一种半导体结构制作方法。

背景技术

10 [0003] 动态随机存取存储器（DRAM）存储单元包括用于存储电荷的电容器和当作开关的晶体管。随着 DRAM 存储单元的几何尺寸按照摩尔定律不断减小，电容的深宽比逐渐增大。

发明内容

15 [0004] 本申请实施例提供一种半导体结构制作方法，包括：提供一衬底；在所述衬底上方形成一阻拦层；在所述阻拦层上方形成一牺牲层；利用光刻工艺在所述牺牲层上方形成一开口图案；以所述阻拦层为刻蚀停止层，根据所述开口图案刻蚀所述牺牲层，形成第一沟槽；在所述第一沟槽中填充介质层材料；以所述阻拦层为刻蚀停止层，刻蚀所述牺牲层，形成第二沟槽；在所述第二沟槽中填充硬掩膜层材料；以所述阻拦层为刻蚀停止层，刻蚀所述介质层材料，形
20 成硬掩膜层。

附图说明

[0005] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明，这些示例性说明并不构成对实施例的限定，附图中具有相同参考数字标号的元件表示为类似的元件，除非有特别申明，附图中的图不构成比例限制。

25 [0006] 图 1 为一种半导体结构的剖面示意图；

[0007] 图 2 至图 14 为本申请一实施例提供的半导体结构制作方法各步骤对应的剖面结构示意图。

具体实施方式

[0008] 参考图 1，图 1 为一种半导体结构的剖面示意图。半导体结构包括：介质层 11 和位于介质层 11 上方的硬掩膜层 12，同一刻蚀工艺对硬掩膜层 12 和介质层 11 的刻蚀选择比较小，硬掩膜层 12 具有较高的硬度和较大的厚度。

5 [0009] 在刻蚀硬掩膜层 12 以形成开口图案 13 的过程中，由于硬掩膜层 12 具有较高的硬度和较大的厚度，容易导致最终刻蚀形成的开口图案 13 的侧壁并不垂直于介质层 11 的表面。在利用这一类带有刻蚀缺陷的开口图案 13 进行选择性的刻蚀，以形成多个分立的电容孔时，可能出现相邻电容孔贯通的问题。

10 [0010] 此外，由于同一刻蚀工艺对硬掩膜层 12 和介质层 11 的刻蚀选择比较小，在刻蚀形成开口图案 13 后，多余的刻蚀剂与介质层 11 接触，进而对介质层 11 造成误刻蚀。误刻蚀可能会导致介质层 11 的性能发生改变，如支撑能力减弱，位于介质层 11 内部的电子元件被破坏等等。

15 [0011] 为解决上问题，本申请实施提供一种半导体结构制作方法，通过控制牺牲层的材料来调整刻蚀难度，保证刻蚀形成的第一沟槽具有预设形貌，进而使得后续形成的与第一沟槽互补的第二沟槽、以及填充于第二沟槽的硬掩膜层具有预设形貌；此外，在衬底上形成有可作为刻蚀停止层的阻拦层，有利于避免同一刻蚀工艺对衬底造成刻蚀损伤。

20 [0012] 为使本申请实施例的目的、技术方案和优点更加清楚，下面将结合附图对本申请的各实施例进行详细的阐述。然而，本领域的普通技术人员可以理解，在本申请各实施例中，为了使读者更好地理解本申请而提出了许多技术细节。但是，即使没有这些技术细节和基于以下各实施例的种种变化和修改，也可以实现本申请所要求保护的技术方案。

[0013] 图 2 至图 11 本申请一实施例提供的半导体结构制作方法各步骤对应的剖面结构示意图。具体如下：

25 [0014] 参考图 2，提供一衬底 21；在衬底 21 上方形成一阻拦层 22；在阻拦层 22 上方形成一牺牲层 23；利用光刻工艺在牺牲层 23 上方形成一开口图案 244。

[0015] 本实施例中，衬底 21 为多层叠层结构，多层叠层结构包括向同一方向依次叠放的导电结构 210、第二介质层 213、第二支撑层 214、第一介质层 215 以

及第一支撑层 216。其中，第一支撑层 216 和第二支撑层 214 在衬底 21 中起到支撑作用，避免形成电容孔的过程中衬底 21 发生坍塌；导电结构 210 包括绝缘介质 211 和导电层 212，导电层 212 的材料包括钨或钨的化合物。

5 [0016] 本实施例中，阻拦层 22 用作刻蚀停止层，使得刻蚀工艺在贯穿牺牲层 23 且暴露阻拦层 22 表面后停止刻蚀，避免刻蚀工艺对衬底 21 造成误刻蚀，从而保证衬底 21 具有良好性能。

[0017] 本实施例中，牺牲层 23 与阻拦层 22 的刻蚀选择比大于 100；牺牲层 23 的材料包括含碳材料，含碳材料包括有机碳化物（例如树脂）和无机碳化物（例如碳化硅），阻拦层 22 的材料包括氮化钛。

10 [0018] 本实施例中，牺牲层 23 的硬度小于后续形成的硬掩膜层的硬度。如此，有利于避免材料硬度过大导致的刻蚀缺陷，在刻蚀牺牲层 23 形成沟槽时，能够保证形成的沟槽具有预设的形貌。

[0019] 本实施例中，在进行光刻工艺以形成开口图案 244 之前，在牺牲层 23 上方形成图案转移层 24，图案转移层 24 包括在远离衬底 21 的方向上依次层叠的
15 隔离层 241、抗反射涂层 242 以及光刻胶层 243。其中，隔离层 241 用于隔离牺牲层 23 和光刻胶层 243，避免光刻胶层 243 的去除工艺对牺牲层 23 造成损伤或者改变牺牲层 23 的材料的特性。

[0020] 光刻胶层 243 的去除工艺包括灰化工艺，灰化工艺通常用于去除有机材料等碳化物，在牺牲层 23 的材料为会受到灰化工艺影响的碳化物材料时，采用
20 一定厚度的隔离层 241 隔离牺牲层 23 和光刻胶层 243，有利于避免灰化工艺对牺牲层 23 造成损伤、去除部分牺牲层 23 或者改变牺牲层 23 的材料的性能，保证后续形成的第一沟槽具有较好的形貌。

[0021] 此外，当牺牲层 23 的材料为多晶硅时，采用隔离层 241 进行隔离，有利于避免灰化工艺会对多晶硅造成氧化而形成二氧化硅，从而保证牺牲层 23 具有
25 预设的物理特性，尤其是硬度特性。

[0022] 相应的，当灰化工艺不会对牺牲层 23 的材料造成损伤，以及不会改变牺牲层 23 的材料特性时，也可以不需要隔离层 231。其中，隔离层 231 的材料包括氮化物或硅化物中的至少一者。

[0023] 参考图 3，在光刻胶层 243（参考图 2）内形成开口图案 244（参考图 2）之后，根据开口图案 244 在抗反射涂层 242 和隔离层 241 内形成预开口 241a；且在形成预开口 241a 之后去除光刻胶层 243。

5 [0024] 由于后续需要刻蚀牺牲层 23 以形成第一沟槽，而第一沟槽的侧壁面积通常大于预开口 241a 的底面面积，因此，第一沟槽的形成会增加牺牲层 23 的暴露面积，暴露面积指的是暴露在空气中或者工艺环境下的面积。举例来说，灰化工艺为通过电离氧源气体形成氧等离子体以进行干法刻蚀，暴露面积为氧等离子体或氧源气体可接触的面积。

10 [0025] 预先去除光刻胶层 243，能够使得光刻胶层的 243 的去除工艺中的刻蚀剂仅与预开口 241a 的底面面积接触，而并非与第一沟槽侧壁的牺牲层 23 材料接触。如此，即便刻蚀剂会损伤、去除或改性预开口 241a 底部的部分牺牲层 23 材料，形成一定的刻蚀缺陷，这一刻蚀缺陷也会在后续通过预开口 241a 刻蚀牺牲层 23 以形成第一沟槽时被消除，而不会因为损伤、去除或改性第一沟槽侧壁的牺牲层 23 的材料，导致形成的第一沟槽的形貌偏离预设形貌，保证第一沟槽
15 形貌的准确和完整。

[0026] 当灰化工艺不会影响牺牲层 23 而无需设置隔离层 241 时，可直接通过设置于光刻胶层 243（参考图 2）内的开口图案 244（参考图 2）在牺牲层 23 内形成第一沟槽。

20 [0027] 参考图 4，以阻拦层 22 作为刻蚀停止层，根据预开口 241a（参考图 3）刻蚀牺牲层 23，形成第一沟槽 231。

[0028] 需要说明的是，当隔离层 241 的材料硬度大于牺牲层 23 的材料硬度时，可以采用无掩膜干法工艺刻蚀去除部分牺牲层 23，形成第一沟槽 231。在执行无掩膜干法刻蚀工艺时，位于隔离层 241 顶面的抗反射涂层 242（参考图 3）会被去除。

25 [0029] 本实施例中，牺牲层 23 的材料为有机碳化物。通常情况下，有机碳化物相较于无机碳化物而言，具有更低的硬度，更容易被刻蚀，且刻蚀之后具有更好的沟槽形貌。如此，有利于缩短工艺耗时，以及保证沟槽具有良好形貌。

[0030] 参考图 5，在第一沟槽 231（参考图 3）中填充介质层材料 251，并去除隔离层 241（参考图 3）。

[0031] 本实施例中，进行光刻工艺所使用的掩膜版为现有掩膜版，在垂直于衬底 21 表面的方向上，现有掩膜版的开口的正投影与导电结构 210 中导电层 212 的正投影至少部分重合，即可通过第一沟槽 231 刻蚀形成暴露导电层 212 的电容孔。

- 5 [0032] 因此，为保证能够通过硬掩模层刻蚀形成暴露导电层 212 的电容孔，需要在第一沟槽 231 内填充介质层材料 251，占据物理位置，并通过调整刻蚀工艺，选择性刻蚀去除一定区域内的牺牲层 23，以及在完成牺牲层 23 的刻蚀后，填充硬掩模材料至原有的牺牲层 23 所在位置，使得硬掩模材料环绕填充相邻介质层材料 251 之间。如此，才能在去除介质层材料 251 后形成硬掩模层，且硬掩模层具有可用于刻蚀形成电容孔的开口。

[0033] 在其他实施例中，可直接在第一沟槽中填充硬掩膜层材料，并刻蚀去除牺牲层，以形成硬掩膜层。需要说明的是，为保证通过硬掩膜层的开口能够刻蚀出暴露导电层的电容孔，在采用这一技术方案时，进行光刻工艺所使用的掩膜版与现有掩膜版互补，即掩膜版的开口位置相反。

- 15 [0034] 需要说明的是，在选择不同的掩膜版以形成电容孔时，除了要考虑掩膜版的获取难度以外，还要考虑牺牲层 23 的材料与硬掩模材料的刻蚀选择比。当同一刻蚀工艺对牺牲层 23 材料和对硬掩模材料的刻蚀选择比较小，导致在刻蚀牺牲层 23 的过程中可能损伤、消耗或改性硬掩模材料时，可采用现有掩膜版。如此，可通过填充介质层材料 251，使得介质层材料 251 与牺牲层 23 材料、以及介质层材料 251 和硬掩模材料都具有较大的刻蚀选择比，避免刻蚀牺牲层 23 和刻蚀介质层材料 251 的刻蚀工艺改变沟槽形貌，从而保证最终能够形成多个分立的电容孔。

- 25 [0035] 本实施例中，可先在第一沟槽 231 内填充满介质层材料 251，再进行平坦化工艺，去除多余的介质层材料 251 以及隔离层 241；也可以先去除隔离层 241，再在第一沟槽 231 内填充满介质层材料 251 并进行平坦化工艺。

[0036] 本实施例中，介质层材料 251 与阻拦层 22 的刻蚀选择比大于 100。如此，有利于避免阻拦层 22 被刻穿，保证基底 21 的性能不受影响。

[0037] 其中，介质层材料 251 包括氧化物、氮化物的一种，例如氧化硅、氮化硅或氮氧化硅中的一种。

[0038] 参考图 6，图 6 为图 5 所示半导体结构的俯视结构示意图。

[0039] 牺牲层 23 为连续完整的膜层，介质层材料 251 位于牺牲层 23 内的若干个通孔中，通孔的排列图案与导电层 212 的排列图案相同。

5 [0040] 本实施例中，相邻行/列的介质层材料 251 呈错位排列；相应地，相邻行/列的导电层 212 呈错位排列。如此，有利于提高空间利用率，增加同一横截面积内所能形成的通孔/导电层 212 的数量，提高半导体结构的集成度。

10 [0041] 本实施例中，相邻通孔之间的间距与后续所要形成的电容的特征参数有关，特征参数包括电极层的厚度、相邻电极层之间的距离以及电极层是否共用。在控制相邻通孔之间的间距时，既要保证有足够间距去形成电极层，又要保证相邻电极层之间的介电层不会因为过薄而发生击穿或漏电，还要保证电极层与介电层构成的电容的电容值满足预设要求。

[0042] 此外，相邻通孔之间的间距还与以下特征参数有关，其中包括：同一刻蚀工艺对牺牲层 23 与阻挡层 22 的刻蚀选择比、同一刻蚀工艺对介质层材料 251 与阻挡层 22 的刻蚀选择比、以及后续形成的柱状电容的厚度。

15 [0043] 具体来说，由于在半导体结构的实际制造过程中，同一刻蚀工艺对其他材料和阻拦层 22 刻蚀选择比较高，仅代表刻蚀剂对阻拦层 22 的刻蚀速率较低，刻蚀依旧会发生，因此，作为刻蚀停止层的阻拦层 22，在刻蚀牺牲层 23 以及后续刻蚀介质层材料 251 的工艺过程中一定会被刻蚀，而只要发生了刻蚀，就可能存在误刻蚀的情况。误刻蚀的程度与同一刻蚀工艺对其他材料和阻拦层 22 的刻蚀选择比有关，刻蚀选择比越高，误刻蚀的程度就越低。

20 [0044] 在后续形成分立的电容孔的工艺过程中，即从刻蚀阻拦层 22 到暴露导电层 212 的工艺过程中，阻拦层 22 中的误刻蚀会被逐渐放大，使得相邻电容孔之间的最小间距逐渐缩小。此时，阻拦层 22 的误刻蚀程度越低，相邻电容孔之间的最小间距越大，相邻电容孔的分立程度越高；柱状电容的厚度越薄，误刻蚀被放大的程度越低，相邻电容孔的分立程度越高。

[0045] 本实施例中，需要根据以上多个特征参数控制相邻通孔之间的间距，从而保证相邻电容孔具有较高的分立程度，进而保证最终形成的半导体结构的性能。

[0046] 参考图 7，以阻拦层 22 为刻蚀停止层，刻蚀牺牲层 23（参考图 5），形成第二沟槽 232，第二沟槽 232 与第一沟槽互补，第二沟槽 232 用于填充硬掩膜材料。

5 [0047] 本实施例中，介质层材料 251 与牺牲层 23 的材料具有较高的选择比。如此，在刻蚀牺牲层 23 时，可采用无掩膜干法刻蚀工艺刻蚀去除牺牲层 23，无需设置额外的掩膜版以及形成额外的掩膜层，有利于降低工艺成本以及减少工艺步骤。

[0048] 参考图 8 和图 9，在第二沟槽内填充硬掩膜材料，硬掩膜材料用于形成硬掩膜层 261。

10 [0049] 硬掩膜材料的选择可以根据工艺要求进行，工艺要求包括：硬度、与介质层材料 251 的刻蚀选择比等。

[0050] 硬掩膜材料的硬度越高，在后续形成第三凹槽的工艺过程中，越难被刻蚀，如此，采用硬掩膜材料形成的硬掩膜层可以更好地限定干法刻蚀工艺的刻蚀方向，保证刻蚀形成的第三凹槽的侧壁垂直于导电结构 210 的顶面，进而保证电容孔的相互分立；相应地，与介质层材料 251 的刻蚀选择比越高，在刻蚀介质层材料 251 形成硬掩膜层 261 的过程中，刻蚀工艺对硬掩膜材料的损伤越小，硬掩膜层 261 的侧壁与衬底 21 的垂直度越高，从而使得硬掩膜层 261 能够更好地限定干法刻蚀工艺的刻蚀方向，从而保证电容孔的分立。

20 [0051] 垂直度指的是两条直线之间的夹角与直角（即 90° 角）的接近程度，垂直度越高，接近程度越高，垂直度越低，接近程度越低。

[0052] 本实施例中，硬掩膜材料包括多晶硅；在其他实施例中，硬掩膜材料还包括聚酰亚胺等具有较高硬度的有机材料。相较于有机材料而言，多晶硅为常见材料，成本较低，采用多晶硅作为硬掩膜材料有利于降低工艺成本。

25 [0053] 此外，由于作为硬掩膜材料的有机材料和作为牺牲层材料的有机碳化物同属于含碳化合物，同一刻蚀工艺对两者的刻蚀选择比可能较低，因此，采用有机材料作为硬掩膜材料，且两者刻蚀选择比较低时，适合采用现有掩膜版形成电容孔。如此，在同一刻蚀工艺过程中，硬掩膜材料和牺牲层材料不会同时存在，且可通过控制介质层材料的类型，提高介质层材料与硬掩膜材料、以及介质层材料与牺牲层材料的刻蚀选择比，进而保证最终形成的硬掩膜层具有良

好的侧壁形貌，即硬掩膜层的侧壁与衬底 21 顶面具有较高的垂直度。

[0054] 相应的，采用多晶硅作为硬掩膜材料时，既可选用现有掩膜版形成电容孔，也可以选用与现有掩膜版互补的另一掩膜版形成电容孔。选用互补的另一掩膜版作为电容孔时，由于同一刻蚀工艺对多晶硅和有机碳化物的刻蚀选择比较高，因此，既可以保证最终形成的硬掩膜层 261 的侧壁形貌良好，又可以减少工艺步骤，有利于缩短工艺周期。

[0055] 参考图 10 和图 11，以阻拦层 22 为刻蚀停止层，刻蚀介质层材料，形成硬掩膜层 261。参考图 12，基于硬掩膜层 261 依次刻蚀阻拦层 22、第一支撑层 216、第一介质层 215、第二支撑层 214、第二介质层 213，形成暴露导电层 212 的第三沟槽 211。

[0056] 在形成第三沟槽 211 的过程中，可针对刻蚀对象的材料特性选用不同的刻蚀剂，也可以选用同一种刻蚀剂。

[0057] 具体来说，第一支撑层 216 和第二支撑层 214 由于需要起到支撑作用，其硬度通常大于第一介质层 215 和第二介质层 213 的材料，在刻蚀第一支撑层 216 和第一介质层 215 的过程中，可选用主要刻蚀成分不同或者主要刻蚀成分浓度不同的不同刻蚀剂，分别刻蚀第一支撑层 216 和第一介质层 215，从而保证整体刻蚀工艺具有较高的刻蚀速率，缩短工艺周期。

[0058] 本实施例中，同一刻蚀工艺对硬掩膜层 261 与阻拦层 22、第一支撑层 216、第一介质层 215、第二支撑层 214 以及第二介质层 213 的刻蚀选择比较高，在刻蚀阻拦层 22、第一支撑层 216、第一介质层 215、第二支撑层 214 以及第二介质层 213，硬掩膜层 261 始终能够保持较高的侧壁形貌。

[0059] 参考图 13，利用刻蚀工艺，去除硬掩膜层 261（参考图 12）和阻拦层 22（参考图 12）。

[0060] 需要说明的是，在选用去除硬掩膜层 261 以及阻拦层 22 的具体工艺时，应当考虑尽量避免较大的拉应力产生，从而避免拉应力过大而导致结构坍塌或者相邻膜层发生错位移动，保证第三凹槽 211 侧壁具有较高的垂直度，进而保证能够在第三凹槽 211 侧壁和底部形成质量良好的膜层，提高最终形成的柱状电容结构的质量。

[0061] 参考图 14，在第三沟槽 211（参考图 13）的侧壁和底部形成第一导电层 221；去除部分第一支撑层、去除部分第一介质层、去除部分第二支撑层、去除部分第二介质层；形成介电层 231 和第二导电层 241，以形成柱状电容结构。

5 [0062] 本实施例中，柱状电容结构为双层柱状电容结构，由于每一双层柱状电容结构的最外侧都是第二导电层 241，因此，相邻双层柱状电容结构的最外层导电层可以共用。双层柱状电容结构的形成工艺包括以下步骤：

[0063] 在形成第一导电层 221 之后，去除相邻第一导电层 221 之间的所有第一支撑层、第一介质层、第二支撑层和第二介质层，为第二导电层 241 和介电层 231 的设置预留空间。

10 [0064] 本实施例中，刻蚀相邻第一导电层 221 之间的所有材料时，可直接采用无掩膜刻蚀工艺，无需专门设置掩膜版，有利于降低工艺成本；此外，向刻蚀后的空置区域填充导电材料，可形成完全环绕介电层 231 的且可被相邻柱状电容结构共用的第二导电层 241，有利于提高柱状电容结构的电容量和空间利用率。

15 [0065] 在其他实施例中，也可以去除部分第一支撑层、去除部分第一介质层、去除部分第二支撑层，形成部分环绕介电层的第二导电层，和/或形成不可被共用的第二导电层。采用这一类柱状电容结构设计时，可以在未被第二导电层占据的介质材料内形成其他元件，进而提高半导体结构的集成度。

20 [0066] 在去除工艺完成后，在第一导电层 221 的内侧壁和外侧壁分别形成介电层 231；在形成介电层 231 之后，可采用沉积工艺，同时形成位于介电层 231 内部的以及相邻介电层 231 之间的第二导电层 241，缩短半导体结构的工艺周期。

25 [0067] 本实施例中，可通过控制牺牲层的材料调整牺牲层的刻蚀难度，以及可通过控制介质层材料控制介质层材料与硬掩膜层材料的刻蚀选择比，避免刻蚀工艺对硬掩膜层造成损伤，保证最终形成的硬掩膜层具有较好的形貌；此外，在衬底上形成有阻拦层，阻拦层的设置有利于避免刻蚀工艺对衬底造成误刻蚀。

[0068] 本领域的普通技术人员可以理解，上述各实施方式是实现本申请的具体实施例，而在实际应用中，可以在形式上和细节上对其作各种改变，而不偏离本申请的精神和范围。任何本领域技术人员，在不脱离本申请的精神和范围内，均可作各自更动与修改，因此本申请的保护范围应当以权利要求限定的范围为

准。

权 利 要 求 书

1. 一种半导体结构制作方法，包括：
提供一衬底；
在所述衬底上方形成一阻拦层；
5 在所述阻拦层上方形成一牺牲层；
利用光刻工艺在所述牺牲层上方形成一开口图案；
以所述阻拦层为刻蚀停止层，根据所述开口图案刻蚀所述牺牲层，形成第一沟槽；
在所述第一沟槽中填充介质层材料；
10 以所述阻拦层为刻蚀停止层，刻蚀所述牺牲层，形成第二沟槽；
在所述第二沟槽中填充硬掩膜层材料；
以所述阻拦层为刻蚀停止层，刻蚀所述介质层材料，形成硬掩膜层。
2. 根据权利要求 1 所述的半导体结构制作方法，其中，所述牺牲层的硬度小于所述硬掩膜层的硬度。
- 15 3. 根据权利要求 1 所述的半导体结构制作方法，其中，所述牺牲层与所述阻拦层的刻蚀选择比、所述介质层材料与所述阻拦层的刻蚀选择比均大于 100。
4. 根据权利要求 1 所述的半导体结构制作方法，其中，在所述形成一开口图案之前，还包括：
在所述牺牲层上方形成一介质层；所述开口图案位于所述介质层中。
- 20 5. 根据权利要求 1 所述的半导体结构制作方法，其中，所述阻拦层包括氮化钛，所述牺牲层包括含碳材料，所述介质层材料包括氧化物、氮化物的一种，所述硬掩膜层材料包括多晶硅。
6. 根据权利要求 1 所述的半导体结构制作方法，其中，所述第一沟槽在所述阻拦层上的投影形状包括圆形、正四边形、正六边形、正八边形、正十六边形
25 的一种。
7. 根据权利要求 1 所述的半导体结构制作方法，其中，所述衬底包括：

第一支撑层，位于所述阻拦层下方；

第一介质层，位于所述第一支撑层下方；

第二支撑层，位于所述第一介质层下方；

第二介质层，位于所述第二支撑层下方；

5 导电结构，位于所述第二介质层下方。

8. 根据权利要求 7 所述的半导体结构制作方法，其中，根据所述硬掩膜层依次刻蚀所述阻拦层、所述第一支撑层、所述第一介质层、所述第二支撑层、所述第二介质层，形成第三沟槽暴露所述导电结构。

9. 根据权利要求 8 所述的半导体结构制作方法，其中，利用刻蚀工艺去除所述
10 硬掩膜层和所述阻拦层。

10. 根据权利要求 9 所述的半导体结构制作方法，其中，在所述第三沟槽的侧壁和底部形成第一导电层；去除部分所述第一支撑层；去除所述第一介质层；去除部分所述第二支撑层；去除部分所述第二介质层；形成介电层和第二导电层，以形成柱状电容结构。

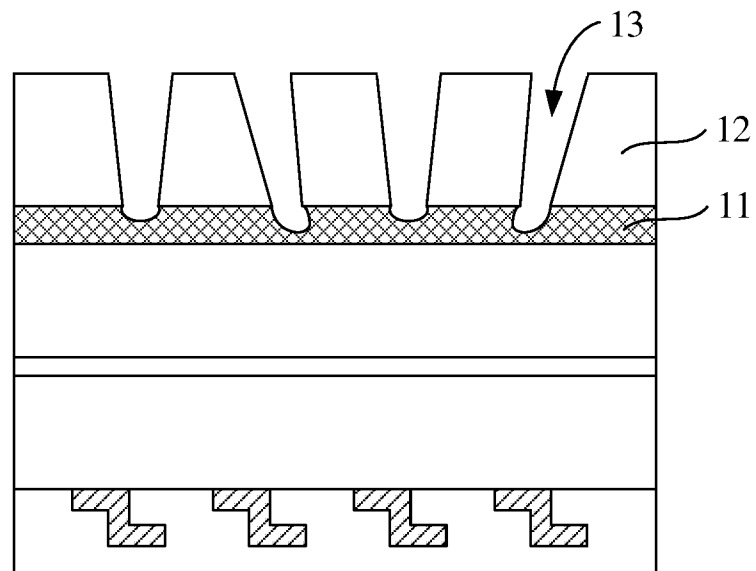


图 1

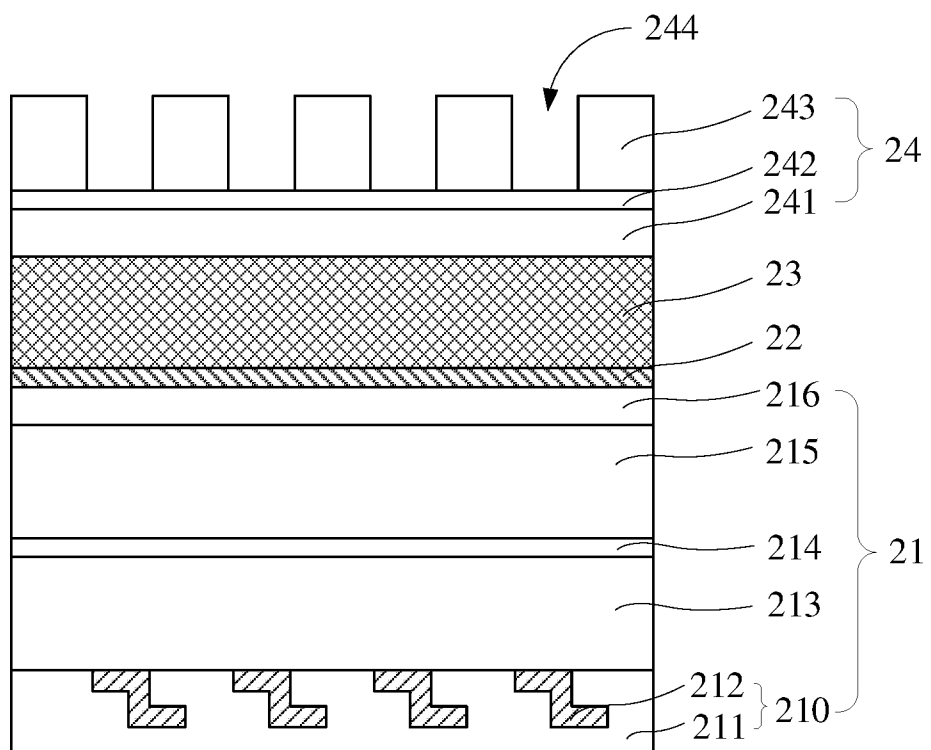


图 2

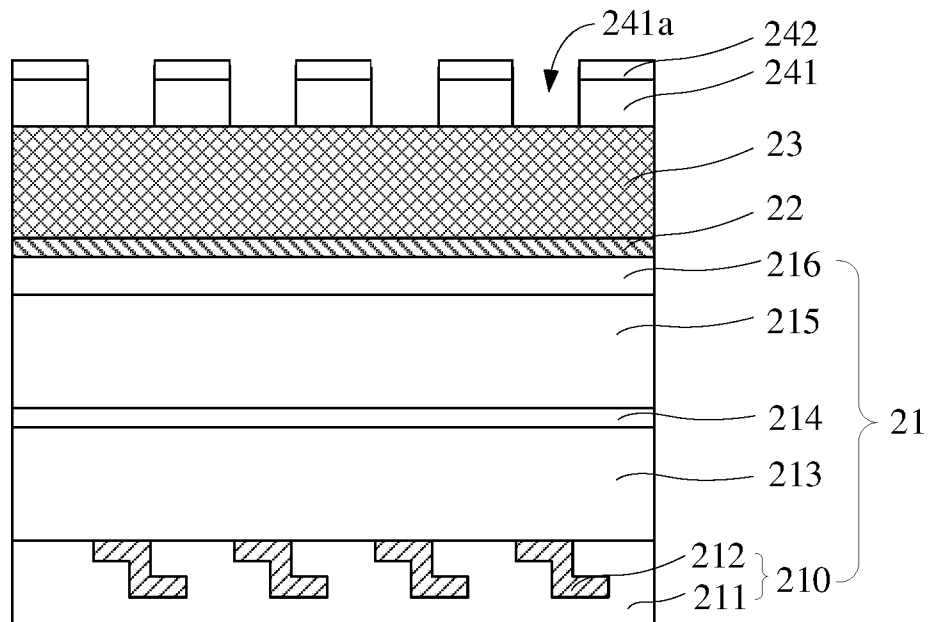


图 3

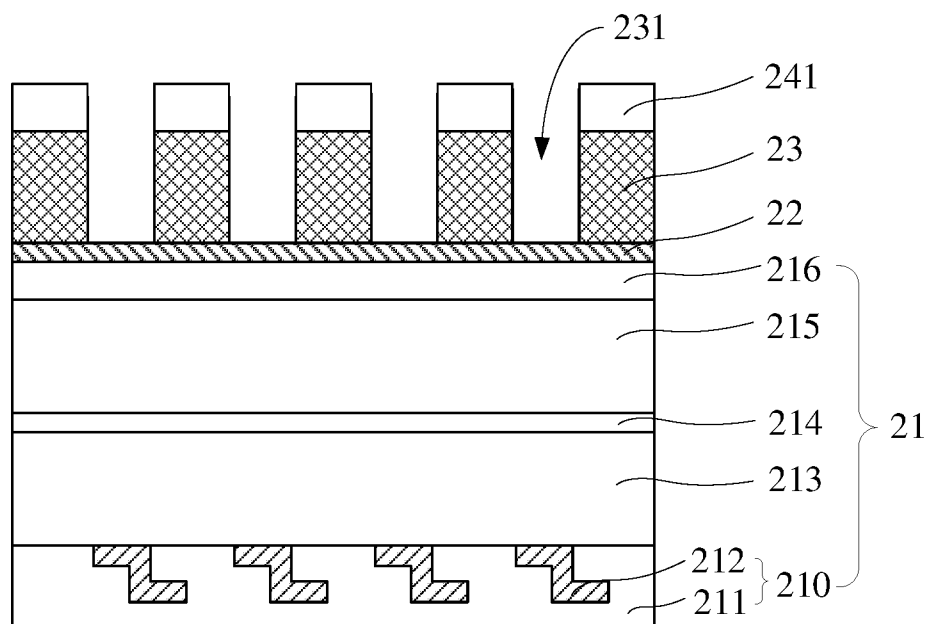


图 4

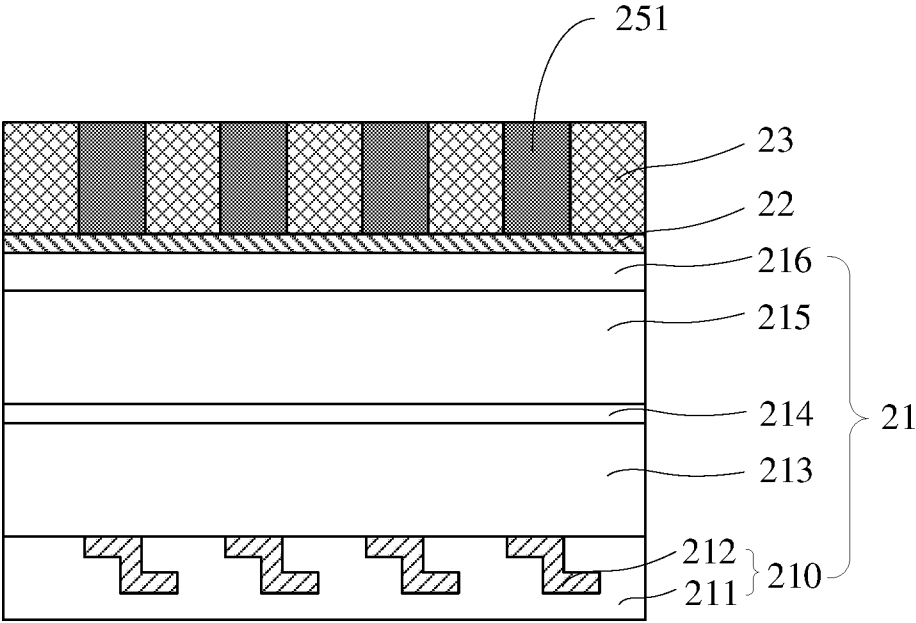


图 5

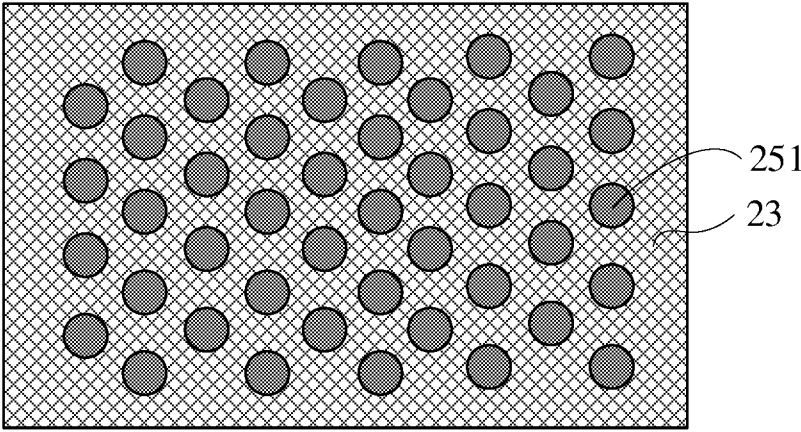


图 6

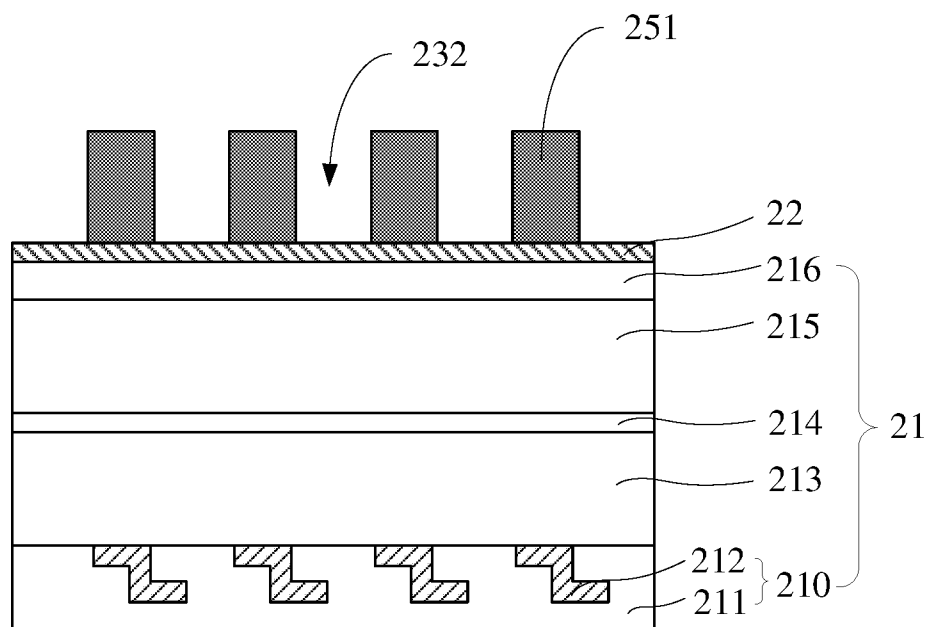


图 7

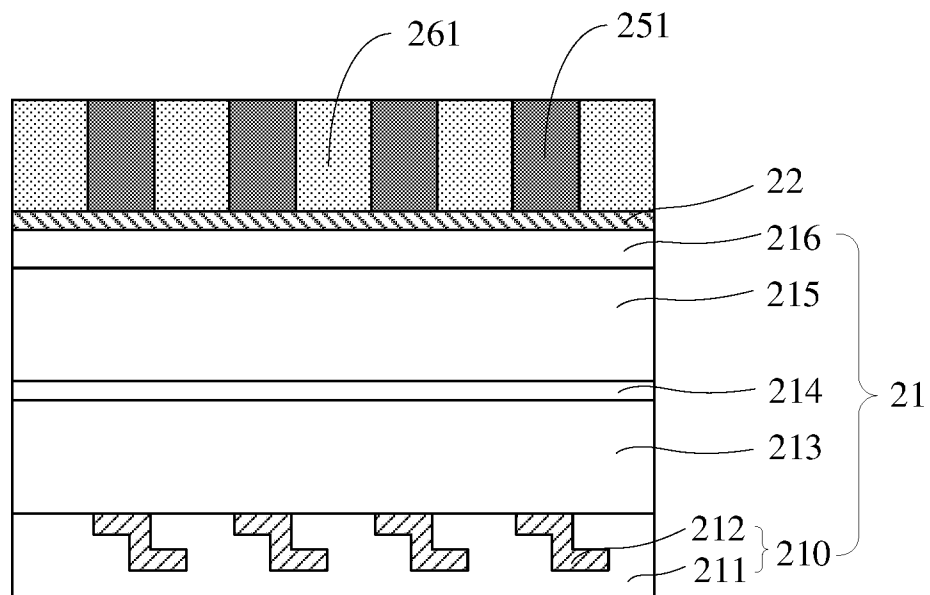


图 8

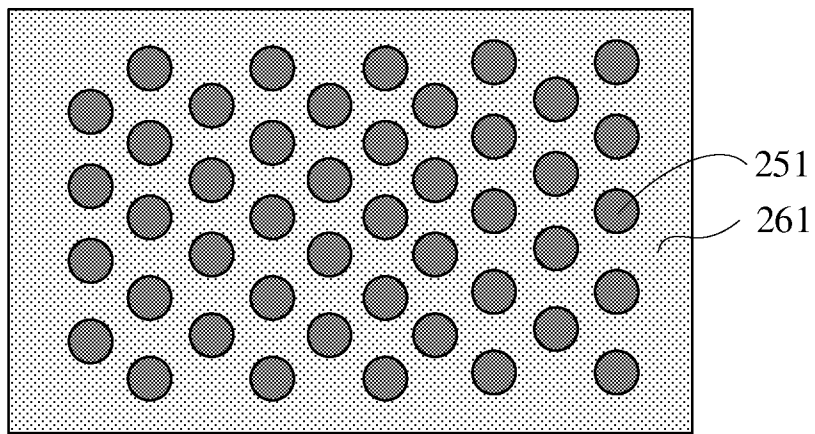


图 9

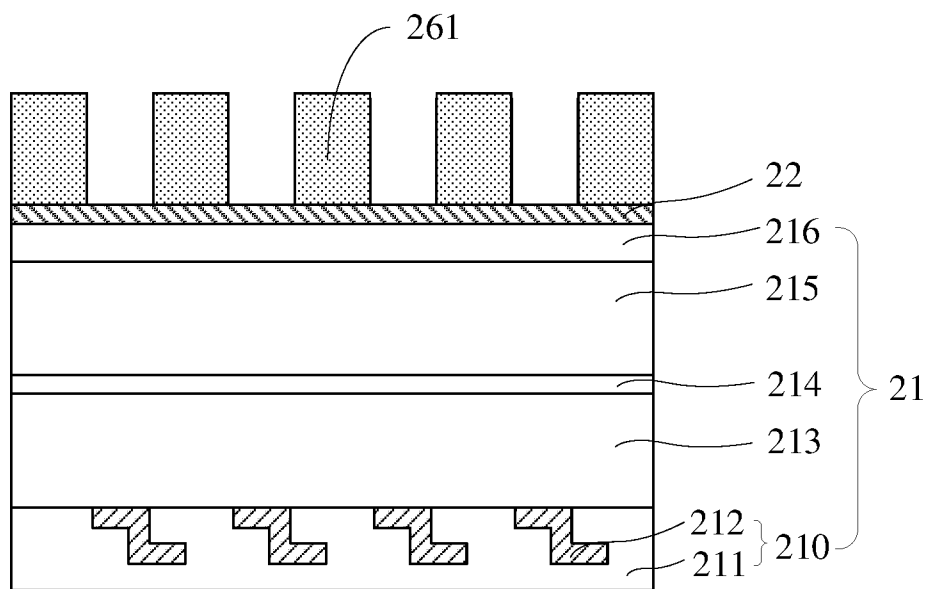


图 10

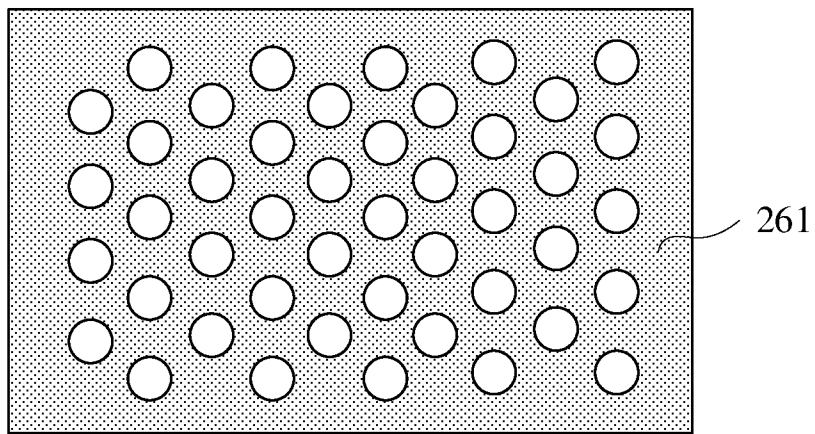


图 11

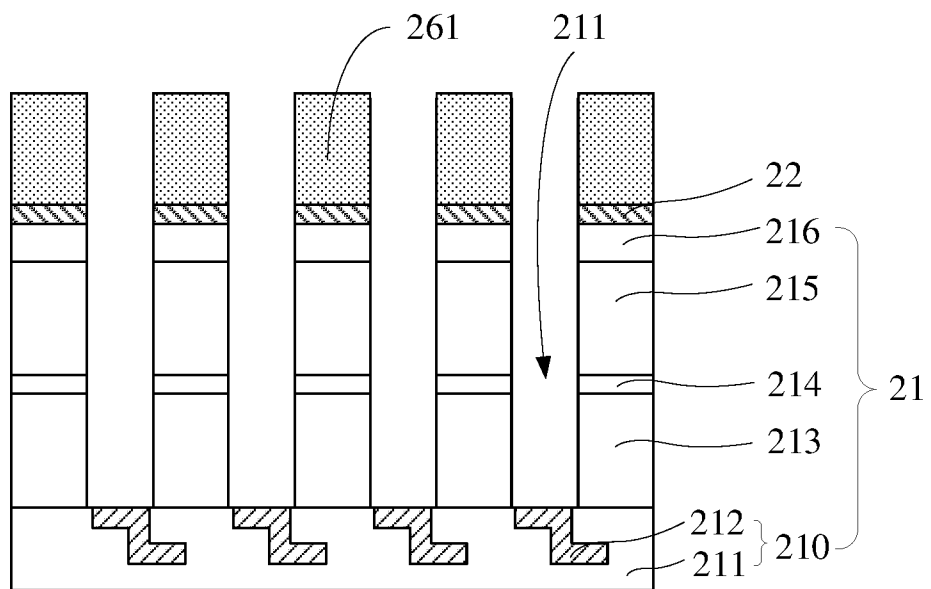


图 12

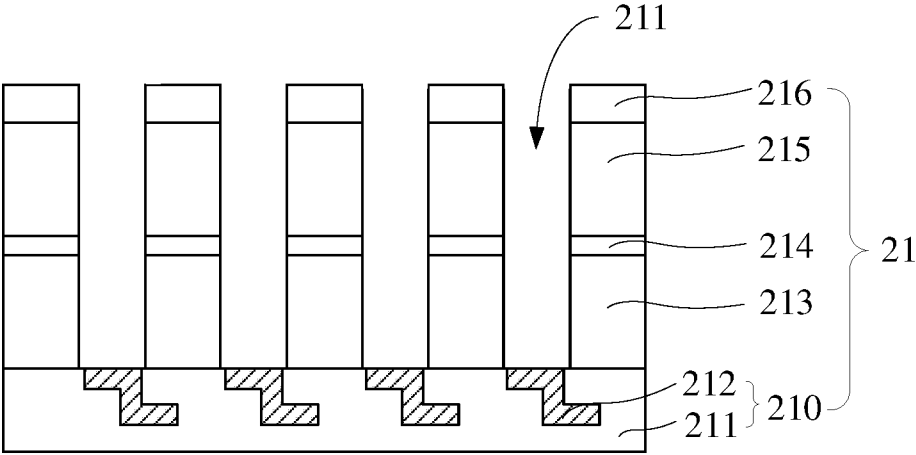


图 13

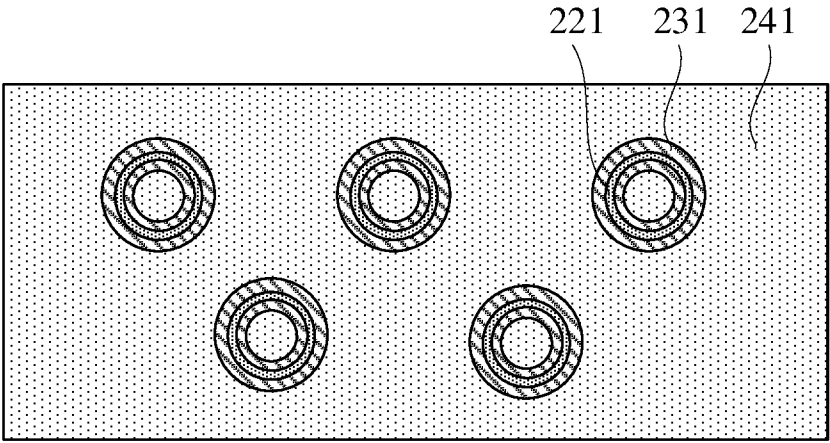


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/103708

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/8242(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: DRAM, 动态随机存取存储器, 电容, 牺牲, 掩膜, 掩模, 蚀刻, 刻蚀, 选择比, 阻挡, 阻拦, 停止, 硬, dynamic random access memory, capacitors, sacrificial, mask, etch+, selectivity, block+, stop+, hard

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 109119330 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (TIANJIN) CO., LTD. et al.) 01 January 2019 (2019-01-01) description, paragraphs [0043]-[0067], and figures 1-8	1-10
A	CN 110634733 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 31 December 2019 (2019-12-31) entire document	1-10
A	CN 110233097 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (SHANGHAI) CORPORATION et al.) 13 September 2019 (2019-09-13) entire document	1-10
A	CN 109390216 A (SEMICONDUCTOR MANUFACTURING INTERNATIONAL (TIANJIN) CO., LTD. et al.) 26 February 2019 (2019-02-26) entire document	1-10
A	KR 20100073099 A (HYNIX SEMICONDUCTOR INC.) 01 July 2010 (2010-07-01) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

- “A” document defining the general state of the art which is not considered to be of particular relevance
- “E” earlier application or patent but published on or after the international filing date
- “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- “O” document referring to an oral disclosure, use, exhibition or other means
- “P” document published prior to the international filing date but later than the priority date claimed

- “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- “&” document member of the same patent family

Date of the actual completion of the international search

16 September 2021

Date of mailing of the international search report

28 September 2021

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/103708

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN	109119330	A	01 January 2019	CN 109119330 B	12 February 2021
CN	110634733	A	31 December 2019	None	
CN	110233097	A	13 September 2019	None	
CN	109390216	A	26 February 2019	None	
KR	20100073099	A	01 July 2010	None	

国际检索报告

国际申请号

PCT/CN2021/103708

A. 主题的分类

H01L 21/8242 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EPODOC, IEEE: DRAM, 动态随机存取存储器, 电容, 牺牲, 掩膜, 掩模, 蚀刻, 刻蚀, 选择比, 阻挡, 阻拦, 停止, 硬, dynamic random access memory, capacitors, sacrificial, mask, etch+, selectivity, block+, stop+, hard

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 109119330 A (中芯国际集成电路制造天津有限公司 等) 2019年 1月 1日 (2019 - 01 - 01) 说明书第[0043]-[0067]段, 附图1-8	1-10
A	CN 110634733 A (长鑫存储技术有限公司) 2019年 12月 31日 (2019 - 12 - 31) 全文	1-10
A	CN 110233097 A (中芯国际集成电路制造上海有限公司 等) 2019年 9月 13日 (2019 - 09 - 13) 全文	1-10
A	CN 109390216 A (中芯国际集成电路制造天津有限公司 等) 2019年 2月 26日 (2019 - 02 - 26) 全文	1-10
A	KR 20100073099 A (HYNIX SEMICONDUCTOR INC.) 2010年 7月 1日 (2010 - 07 - 01) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年 9月 16日

国际检索报告邮寄日期

2021年 9月 28日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国 北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

刘雪莲

电话号码 (86-10)53961471

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/103708

检索报告引用的专利文件			公布日 (年/月/日)	同族专利	公布日 (年/月/日)
CN	109119330	A	2019年 1月 1日	CN 109119330 B	2021年 2月 12日
CN	110634733	A	2019年 12月 31日	无	
CN	110233097	A	2019年 9月 13日	无	
CN	109390216	A	2019年 2月 26日	无	
KR	20100073099	A	2010年 7月 1日	无	