(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-204583
(P2012-204583A)
(43)公開日　平成24年10月22日(2012.10.22)

(51)Int.Cl.		F I			テーマコード（参考）
H01L 29/78	***(2006.01)***	H01L	29/78	301J	5F140
H01L 21/336	***(2006.01)***	H01L	29/78	301F	
H01L 21/266	***(2006.01)***	H01L	21/265	M	
H01L 21/265	***(2006.01)***	H01L	21/265	604M	
H01L 29/66	***(2006.01)***	H01L	29/66	T	

審査請求 未請求　請求項の数 6　ＯＬ　（全 9 頁）

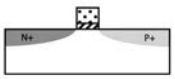
(21)出願番号　特願2011-67536(P2011-67536)
(22)出願日　平成23年3月25日(2011.3.25)

(71)出願人　301021533
独立行政法人産業技術総合研究所
東京都千代田区霞が関１－３－１
(72)発明者　森　貴洋
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内
(72)発明者　堀川　剛
茨城県つくば市東１－１－１　独立行政法人産業技術総合研究所つくばセンター内

Ｆターム(参考)　5F140 AA40 AC12 AC16 BA01 BB05 BD13 BE09 BF10 BF11 BF14 BG20 BG22 BG28 BG30 BG38 BG39 BG45 BG58 BH18 BJ01 BJ08 BK13 BK14 BK34 BK39 CE07 CE20

(54)【発明の名称】トンネルトランジスタの製造方法

(57)【要約】　（修正有）
【課題】１回のリソグラフィ工程によりセルフアラインでトンネルトランジスタを製造する方法を提供する。
【解決手段】ゲート絶縁膜及びゲート電極が積層された半導体基板上に第１の絶縁膜を形成しリソグラフィにより第１の絶縁膜の端部に第１の絶縁膜とは薬品選択性が異なりゲート電極位置を画定する第２の絶縁膜を形成する工程と、第１及び第２の絶縁膜をマスクにゲート電極の一端を画定する工程と、第１及び第２の絶縁膜をマスクにして第１導電型不純物を半導体基板に導入しソースを形成する工程と、半導体基板全面に第１の絶縁膜とは薬品選択性が異なる第３の絶縁膜を被覆する工程と、該第３の絶縁膜の一部を除去することにより該第１の絶縁膜を選択的に除去する工程と、第２及び第３の絶縁膜をマスクにしてゲート電極を形成した後、第２導電型不純物を半導体基板に導入しドレインを形成する工程を含むトンネルトランジスタの製造方法。
【選択図】図８



【特許請求の範囲】
【請求項１】
ゲート絶縁膜となる層及びゲート電極となる層が積層された半導体基板上に第１の膜を形成しリソグラフィにより第２の膜の形成位置を画定する工程と、第１の膜の端部に第１の膜とは薬品選択性が異なりゲート電極位置を画定する第２の膜を形成する工程と、第１及び第２の膜をマスクにゲート絶縁膜となる層及びゲート電極となる層を選択的に除去してゲート絶縁膜及びゲート電極の一端を画定する工程と、第１及び第２の膜をマスクにして第１導電型又は第２導電型の不純物を半導体基板に導入しソース又はドレインを形成する工程と、半導体基板全面に第１の膜とは薬品選択性が異なる第３の膜を被覆する工程と、該第３の膜の一部を除去することにより第１の膜の表面を露出する工程と、該第１の膜を選択的に除去する工程と、第２及び第３の膜をマスクにしてゲート絶縁膜となる層及びゲート電極となる層を選択的に除去し、ゲート絶縁膜及びゲート電極を形成した後、第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程を含むことを特徴とするトンネルトランジスタの製造方法。
【請求項２】
ゲート絶縁膜となる層及びゲート電極となる層が積層された半導体基板上に第１の絶縁膜を形成しリソグラフィにより第２の絶縁膜の形成位置を画定する工程と、第１の絶縁膜の端部に第１の絶縁膜とは薬品選択性が異なりゲート電極位置を画定する第２の絶縁膜を形成する工程と、第１及び第２の絶縁膜をマスクにゲート絶縁膜となる層及びゲート電極となる層を選択的に除去してゲート絶縁膜及びゲート電極の一端を画定する工程と、第１及び第２の絶縁膜をマスクにして第１導電型又は第２導電型の不純物を半導体基板に導入しソース又はドレインを形成する工程と、半導体基板全面に第１の絶縁膜とは薬品選択性が異なる第３の絶縁膜を被覆する工程と、該第３の絶縁膜の一部を除去することにより第１の絶縁膜の表面を露出する工程と、該第１の絶縁膜を選択的に除去する工程と、第２及び第３の絶縁膜をマスクにしてゲート絶縁膜となる層及びゲート電極となる層を選択的に除去し、ゲート絶縁膜及びゲート電極を形成した後、第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程を含むことを特徴とするトンネルトランジスタの製造方法。
【請求項３】
上記第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程において、上記第２導電型又は第１導電型の不純物は、半導体基板に斜めイオン注入して導入することを特徴とする請求項２に記載のトンネルトランジスタの製造方法。
【請求項４】
上記第２及び第３の絶縁膜をマスクにして第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程の後に、上記第２及び第３の絶縁膜を除去する工程、及びドレイン又はソース上に金属層を堆積し、加熱することによりドレイン又はソースの一部に金属・半導体合金電極を形成する工程をさらに含むことを特徴とする請求項２又は３に記載のトンネルトランジスタの製造方法。
【請求項５】
上記半導体基板はＳｉ基板であることを特徴とする請求項２ないし請求項４のいずれか１項に記載のトンネルトランジスタの製造方法。
【請求項６】
上記金属・半導体合金電極は、$NiSi_2$であることを特徴とする請求項４又は５に記載のトンネルトランジスタの製造方法。

【発明の詳細な説明】
【技術分野】

【０００１】
本発明は、トンネルトランジスタの製造方法に関するものである。
【背景技術】
【０００２】
トンネル電流をゲート電圧で制御することで動作するトンネルトランジスタは、半導体集積回路の基本素子として現在用いられている電界効果トランジスタに比べて低電圧で動作可能であるという特徴を持つ（例えば、非特許文献１参照）。トンネルトランジスタを半導体集積回路の基本素子として用いることによって、半導体集積回路の消費電力の低減化を図ることができる。
【０００３】
トンネルトランジスタは、ソース領域とドレイン領域とが反対の導電型を有することを特徴とする。それゆえに従来型電界効果トランジスタのように、セルフアラインでソース領域とドレイン領域とを同時に形成することができない。
平面型トンネルトランジスタの製造方法は、例えば特許文献１、２に記載されている。
【先行技術文献】
【特許文献】
【０００４】
【特許文献１】特開平８－１９５４８７号公報
【特許文献２】特開昭５８－９６７６６号公報
【特許文献３】特開２００８－２５２０８６号公報
【特許文献４】特開２００６－１４７８６１号公報
【非特許文献】
【０００５】
【非特許文献１】W.Y.Choi et al., IEEE Electron Device Letters vol.28, p743(2007)
【発明の概要】
【発明が解決しようとする課題】
【０００６】
従来のトンネルトランジスタの製造方法では、その構造上複雑なマスク工程を必要としていた。
したがって本発明は、複雑なマスク工程を必要とすることなく、１回のリソグラフィ工程によるセルフアラインで、トンネルトランジスタを製造する方法を提供することを課題とする。
【課題を解決するための手段】
【０００７】
上記の課題は、以下のトンネルトランジスタの製造方法によって解決される。
（１）ゲート絶縁膜となる層及びゲート電極となる層が積層された半導体基板上に第１の膜を形成しリソグラフィにより第２の膜の形成位置を画定する工程と、第１の膜の端部に第１の膜とは薬品選択性が異なりゲート電極位置を画定する第２の膜を形成する工程と、第１及び第２の膜をマスクにゲート絶縁膜となる層及びゲート電極となる層を選択的に除去してゲート絶縁膜及びゲート電極の一端を画定する工程と、第１及び第２の膜をマスクにして第１導電型又は第２導電型の不純物を半導体基板に導入しソース又はドレインを形成する工程と、半導体基板全面に第１の膜とは薬品選択性が異なる第３の膜を被覆する工程と、該第３の膜の一部を除去することにより第１の膜の表面を露出する工程と、該第１の膜を選択的に除去する工程と、第２及び第３の膜をマスクにしてゲート絶縁膜となる層及びゲート電極となる層を選択的に除去し、ゲート絶縁膜及びゲート電極を形成した後、第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程を含むことを特徴とするトンネルトランジスタの製造方法。
（２）ゲート絶縁膜となる層及びゲート電極となる層が積層された半導体基板上に第１の絶縁膜を形成しリソグラフィにより第２の絶縁膜の形成位置を画定する工程と、第１の絶

縁膜の端部に第１の絶縁膜とは薬品選択性が異なりゲート電極位置を画定する第２の絶縁膜を形成する工程と、第１及び第２の絶縁膜をマスクにゲート絶縁膜となる層及びゲート電極となる層を選択的に除去してゲート絶縁膜及びゲート電極の一端を画定する工程と、第１及び第２の絶縁膜をマスクにして第１導電型又は第２導電型の不純物を半導体基板に導入しソース又はドレインを形成する工程と、半導体基板全面に第１の絶縁膜とは薬品選択性が異なる第３の絶縁膜を被覆する工程と、該第３の絶縁膜の一部を除去することにより第１の絶縁膜の表面を露出する工程と、該第１の絶縁膜を選択的に除去する工程と、第２及び第３の絶縁膜をマスクにしてゲート絶縁膜となる層及びゲート電極となる層を選択的に除去し、ゲート絶縁膜及びゲート電極を形成した後、第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程を含むことを特徴とするトンネルトランジスタの製造方法。

（３）上記第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程において、上記第２導電型又は第１導電型の不純物は、半導体基板に斜めイオン注入して導入することを特徴とする（２）に記載のトンネルトランジスタの製造方法。

（４）上記第２及び第３の絶縁膜をマスクにして第２導電型又は第１導電型の不純物を半導体基板に導入しドレイン又はソースを形成する工程の後に、上記第２及び第３の絶縁膜を除去する工程、及びドレイン又はソース上に金属層を堆積し、加熱することによりドレイン又はソースの一部に金属・半導体合金電極を形成する工程をさらに含むことを特徴とする（２）又は（３）に記載のトンネルトランジスタの製造方法。

（５）上記半導体基板はＳｉ基板であることを特徴とする（２）ないし（４）のいずれかに記載のトンネルトランジスタの製造方法。

（６）上記金属・半導体合金電極は、$NiSi_2$であることを特徴とする（４）又は（５）に記載のトンネルトランジスタの製造方法。

【発明の効果】

【０００８】

本発明によれば、リソグラフィ工程が１回で済む。すなわち、マスク枚数が１枚で済む利点がある。

さらに、リソグラフィの位置精度に依存せずゲート長を決定できるので、微細なトンネルトランジスタの製造が可能となる。

【図面の簡単な説明】

【０００９】

【図１】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図２】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図３】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図４】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図５】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図６】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図７】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図８】本発明に係るトンネルトランジスタの製造工程を説明する図面

【図９】本発明に係るトンネルトランジスタの製造工程の変形例を説明する図面

【図１０】本発明に係るトンネルトランジスタの製造工程の変形例を説明する図面

【図１１】本発明に係るトンネルトランジスタの製造工程の他の変形例を説明する図面

【図１２】本発明に係るトンネルトランジスタの製造工程の他の変形例を説明する図面

【発明を実施するための形態】

【００１０】

(実施例)

本発明に係るトンネルトランジスタの製造工程について、図１～８を参照して詳細に説明する。

【００１１】

半導体基板１上にゲート絶縁膜となる層２、ゲート電極となる層３及び第１の膜４を順次堆積する。

実施例では、半導体基板１としてＳｉ基板を用い、その上にゲート絶縁層２としてＨｆＡｌＯｘ（ハフニウムアルミニウムオキサイド）をＡＬＤ法によって堆積し、さらにゲート電極層３としてＴａＮ（タンタルナイトライド）とポリシリコンの２層をそれぞれスパッタ法及びＣＶＤ法で堆積する。さらに第１の膜４として実施例ではＳｉＮ（シリコンナイトライド）をＣＶＤ法で堆積する。

【００１２】

次にリソグラフィ工程とエッチングにより、第１の膜４を加工し、部分的にゲート電極層３を表出させる（図１参照）。第１の膜４の端部位置で次工程で形成される第２の膜５の位置が画定される。

実施例では、リソグラフィはネガレジストを用いた液浸リソグラフィ法で、エッチングは反応性イオンエッチングで行う。

【００１３】

次に第２の膜５を堆積し、加工してサイドウォールを形成する（図２参照）。

実施例では、SiO_2をＣＶＤ法で堆積し、これを反応性イオンエッチングにより堆積膜厚等量分だけエッチングし、サイドウォールを形成する。この加工された第２の膜５によってトンネルトランジスタのゲート位置が画定される。

【００１４】

次にゲート電極となる層３とゲート絶縁膜となる層２を、第１の膜４と第２の膜５とをマスクとして選択的にエッチングし、ゲート電極及びゲート絶縁膜の端部位置を画定する。

次にトンネルトランジスタのソース又はドレインとなる領域の半導体基板１を表出させ、第１又は第２の導電型の不純物を導入しソース又はドレイン領域を形成する（図３参照）。

【００１５】

実施例では、反応性イオンエッチングによりポリシリコン／ＴａＮのゲート電極層３を選択エッチングし、その後フッ酸によりＨｆＡｌＯｘのゲート絶縁層２をエッチングする。このエッチング工程において、第２の膜５が部分的もしくは全体的に除去されることは問題にならない。不純物の導入は例えばイオン注入によって行う。

【００１６】

次に第３の膜６を堆積する（図４参照）。ここで、第３の膜６と第２の膜５は同一の材料であってもよい。実施例では、ＣＶＤ法によってSiO_2を堆積する。

次に第３の膜６を加工し、第１の膜４を露出させる（図５参照）。例えば、ＣＭＰ（化学機械研磨）によって行う。

【００１７】

次に第１の膜４を第２の膜５及び第３の膜６に対して選択的に除去する（図６参照）。

実施例では、リン酸（H_3PO_4）によってＳｉＮ（第１の膜４）をSiO_2（第２の膜５及び第３の膜６）と選択的に除去する。

【００１８】

次に第２の膜５及び第３の膜６をマスクとして、ゲート電極１０とゲート絶縁膜９とを画定する。次いでトンネルトランジスタのドレイン又はソースとなる領域の半導体基板１を表出させ、第１又は第２の導電型の不純物を導入しソース又はドレイン領域を形成する（図７参照）。

【００１９】

実施例では、反応性イオンエッチングによりポリシリコン／ＴａＮのゲート電極となる層３を選択エッチングし、その後フッ酸によりＨｆＡｌＯｘのゲート絶縁膜となる層２をエッチングする。この際、第２の膜５及び第３の膜６が部分的に除去されることは問題にならない。半導体基板１を表出させたら、不純物を導入し、トンネルトランジスタのドレイン又はソースとなる領域を形成する（図７参照）。これは、例えばイオン注入によって

行う。

【００２０】

最後に第２の膜５及び第３の膜６を除去し、トンネルトランジスタが完成する。例えば、フッ酸によってSiO_2（第２の膜５及び第３の膜６）をエッチングする（図８参照）。

なお、この実施例では図中でゲート電極の左側をソース、右側をドレインとしたが、逆であっても問題はない。

【００２１】

(変形例)

本発明に係るトンネルトランジスタの製造工程の変形例について、図９～１０を参照して説明する。

【００２２】

図７において、トンネルトランジスタのドレイン又はソース８となる領域の半導体基板１を表出させるまでの工程は、実施例のものと同一である。ここでは、領域８をドレインであるとして説明する。このとき、不純物導入工程として斜めイオン注入法を用いると、影効果によってドレインがゲート構造端部から離れたところに形成される（オフセットドレイン構造）。

最終的なトンネルトランジスタの構造を図１０に示す。

【００２３】

このように、本発明による製造プロセスはオフセットドレイン構造を持つトンネルトランジスタの製造プロセスにも用いることができる。

オフセットドレイン構造の効果については例えば特許文献３（特開２００８－２５２０８６号公報）に記載されている。

なお、図３における不純物導入時に斜めイオン注入法を用いれば、領域７をドレインとする場合にもオフセットドレイン構造をもつトンネルトランジスタを作製できる。

【００２４】

(他の変形例)

本発明に係るトンネルトランジスタの製造工程の他の変形例について、図１１～１２を参照して説明する。

【００２５】

図８のトンネルトランジスタ構造上に、金属層１１を形成する（図１１参照）。金属層１１は、例えば、Ｎｉ（ニッケル）層をスパッタ法により堆積することで形成される。

次に図１１の状態にあるトンネルトランジスタに加熱をすることで、ソース及びドレイン領域にシリサイド１２が形成される。このときソース及びドレイン領域にある不純物はシリサイド端に濃縮され、その後金属層１１を除去することでメタルソースドレイン型のトンネルトランジスタが作製される（図１２参照）。

【００２６】

この変形例では、例えば、ＲＴＡ（急速加熱アニール法）によって加熱するとシリサイド１２として、$NiSi_2$が形成される。

メタルソースドレイン型のトンネルトランジスタの効果については、例えば特許文献４（特開２００６－１４７８６１号公報）に記載されている。

【００２７】

なお、上記の実施例、変形例は、あくまでも本発明の理解を容易にするためのものであり、この実施例、変形例に限定されるものではない。すなわち、本発明の技術思想に基づく変形、他の態様は、当然本発明に包含されるものである。

【００２８】

例えばトンネルトランジスタは、ドレイン領域にゲート電極による被覆が無い構造にすると特性が向上するが、本発明によればこのような構造のトンネルトランジスタを製造することも可能である。

また本発明によれば、平面型トンネルトランジスタのみではなく、ＦｉｎＦＥＴのよう

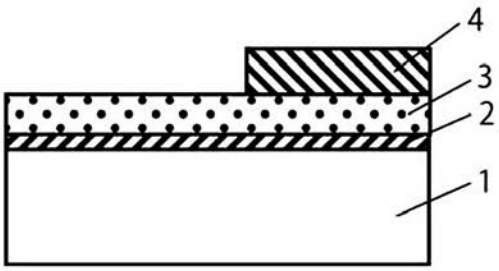
な立体構造を有するトンネルトランジスタにも適用可能である。
さらにソース、ドレイン領域の形成は、例えば、イオン注入、固相ドーピング、メタルソースドレインによることもできる。

【符号の説明】

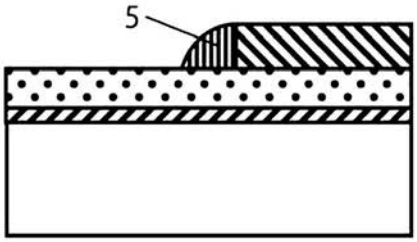
【００２９】

１　半導体基板
２　ゲート絶縁膜となる層
３　ゲート電極となる層
４　第１の膜
５　第２の膜
６　第３の膜
７　トンネルトランジスタのソース又はドレイン
８　トンネルトランジスタのドレイン又はソース
９　トンネルトランジスタのゲート絶縁膜
１０　トンネルトランジスタのゲート電極
１１　金属層
１２　シリサイド

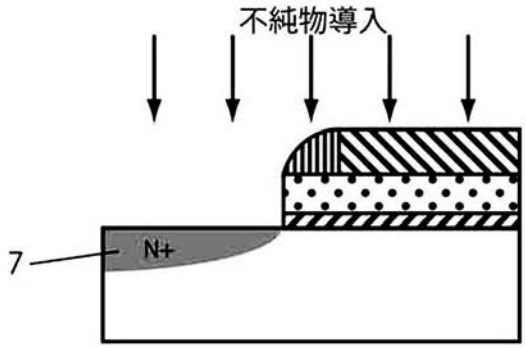
【図１】



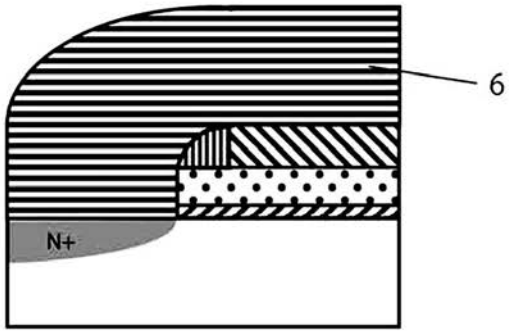
【図２】



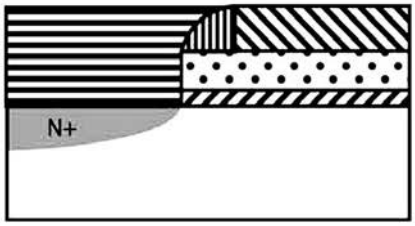
【図３】



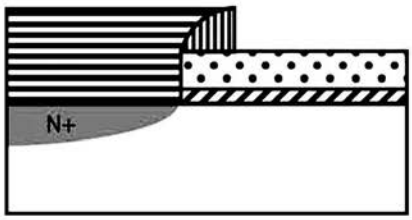
【図４】



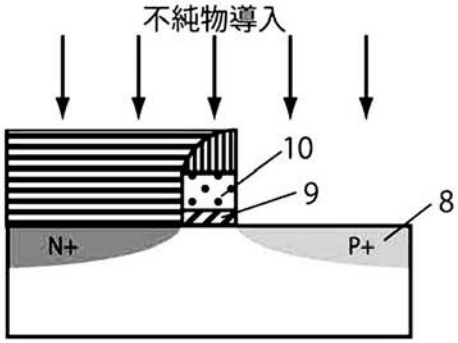
【図５】



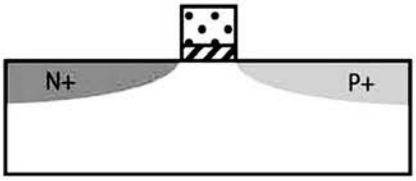
【図６】



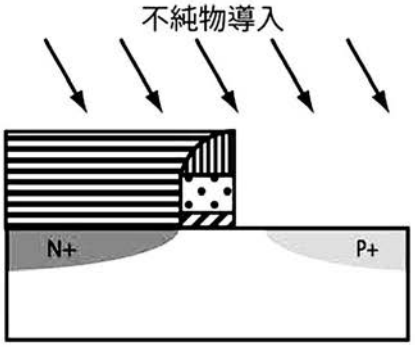
【図７】



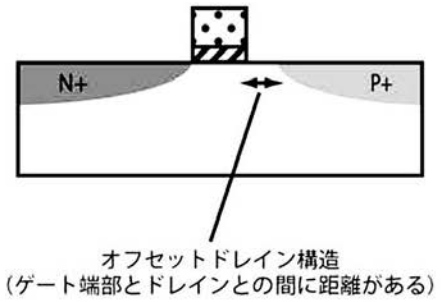
【図８】



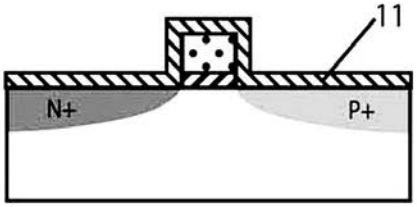
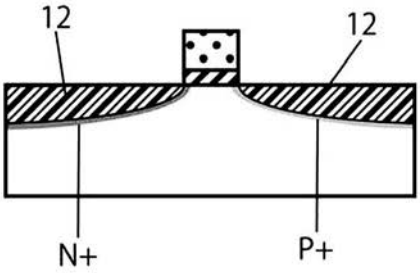
【図９】



【図１０】



【図１１】



【図１２】