



ФЕДЕРАЛЬНАЯ СЛУЖБА
ПО ИНТЕЛЛЕКТУАЛЬНОЙ СОБСТВЕННОСТИ

(12) ОПИСАНИЕ ПОЛЕЗНОЙ МОДЕЛИ К ПАТЕНТУ

(52) СПК
G11C 11/40 (2023.08)

(21)(22) Заявка: 2023130672, 24.11.2023

(24) Дата начала отсчета срока действия патента:
24.11.2023

Дата регистрации:
19.02.2024

Приоритет(ы):

(22) Дата подачи заявки: 24.11.2023

(45) Опубликовано: 19.02.2024 Бюл. № 5

Адрес для переписки:
124460, Москва, г. Зеленоград, ул. Академика
Валиева, 6/1, АО "Микрон"

(72) Автор(ы):

Игнатьев Сергей Михайлович (RU)

(73) Патентообладатель(и):

Акционерное общество "Микрон" (АО
"Микрон") (RU)

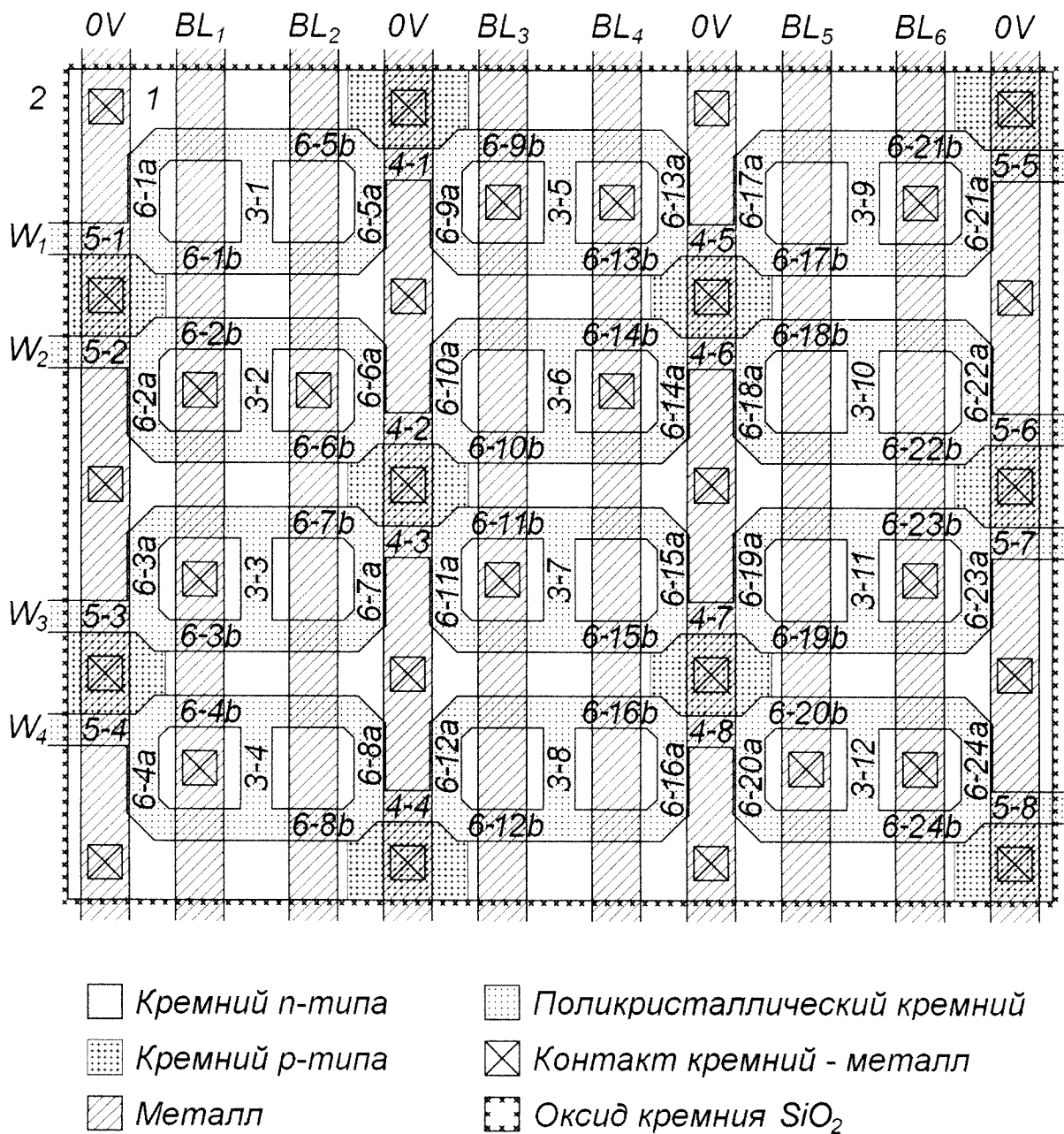
(56) Список документов, цитированных в отчете
о поиске: US 4773047 A, 20.09.1988. RU 132 601
U1, 20.09.2013. RU 129694 U1, 27.06.2013. US
10431308 B1, 01.10.2019. RU 2106022 C1,
27.02.1998.

(54) КОНСТРУКЦИЯ МАТРИЧНОГО НАКОПИТЕЛЯ ОДНОКРАТНО ПРОГРАММИРУЕМОГО
ПОСТОЯННОГО ЗУ НА МОП-ТРАНЗИСТОРАХ С ПОВЫШЕННОЙ СТОЙКОСТЬЮ К
ИОНИЗИРУЮЩИМ ВОЗДЕЙСТВИЯМ

(57) Реферат:

Полезная модель относится к электронике и предназначена для использования в интегральных микросхемах на полевых транзисторах структуры металл-окисел-полупроводник (МОП). Ее технический результат, заключающийся в повышении плотности размещения МОП-транзисторов элементов памяти и уменьшении паразитной емкости их стоков, достигается тем, что полосы $W_1, \dots, W_4$ затворов МОП-транзисторов 6-1, ..., 6-24 элементов памяти в каждой строке матричного накопителя образуют прямолинейную цепь из прямоугольных замкнутых петель, окружающих области стоков, вокруг которых расположены общие области 1 объединенных истоков. Такое конструктивное решение позволяет повысить плотность размещения МОП-транзисторов 6-1, ..., 6-24 на

поверхности кристалла интегральной микросхемы за счет исключения занимающей большую площадь боковой диэлектрической изоляции стоков и увеличивающих их паразитную емкость конструктивных элементов для прерывания каналов утечки, возникающих при ионизирующих воздействиях. На чертеже еще обозначены следующие элементы конструкции. Область 2 боковой диэлектрической изоляции объединенных областей истоков, участки 3-1, ..., 3-12, 4-1, ..., 4-8, 5-1, ..., 5-8 цепей петель полосок затворов, отрезки общей шины 0V и информационные шины ВЦ, ..., DL₆, объединяющие стоки МОП-транзисторов 6-16-24 элементов памяти, составляющих столбцы матричного накопителя. 2 ил.



Фиг. 1

Полезная модель относится к электронике и предназначена для применения в интегральных микросхемах вычислительных и управляющих устройств на полевых транзисторах структуры металл-окисел-полупроводник (МОП) для хранения постоянной информации.

5 Известно выполнение накопителя информации постоянного ЗУ в виде матрицы МОП-транзисторов элементов памяти, истоки которых подключены к общей шине, а затворы и стоки соединены с шинами выборки и считывания на пересечениях строк и столбцов матрицы, см., например, авторское свидетельство СССР №1334180, МПК G11C 11/40, опубликованное 30 августа 1987 г. [1].

10 В данном устройстве МОП-транзисторы элементов памяти присутствуют только на тех пересечениях строк и столбцов матрицы, которым соответствуют информационные разряды с определенным логическим состоянием. Его можно выбрать, как логическое состояние, в меньшем количестве представленное в сохраняемой информации, что позволит уменьшить количество МОП-транзисторов.

15 Такое решение сложно в применении. Для каждого варианта информационного содержания накопителя требуется отдельная разработка всей его конструкции.

Более простое с этой точки зрения решение предусматривает наличие МОП-транзисторов в каждом узле матрицы, но у МОП-транзисторов в столбцах стоки к соответствующим шинам считывания подключаются в зависимости от значений
20 соответствующих разрядов информации. Контакты стоков к шинам считывания формируются при помощи элементов программирования - специальных элементов физической структуры, проводимость которых создается тем или иным способом согласно требуемому информационному содержанию ЗУ. См., например, патент США №4773047, НПК 365/181, МПК G11C 11/40, опубликованный 20 сентября 1988 г. [2].

25 По своей технической сущности данное решение наиболее близко заявляемому.

Конструктивное решение матричного накопителя постоянного ЗУ предусматривает выполнение МОП-транзисторов элементов памяти парами в отдельных МОП-структурных областях с общими истоками, расположенными в середине, и стоками - по краям. Две полосы затворов, пересекающие каждую область МОП-структур,
30 разделяя ее на области двух стоков и общего истока, имеют прямолинейную конфигурацию.

Области МОП-структур транзисторных пар отделены друг от друга окружающими их изолирующими областями, выполненными из оксида кремния, а при необходимости повышения стойкости к ионизирующим воздействиям - полностью или частично в зоне
35 пересечения полосками затворов из кремния противоположных областям стоков-истоков типа.

Дело в том, что в изолирующем оксиде кремния, примыкающем к боковым краям подзатворных областей, ионизация создает заряды, индуцирующие каналы утечки между истоками и стоками МОП-транзисторов. Изоляция областей стоков-истоков
40 обратно смещенным р-п переходом исключает такие каналы.

Однако наличие изолирующих областей, занимающих площадь, снижает плотность упаковки матричного накопителя, а использование р-п переходов для изоляции еще и повышает паразитную емкость стоков МОП-транзисторов. Линейная конфигурация
45 полосок затворов не позволяет повышать токовую эффективность МОП-транзисторов без существенного увеличения ширины областей МОП-структур.

Технический результат полезной модели заключается в повышении плотности размещения МОП-транзисторов элементов памяти и уменьшении паразитной емкости их стоков.

Технический результат достигается тем, что в конструкции матричного накопителя однократно программируемого постоянного ЗУ на МОП-транзисторах с повышенной стойкостью к ионизирующим воздействиям, состоящего из множества областей МОП-структур, разделенных полосками затворов на области истоков и стоков отдельных
 5 МОП-транзисторов элементов памяти, у МОП-транзисторов, составляющих каждую строку матричного накопителя, полоски затворов соединены и подключены к соответствующему входу выборки строки, у МОП-транзисторов, составляющих каждый столбец, стоки соединены с соответствующей информационной шиной через элементы физической структуры с формируемой в процессе программирования проводимостью,
 10 стоки и общая подложка всех МОП-транзисторов подключены к общей шине, области МОП-структур у больших массивов МОП-транзисторов объединены, в пределах каждой объединенной области МОП-структур полоски затворов МОП-транзисторов каждой строки образуют прямолинейную цепь из прямоугольных замкнутых петель, окружающих области стоков, вокруг которых расположены общие области
 15 объединенных истоков, петли затворов соединены в пары с общей поперечной линии строки стороной, а в общую цепь пары петель объединены продольными отрезками полосок затворов, аналогичные отрезки также подсоединены к внешним поперечным сторонам петель затворов по перпендикулярным линиям строк краям объединенной области МОП-структур, продольные стороны петель затворов у соседних строк
 20 элементов памяти сближены на минимально возможное расстояние, а на широких участках общих областей истоков между соединительными отрезками полосок затворов расположены чередующиеся в шахматном порядке контакты к истокам и к подложке.

Указанное выполнение элементов устройства позволяет исключить примыкание боковых краев областей каналов МОП-транзисторов к областям боковой изоляции из
 25 оксида кремния и существенно уменьшит площадь, занимаемую этой изоляцией.

Отличительными признаками полезной модели являются геометрическая форма выполнения полосок затворов и областей истоков и стоков МОП-транзисторов элементов памяти.

Полезная модель поясняется чертежами фиг. 1 с изображением конструкции
 30 матричного накопителя и фиг. 2, показывающей эквивалентную электрическую схему устройства.

Конструкция матричного накопителя однократно программируемого постоянного ЗУ на МОП-транзисторах с повышенной стойкостью к ионизирующим воздействиям состоит из объединенных областей 1 МОП-структур, окруженных изолирующими
 35 областями 2 и разделенных полосками $W_1, \dots, W_4$ затворов на области стоков отдельных МОП-транзисторов элементов памяти и общие для больших групп МОП-транзисторов области истоков.

В пределах каждой объединенной области 1 МОП-структур у МОП-транзисторов, составляющих каждую строку матричного накопителя, затворы соединены и
 40 подключены к соответствующему входу $W_1, \dots, W_4$ выборки строки. При этом полоски затворов образуют прямолинейную цепь из прямоугольных замкнутых петель, окружающих области стоков, вокруг которых расположены общие области объединенных истоков.

Петли затворов соединены в пары с общей поперечной линии строки стороной 3-1, ..., 3-12, а в общую цепь пары петель объединены продольными отрезками 4-1, ..., 4-8
 45 полосок затворов. Аналогичные отрезки 5-1, ..., 5-8 также подсоединены к внешним поперечным сторонам петель затворов по перпендикулярным линиям строк краям объединенной области 1 МОП-структур.

Продольные стороны петель 6-1а, ..., 6-24а и 6-1б, ..., 6-24б затворов у соседних строк элементов памяти сближены на минимально возможное расстояние, а на широких участках общих областей истоков между соединительными отрезками 4-1, ..., 4-8 и 5-1, ..., 5-8 полосок затворов расположены чередующиеся в шахматном порядке контакты к истокам и к подложке.

Стоки и общая подложка всех МОП-транзисторов подключены к общей шине 0V. У МОП-транзисторов, составляющих каждый столбец, стоки соединены с соответствующей информационной шиной $BL_1, \dots, BL_6$ через элементы физической структуры, с формируемой в процессе программирования проводимостью.

Для определенности на чертежах изображены конструкция и эквивалентная электрическая схема матричного накопителя, содержащего МОП-транзисторы 6-1, ..., 6-24 с индуцированными каналами n-типа проводимости и шиной нулевого потенциала в качестве общей шины 0V. Подложка имеет проводимость p-типа и кремний в местах расположения контактов к ней в объединенной области 1 n-МОП-структур легирован p-примесью.

Полоски затворов выполнены в пленке поликристаллического кремния. В конструкции каждого p-МОП-транзистора 6-1, ..., 6-24 элемента памяти две части области канала расположены под отрезками дуг 6-1а, ..., 6-24а и 6-1б, ..., 6-24б петель полосок затворов. Под разделяющими и соединяющими отрезками 3-1, ..., 3-8 и 4.1, ..., 4-8 полосок затворов образуются области каналов паразитных n-МОП-транзисторов, изображенных на фиг. 2 как элементы электрической схемы, обозначенные как соответствующие элементы конструкции.

Элементы физической структуры с формируемой в процессе программирования проводимостью на фиг. 1 представляют контактные окна между истоками n-типа и металлическими информационными шинами $BL_1, \dots, BL_6$. При помощи специального фотошаблона окна формируют в процессе изготовления интегральной микросхемы, содержащей матричный накопитель предлагаемой конструкции.

Информационные состояния элементов памяти определяются наличием или отсутствием контактных окон к стокам их p-МОП-транзисторов 6-1, ..., 6-24. Для большей выразительности изображения на схеме Фиг. 2 пересечения информационных шин $BL_1, \dots, BL_6$ с не подключенными к ним проводниками узлов стоков МОП-транзисторов 6-1, ..., 6-24 показаны дугами.

В процессе работы устройства для выбора одной из строк элементов памяти на соответствующий вход W_i подают напряжение высокого уровня, открывающего каналы у n-МОП-транзисторов 6-1, ..., 6-24 данной строки, а на остальные - низкого запирающего каналы уровня. N-МОП-транзисторы 6-1, ..., 6-24 с открытыми каналами соединяют подключенные к их стокам информационные шины $BL_1, \dots, BL_6$ с шиной 0V нулевого потенциала, что идентифицируют как одно из информационных состояний на шинах $BL_1, \dots, BL_6$, а отсутствие соединения - как другое.

Электрические цепи, осуществляющие выборку и считывание сигналов с информационных шин $BL_1, \dots, BL_6$ на фиг. 2 не показаны.

Следует заметить, что у паразитных транзисторов 3-1, ..., 3-12 и 4-1, ..., 4-8 каналы, связывающие стоки МОП-транзисторов 6-1, ..., 6-24 между собой и с общей шиной 0V, открываются только в выбранной для считывания строке матричного накопителя, в которой сами эти МОП-транзисторы 6-1, ..., 6-24 открыты и связывают свои стоки с шиной 0V. Поэтому эти паразитные транзисторы не создают помех для информационных

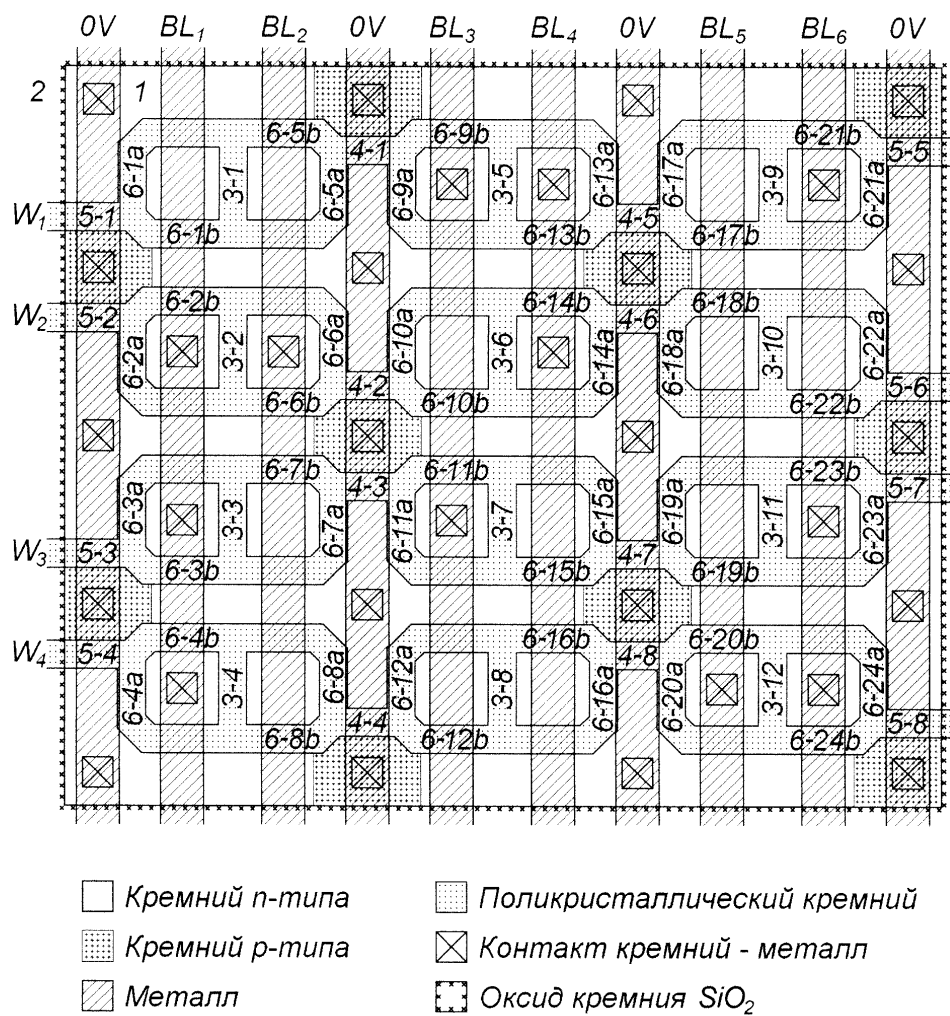
сигналов на шинах $BL_1, \dots, BL_6$.

Таким образом, предложенная конструкция матричного накопителя однократно программируемого постоянного ЗУ на МОП-транзисторах с повышенной стойкостью к ионизирующим воздействиям обеспечивает высокую плотность размещения МОП-транзисторов элементов памяти и уменьшение паразитной емкости областей их стоков за счет минимизации их площади и исключения необходимости в занимающей существенную площадь боковой изоляции стоков.

(57) Формула полезной модели

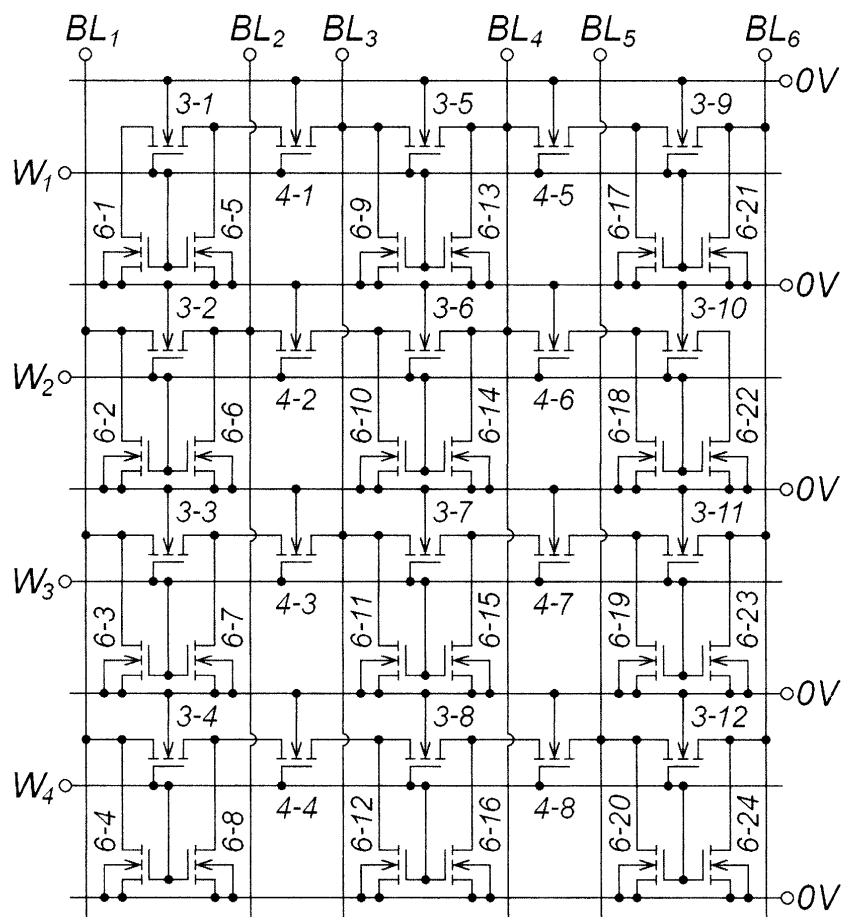
Конструкция матричного накопителя однократно программируемого постоянного ЗУ на МОП-транзисторах с повышенной стойкостью к ионизирующим воздействиям, состоящая из множества областей МОП-структур, разделенных полосками затворов на области истоков и стоков отдельных МОП-транзисторов элементов памяти, у МОП-транзисторов, составляющих каждую строку матричного накопителя, полоски затворов соединены и подключены к соответствующему входу выборки строки, у МОП-транзисторов, составляющих каждый столбец, стоки соединены с соответствующей информационной шиной через элементы физической структуры с формируемой в процессе программирования проводимостью, стоки и общая подложка всех МОП-транзисторов подключены к общей шине, отличающаяся тем, что области МОП-структур у больших массивов МОП-транзисторов объединены, в пределах каждой объединенной области МОП-структур полоски затворов МОП-транзисторов каждой строки образуют прямолинейную цепь из прямоугольных замкнутых петель, окружающих области стоков, вокруг которых расположены общие области объединенных истоков, петли затворов соединены в пары с общей поперечной линией строки стороной, а в общую цепь пары петель объединены продольными отрезками полосок затворов, аналогичные отрезки также подсоединены к внешним поперечным сторонам петель затворов по перпендикулярным линиям строк краям объединенной области МОП-структур, продольные стороны петель затворов у соседних строк элементов памяти сближены на минимально возможное расстояние, а на широких участках общих областей истоков между соединительными отрезками полосок затворов расположены чередующиеся в шахматном порядке контакты к истокам и к подложке.

1



Фиг. 1

2



Фиг. 2