申請日期	87. 01. 15
案號	87100504
類別	G06F12/00

（以上各欄由本局填註）

A4
C4

436688

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體記憶裝置之操作控制器
	英文	"OPERATION CONTROLLER OF SEMICONDUCTOR MEMORY DEVICE"
二、發明 ~~創作~~ 人	姓名	朴燦石
	國籍	韓國
	住、居所	大韓民國京畿道儀旺市王谷洞 603 番地忠武雙龍 APT.102 棟 1502 號
三、申請人	姓名（名稱）	韓商三星電子股份有限公司
	國籍	韓國
	住、居所（事務所）	大韓民國京畿道水原市八達區梅灘洞 416 番地
	代表人姓名	尹鍾龍

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

（由本局填寫）

承辦人代碼：	A6 B6
大　　類：	
ＩＰＣ分類：	

本案已向：

國（地區）	申請專利，申請日期：	案號：	，□有　□無主張優先權
韓國	1997年4月22日	97-15004	□有 ☑無 主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（1）

發明背景

1.發明範圍

本發明係有關於一半導體記憶裝置，而更特別地係關於包括一單資料速率(SDR)模式與一雙資料速率(DDR)模式的半導體記憶裝置之操作控制器。

2.相關技藝說明

通常，一電腦系統包括用以對給定之操作執行指令之一中央處理單元(CPU)，以及用來儲存資料與該CPU所須之一程式之一主記憶體，因此，爲了加強該電腦系統之效能，該CPU之一操作速度增加且CPU必須不等時間即操作以縮短用以存取該主記憶體之一時段，相應地，提議了藉由一系統時脈之控制來操作且具有短時間存取該主記憶體之一同步DRAM(SDRAM)。

在該SDRAM中，藉著一系統時脈之傳送所產生之該脈衝信號來控制一操作，由於該系統時脈之轉送用以產生一脈衝信號之方法可分爲SDR模式及DDR模式。在該SDR模式僅於該系統時脈由高位至低位及由低至高之間的單方向轉送，可產生該脈衝信號以操作一DRAM裝置，在該DDR模式中，於該系統時脈由高至低位及低至高位之間雙向傳送之中，產生該時脈信號以操作一DRAM裝置。

既然資料係輸入或輸出；或由一時脈信號之上昇緣或一下降緣進入或取出，該DDR模式係可操作於一廣泛操作頻率(頻寬)之下。因而該DDR模式具有非常高速之優點，然而該SDR模式具有容易設計的優點。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（2）

於一普遍的設計方法中，針對一高速系統之一記憶裝置使用該DDR模式，而對其他記憶裝置使用SDR模式。

圖1係一方塊圖，顯示使用一SDR模式之傳統半導體記憶裝置之一操作控制器，而圖2係一方塊圖顯示使用一DDR模式之傳統半導體記憶裝置之一操作控制器。

使用該DDR模式之該記憶裝置之中，定義一信號設定時間及一保持時間與輸出資料，而與使用該SDR模式之一記憶裝置不同，相應地使用該DDR模式之該記憶裝置與使用該SDR模式之該記憶裝置不可以相互取代，在該半導體記憶裝置之該傳統操作控制器之中，分別地沒有一種選擇法就使用該DDR模式或該SDR模式，因而使生產效率惡化並且增加了產品成本。

發明概述

爲了解決上述問題，本發明的一個目的乃提供包含一具備一單資料速率(SDR)模式與每一雙資料速率(DDR)模式來選擇考量生產性與成本之操作控制器之一半導體記憶裝置。

相應地，本發明係用以從組成一SDR模式與一DDR模式之該群組中擇一之一操作控制器。

該半導體記憶裝置之操作控制器包括用以產生預定主信號之一模式選擇器，用以傳送一預定時脈信號之一第一傳送器，以相應於單資料速率中之該主信號；用以轉送一輸出信號之一位準之一移位暫存器，相應於傳送經過SDR模式中該第一傳送閘極之該時脈信號乏該SDR；用以傳送該

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（3 ）

時脈信號之一第二傳送器，相應於雙資料速率(DDR)模式中之該主信號；用以轉送一輸出信號位準之一中繼器，相應於傳送經過該DDR模式中該第二傳送閘極之時脈信號之該DDR；用以傳送該中繼器之一輸出信號至該脈衝產生節點之一第三傳送器閘極，對應於該DDR模式中之該主信號；以及用以產生一脈衝之一時脈產生器，無論何時轉送該脈衝產生節點之該信號。

簡單圖示說明

本發明之該以上目的及優點藉由描述於一較佳具體實例中參考該附圖，將變得更爲明顯，其中

圖1係一方塊圖舉例說明使用一SDR模式傳統半導體記憶裝置之一操作控制器；

圖2係一方塊圖舉例說明使用一DDR模式傳統半導體記憶裝置之一操作控制器；

圖3係一方塊圖舉例說明如本發明一半導體記憶裝置之操作控制器之一具體實例；

圖4A和圖4B係一略圖顯示如本發明之一較佳具體實例之一半導體記憶裝置之操作控制器之一模式選擇性301；

圖5係一電路圖舉例說明如本發明之一第一具體實例之一半導體記憶裝置之操作控制器之一移位暫存器305；

圖6係圖5中該第一具體實例之主要節點之一時序圖；

圖7係一電路圖舉例說明如本發明之一第二具體實例之一半導體記憶裝置之操作控制器之一移位暫存器305；

圖8係圖7中該第二具體實例之一主要節點之一時序圖；

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

圖9係如本發明之一較佳具體實例之一半導體記憶裝置之操作控制器之中繼器之一略圖；

圖10係圖9中該具體實例之一時序圖；

圖11係一電路圖顯示如本發明之一較佳具體實例之一半導體記憶裝置之操作控制器之一脈波產生器315；

圖12係圖11之該具體實例之一時序圖；

圖13係如本發明之該第一具體實例，在包括一移位暫存器於一SDR模式中之一半導體記憶裝置之操作控制器之一主要節點之一時序圖；

圖14係如本發明之第二具體實例，在一SDR模式中包括一移位暫存器之一半導體記憶裝置之操作控制器之主要節點之一時序圖；以及

圖15係如本發明在一DDR模式中之一半導體記憶裝置之操作控制器之一主要節點之一一時序圖。

詳細圖示說明

在此之後，同樣的元件係由相同參考數字與參考字元所指定。

參考圖3，如本發明之一半導體記憶裝置之操作控制器包括一模式選擇器301，一第一傳送閘極303，一移位暫存器305，一第二傳送閘極307，一中繼器309，一第三傳送閘極311，一第四傳送閘極313以及一脈衝產生器315。

該模式選擇器301，一預定主信號XMAS。在該第一傳送器303中，一預定信號XCLK係在一單資料速率SDR模式之中傳送，以對應於該主信號XMAS，在該第一移位暫存器

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（5）

305之中，於該SDR模式中時，傳送一輸出信號P3之一位準，相應於傳送經過該第一傳送閘極303該時脈信號XCLK之該SDR。

於該第二傳送器307之中，於一雙資料速率(DDR)模式時，傳送該時脈信號XCLK，以對應該主信號XMAS，於該中繼器309中於DDR模式時，傳送一輸出信號P4之一位準，對應於該時脈信號XCLK之DDR傳送經過該第二傳送閘極307。

於該SDR模式時在該第三傳送器311中，傳送該移位暫存器305之輸出信號P3至脈衝產生器315，以對應該主信號XMAS，於DDR模式時在該第四傳送器313中，傳送該暫存器309之輸出信號P4至脈衝產生器315，以對應於該主信號XMAS。

在該脈衝產生器315之中無論何時轉送該脈衝產生節點之一信號P5，皆令產生一脈衝XOUT。

在該現存具體實例中，當該模式選擇器301之一輸出信號之位準，即該主信號XMAS之一位準係位於高位，打開該第一和第三傳送器303和311，在此時該移位暫存器305也操作，因此，傳送該脈衝產生節點之一P5信號，僅對應於該時脈信號XCLK之單方向的轉送，相對地當該模式選擇器301之輸出信號之一位準，即該主信號XMAS之一位準係於高位，該脈衝產生器315之該輸出信號XOUT選擇SDR模式以產生一脈衝，僅對應於該時脈信號XCLK之單方向轉送。

當該模式選擇器301之一輸出信號的位準，即該主信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（6）

XMAS之一位準係位於低位，打開該第三和第四傳送器307和313，因此，轉送該脈衝產生節點之一信號，對應於該時脈信號XCLK之雙向轉送，相應地該模式選擇器301之一輸出信號，該主信號XMAS的位準係位於低位時，該脈衝產生器315之該輸出信號XOUT選擇SDR模式以產生一脈衝，對應於該時脈信號XCLK之雙向轉送。

圖4A顯示圖3中一半導體記憶裝置之一操作控制器之模式選擇器301之一具體實例，參考圖4A，該模式選擇器301包括如一光罩組成一電源供應電壓Vcc與一接地電壓Vss之該群所選擇之一開關401，因而產生了該主信號XMAS。相對地當連接至Vcc該模式選擇器之一輸出節點N402，該主信號XMAS之一位準變成高位，以致該控制器如一SDR模式來操作，當連接該模式選擇器之輸出節點N402至Vss時，該主信號XMAS之一位準係變成低位，以致該控制器如一DDR模式來操作。

圖4B顯示圖3之一半導體記憶裝置之一操作控制器之該模式選擇器301之另一具體實例，參考圖4B，該模式選擇器301包括一NMOS電晶體403與一保險絲405。

該NMOS電晶體403包括一連接至一接地電壓Vss之源極以及連接至一電源供給電壓Vcc之一閘極。該保險絲405包括連接至該電源供給電壓Vcc之第一節點與連接至該NMOS電晶體403之一集極之一第二節點，因而產生了該主信號XMAS。

當打開該保險絲405時，該模式選擇器之輸出節點N406

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）
經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線

五、發明說明（7）

之一位準，變成如該NMOS電晶體403之Vss，因此，該主信號XMAS之一位準變成低以致該控制器如DDR模式般操作，當打開該保險絲405時，該模式選擇器之輸出節點N406之位準變成Vcc，相應地，該主信號XMAS之一位準變成高以致該控制器如SDR模式般操作。

圖5係一電路圖舉例說明如本發明之一第一具體實例一半導體記憶裝置之操作控制器之一移位暫存器305，參考圖5，該移位暫存器305包括一第五傳送閘極501，一第一AND反向器503，一第一反向器505，一第六傳送閘極507，一第二AND反向器509，一第一閂鎖511以及一第二閂鎖513。

下降轉送該時脈信號XCLK時，即下降轉送該P1信號時，該第五傳送閘極501傳送一預定內部信號X11，在該SDR模式中致能該第一AND反向器503，且對應於傳送經過該第一傳送閘極501之該內部信號SI1。

該第一反向器505會反向該第一AND閘極503之一輸出信號N504。

當上昇轉送該時脈信號XCLK，即上昇轉送該P1信號時，該第二傳送閘極507傳送該第一反向器505之一輸出信號N506，在該DDR模式中致能該第二AND反向器509，且對應於傳送經過該第二傳送閘極507之該第一反向器505之輸出信號，產生該內部信號X11。

當上昇傳送該時脈信號XCLK即該P1信號時，該第一閂鎖511栓鎖該第一AND反向器503之一輸出信號N504。

當下降傳送該時脈信號XCLK即該P1信號時，該第二閂

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（8）

鎖513栓鎖該第二AND反向器503之一輸出信號XI1。

該第一栓鎖511包括一第二反向器515及一第三傳送閘極517，該第二反向器515反向該第一AND反向器503之一輸出信號N504，當上昇傳送該時脈信號XCLK即P1信號時，該第三傳送閘極517傳送該第二反向器515之一輸出信號N516至該第一AND反向器503之一輸出節點N502。

該第二閂鎖513包括一第三反向器519及一第四傳送閘極521，該第三反向器519反向該第二AND反向器509之一輸出信號XI1，當下降傳送該時脈信號XCLK即該P1信號時，該第四傳送閘極521傳送該第三反向器519之一輸出信號N520至該第二AND反向器509之一輸入節點N508。

該移位暫存器305更包括用來緩衝該預定內部信號XI1之一緩衝器523，以產生該移位暫存器305之一輸出信號P3。

圖5中該移位暫存器305之第一具體實例之一操作將參考圖6來做詳細的敘述。

當該模式選擇器之一輸出信號XMAS位準係在高位時，致能該移位暫存器305。由緩衝一輸入時脈獲得之該XCLK係一脈衝波，藉由一時脈緩衝器由外部輸入，傳送經過該第一傳送閘極303之該XCLK即P1也係一脈衝波。

在一起始狀態時該P1之位準係於低位而該XI1之位準係位於高位，接著圖5中該移位暫存器305之一主節點之位準將敘述於後，節點N502及節點N506之該位準係位於高位而節點N508之該位準係在低位，該移位暫存器之一輸出信號P3之位準係位於低位準。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（9）

當該P1之一位準變成高位時，打開該第二傳送閘極507，而關閉該第四傳送閘極521，相應地該節點N508之一位準變高位以進行該節點N506位準之傳送；當該節點N508之該位準變高時，該XI1之一位準變低，相應地該P3之一位準變高位；當關閉該第一傳送閘極501以及打開該第三傳送閘極517時，保持該節點N502之一位準於一先前的高位準。

當P1之位準再次變高時，打開該第一傳送閘極501而關閉該第三傳送閘極517，因而該節點N502之一位準與該XI1位準之傳送變成低，當該節點N502之位準變成低時，該節點N506之位準也變成低。當關閉該第二傳送閘極507且打開該第四傳送閘極521時，該XI1之一位準係保持在一先前高位的狀態，相應地該P3之位準也係保持在高位準狀態，因而在圖5中該移位暫存器之第一具體實例中，當轉送該XCLK之低位準成爲高位準時，該XI1與P3之位準變爲該SDR模式。

參考圖7，該移位暫存器305包括一第一傳送閘極701，一第一AND反向器703，一第一反向器705，一第二傳送閘極707，一第二AND反向器709，一第一閂鎖711以及一第二栓鎖713。

當上昇轉送該時脈信號XCLK即P1信號時，該第一傳送閘極701傳送一預定內部信號XI1，在SDR模式中致能該第一AND反向器703而對應傳送經過該第一傳送閘極701之預定內部信號XI2。

該第一反向器705反向該第一AND反向器703之一輸出信

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（10）

號N704。

當下降轉送該時脈信號XCLK即該信號P1時，該第二傳送閘極707傳送該第一反向器705之一傳送一輸出信號N706，在該SDR模式中致能該第二AND反向器709，且對應於傳送經過該第二傳送閘極707之該第一反向器705之一輸出信號，產生該內部信號XI2。

當下降轉送該時脈信號XCLK即該信號P1時，該第一閂鎖711閂住該第一AND反向器709之一輸出信號N704。

當上昇轉送該時脈信號XCLK即該信號P1時，該第二閂鎖713閂住該第二AND反向器703之一輸出信號XI2。

該第一閂鎖711包括一第二反向器715及一第三傳送閘極717，該第二反向器715反向該第一AND反向器703之一輸出信號N504，當下降轉送該時脈信號XCLK即該P1信號時，該第三傳送閘極717傳送該第二反向器715之一輸出信號N716至該第一AND反向器703之一輸入節點N702。

該第二閂鎖713包括一第三反向器719以及一第四傳送閘極721，該第三反向器719反向該第二AND反向器709之一輸出信號XI2，當上昇轉送該時脈信號XCLK即該信號P1時，該第四傳送閘極721傳送該第三反向器719之一輸出信號N720至該第二AND反向器709之一輸入節點N708。

該移位暫存器305包括用於緩衝該內部信號XI2之一緩衝單元723，以產生該移位暫存器305之一輸出信號P3。

圖7中該移位暫存器之第二具體實例之一操作將參考圖8說明於後。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（11）

當該模式選擇器之輸出信號XMAS之一位準係在高位時，致能該移位暫存器305，由緩衝一輸入時脈得到之該XCLK係一脈衝波而藉著一時脈緩衝器向外輸出，該P1也係一脈衝波爲傳送經過該第一傳送閘極之XCLK。

在起始狀態時，該P1與該XI1之位準係在高位，圖7中該移位暫存器之主節點之一位準將說明於後，節點N702及N706之位準係在高位，而該節點N708之一位準係在低位，該移位暫存器之一輸出信號P3之位準係在低位。

當該P1之一位準變成低位時，打開該第二傳送閘極707而關閉該第四傳送閘極721，該節點N708之位準隨該節點N706之位準而變高，當該節點N708之位準變高位時，該XI2之一位準變成低位，相應地該P3之一位準變成高位時，當關閉第一傳送閘極701與打開該第三傳送閘極717，該節點N702之一位準保持在先前的高位準。

當P2該位準再次變爲高位時，打開該傳送閘極701及關閉該第三傳送閘極717，因而該節點N702之一位準隨著該節點N702之位準之傳送而變低，當該節點N702之位準變低位時，該節點N706之位準也變成低位，當關閉該第二傳送閘極707及打開第四傳送閘極721時，該XI2之一位準保持在一先前之低位準，相應地該P3之位準係保持在一高位狀態，因此在圖7中之該移位暫存器之該第二具體實例中，僅在XCLK之該位準由高位準至低位準轉送時即SDR模式時，會轉送該XI2與該P3之位準。

參考圖9，該中繼器309包括用以緩衝傳送經由該第二傳

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（12）

送閘極307以產生該中繼器之一輸出信號P4之該時脈信號P2之一緩衝器單元。

參考圖10，當該模式選擇器之一輸出信號XMOS之一位準係在低位時，打開該第二傳送閘極307，因而用以傳送該信號XCLK至該P2，該中繼器緩衝該P2以產生該中繼器之一輸出信號P4。相應地，圖9之該中繼器中，當XCLK之該位準由高位至低位及相反，即DDR模式時，傳送該P4之位準。

參考圖11，該脈衝產生器315包括一第一反向器1101，一反向延遲器1103，一第二反向器1105，一第一AND反向器1107，一第二AND反向器1109以及一第三AND反向器1111。

該第一反向器1101反向該脈衝產生節點之一信號P5，該反向器延遲1103反向且延遲脈衝產生節點之該信號P5，該第二反向器1105反向該反向延遲1103之一輸出信號N1104。

該第一AND反向器1107及一操作及反向該第一反向器1101之一輸出信號N1102及該第二反向器1105之一輸出信號N1106，該第二AND反向器1109 AND-操作與反向該脈衝產生節點之該信號P5及該反向延遲器之一輸出信號N1104。

該第三AND反向器1111 AND-操作與反向該第一AND反向器1107之一輸出信號N1108以及該第二AND反向器1109之一輸出信號N1110。

該反向延遲1103包舌用以反向該脈衝產生節點之P5信號

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（13）

之一反向器1103，以及形成在從一電源供給電壓Vcc以及一接地電壓Vss所組成之一群組中擇一與該反向器1103之一輸出節點N1114之間之一電容器1115。

在本具體實例中，該電容器1115包括具備共同連接至該Vss之一源極與一集極之NMOS電晶體以及連接至該反向器1103之該輸出節點N1114之一閘極。

參考圖12，無論何時傳送該脈衝產生節點之信號P5之一位準，該脈衝產生器315皆具有產生脈衝波之一輸出信號XOUT。

參考圖13，無論何時上昇傳送一外部輸入時脈，一半導體記憶裝置之該操作控制器之一輸出信號XOUT會產生一脈衝。

參考圖14，無論何時下降傳送一外部輸入時脈，一半導體記憶裝置之該操作控制器之一輸出信號XOUT會產生一脈衝。

參考圖15，無論何時上昇及下降傳送一外部輸入時脈，一半導體記憶裝置之一操作控制器之一輸出信號XOUT會產生一脈衝。

如上說明，如本發明之一半導體記憶裝置之該操作控制器之中，SDR模式與DDR模式之電路藉著一選擇法可在一記憶晶片上實現，因而加強上生產性且降低了產品成本。

本發明並不限於此具體實例且在本發明之範疇之內由熟習該技藝者可作許多改變與改良係應該瞭解的。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (13a)

元件符號說明

301	模式選擇器	513	第二栓鎖
303	第一傳送閘極	515	第二反向器
305	移位暫存器	N516	輸出信號
307	第二傳送閘極	517	第三傳送閘極
309	中繼器	519	第三反向器
311	第三傳送閘極	521	第四傳送閘極
313	第四傳送閘極	523	緩衝器
315	脈衝產生器	701	第一傳送閘極
401	開關	N702	輸入節點
N402	輸出節點	703	第一AND反向器
403	NMOS電晶體	705	第一反向器
405	保險絲	N706	輸出信號
501	第五傳送閘極	707	第二傳送閘極
N502	輸入節點	N708	輸入節點
503	第一AND反向器	709	第二AND反向器
N504	輸出信號	711	第一閂鎖
505	第一反向器	713	第二閂鎖
N506	節點	715	第二反向器
507	第六傳送閘極	N716	輸出信號
N508	輸入節點	717	第三傳送閘極
509	第二AND反向器	719	第三反向器
511	第一栓鎖	N720	輸出信號

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (13b)

721	第四傳送閘極	1109	第二AND反向器
723	緩衝單元	N1110	輸出信號
1101	第一反向器	1111	第三AND反向器
N1102	輸出信號	N1114	輸出節點
1103	反向延遲器	1115	電容器
N1104	輸出信號	XCLK	預定時脈信號
1105	第二反向器	XI1、XI2	預定內部信號
N1106	輸出信號	XMAS	預定主信號
1107	第一AND反向器	XOUT	輸出信號
N1108	輸出信號		

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

四、中文發明摘要（發明之名稱：半導體記憶裝置之操作控制器）

一半導體記憶裝置包括一單資料速率(SDR)模式以及一雙資料速率(DDR)模式，該同步半導體記憶裝置包括一操作控制器，用以從群組中選擇其一，該群組包含一SDR模式以產生一脈衝以相應於一系統時脈信號之SDR，以及一DDR模式以產生一脈衝以相應於一系統時脈信號之SDR，因而增強了生產力及降低了產品成本。

英文發明摘要（發明之名稱："OPERATION CONTROLLER OF SEMICONDUCTOR MEMORY DEVICE"）

A semiconductor memory device including a single data rate (SDR) mode and a double data rate (DDR) mode. The synchronous semiconductor memory device includes an operation controller for selecting one from the group consisting of an SDR mode for generating a pulse, in response to the SDR of a system clock signal, and a DDR mode for generating a pulse, in response to the SDR of the system clock signal, to thereby enhance productivity and reduce product costs.

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

1. 一種半導體記憶裝置之操作控制器包含：

用以產生一預定主信號之一模式選擇器；

用以傳送一預定時脈信號之一第一傳送器，相應於單資料速率(SDR)模式中之該主信號；

一用於轉送一輸出信號位準之移位暫存器，相應於經過該第一傳送閘以SDR模式傳送之該時脈信號之SDR；

用以傳送該時脈信號之一第二傳送器，相應雙資料速率(DDR)模式中之該主信號；

用以轉送一輸出信號位準之一中繼器，相應於經過之該第二傳送閘以DDR模式傳送之時脈信號之DDR；

用以傳送該中繼器之一輸出信號至該脈衝產生節點之一第三傳送器，相應DDR模式中之該主信號；以及

用以產生一脈衝之一脈衝產生器，只要該脈衝產生節點之信號被轉送時即產生脈衝。

2. 如申請專利範圍第1 項之操作控制器，其中該模式選擇器包含一開關，用以從一由光罩組成之電源供給電壓及接地電壓之群組中選擇其中之一，以產生該光罩信號。

3. 如申請專利範圍第1項之操作控制器，該模式選擇器包含:

一包括連接至一接地電壓之一源極，以及連接至一電源供給電壓之一閘極之NMOS電晶體；以及

一包括連接至一電源供給電壓之一第一節點，與連接至該NMOS電晶體汲極之一第二節點之保險絲，用以產生該主信號。

4. 如申請專利範圍第1項之操作控制器，該移位暫存器包括:

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

用以在該控制信號之下降轉送中傳送一預定內部信號之一第一傳送閘；

一於該SDR模式中致能與傳送經過該第一傳送閘極之內部信號之第一AND反向器；

一用於反向該第一AND反向器之一輸出信號之第一反向器；

一用在該時脈信號之上昇轉送間以傳送該第一反向器之一輸出信號之一第二傳送閘極；

一於該SDR模式致能及用以產生該預定內部信號之一第二AND反向器，相應於傳送經過該第二傳送閘極之該第一反向器之該輸出信號；

一用以在該時脈信號上昇轉送間抓住該第一AND反向器之一第一栓鎖；以及

一在該時脈信號之下降轉送間用以抓住該第二AND反向器之一輸出信號之一第二栓鎖。

5. 如申請專利範圍第4項之操作控制器，該第一栓鎖包含：

用以反向該第一AND反向器之一輸出信號之一第二反向器；以及

一在該時脈上昇轉送用以傳送該第二反向器之一輸出信號至該第一AND反向器之一輸入節點的一第三傳送閘極。

6. 如申請專利範圍第4項之操作控制器，該第二栓鎖包含：

用以反向該第二AND反向器之一輸出信號之一第三反向器；以及

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一在該時脈信號之下降轉送之中傳送該第三反向器之輸出信號至該第二AND反向器之一輸入節點的第四傳送閘。

7. 如申請專利範圍第4項之操作控制器，其中該移位暫存器更包含用來緩衝該預定內部信號以產生該移位暫存器之一輸出信號的緩衝器。

8. 如申請專利範圍第1項之操作控制器，該移位暫存器包含:

一在該時脈信號上昇轉送之中用以傳送一預定內部信號之一第一傳送閘極；

一第一AND反向器在SDR模式中致能且用以相應傳送經過該第一傳送閘極之該內部信號；

一用以反向該第一AND反向器之一輸出信號之第一反向器；

一在該時脈信號之下降轉送之中用以傳送該第一反向器之一輸出信號的第二傳送閘極；

一在該SDR模式中致能一第二AND反向器且用以產生該預定內部信號，相應於傳送經過該第二傳送閘極之該第一反向器之一輸出信號；

一在該時脈信號下降轉送之中用以栓鎖該第一AND反向器之一信號的第一栓鎖；以及

一在該時脈信號之上昇轉送之中用以栓鎖該第二AND反向器之一輸出信號之第二栓鎖。

9. 如申請專利範圍第8項之操作控制器，該第一栓鎖包含：

一用以反向該第一AND反向器之一輸出信號之第二反

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

向器；以及

一在該時脈信號之下降轉送之中 用以傳送該第二反向器之一輸出信號至該第一AND反向器之一輸入節點之第三傳送閘。

10.如申請專利範圍第8項之操作控制器，該第二栓鎖包含：

一用以反向該第二AND反向器之一輸出信號之第三反向器；以及

一在該時脈信號之上昇轉送之中用以傳送該第三反向器之輸出信號至該第二AND反向器之一輸入節點的第四傳送閘。

11.如申請專利範圍第8項之操作控制器，其中該移位暫存器更包含用以緩衝該預定內部信號來產生該移位暫存器之一輸出信號之緩衝器。

12.如申請專利範圍第1項之操作控制器，其中該中繼器更包含用以緩衝傳送經過該第二傳送閘極來產生該中繼器之一輸出信號的緩衝器。

13.如申請專利範圍第1項之操作控制器，該脈衝產生器包含：

一用以反向該脈衝產生節點之一第一反向器；

一用以反向及延遲該脈衝產生節點之信號的反向延遲；

一用以反向該反向延遲之一輸出信號的第二反向器；

一用以AND操作及反向該第一和第二反向器之輸出信號的第一AND反向器；

一用以AND操作及反向該脈衝產生節點信號與該反向延遲之一輸出信號的第二AND反向器；以及

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

一用以AND操作與反向該第一AND反向器與該第二AND反向器之一輸出信號的第三AND反向器。

14.如申請專利範圍第13項之操作控制器，該反向延遲包含：

一用以反向該脈衝產生節點之一信號的反向器；以及

在由一電源供給電壓與一接地電壓組成的群組中擇一和該反向器之一輸出節點之間形成的一個電容。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

圖1(先前技藝)

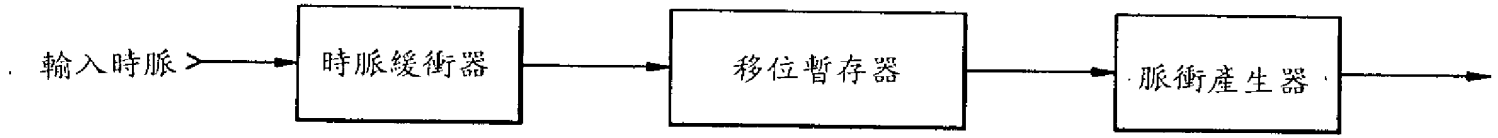
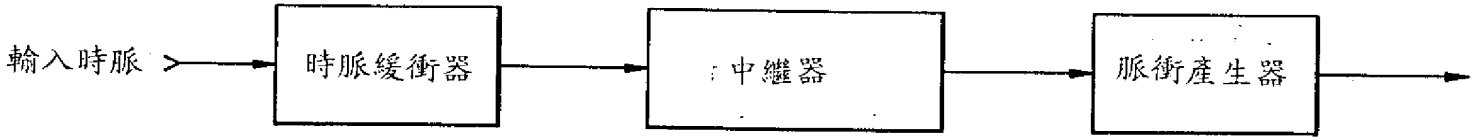


圖2(先前技藝)



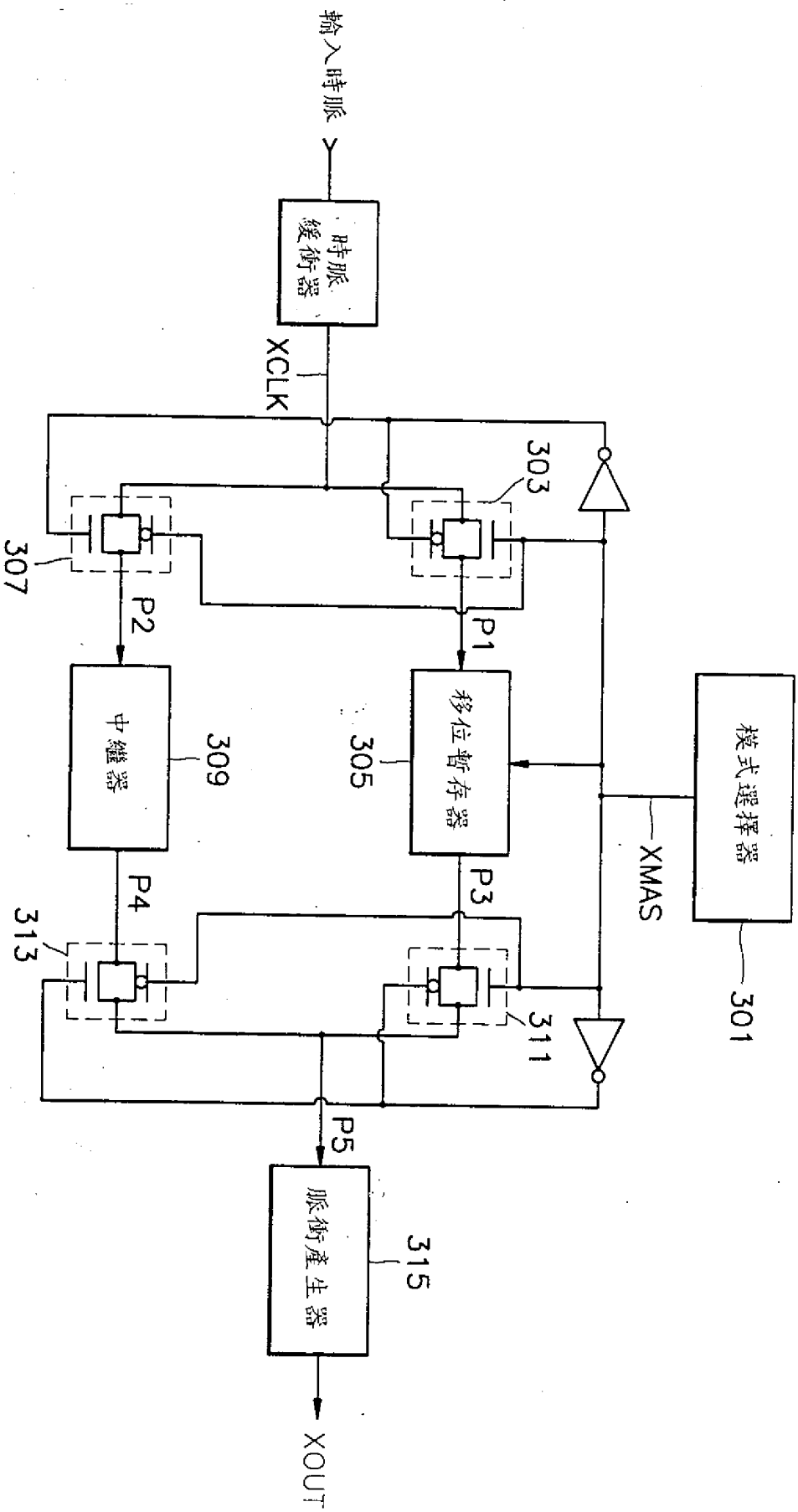

輸入時脈
時脈緩衝器
XCLK
303
307
P2
P1
中繼器
309
移位暫存器
305
模式選擇器
XMAS
301
P4
P3
313
311
P5
脈衝產生器
315
XOUT

圖 3

圖 4A

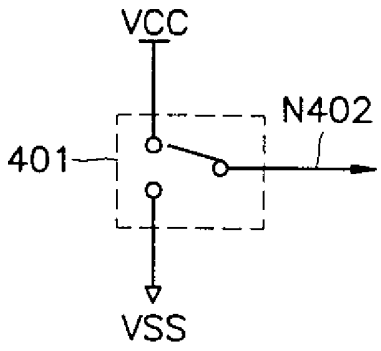
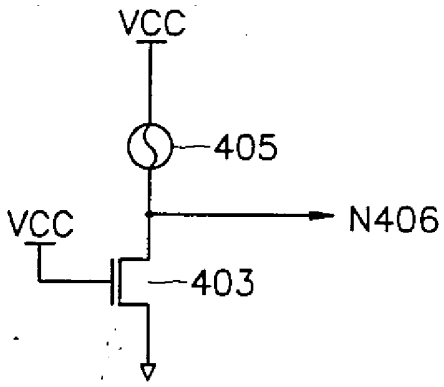


圖 4B



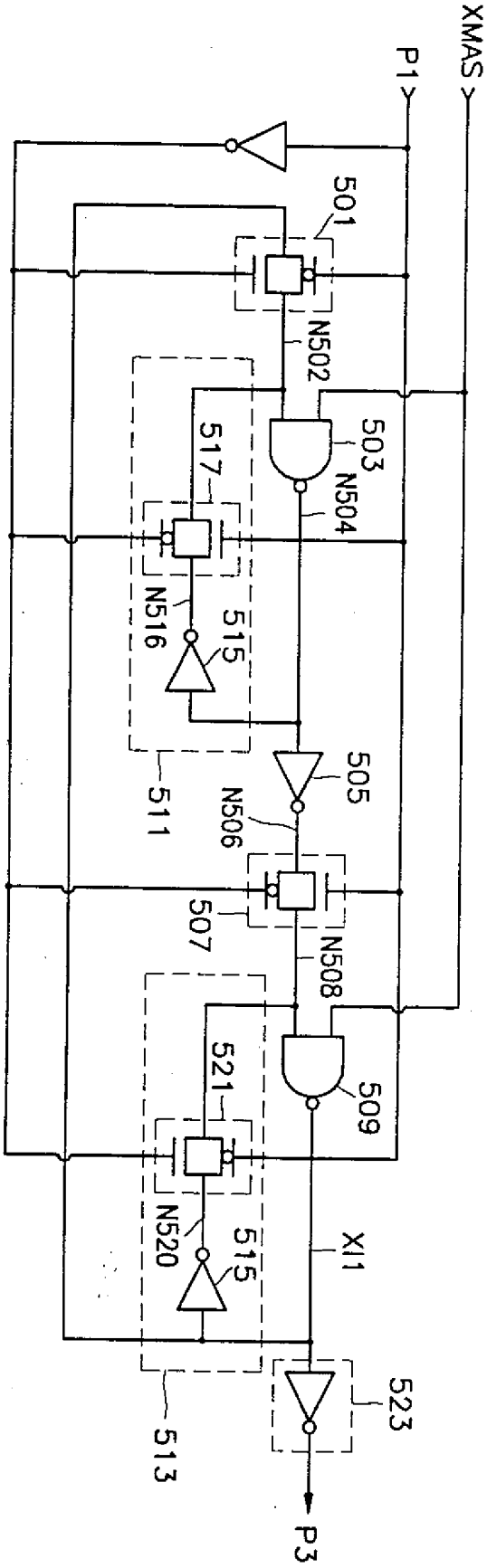

XMAS
P1
501
N502
503
517
N504
N516
515
505
511
N506
507
N508
521
509
N520
515
XI1
523
513
P3

圖 5

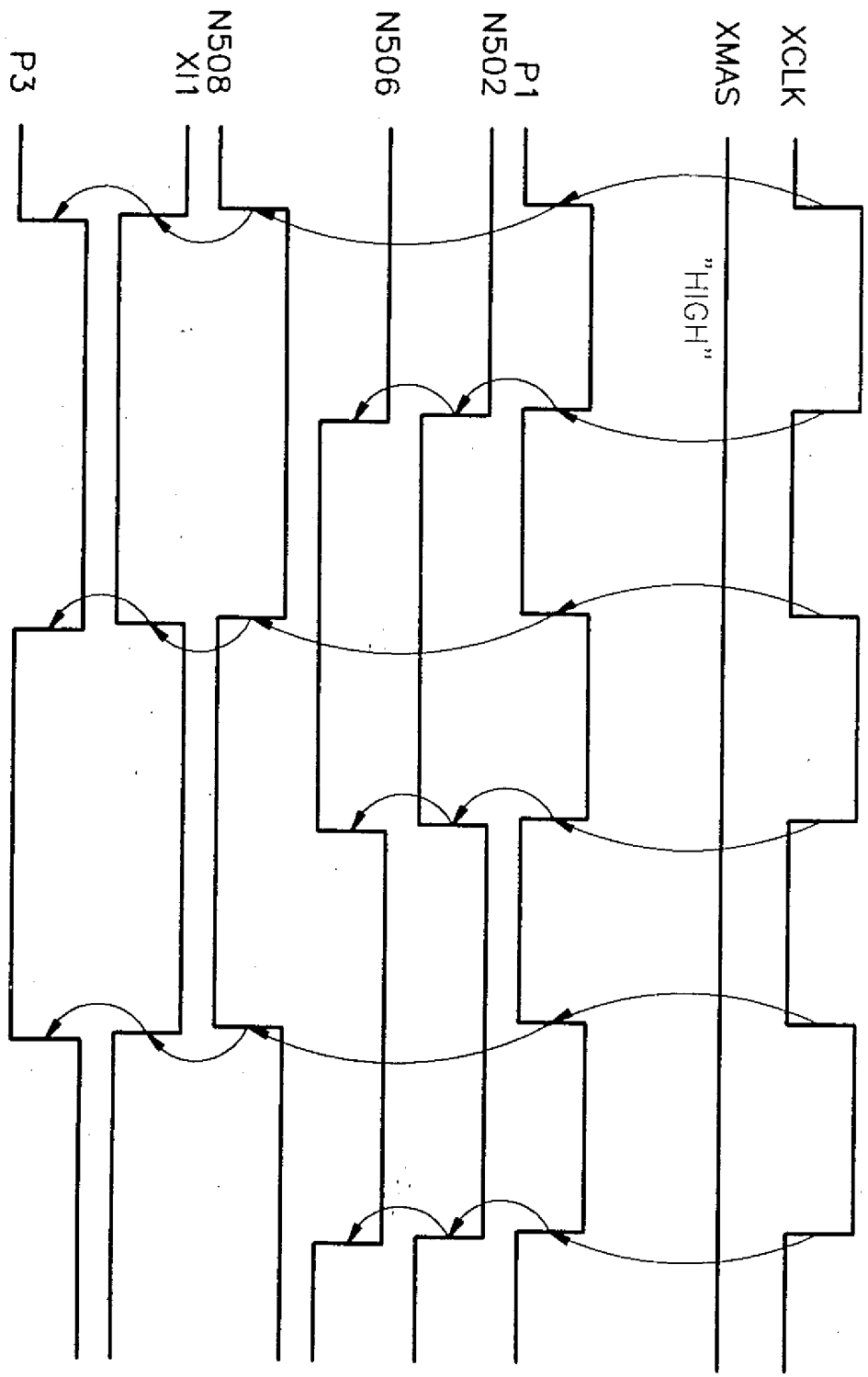


圖 6

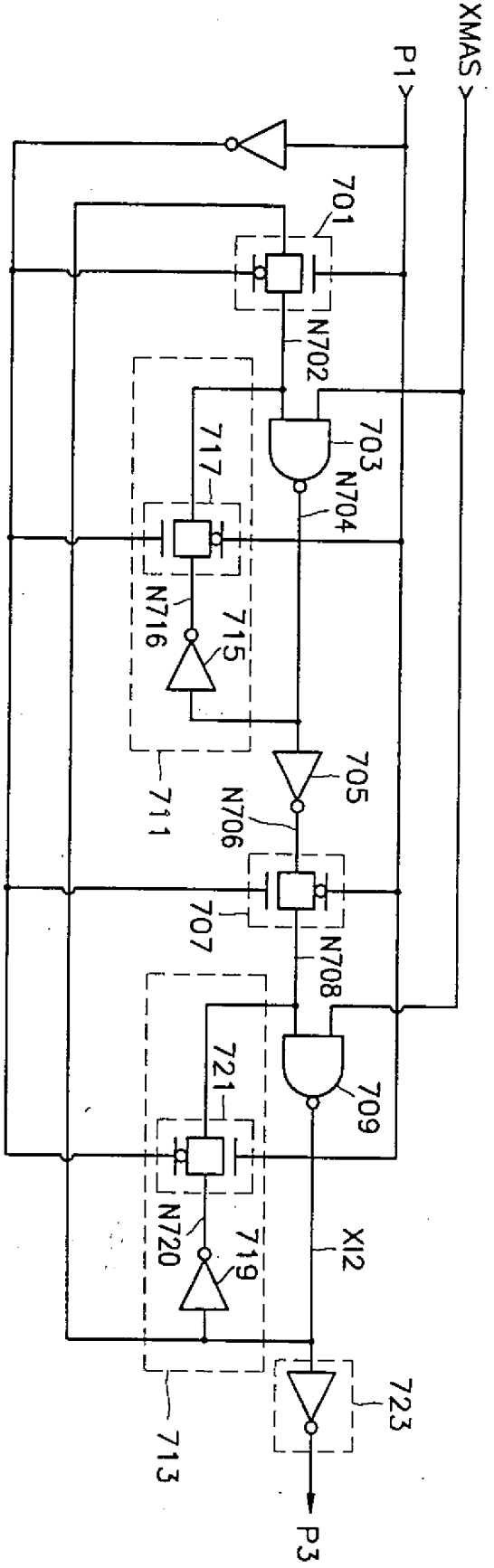
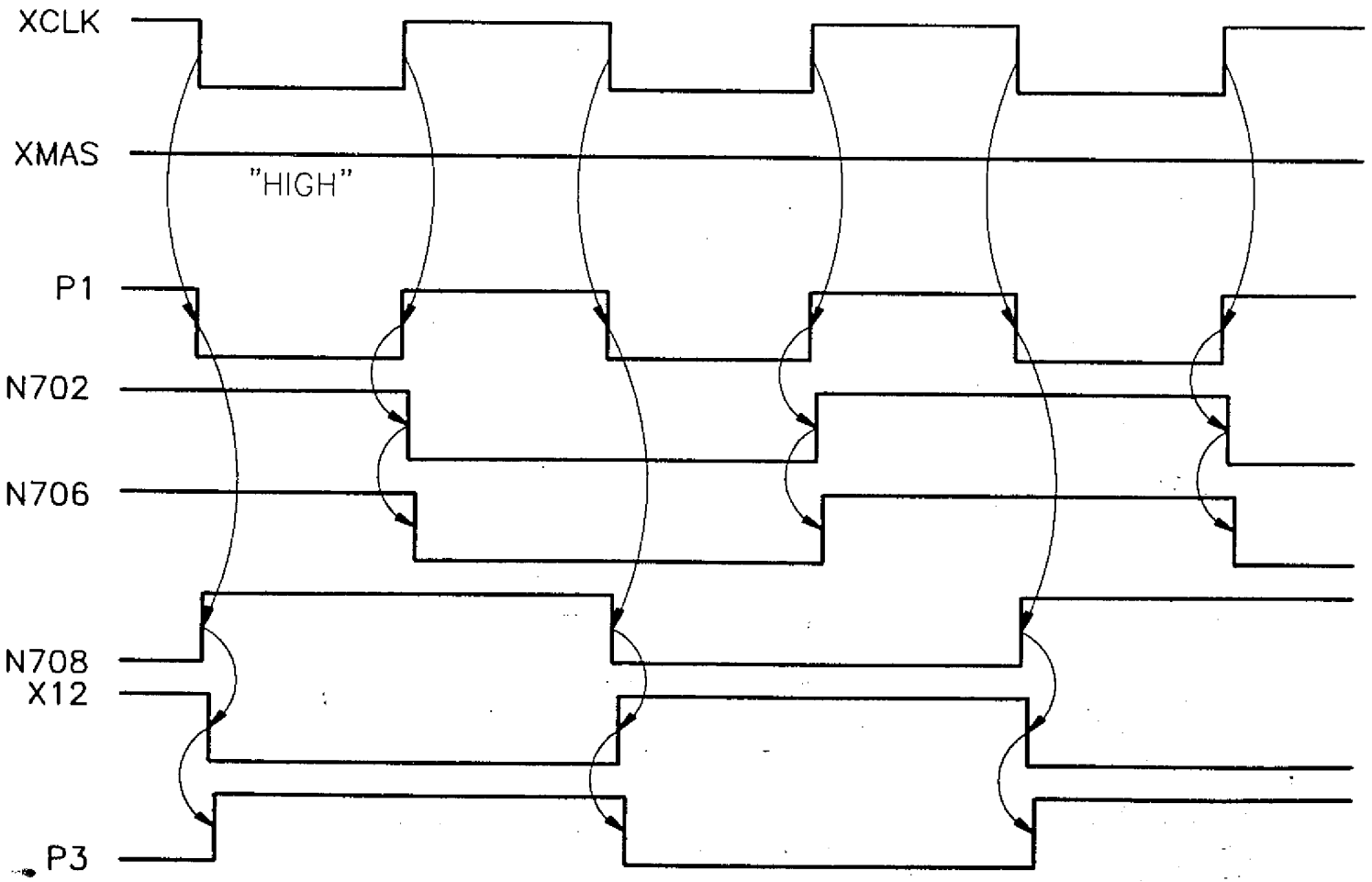

XMAS
P1
701
N702
703
N704
717
N716
715
711
705
N706
707
N708
721
709
N720
719
X12
723
713
P3

圖 7

圖 8



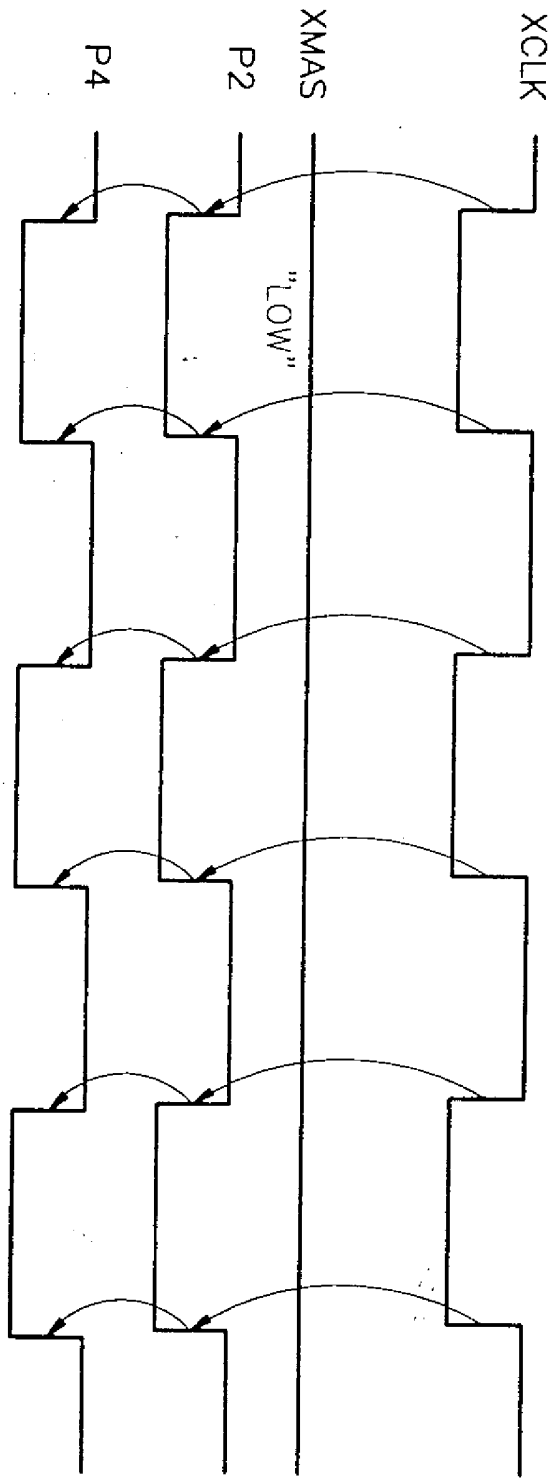


圖10

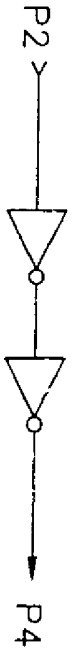


圖9

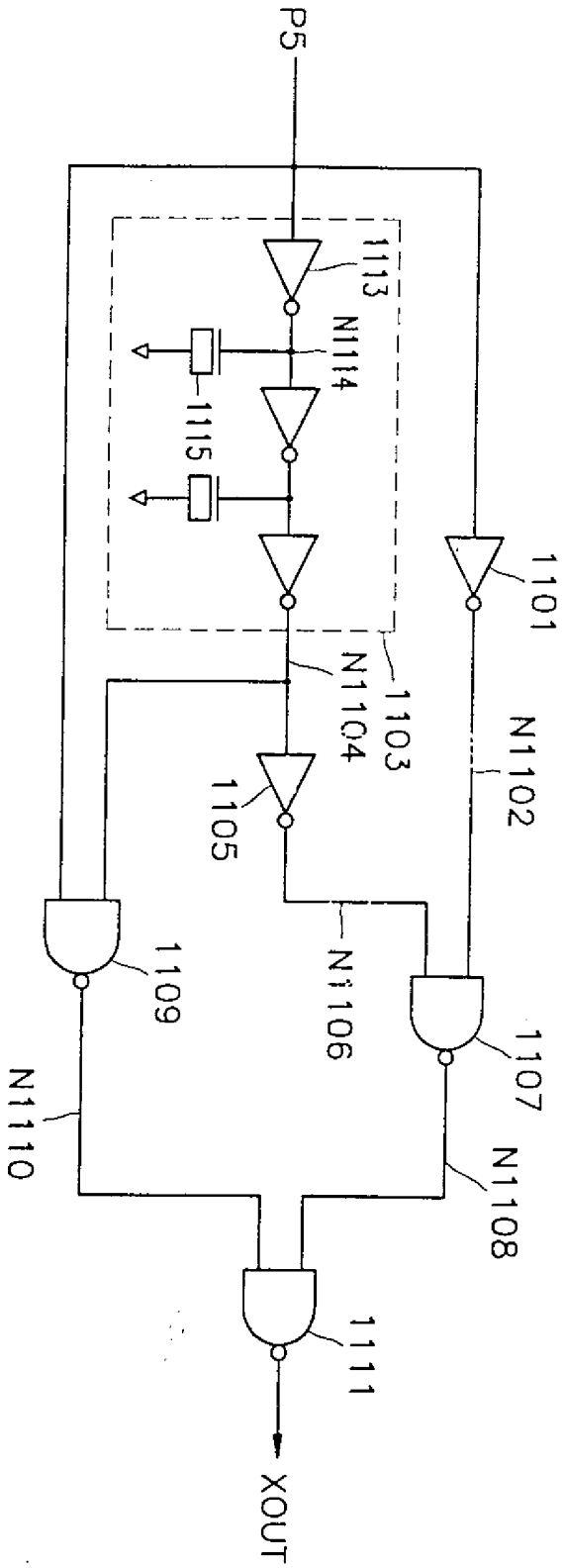

P5
1113
N1114
1115
1101
N1104
1103
N1102
1105
1109
N1106
1107
N1110
N1108
1111
XOUT

圖 11

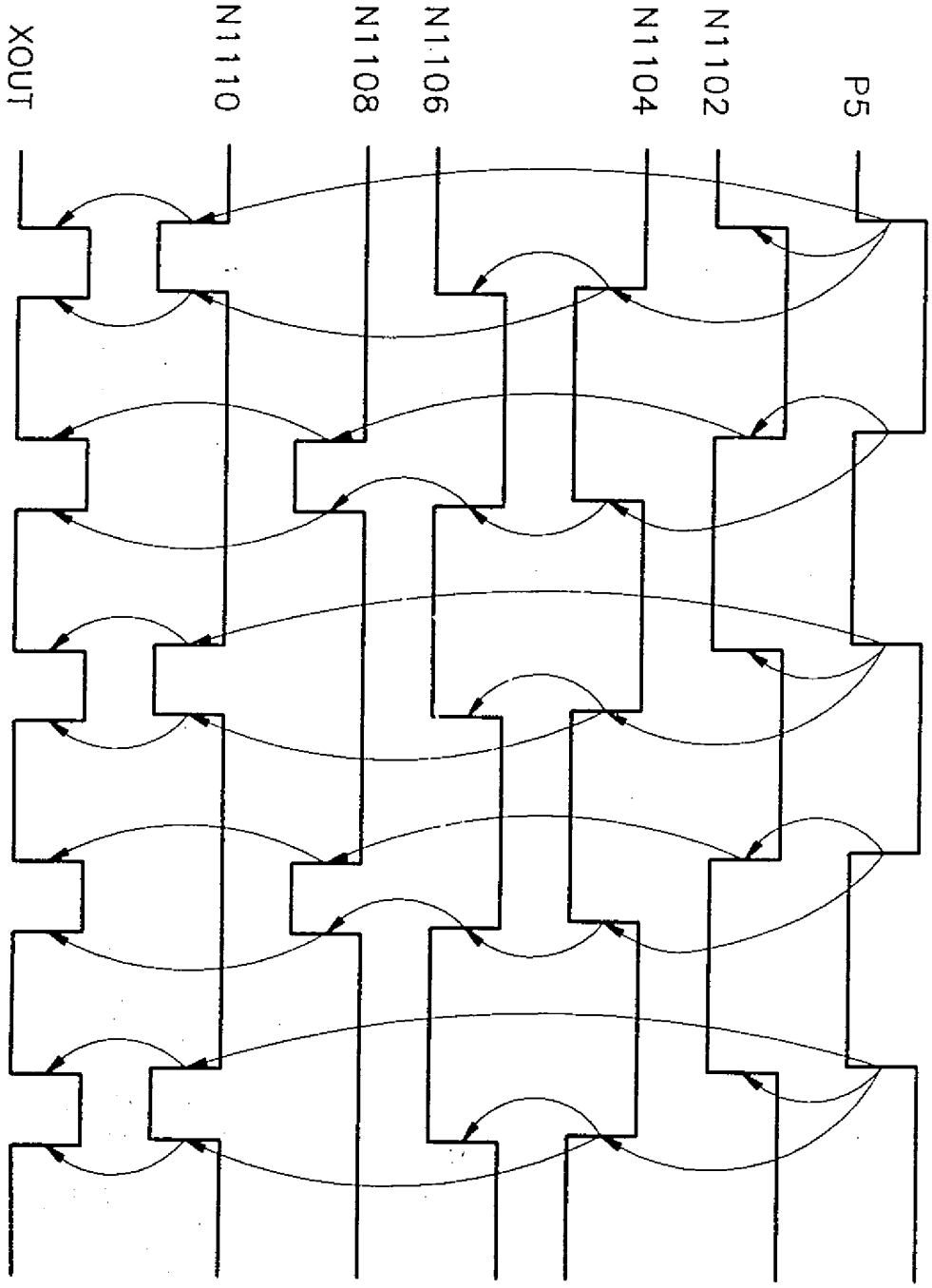


圖 12

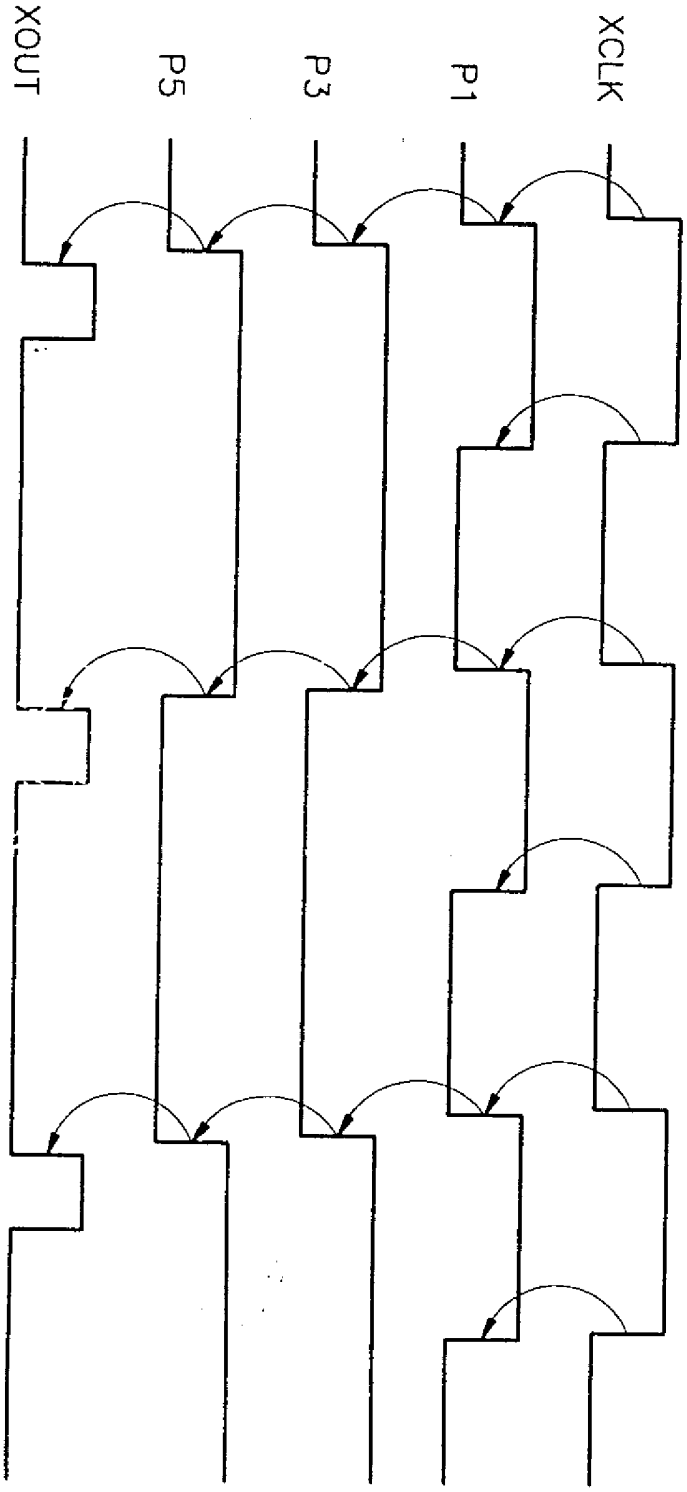


圖 13

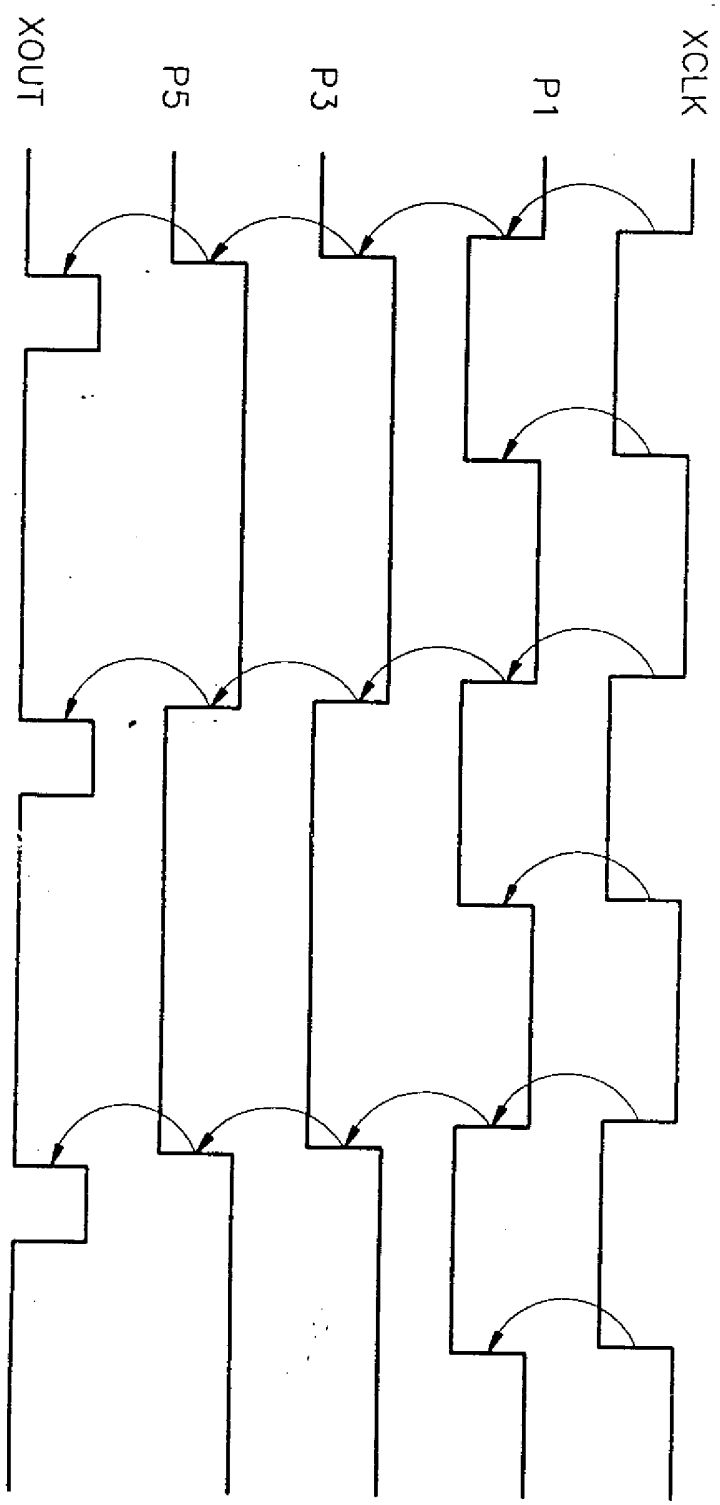


圖 14

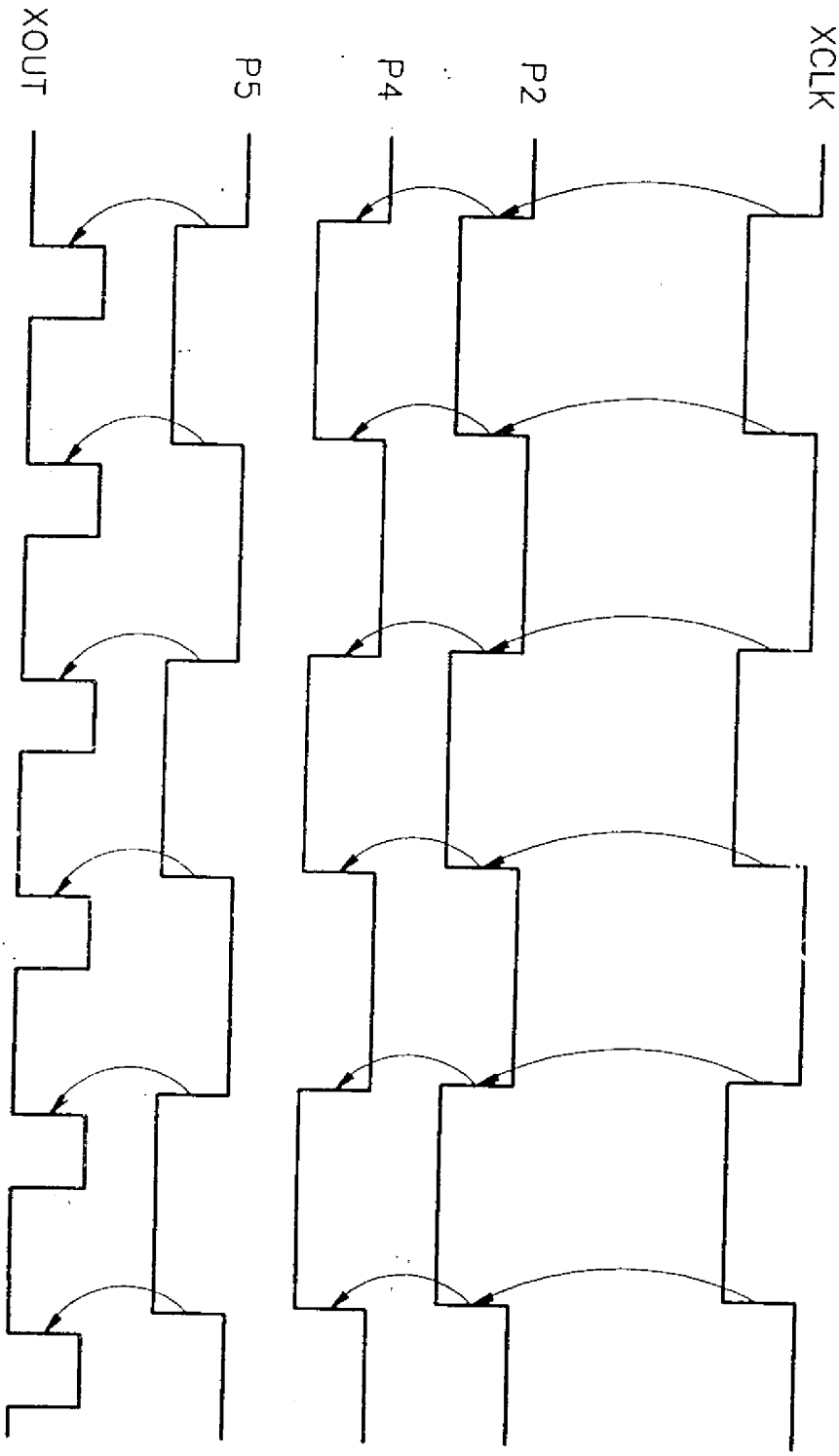


圖 15

五、發明說明 (13a)

元件符號說明

301	模式選擇器	513	第二栓鎖
303	第一傳送閘極	515	第二反向器
305	移位暫存器	N516	輸出信號
307	第二傳送閘極	517	第三傳送閘極
309	中繼器	519	第三反向器
311	第三傳送閘極	521	第四傳送閘極
313	第四傳送閘極	523	緩衝器
315	脈衝產生器	701	第一傳送閘極
401	開關	N702	輸入節點
N402	輸出節點	703	第一AND反向器
403	NMOS電晶體	705	第一反向器
405	保險絲	N706	輸出信號
501	第五傳送閘極	707	第二傳送閘極
N502	輸入節點	N708	輸入節點
503	第一AND反向器	709	第二AND反向器
N504	輸出信號	711	第一閂鎖
505	第一反向器	713	第二閂鎖
N506	節點	715	第二反向器
507	第六傳送閘極	N716	輸出信號
N508	輸入節點	717	第三傳送閘極
509	第二AND反向器	719	第三反向器
511	第一栓鎖	N720	輸出信號

經濟部中央標準局員工消費合作社印製
（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明 (13b)

721	第四傳送閘極	1109	第二AND反向器
723	緩衝單元	N1110	輸出信號
1101	第一反向器	1111	第三AND反向器
N1102	輸出信號	N1114	輸出節點
1103	反向延遲器	1115	電容器
N1104	輸出信號	XCLK	預定時脈信號
1105	第二反向器	XI1、XI2	預定內部信號
N1106	輸出信號	XMAS	預定主信號
1107	第一AND反向器	XOUT	輸出信號
N1108	輸出信號		

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部中央標準局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）