

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-505270

(P2010-505270A)

(43) 公表日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F 1	テーマコード (参考)
<b>H01L 29/06</b> (2006.01)	H01L 29/78	652P
<b>H01L 29/78</b> (2006.01)	H01L 29/78	653C
<b>H01L 21/336</b> (2006.01)	H01L 29/78	652S
	H01L 29/78	652H
	H01L 29/78	652K

審査請求 未請求 予備審査請求 未請求 (全 28 頁) 最終頁に続く

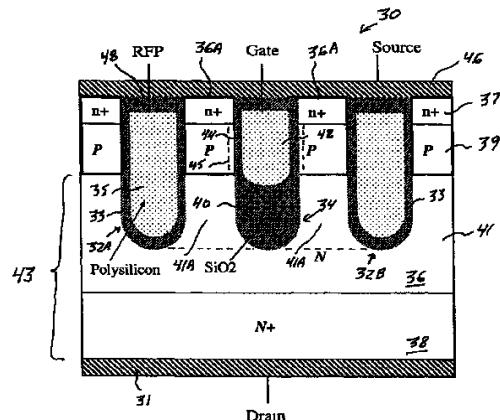
(21) 出願番号	特願2009-530396 (P2009-530396)	(71) 出願人	509084024 マックスパワー・セミコンダクター・イン コーポレイテッド MAX POWER SEMICONDUCTOR INC.
(86) (22) 出願日	平成19年9月25日 (2007.9.25)		
(85) 翻訳文提出日	平成21年3月25日 (2009.3.25)		
(86) 國際出願番号	PCT/US2007/020684		
(87) 國際公開番号	W02008/039459		
(87) 國際公開日	平成20年4月3日 (2008.4.3)		
(31) 優先権主張番号	60/847,551		
(32) 優先日	平成18年9月27日 (2006.9.27)	(74) 代理人	100064746 弁理士 深見 久郎
(33) 優先権主張国	米国(US)	(74) 代理人	100085132 弁理士 森田 俊雄
		(74) 代理人	100083703 弁理士 仲村 義平

最終頁に続く

(54) 【発明の名称】 窪んだフィールドプレートを備えたパワーMOSFET

## (57) 【要約】

トレンチMOSFETは、ゲートトレンチに隣接する窪んだフィールドプレート(RFP)トレンチを包含する。RFPトレンチは、RFPトレンチの壁に沿った誘電体層によってダイから絶縁されたRFP電極を包含する。ゲートトレンチは底に厚い酸化物層を有し、ゲートトレンチおよびRFPのトレンチは同じ処理ステップで好ましくは形成され、実質的に同じ深さである。MOSFETが、第3の四分円で(ソース/ボディ-ドレイン接合部が順方向にバイアスされて)に動作するとき、RFP電極およびゲート電極の組合せられた効果は、少数キャリア拡散電流および逆回復電荷を著しく減少させる。RFP電極はまた窪んだフィールドプレートとして機能し、MOSFETのソース/ボディ-ドレイン接合が逆バイアスされるとチャネル領域の電界を減じる。



## 【特許請求の範囲】

## 【請求項 1】

半導体ダイに形成されるMOSFETであって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第1の誘電体層によってダイから分離され、第1の誘電体層は、ゲートトレンチの底に第1の部分を含み、ゲートトレンチの側壁に第2の部分を含み、第1の部分は第2の部分より厚く、さらに

ダイの表面から延在する第1の窪んだフィールドプレート(RFP)トレンチを含み、第1のRFPトレンチは第1のRFP電極を包含し、第1のRFP電極は第2の誘電体層によってダイから分離され、さらに

ダイの表面から延在する第2のRFPトレンチを含み、第2のRFP電極は第2のRFP電極を包含し、第2のRFPトレンチは第3の誘電体層によってダイから分離され、ゲートトレンチは第1および第2のRFPトレンチの間に位置し、

ゲートトレンチと第1のRFPトレンチとの間のダイのメサと、

メサにおけるダイの表面およびゲートトレンチの側壁に隣接した第1の導電型のソース領域と、

ゲートトレンチの側壁およびソース領域に隣接した第1の導電型とは反対の第2の導電型のボディ領域と、

ボディ領域に隣接した第1の導電型のドレイン-ドリフト領域とを含み、

第1および第2のRFP電極のそれぞれの底は、ゲート電極の底よりも深いレベルまでダイの表面の下に位置し、第1および第2のRFPトレンチの各々の深さはゲートトレンチの深さと実質的に等しい、MOSFET。

## 【請求項 2】

第1および第2のRFPトレンチの各々の深さはゲートトレンチの深さの+/-10%以内である、請求項1に記載のMOSFET。

## 【請求項 3】

第1および第2のRFPトレンチの各々の深さはゲートトレンチの深さの+/-5%以内である、請求項1に記載のMOSFET。

## 【請求項 4】

第1および第2のRFP電極はソース領域に電気的に接続される、請求項1に記載のMOSFET。

## 【請求項 5】

ダイの表面に重なるソースコンタクト層を含み、ソースコンタクト層は導電材料を含んで第1および第2のRFP電極およびソース領域に接している、請求項4に記載のMOSFET。

## 【請求項 6】

ゲートトレンチは第1および第2のRFPトレンチから等距離である、請求項1に記載のMOSFET。

## 【請求項 7】

第1のRFPトレンチとゲートトレンチとの間のエリアのドレイン-ドリフト領域のドーピング濃度は、ゲートトレンチの下のエリアのドレイン-ドリフト領域のドーピング濃度未満である、請求項1に記載のMOSFET。

## 【請求項 8】

第1および第2のRFP電極は第1の導電型のドーパントでドープされたポリシリコンを含む、請求項1に記載のMOSFET。

## 【請求項 9】

第1および第2のRFP電極は第2の導電型のドーパントでドープされたポリシリコンを含む、請求項1に記載のMOSFET。

## 【請求項 10】

ソースコンタクト層はタングステンプラグを含み、タングステンプラグはRFP電極に

10

20

30

40

50

接している、請求項 1 に記載の M O S F E T 。

【請求項 1 1】

ダイの表面から延在する第 2 の導電型の電圧固定領域をさらに含み、電圧固定領域の深さはボディ領域の底と R F P トレンチの底との間のレベルである、請求項 1 に記載の M O S F E T 。

【請求項 1 2】

半導体ダイに形成される M O S F E T であって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第 1 の誘電体層によってダイから分離され、第 1 の誘電体層はゲートトレンチの底に第 1 の部分を含み、ゲートトレンチの側壁に第 2 の部分を含み、第 1 の部分は第 2 の部分より厚く、さらに

ダイの表面から延在する窪んだフィールドプレート ( R F P ) トレンチを含み、 R F P トレンチは R F P 電極を包含し、 R F P 電極は第 2 の誘電体層によってダイから分離され、 R F P 電極の底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、 R F P 電極はゲート電極から電気的に分離され、さらに

ゲートトレンチと R F P トレンチとの間のダイのメサと、

メサにおけるダイの表面に隣接した第 1 の導電型のソース領域とを含み、ソース領域は R F P トレンチの側壁とゲートトレンチの側壁と間のメサにわたって延在し、さらに

メサにおいて第 1 の導電型とは反対の第 2 の導電型のボディ領域を含み、ボディ領域はソース領域に隣接して R F P トレンチの側壁とゲートトレンチの側壁との間のメサにわたって延在し、さらに

ボディ領域に隣接した第 1 の導電型のドレイン - ドリフト領域を含む、 M O S F E T 。

【請求項 1 3】

ボディ領域は R F P トレンチの側壁に隣接するボディコンタクト領域を含み、ボディコンタクト領域は第 2 の導電型のドーパントでドープされており、ボディ領域の残りの部分のドーピング濃度よりもドーピング濃度が高く、 M O S F E T はさらにソースコンタクト層を含み、ソースコンタクト層は導電材料を含み、 R F P 電極の上面はダイの表面よりも下のレベルまで窪み、その結果ソースコンタクト層はソース領域およびボディコンタクト領域に接している、請求項 1 2 に記載の M O S F E T 。

【請求項 1 4】

ソースコンタクト層はタングステンプラグを含み、タングステンプラグはボディコンタクト領域に接している、請求項 1 3 に記載の M O S F E T 。

【請求項 1 5】

ボディコンタクト領域はボディ領域の残りの部分の底よりもより深いレベルまでダイの表面の下に延在する、請求項 1 3 に記載の M O S F E T 。

【請求項 1 6】

R F P トレンチの深さはゲートトレンチの深さに実質的に等しい、請求項 1 2 に記載の M O S F E T 。

【請求項 1 7】

ダイの表面から延在する第 2 の R F P トレンチを含み、第 2 の R F P トレンチは第 2 の R F P 電極を包含し、第 2 の R F P 電極は第 3 の誘電体層によってダイから分離され、第 2 の R F P 電極の底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、

ゲートトレンチと第 2 の R F P トレンチとの間のダイの第 2 のメサと、

第 2 のメサにおけるダイの表面に隣接した第 1 の導電型の第 2 のソース領域とを含み、第 2 のソース領域は第 2 の R F P トレンチの側壁とゲートトレンチの第 2 の側壁と間の第 2 のメサにわたって延在し、さらに

メサにおいて第 2 の導電型の第 2 のボディ領域を含み、第 2 のボディ領域は第 2 のソース領域に隣接して R F P トレンチの側壁とゲートトレンチの第 2 の側壁との間の第 2 のメサにわたって延在する、請求項 1 2 に記載の M O S F E T 。

【請求項 1 8】

10

20

30

40

50

RFPトレンチおよび第2のRFPトレンチの各々の深さはゲートトレンチの深さに実質的に等しい、請求項17に記載のMOSFET。

【請求項19】

半導体ダイに形成されるMOSFETであって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第1の誘電体層によってダイから分離され、第1の誘電体層はゲートトレンチの底に第1の部分を含み、ゲートトレンチの側壁に第2の部分を含み、第1の部分は第2の部分より厚く、さらに

ダイの表面から延在する第1の窪んだフィールドプレート(RFP)トレンチを含み、第1のRFPトレンチは第1のRFP電極を包含し、第1のRFP電極は第2の誘電体層によってダイから分離され、さらに

ダイの表面から延在する第2のRFPトレンチを含み、第2のRFPトレンチは第2のRFP電極を包含し、第2のRFP電極は第3の誘電体層によってダイから分離され、ゲートトレンチは第1および第2のRFPトレンチの間に位置し、さらに

ゲートトレンチと第1のRFPトレンチとの間のダイのメサと、

メサにおけるダイの表面およびゲートトレンチの側壁に隣接した第1の導電型のソース領域と、

ゲートトレンチの側壁およびソース領域に隣接した第1の導電型とは反対の第2の導電型のボディ領域と、

ボディ領域に隣接した第1の導電型のドレイン-ドリフト領域とを含み、

第1および第2のRFP電極のそれぞれの底はゲート電極の底よりも深いレベルでダイの表面の下に位置し、第1および第2のRFPトレンチの各々の深さはゲートトレンチの深さの50%より多く80%未満の範囲である、MOSFET。

【請求項20】

MOSFETを製造する方法であって、

半導体ダイを与えるステップと、

ゲートトレンチおよび窪んだフィールドプレート(RFP)トレンチを形成するためにダイをエッチングするステップとを含み、ゲートトレンチおよびRFPトレンチはダイの表面から延在して実質的に等しい深さであり、さらに

ゲートトレンチの底に絶縁層を形成するステップと、

絶縁層の上のゲートトレンチの側壁にゲート誘電体層を形成するステップと、RFPトレンチの壁に沿って第2の誘電体層を形成するステップと、

ゲート電極を形成するためにゲートトレンチに導電材料を導入するステップと、

RFP電極を形成するためにRFPトレンチに導電材料を導入するステップと、

ボディ領域を形成するためにゲートトレンチの側壁に隣接するメサにおいて第1の導電型のドーパントを注入するステップと、

ソース領域を形成するためにダイの表面に隣接するメサにおいて第1の導電型とは反対の第2の導電型のドーパントを注入するステップと、

ソース領域に接するダイの表面にソースコンタクト層を堆積させるステップとを含み、ソースコンタクト層は導電材料を含む、方法。

【請求項21】

ソースコンタクト層がゲート電極に接しないようにゲート電極の上に第3の誘電体層を形成するステップを含む、請求項20に記載の方法。

【請求項22】

ソースコンタクト層を堆積させるステップはソースコンタクト層がRFP電極に接することを引起す、請求項21に記載の方法。

【請求項23】

ボディ領域およびRFPトレンチの側壁に隣接するボディコンタクト領域を形成するために第1の導電型のドーパントを注入するステップを含み、方法はさらに、ソースコンタクト層を堆積させるステップが、ソースコンタクト層がボディコンタクト領域に接するこ

10

20

30

40

50

とを引起すように、RFP電極をRFPトレンチにエッチングするステップを含む、請求項22に記載の方法。

【請求項24】

ダイの表面にマスク層を形成するステップと、

3つの開口部を形成するためにマスク層をパターニングするステップとを含み、第1の開口部はRFPトレンチが形成されるべき場所に位置し、第2の開口部はゲートトレンチが位置するべき場所に位置し、第3の開口部は第2のRFPトレンチが位置するべき場所に位置し、第2の開口部は第1および第3の開口部の間に位置してこれらから等距離であり、さらに

ダイをエッチングするステップは、RFPトレンチ、ゲートトレンチおよび第2のRFPトレンチを形成するために、それぞれ第1、第2および第3の開口部を通ってダイをエッチングするステップを含み、ゲートトレンチはRFPおよび第2のRFPトレンチの間に位置してこれらから等距離である、請求項20に記載の方法。

10

【請求項25】

ダイをエッチングするステップは、ゲートトレンチおよびRFPトレンチのそれぞれの深さが+/-10%以内の許容誤差を有するようにする、請求項24に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

20

この出願は、2006年9月27日に出願された仮出願番号第60/847,551号の優先権を主張し、これは引用によってその全体が本願明細書に援用される。

【背景技術】

【0002】

発明の背景

パワーMOSFETは、多くの電子用途でスイッチ素子として広く用いられている。電導電力損を最小限にするために、パワーMOSFETが低い特性オン抵抗 (low specific on-resistance) を有することが望ましい。それは、MOSFETのオン抵抗 ( $R_{on}$ ) にMOSFETの活性なダイ領域 ( $A$ ) を乗じた積 ( $R_{on} * A$ ) として規定される。図1のMOSFET 10の概略的断面図に示されたようなトレンチ型MOSFETは、その高い充填密度、すなわち単位面積あたりのセル数に起因して、低い特性オン抵抗を与える。セル密度が増加するにつれて、ゲート-ソースキャパシタンス ( $C_{gs}$ )、ゲート-ドレインキャパシタンス ( $C_{gd}$ )、およびドレイン-ソースキャパシタンス ( $C_{ds}$ ) などの関連付けられたキャパシタンスも増加する。モバイル製品に用いられる同期バック (synchronous buck) dc-dcコンバータなどの多くのスイッチング用途において、1MHzに近いスイッチング周波数で動作するために12~30Vの範囲の破壊電圧を備えたMOSFETが必要とされる。したがって、これらのキャパシタンスによって引起されるスイッチングまたは動的な電力損を最小限にすることが望ましい。これらのキャパシタンスの大きさは、ゲート電荷 ( $Q_g$ )、ゲート-ドレイン電荷 ( $Q_{gd}$ ) および出力電荷 ( $Q_{oss}$ ) に正比例する。さらに、これらの装置が第3のクアドラント (quadrant) において動作するとき、すなわちドレイン-ボディ接合部が順方向にバイアスされる場合、少数キャリア注入の結果として電荷が格納され、この蓄積電荷が装置のスイッチング速度の遅延を引起す。したがって、MOSFETスイッチの逆回復電荷 ( $Q_{rr}$ ) が低いことが重要である。

30

【0003】

図2に示されるように、サップ (Sapp) に対する米国特許番号第6,710,403号は、 $R_{on}$ 、 $C_{gs}$ および $C_{gd}$ のレベルを低下させるために、活性なトレンチ24の両側にポリシリコンで充填された2つのより深いトレンチ22を備えたデュアルトレンチのパワーMOSFETを提案する。しかしながら、MOSFET 20は逆回復電荷  $Q_{rr}$ を低下させず、2つの異なる深さを有するトレンチの製造を必要とする。さらに、MO

40

50

S F E T 2 0 では、深いトレンチおよび浅いトレンチは自己整合されておらず、それはメサ幅において、そのため破壊電圧においても変動を引起す。

【 0 0 0 4 】

C P U 電圧調整器モジュール ( V R M ) などの新しい用途に迫られてスイッチング速度要件が 1 M H z 以上にまで増加しているので、パワーM O S F E T はますます十分な効率性能および電力損で動作することができなくなっている。したがって、パワーM O S トランジスタが低い特性オン抵抗 ( R <sub>on</sub> \* A ) を有することに加えて、低いゲート電荷 Q <sub>g</sub> および Q <sub>g d</sub> 、低い出力電荷 Q <sub>o s s</sub> 、および低い逆回復電荷 Q <sub>r r</sub> を有することに対して明瞭な需要がある。

【 発明の概要 】

10

【 課題を解決するための手段 】

【 0 0 0 5 】

発明の概略

この発明によるM O S F E T は半導体ダイに形成され、自己整合されたゲートトレンチおよび窪んだフィールドプレート ( R F P ) トレンチを含み、両方のトレンチはダイの表面から延在してその間にメサを形成する。ゲートトレンチは、ゲートトレンチの底で厚いセクションを有する第 1 の誘電体層によってダイから分離されたゲート電極を含み、 R F P トレンチと実質的に同じ深さまで延在する。 R F P トレンチは、第 2 の誘電体層によってダイから分離される R F P 電極を包含している。 M O S F E T はさらに、 M O S F E T のいくつかのエリアで R F P 電極トレンチに隣接し、ダイの表面およびゲートトレンチの側壁に隣接した第 1 の導電型のソース領域と、ゲートトレンチの側壁およびソース領域に隣接した第 1 の導電型とは反対の第 2 の導電型のボディ領域とを含む。 M O S F E T のいくつかのエリアでは、 p + ボディコンタクト領域は P ボディに横方向に隣接して配置することができる。 R F P 電極は独立してバイアスされてもよく、またはソース電位でバイアスされてもよい。 1 つの実施例においては、ゲートトレンチおよび R F P トレンチのそれぞれの深さは実質的に同じである。

20

【 0 0 0 6 】

この発明はさらに、 M O S F E T を製造する方法を含む。この方法は、半導体ダイを与えるステップと、ゲートトレンチおよび窪んだフィールドプレート ( R F P ) トレンチを形成するためにダイをエッチングするステップとを含み、ゲートトレンチおよび R F P トレンチはダイの表面から延在して実質的に等しい深さであり、さらに、ゲートトレンチの底に絶縁層を形成するステップと、絶縁層の上にゲートトレンチの側壁にゲート誘電体層を形成するステップと、 R F P トレンチの壁に沿って第 2 の誘電体層を形成するステップと、ゲート電極を形成するためにゲートトレンチに導電材料を導入するステップと、 R F P 電極を形成するために R F P トレンチに導電材料を導入するステップと、メサにおいてゲートトレンチの側壁に隣接してボディ領域を形成するために第 1 の導電型とは反対の第 2 の導電型のドーパントを注入するステップと、メサにおいてダイの表面に隣接してソース領域を形成するために第 1 の導電型のドーパントを注入するステップと、ソース領域に接するダイの表面にソースコンタクト層を堆積させるステップとを含む。

30

【 図面の簡単な説明 】

40

【 0 0 0 7 】

【 図 1 】従来のトレンチ型 M O S F E T の断面図である。

【 図 2 】公知のデュアルトレンチ M O S F E T の断面図である。

【 図 3 A 】窪んだフィールドプレート ( R F P ) 電極が独立してバイアスされた、この発明による窪んだフィールドプレート ( R F P ) を有する M O S F E T の断面図である。

【 図 3 B 】 R F P 電極がソースと同じ電位でバイアスされた、この発明による窪んだフィールドプレート ( R F P ) を有する M O S F E T の断面図である。

【 図 4 A 】図 3 A に示される M O S F E T の上面図である。

【 図 4 B 】図 4 A の断面 4 B - 4 B で得られた、図 3 A に示される M O S F E T の断面図である。

50

【図 5 A】RFP電極がソース領域に接している、代替実施例の断面図である。

【図 5 B】図4Aの断面4B-4Bに対応する断面で得られた、図5AのMOSFETの断面図である。

【図 6 A】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 B】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 C】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 D】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 E】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 F】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 G】図3Aに示されるMOSFETを製造するプロセスを示す図である。

【図 6 H】図3Aに示されるMOSFETを製造するプロセスを示す図である。

10

【図 7 A】図6A-6Hに示されるプロセスの部分の代替バージョンを示す図である。

【図 7 B】図6A-6Hに示されるプロセスの部分の代替バージョンを示す図である。

【図 8 A】ゲートトレンチの上の絶縁層がソース領域の部分と重なり、ソースコンタクト層がRFP電極と接触する、この発明によるMOSFETの断面図である。

【図 8 B】ゲートトレンチの上の絶縁層がソース領域の部分と重なり、ソースコンタクト層がRFP電極と接触する、この発明によるMOSFETの断面図である。

【図 9】ボディコンタクト領域がソース領域に隣接して横方向に形成される、図8Aおよび図8BのMOSFETに類似のMOSFETの断面図である。

【図 10】ボディコンタクト領域がソース領域よりも下のレベルまで延在する、図9のMOSFETに類似のMOSFETの断面図である。

20

【図 11】RFP電極が窪み、ボディコンタクト領域がボディ領域に隣接して横方向に形成される、この発明によるMOSFETの断面図である。

【図 12】ボディコンタクト領域がボディ領域よりも下のレベルまで延在する、図11のMOSFETに類似のMOSFETの断面図である。

【図 13】金属プラグがRFPトレンチの上部に形成される、図12のMOSFETに類似のMOSFETの断面図である。

【図 14 A】図10に示されるMOSFETを製造するプロセスを示す。

【図 14 B】図10に示されるMOSFETを製造するプロセスを示す。

【図 14 C】図10に示されるMOSFETを製造するプロセスを示す。

30

【図 14 D】図10に示されるMOSFETを製造するプロセスを示す。

【図 14 E】図10に示されるMOSFETを製造するプロセスを示す。

【図 14 F】図10に示されるMOSFETを製造するプロセスを示す。

【図 14 G】図10に示されるMOSFETを製造するプロセスを示す。

【図 14 H】図10に示されるMOSFETを製造するプロセスを示す。

【図 15 A】図14A-図14Hに示されるプロセスの変形例を示す。

【図 15 B】図14A-図14Hに示されるプロセスの変形例を示す。

【図 16 A】MOSFETの破壊電圧を制限するために深いp型領域を包含している、この発明によるMOSFETの断面図である。

【図 16 B】MOSFETの破壊電圧を制限するために深いp型領域を包含している、この発明によるMOSFETの断面図である。

40

【図 17】RFPトレンチが底の厚い酸化物層を包含している、この発明によるMOSFETの断面図である。

【図 18 A】ゲートトレンチおよび/またはRFPトレンチに段付き酸化物層を包含しているMOSFETの断面図である。

【図 18 B】ゲートトレンチおよび/またはRFPトレンチに段付き酸化物層を包含しているMOSFETの断面図である。

【図 18 C】ゲートトレンチおよび/またはRFPトレンチに段付き酸化物層を包含しているMOSFETの断面図である。

【図 19】ゲートトレンチがRFPトレンチより深いMOSFETの断面図である。

50

【図20】この発明による疑似垂直のMOSFETの断面図である。

【発明を実施するための形態】

【0008】

#### 発明の詳細な説明

この発明によるnチャネルMOSFET30の基本セルが図3Aに示される。MOSFET30は、高ドープされたn+基板38上に成長するn型エピタキシャル層36を含む半導体ダイに形成される。MOSFET30は、n型エピタキシャル層36において、ゲートトレンチ34の両側に位置する窪んだフィールドプレート(RFP)トレンチ32Aおよび32Bを含む。図2に示されるMOSFET20のトレンチと異なり、ゲートトレンチ34の底の厚い酸化物は、RFPトレンチ32Aおよび32Bと実質的に同じ深さまで延在する。さらに、RFPトレンチ32Aおよび32Bならびにゲートトレンチ34は好ましくは同じ処理ステップで形成され、したがって自己整合しており(すなわち、RFPトレンチ32Aおよび32Bは、処理および整合の変動にかかわらず、ゲートトレンチ34から等しく間隔を置かれる)、RFPトレンチ32Aおよび32Bならびにゲートトレンチ34は深さが等しいか、または実質的に等しい(たとえば、RFPトレンチ32Aおよび32Bのそれぞれの深さはゲートトレンチ32の深さの+/-10%内であり、または好ましくは+/-5%以内である)。トレンチ間のメサはn+ソース領域37およびpボディ領域39を包含し、pボディ領域39の下には、エピタキシャル層36のn型ドレイン-ドリフト領域41がある。ドレイン-ドリフト領域41は、RFPトレンチ32Aおよび32Bとゲートトレンチ34との間に領域41Aを含む。ドレイン-ドリフト領域41およびn+基板38は、ともにMOSFET30のドレイン43を形成する。

10

20

30

【0009】

図2に示される先行技術のMOSFET20では、ボディ-ドレイン接合部が逆バイアスされると電界強度が減じられ、したがって、主としてゲートトレンチ24より下のドリフト領域における2つの深いトレンチ22間の空乏領域の広がりに起因して、破壊電圧が増大する。MOSFET30では、同じ条件下で電界がさらに減じられる。なぜならば、ゲートトレンチ34の厚い酸化物とRFPトレンチ32Aおよび32Bとの間に位置するドレイン-ドリフト領域41のうちより狭い領域41Aに最初は空乏層が限定されるからである。さらに、先行技術のMOSFET20のトレンチ22がゲートトレンチ24より深いのでトレンチ22の底の電界はより高く、これがトレンチ22の酸化物層の厚さの下限となる。この制限は、MOSFET20のチャネルの電界を減じる際にトレンチ22の効率を劣化させる。

40

【0010】

図3Aを再び参照すると、トレンチ32Aおよび32Bの壁が二酸化ケイ素(SiO<sub>2</sub>)などの絶縁材の層33に内張りされ、トレンチ32Aおよび32BはRFP電極35を包含し、その各々は、n型またはp型のドープしたポリシリコンなどの導電材料の層を含む。酸化物層33は、MOSFET30の破壊電圧を超過する破壊電圧を有するのが好ましい。ゲートトレンチ34は、p-ボディ領域39とエピタキシャル層36のドレイン-ドリフト領域41との間のpn接合のレベルまで、絶縁材の層40で満たされる。絶縁層40上にはゲート電極42がある。ゲート電極42はn型ドープしたポリシリコンから作られ得、ゲート誘電体層44によってエピタキシャル層36から分離されている。チャネル領域45(鎖線によって表される)はゲート誘電体層44に隣接するp-ボディ領域39内にある。絶縁層40の厚さは、ゲート電極42およびドレイン-ドリフト領域41の重なりを最小限にするように好ましくは設定される。重なるソースコンタクト層46はn+ソース領域37に接し、ドレインコンタクト層31はn+基板38に接する。コンタクト層46および31は典型的には金属でできているが、別の導電材料からも形成することができる。

40

【0011】

RFPトレンチ32Aおよび32BのRFP電極35は、エピタキシャル層36の表面36Aの下でゲート電極42の底よりもさらに深いレベルまで延在する。RFP電極35

50

は独立してバイアスされてもよく、または図3Bに示されるように、図面外でn+ソース領域37に接続されてもよい。

#### 【0012】

いくつかの実施例では、RFPトレンチ32Aおよび32Bとゲートトレンチ34との間の領域のドレイン-ドリフト領域41のドーピング濃度(たとえば $5 \times 10^{15}$ から $1.5 \times 10^{16} \text{ cm}^{-3}$ )は、ゲートトレンチ34より下の領域のドレイン-ドリフト領域41のドーピング濃度(たとえば $2 \times 10^{16}$ から $3 \times 10^{16} \text{ cm}^{-3}$ )よりも低い。この構造は、ボディ領域39とドレイン-ドリフト領域41の間のPN接合部が領域41Aの限定された空乏電荷に起因して逆バイアスされる場合、RFPトレンチ32Aおよび32Bとゲートトレンチ34との間のドレイン-ドリフト領域41の領域の空乏の広がりを向上させる。これは、たとえば、エピタキシャル層36が形成されている間にエピタキシャル層36のドーピングを変えることによりさらに向上することができる。これはさらにチャネル長がさらに短くなる結果ともなり、そのため、より低いR<sub>on</sub>、より低いゲート-ソースキャパシタンス(C<sub>gs</sub>)、およびより低いゲート-ドレインキャパシタンス(C<sub>gd</sub>)を与える。

10

#### 【0013】

図3Aおよび図3Bに示される実施例には、n+ソース領域37がゲートトレンチ34とRFPトレンチ32Aおよび32Bとの間に延在する。代替的に、図4Aの上面図および図4Bの断面図に示されるMOSFET50はMOSFET30に類似しているが、n+ソース領域37は選択された領域においてp+ボディコンタクト領域52によって置換され、スナップバックまたは第2破壊特性を回避する。図4Aでは、断面3A-3Aにおける図は図3Aに示される断面図と同一であり、断面4B-4Bにおける図は図4Bに示される。

20

#### 【0014】

従来のN-チャネルMOSFETが第3の四分円で動作するとき、そのドレインはそのソース-ボディ電極に対して負にバイアスされ、拡散電流は結果として少数キャリア注入および高いQ<sub>rr</sub>を生じる。MOSFET30および50において、n+ソース領域37がゲートトレンチ34とRFPトレンチ32Aおよび32Bとの間のメサにわたって全体に延在するので、RFP電極35は、従来の構造におけるゲート電極によって与えられるものに加えて、ドレインからソースまで多数キャリヤチャネル電流経路を与える。RFP電極とゲート電極との組み合わされた効果は、結果として、従来の構造よりも少数キャリア拡散電流および逆回復電荷Q<sub>rr</sub>を著しく減じる。換言すれば、第3の四分円動作では、RFP電極は、ゲート-ドレインキャパシタンス(C<sub>gd</sub>)およびゲート-ソースキャパシタンス(C<sub>gs</sub>)が追加されるペナルティーのない、追加的なゲートの役割をする。

30

#### 【0015】

RFP電極35はまた、窪んだフィールドプレートとして機能して、MOSFET30および50が逆バイアスされる場合にはチャネル領域45の電界を減じる。この効果は、パンチスルーブレーキングの懸念なくより短いチャネル長の使用を可能にし、これはまた、結果としてより低い特性オン抵抗(R<sub>on</sub>\*A)およびより低いゲート電荷(Q<sub>g</sub>)を生じる。MOSFET20と異なり、pボディ領域39よりも下のドリフト領域41Aは、厚いゲート底酸化物とRFP電極との間に限定され、したがって、より有効に空乏化される。したがって、同じ逆バイアスボディ-ドレイン接合条件についてより深い空乏層が結果として生じ、より短いチャネルを用いることができ、結果的により低オン抵抗となる。さらに、ゲート-ドレインキャパシタンス(C<sub>gd</sub>)は与えられたドレイン-ソース電圧V<sub>ds</sub>においてより速く低下するので、より低いゲート-ドレイン電荷Q<sub>gd</sub>およびより良いR<sub>on</sub>-Q<sub>gd</sub>トレードオフが実現される。換言すれば、RFP電極35の効果と、ゲートトレンチ34がpボディ領域39およびドレイン-ドリフト領域41の間の接合部まで絶縁層40で満たされていることとの効果が組み合わされた効果として、MOSFET30および50がオフ状態にある間にドレイン-ソース電圧V<sub>ds</sub>が増加するので、トレンチ32A、32Bと34との間のドレイン-ドリフト領域36のエリアのより高速の空乏化が

40

50

助けられる。したがって、ゲート - ドレインキャパシタンス (C<sub>g d</sub>) が低く、V<sub>d s</sub> の増加に伴うその低下率が速いために、結果としてゲート - ドレイン電荷 (Q<sub>g d</sub>) がより低くなる。さらに、p ボディ領域 3 9 のドーピングは、同じ破壊電圧またはパンチスルーベースにおいてより低いしきい電圧を得るよう調整することができる。p ボディ領域 3 9 が完全に空乏化されるように p ボディ領域 3 9 のドーピングをさらに調整することができ、これは著しくゲート電荷 Q<sub>g</sub> を減じる。

## 【0016】

図 3 A および図 3 B に示される MOSFET 3 0 において、RFP 電極 3 5 は絶縁層 4 8 によってソースコンタクト層 4 6 から分離される。代替的に、図 5 A および図 5 B に示される MOSFET 6 0 には絶縁層 4 8 はなく、RFP トレンチ 6 4 A および 6 4 B の RFP 電極 6 2 は上向きに延在してソースコンタクト層 4 6 と電気的に接触する。図 5 A は図 4 A の断面 3 A - 3 A に対応する断面で得られた図である。図 5 B は図 4 A の断面 4 B - 4 B に対応する断面で得られた図である。

10

## 【0017】

図 3 A の MOSFET 3 0 を製造する例示的なプロセスは図 6 A - 図 6 H に示される。図 6 A に示されるように、出発材料は、たとえば燐またはヒ素でドープされ得る、高ドープされた n+ 基板 3 8 である。n 型エピタキシャル層 3 6 が n+ 基板 3 8 の上に成長する。薄い酸化物層 7 2 が n 型エピタキシャル層 3 6 の上に成長し、窒化ケイ素層 7 4 が酸化物層 7 2 の上に堆積する。たとえば酸化物層 7 2 は 200 - 300 Å の厚さであり得、窒化ケイ素層 7 4 は 1000 Å の厚さであり得る。

20

## 【0018】

図 6 B に示されるように、フォトレジストマスク (示されない) が用いられて開口部 7 6 を伴って窒化ケイ素層 7 4 および酸化物層 7 2 がパターニングされる。

## 【0019】

図 6 C に示されるように、エピタキシャル層 3 6 が開口部 7 6 を通してエッチングされ、RFP トレンチ 3 2 A および 3 2 B ならびにゲートトレンチ 3 4 を形成する。トレンチ 3 2 A、3 2 B および 3 4 が例示にすぎないことが理解される。典型的には多数のトレンチが形成される。たとえば 300 Å の厚さの薄い熱酸化物層 (示されない) が、トレンチ 3 2 A、3 2 B および 3 4 の壁に成長し、次いでトレンチ 3 2 A、3 2 B および 3 4 が、LTO もしくは TEOS または高密度プラズマ (HDP) 酸化物などの堆積した二酸化ケイ素の層 7 8 で満たされる。結果として生じる構造は図 6 C に示される。

30

## 【0020】

酸化物層 7 8 は、ドライプラズマエッチングまたは化学機械研磨 (CMP) 技術を用いて、窒化ケイ素層 7 4 の上面と同じレベルか僅かに下回るレベルまでエッチバックされる。図 6 D に示されるように、フォトレジストマスク層 8 0 が堆積され、RFP トレンチ 3 2 A および 3 2 B の上に開口部 8 2 を形成するようパターニングされ、次いで、RFP トレンチ 3 2 A および 3 2 B における酸化物層 7 8 が、ウェットエッチングもしくはドライプラズマエッチングまたはウェットエッチングおよびドライエッチングの組合せによって、開口部 8 2 を通って完全にまたは部分的にエッチングされて、図 6 D に示される構造を生じる。

40

## 【0021】

フォトレジストマスク層 8 0 が取除かれ、ゲートトレンチに残った酸化物層 7 8 の部分がウェットエッチングによって部分的にエッチングされる。その後、窒化ケイ素層 7 4 を取除くためのエッチングと、酸化物層 7 2 および RFP トレンチ 3 2 A、3 2 B の壁に残った酸化物を取除くためのウェット酸化物エッチングが続いて行なわれる。結果として生じる構造は、図 6 E に示される。

## 【0022】

次いで、図 6 F に示されるように、熱プロセスが行われて RFP トレンチ 3 2 A および 3 2 B の壁に酸化物層 3 3 を形成し、酸化物層 7 8 の残りの部分の上のゲートトレンチ 3 4 の壁にゲート誘電体層 4 4 が形成される (それはゲートトレンチ 3 4 の底に絶縁層 4 0

50

を形成する)。このプロセスはまた、エピタキシャル層36の上面に酸化物層80を形成する。これらの酸化物層は、たとえば200Åから1000Åの範囲の厚さを有することができる。次いでポリシリコン層82が堆積され、次にたとえば燐などのn型ドーパントで注入することによりドープされ、続いてプラズマドライエッチングまたはCMP技術によって酸化物層80の表面のレベルまで、またはその下のレベルまでエッチバックされる。いくつかのマスキングおよび注入ステップが実行され、ホウ素などのp型ドーパントを用いてpボディ領域39およびp+ボディコンタクト領域52が形成され、ヒ素もしくは燐などのn型ドーパントまたはその組合せを用いてn+ソース領域37が形成される。深いp層(示されない)もまた、このステップまたはこれより前のプロセスで注入されてもよい。

10

## 【0023】

図6Gに示されるように、ポリシリコン層82はエッチバックされ、酸化物層は堆積されてその後RFP電極35を残してエッチングされ、ゲート電極42は酸化物層84によって覆われる。

## 【0024】

ソースコンタクト層46はフォトレジストマスク(示されない)によって堆積され、規定される。n+基板38の裏側は薄くなってドレイン金属層31が堆積され、結果として図3Aおよび図6Hに示されるMOSFET30を生じる。

## 【0025】

代替的方法では、図6Dに示されたステップの後に、RFPトレンチ32Aおよび32Bならびにゲートトレンチ34に残った酸化物層78の部分がエッチングされ、このステップは図7Aおよび図7Bに示される。図7Aに示されるように、酸化物層72および窒化物層74は依然適所にあり、酸化物層33および44は、RFPトレンチ32A/32Bおよびゲートトレンチ34の壁に熱によりそれぞれ成長する。ポリシリコン層85が堆積し、ポリシリコン層85の表面が窒化物層74の表面と並ぶかまたはそれよりも下のレベルであるように、エッチングまたはCMPにより部分的に取除かれる。結果として生じる構造は、図7Aに示される。

20

## 【0026】

ポリシリコン層85は(たとえば約0.1μmだけ)エッチングされ、酸化物層87が堆積し、酸化物層87の表面が窒化物層74と並ぶかまたはそれよりも下のレベルであるようにエッチバックされる。窒化物層74はエッチングにより取除かれ、任意に酸化物層72が取除かれて犠牲酸化物層(示されない)が再成長してもよい。Pボディ領域39およびn+ソース領域37が注入される。次いで、図7Bに示される構造を残して、n+ソース領域37の上の領域から酸化物層87が取除かれる。次いで、ソースコンタクト層(示されない)が酸化物層87およびn+ソース領域37の上に堆積される。

30

## 【0027】

上述のMOSFETの多数の変形例がこの発明の範囲内にある。図8Aに示されるMOSFET70では、ゲート電極42の上の絶縁層92がエピタキシャル層36の表面36Aの上に延在してn+ソース領域37を部分的に覆う一方で、RFP電極35は表面36Aの下に窪んだままである。RFP電極35がソース電位でバイアスされるように、ソースコンタクト層94はRFP電極35と接触する。図8Bは、図4Aに示される断面4B-4Bと同様の断面で得られるMOSFET70の別の図であり、n+ソース領域がp+ボディコンタクト領域52に置き換えられている。

40

## 【0028】

図9に示されるMOSFET80は、p+ボディコンタクト領域96がエピタキシャル層36の表面36Aにおいてn+ソース領域98に隣接して形成され、ソースコンタクト層94を介してソース-ボディ短絡を与えることを除けば、MOSFET70に類似する。MOSFET80では、ソース-ボディ短絡を与えるために、図4Aに示されるようにp+ボディコンタクト領域52でn+ソース領域を中断することは必要ではない。図10に示されるMOSFET90は、p+ボディコンタクト領域99がn+ソース領域の底よ

50

り下のレベルまで延在して、ソースコンタクト層 94 との接触のために RFP トレンチ 32A および 32B の壁に沿ってより大きな表面を与えることを除けば、MOSFET 80 に似ている。

#### 【0029】

図 11 に示される MOSFET 100 では、p+ ボディコンタクト領域 104 が n+ ソース領域 37 よりも下で p ボディ領域 106 に隣接して形成される。RFP トレンチ 102A および 102B では、RFP 電極 112 および酸化物層 110 は、ソースコンタクト層 108 が p+ ボディコンタクト領域 104 に接触することを可能にするのに十分に窪み、それによってソース - ボディ短絡を与える。ゲートトレンチ 34 では、絶縁層 92 はエピタキシャル層 36 の表面 36A の上に延在し、n+ ソース領域 37 を部分的に覆う。MOSFET 100 はセル密度をより高く、またそのために特性オン抵抗をよく低くすることができる。図 12 に示される MOSFET 110 は、p+ ボディコンタクト領域 114 が p- ボディ領域 106 の底よりも下のレベルまで延在することを除けば、MOSFET 100 に類似する。図 13 に示される MOSFET 120 は、RFP トレンチ 118A および 118B がたとえばタンクステンを含む金属プラグ 116 を包含し、これがソース領域 37 および p+ ボディコンタクト領域 114 の両方に接して、ソース領域 37 と p+ ボディコンタクト領域 114 との間に極めて低抵抗の電導経路を与えることを除けば、MOSFET 110 に類似している。

10

#### 【0030】

図 14A - 図 14H は、図 10 に示される MOSFET 90 を製造するプロセスを示す。このプロセスは、n 型エピタキシャル層 36 が n+ 基板 38 の上に成長することから始まる。図 14A に示されるように、酸化物層 120 (たとえば 0.5 μm の厚さ) およびフォトレジストトレンチマスク層 122 がエピタキシャル層 36 の上面の上に堆積される。マスク層 122 はパターニングされて開口部を形成し、酸化物層 120 およびエピタキシャル層 36 は開口部を通してエッチングされて、RFP トレンチ 32A および 32B ならびにゲートトレンチ 34 を形成する。マスク層 122 および酸化物層 120 は取除かれ、犠牲酸化物層およびパッド酸化物層 (示されない) が成長する。

20

#### 【0031】

図 14B に示されるように、酸化物層 124 がトレンチ 32A、32B および 34 に堆積される。酸化物層 124 は好ましくは高密度プラズマ酸化物などの高品質な酸化物である。活性なマスク (示されない) が堆積され、ダイの活性な領域の上に開口部を伴ってパターニングされ、図 14C に示されるように、酸化物層 124 がトレンチ 32A、32B および 34 へと下向きにエッチングされる。活性なマスクは、任意のフィールド終端酸化物 (field termination oxide) (示されない) または酸化物層 124 がダイの終端領域でエッチングされるのを妨げる。

30

#### 【0032】

フォトレジスト底酸化物 (photoresist bottom oxide) (BOX) マスク層 126 が堆積され、RFP トレンチ 32A および 32B の上に開口部を伴ってパターニングされ、酸化物層 124 は RFP トレンチ 32A および 32B から取除かれて、(絶縁層 40 になる) 酸化物層 124 の残りがゲートトレンチ 34 の底に残される。結果として生じる構造は図 14D に示される。

40

#### 【0033】

図 14E に示されるように、BOX マスク層 126 は取除かれ、酸化物層 128 が成長して、結果として RFP トレンチ 32A および 32B の壁に酸化物層 33 を形成し、絶縁層 40 の上のゲートトレンチ 34 の壁に酸化物層 44 を形成する。ポリシリコン層 130 が (たとえば 7000A の厚さに) 堆積され、マスク層 (示されない) が堆積されてパターニングされ、ポリシリコン層 130 は、CMP および / またはドライエッチプロセスを用いてトレンチ 32A、32B および 34 にエッチバックされ、それによりゲートトレンチ 34 にゲート電極 42 を形成し、RFP トレンチ 32A および 32B に RFP 電極 35 を形成する。p 型ドーパントが注入されて p ボディ領域 39 を形成する (たとえば 5 ×

50

$10^{12} \text{ cm}^{-2}$  の量のホウ素および  $100 \text{ keV}$  のエネルギー)。たとえば迅速な熱アニール (rapid thermal anneal) (RTA) プロセスが  $1025^\circ\text{C}$  の温度で 30 秒間実行されて、結果として p ボディ領域 39 について  $0.5 \mu\text{m}$  の接合部深さを生じ得る。

【0034】

図 14 F に示されるように、フォトレジストソースマスク層 132 が堆積され、パターニングされて開口部を形成し、n 型ドーパントが注入されてゲートトレンチ 34 に隣接したエピタキシャル層 36 の表面で n+ ソース領域 98 を形成する。たとえば  $2 \times 10^{15} \text{ cm}^{-2}$  の量のヒ素が  $80 \text{ keV}$  のエネルギーで注入されて、n+ ソース領域 98 に  $0.2 \mu\text{m}$  の接合部深さおよび  $0.25 - 0.3 \mu\text{m}$  のチャネル長 (L) を与えることができる。

【0035】

ソースマスク層 132 が取除かれ、図 14 G に示されるように、レベル間誘電体 (ILD) 層 136、たとえば低温酸化物 (LTO) および燐化ホウケイ酸 (borophosphosilicate) ガラス (BPSG) が  $0.5 - 1.5 \mu\text{m}$  の厚さに堆積する。次いで ILD 層 136 の密度が高められ得る。

【0036】

図 14 H に示されるように、コンタクトマスク層 (示されない) が堆積され、RFP トレンチ 32A および 32B の上に開口部を伴ってパターニングされて、ILD 層 136 および RFP 電極 35 の部分がコンタクトマスク層の開口部を通してドライエッティングまたはウェットエッティングされる。リフロープロセスが ILD 層 136 に実行されてもよい。p 型ドーパントが注入され、p+ ボディコンタクト領域 99 を形成する。たとえば、 $1 \times 10^{15} \text{ cm}^{-2}$  から  $4 \times 10^{15} \text{ cm}^{-2}$  の量のホウ素が  $20 - 60 \text{ keV}$  のエネルギーで注入され、p+ ボディコンタクト領域 99 に  $0.4 \mu\text{m}$  の接合部深さを生成する。次いで、ソースコンタクト層 94 が RFP 電極 35 に接して堆積され、結果として MOSFET 90 を生じる。任意に、ソースコンタクト層 94 が堆積される前に、RFP トレンチ 32A および 32B の上部に、RFP 電極 35 に接して、タングステンプラグが形成されてもよい。

【0037】

プロセスの変形で、図 15 A に示されるように、ポリシリコン層 130 がコンタクトマスク層の開口部を通して RFP トレンチ 32A および 32B に対して下向きにエッティングされ、RFP 電極 112 を形成する。次いで、ホウ素などの p 型ドーパントが角度をつけて注入され、p+ ボディコンタクト領域 114 を形成する。これは n+ ソース領域 37 よりも下に位置し、p ボディ領域 106 の底よりも深くエピタキシャル層 36 に延在する。図 15 B に示されるように、ソースコンタクト層 94 が堆積される前に、たとえばタングステンを含む金属プラグ 116 が RFP トレンチ 32A および 32B の上部に形成されてもよい。金属プラグ 116 の存在を除けば、MOSFET 130 は、図 12 に示される MOSFET 110 に類似している。

【0038】

多数の他の実施例がこの発明の広い範囲内で可能である。いくつかの実施例では、より深い p 領域が MOSFET の選択された領域に形成されて、RFP トレンチまたは装置における他の点の破壊電圧よりも低い、予め定められた値にその破壊電圧を固定する。図 16 A に示されるように、MOSFET 150 では、深い p+ 領域 152 が、RFP トレンチ 32A および 32B とトレンチゲート 34 との間のエリアの外に位置する。図 16 B に示されるように、MOSFET 160 では、深い p+ 領域 162 が、RFP トレンチ 32A および 32B の各々の両側に位置する。p+ 領域 152 および 162 は、p ボディ領域 39 よりも深くエピタキシャル層 36 に延在し、RFP トレンチ 32A および 32B ならびにトレンチゲート 34 と同じくらい深くてもよい。図 16 A および図 16 B は、n+ ソース領域がない断面で得られる図であることに注意するべきである。

【0039】

別の実施例では、RFP トレンチを内張りする絶縁層はトレンチの側面でよりもトレンチの底でより厚い。図 17 に示されるように、MOSFET 170 では、RFP トレンチ 32A および 32B の壁を内張りする絶縁層 172 はトレンチの底に部分 172B を含み

10

20

30

40

50

、この部分はトレンチの側壁に沿った部分 172A よりも厚い。

【0040】

他の実施例では、エピタキシャル層 36 の N エピタキシャルドレイン - ドリフト領域 41 のドーピングは不均一である（図 3A を参照）。たとえば、ドレイン - ドリフト領域 41 のドーピングは不均一で、ドレイン - ドリフト領域 41 の領域 41A におけるドーピング濃度が領域 41A よりも下のドレイン - ドリフト領域 41 の部分におけるドーピング濃度を下回るように、エピタキシャル層 36 における深さが増大するにつれてドーピング濃度も増大する。

【0041】

この新規な構造の他の変形例は、ゲートトレンチおよび / または RFP トレンチを内張りする段付き酸化物を含む。図 18A に示されるように、MOSFET 180 では、ゲートトレンチ 34 におけるゲート酸化膜層 182 は、p ボディ領域 39 に隣接しているトレンチ 34 の側壁に、厚さ  $d_1$  のより薄い部分 182B を含み、かつ厚さ  $d_2$  のより厚い部分 182A をトレンチ 34 の低い方の側壁および底に沿って含む。厚さ  $d_2$  はトレンチ 34 の幅 W の半分未満であり、その結果、ゲート酸化膜層 182 は「鍵穴」形状を形成する。MOSFET 180 では、より薄い部分 182B およびより厚い部分 182A が p ボディ領域 39 とドレイン - ドリフト領域 41 との間の接合部に隣接する位置で連結される。

【0042】

同様に、図 18B に示されるように、MOSFET 190 では、RFP トレンチ 32A および 32B の各々の酸化物層 192 は、トレンチ 32A および 32B の上部側壁に厚さ  $d_3$  のより薄い部分 192B を含み、トレンチ 32A および 32B の下部側壁および底に沿って厚さ  $d_4$  のより厚い部分 192A を含む。厚さ  $d_4$  はトレンチ 32A および 32B の幅 W の半分未満であり、その結果、酸化物層 192 は「鍵穴」形状を形成する。

【0043】

図 18C に示されるように、MOSFET 200 では、ゲートトレンチ 34 は（上述のような）ゲート酸化膜層 182 を包含し、RFP トレンチ 32A および 32B は（上述のような）酸化物層 192 を包含している。

【0044】

図 19 に示されるように、MOSFET 210 では、ゲートトレンチ 214 は RFP トレンチ 212A および 212B よりも深く、RFP トレンチ 212A および 212B での電界を減じる一方、ゲート電極 216 は RFP 電極 215 よりも浅い。たとえば、ゲートトレンチ 214 は、ゲートトレンチ 216 の底の絶縁層 40 の厚さに起因して、エピタキシャル層 36 において RFP トレンチ 212A および 212B の底よりも深いレベルまで延在し、RFP 電極 215 はゲート電極 216 よりも深いレベルまで延在する。

【0045】

この発明の原理は、垂直の MOSFET と同様に疑似垂直の MOSFET にも適用可能である。図 20 は疑似垂直の MOSFET 220 の断面図である。MOSFET 220 は、ゲートトレンチ 224、RFP トレンチ 222A および 222B、n+ ソース領域 226、ならびに p ボディ領域 228 を含む。p 型基板 236 と n エピタキシャル層 234 との間のインターフェースにおいて n 埋込層 230 が形成される。N 埋込層 230 は、n+ シンカ領域 232 を介して n エピタキシャル層 234 の上面から接触される。RFP トレンチ 222A および 222B の RFP 電極 235 はソースコンタクト層 238 に接触される。MOSFET 220 がオンにされると、電流が、n+ ソース領域 226 から p ボディ領域 228 を通って n 埋込層 230 へ、そして n+ シンカ領域 232 を介して n エピタキシャル層 234 の表面にまで戻って流れる。

【0046】

上述の実施例は例示にすぎず、限定するものではない。この発明の大原則に従う多くの付加的、代替的な実施例が、上記の説明から当業者にとって明らかになる。たとえば、この発明に従う装置は、「ストライプ」および「セル式」レイアウトを含むさまざまなレイアウトで製造され得る。上述の実施例は概して n チャネル MOSFET であったが、この

10

20

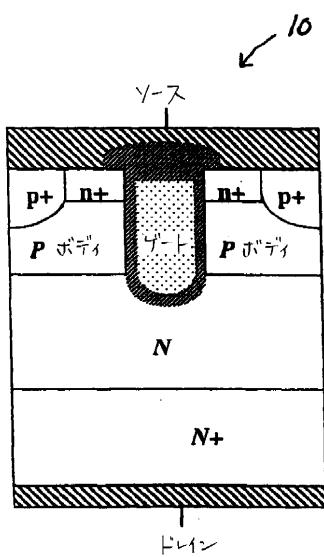
30

40

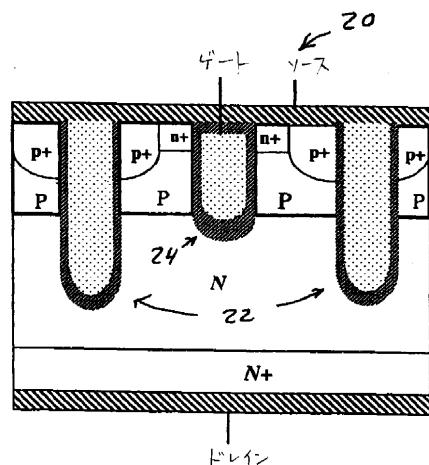
50

発明の原理は、pチャネルMOSFETにも等しく適用可能である。上述の実施例は基板上に成長されたエピタキシャル層を含むが、いくつかの実施例では、エピタキシャル層は省略されてもよい。上記の実施例のさまざまな組み合せを実現することができ、それらはこの開示の範囲内に含まれることにさらに注意されるべきである。

【図1】

Fig. 1

【図2】

Fig. 2

【図 3 A】

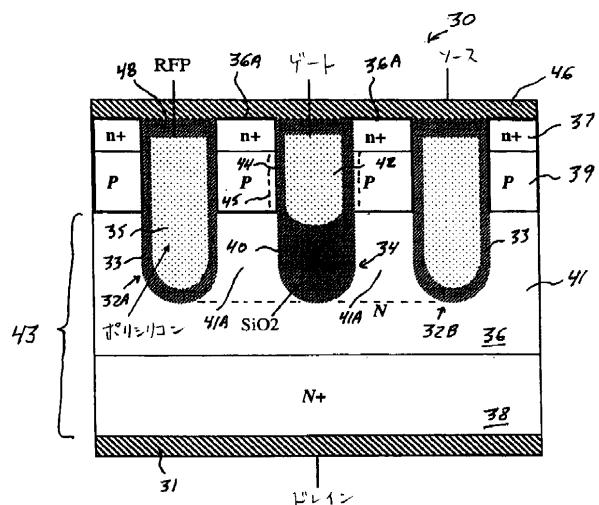


Fig. 3A

【図 3 B】

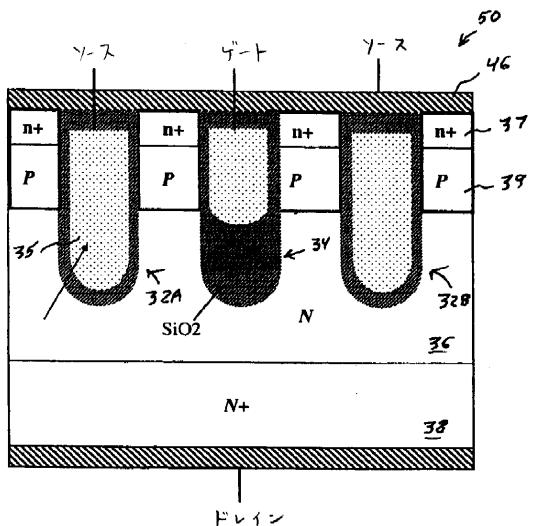


Fig. 3B

【図 4 A】

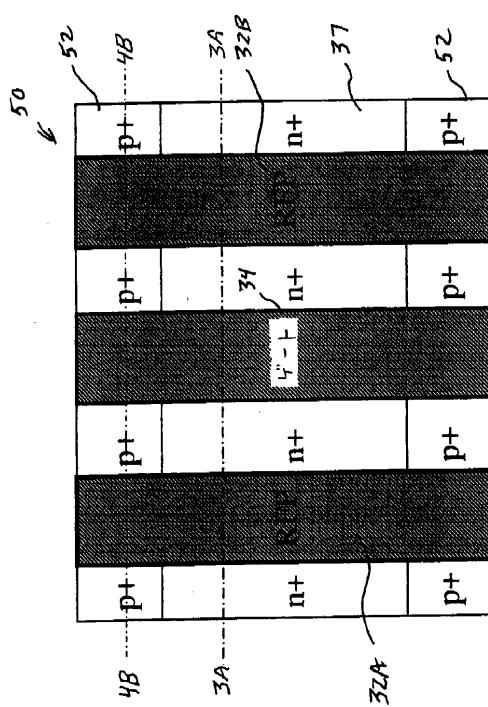


Fig. 4A

【図 4 B】

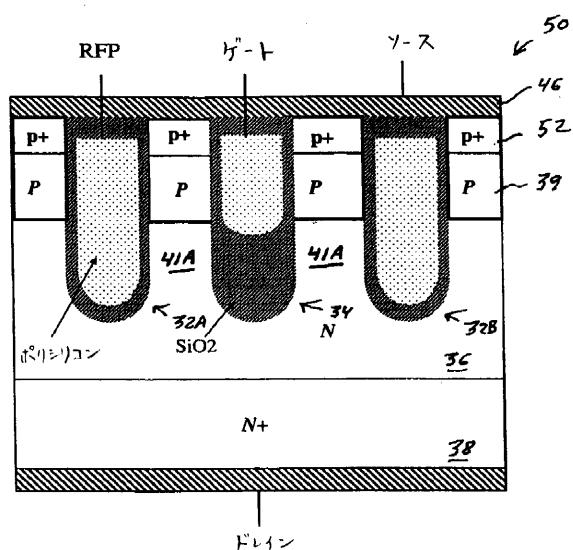


Fig. 4B

【図 5 A】

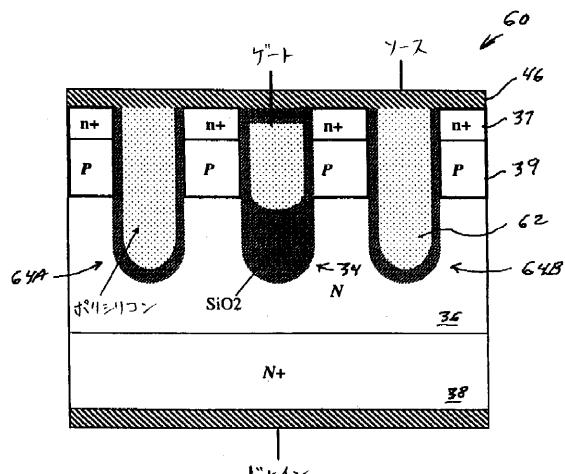


Fig. 5A

【図 5 B】

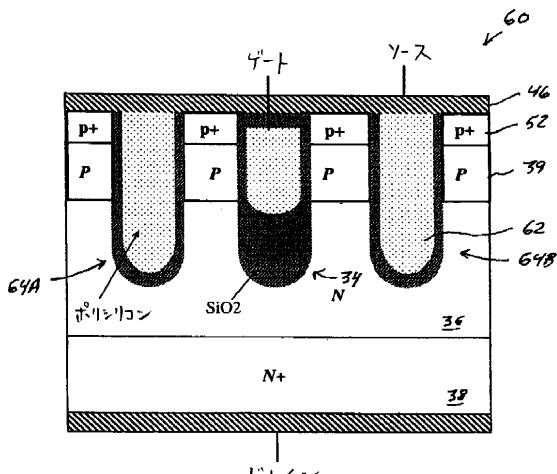


Fig. 5B

【図 6 A】

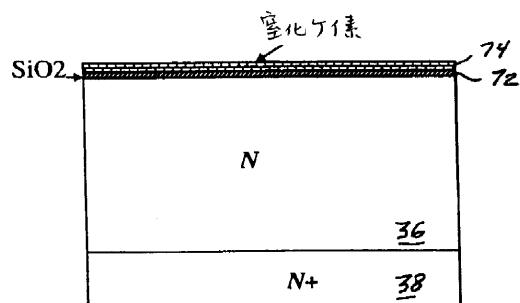


Fig. 6A

【図 6 B】

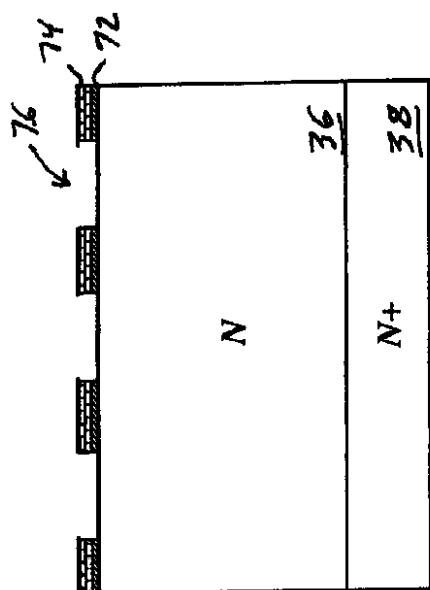


Fig. 6B

【図 6 C】

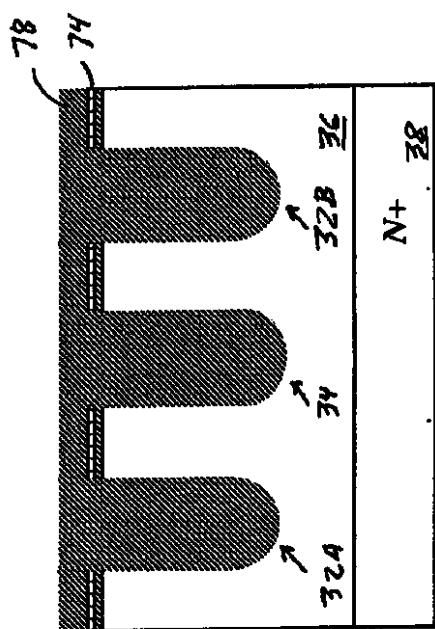


Fig. 6C

【図 6 D】

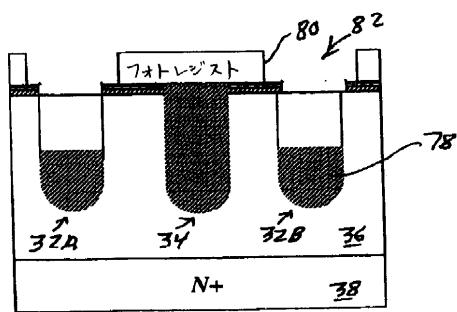


Fig. 6D

【図 6 E】

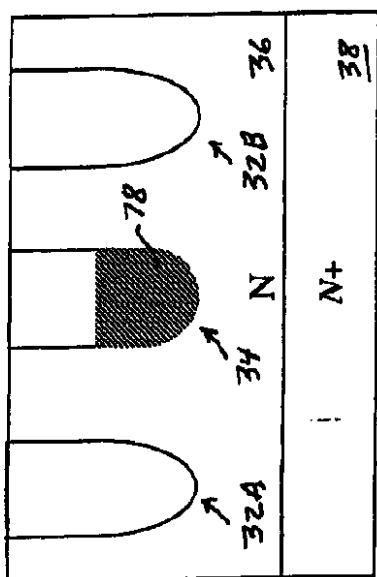


Fig. 6E

【図 6 F】

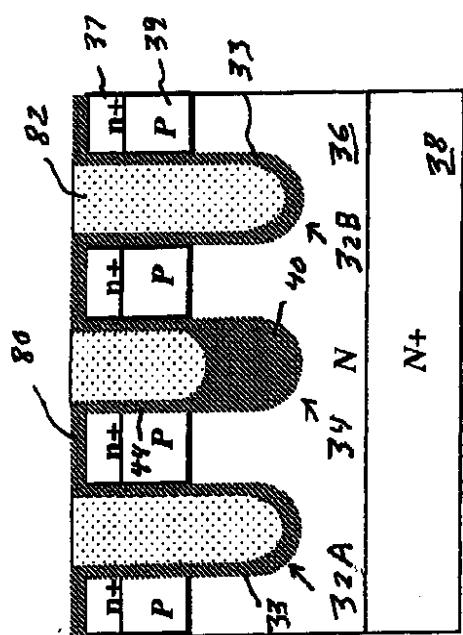


Fig. 6F

【図 6 G】

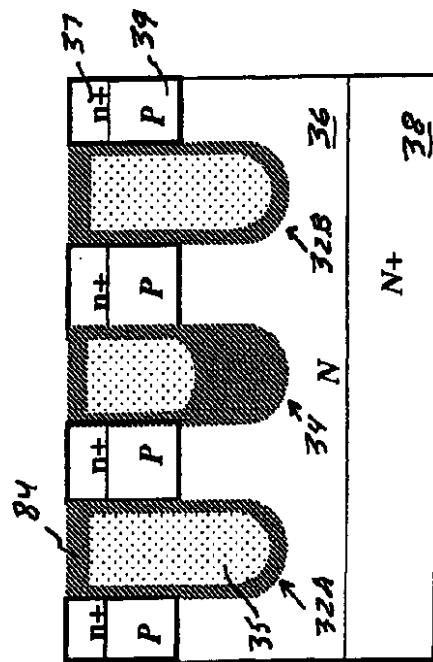


Fig. 6G

【図 6 H】

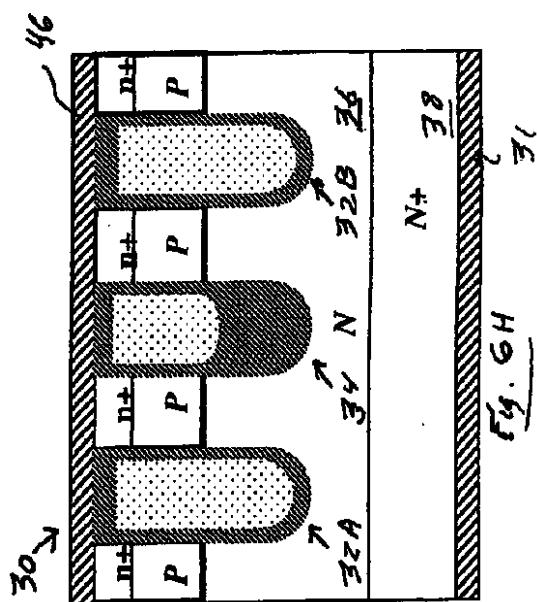


Fig. 6H

【図 7 A】

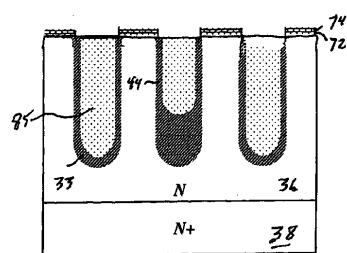


Fig. 7A

【図 7 B】

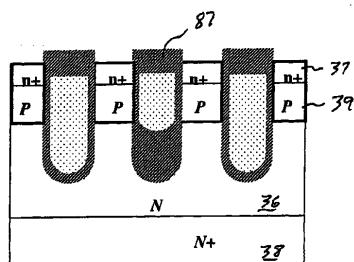


Fig. 7B

【図 8 A】

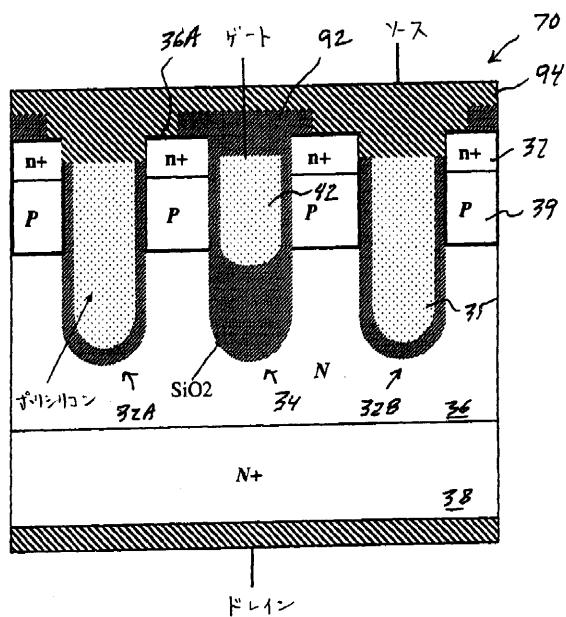


Fig. 8A

【図 8 B】

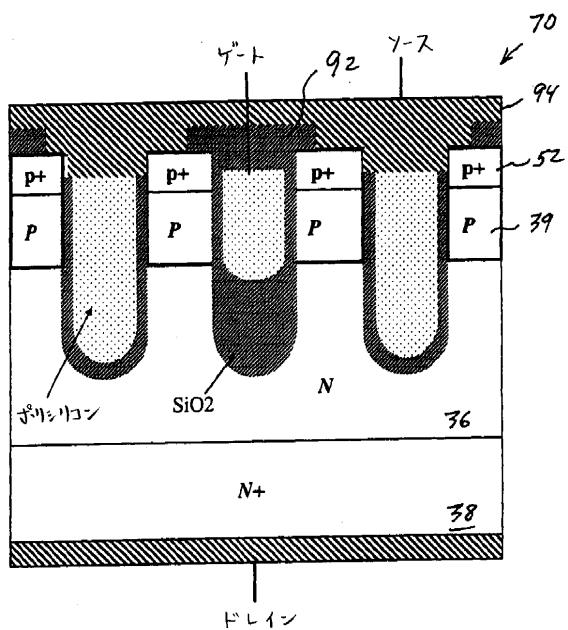


Fig. 8B

【図 9】

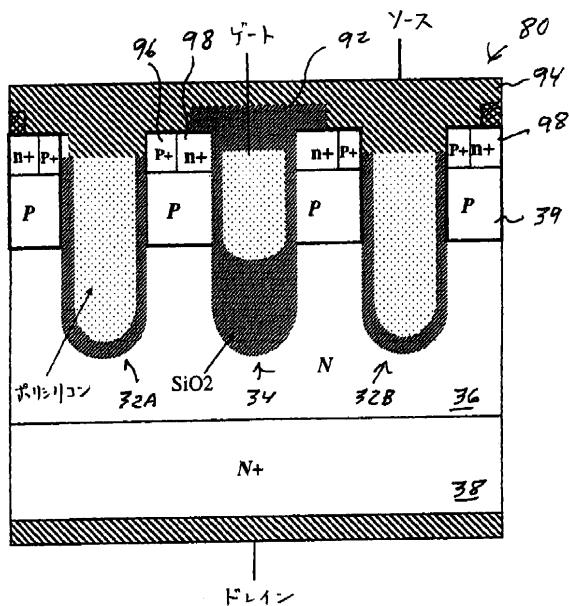


Fig. 9

【図 10】

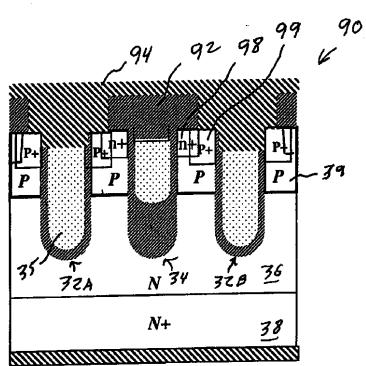


Fig. 10

【図 11】

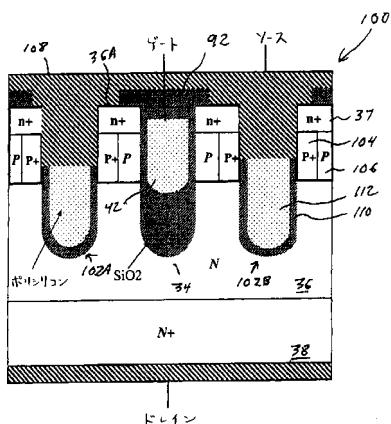


Fig. 11

【図 1 2】

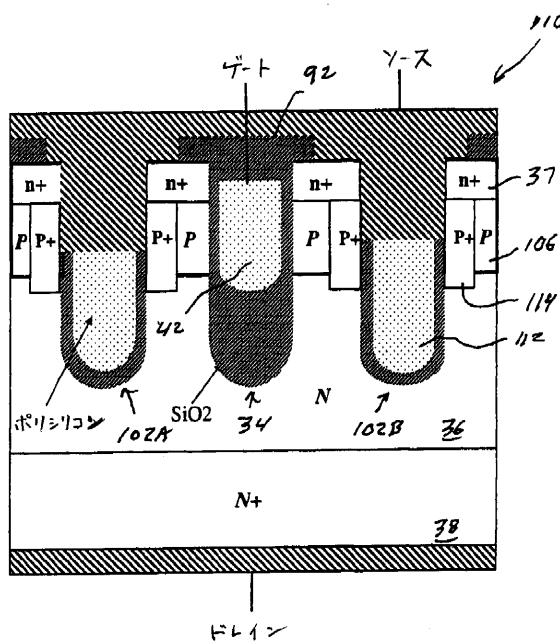


Fig. 12

【図 1 3】

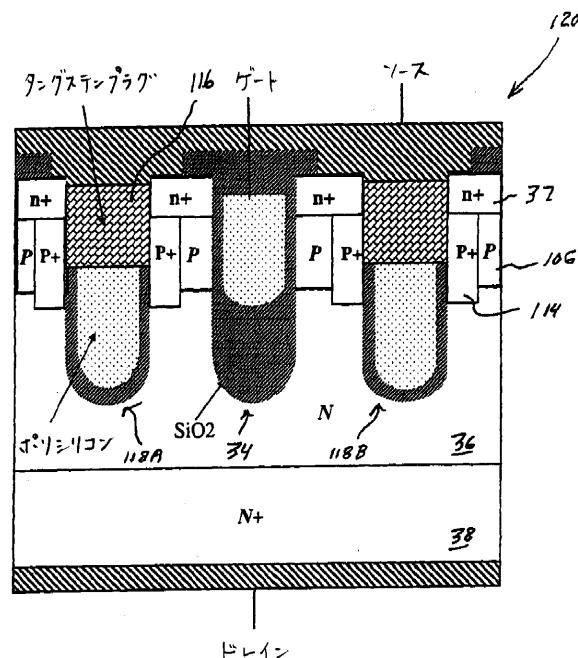


Fig. 13

【図 1 4 A】

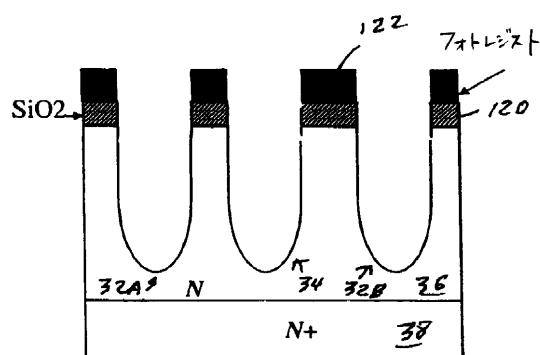


Fig. 14A

【図 1 4 B】

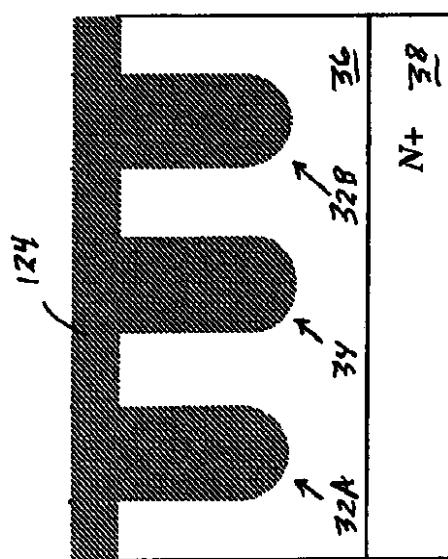


Fig. 14B

【図 14 C】

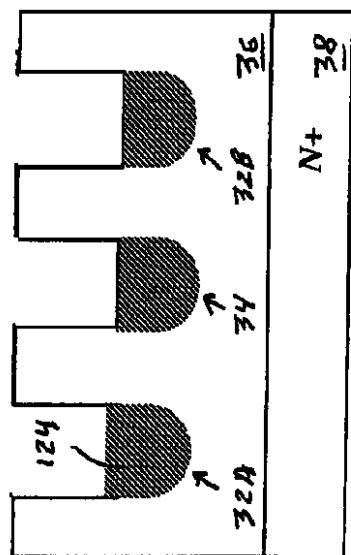


Fig. 14C

【図 14 D】

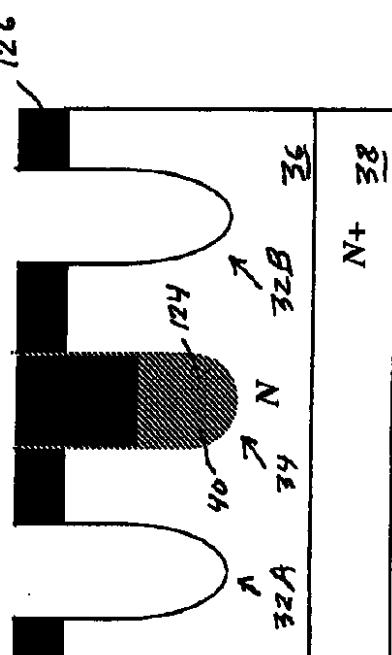


Fig. 14D

【図 14 E】

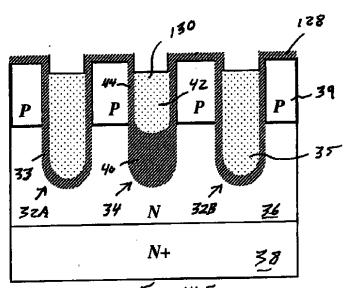


Fig. 14E

【図 14 F】

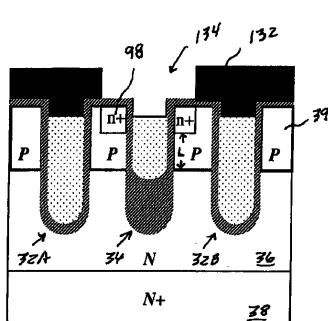


Fig. 14F

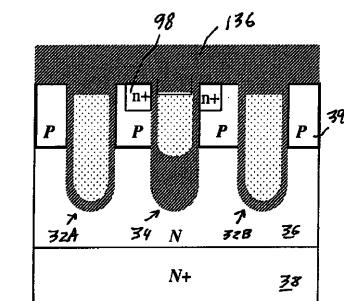


Fig. 14G

【図 14 H】

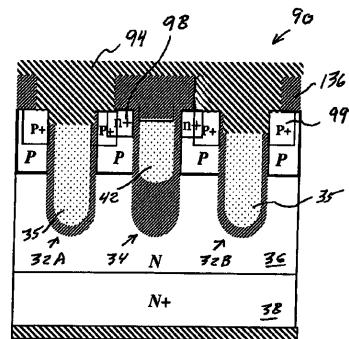


Fig. 14H

【図 15 A】

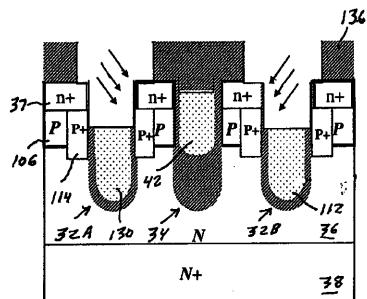


Fig. 15A

【図 15 B】

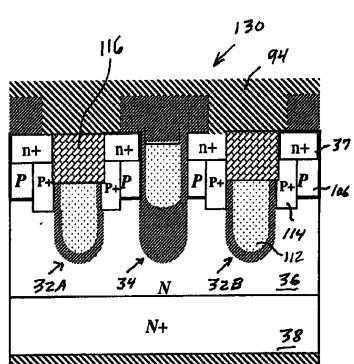


Fig. 15B

【図 16 A】

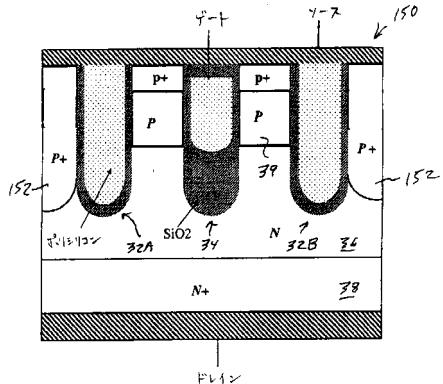


Fig. 16A

【図 16 B】

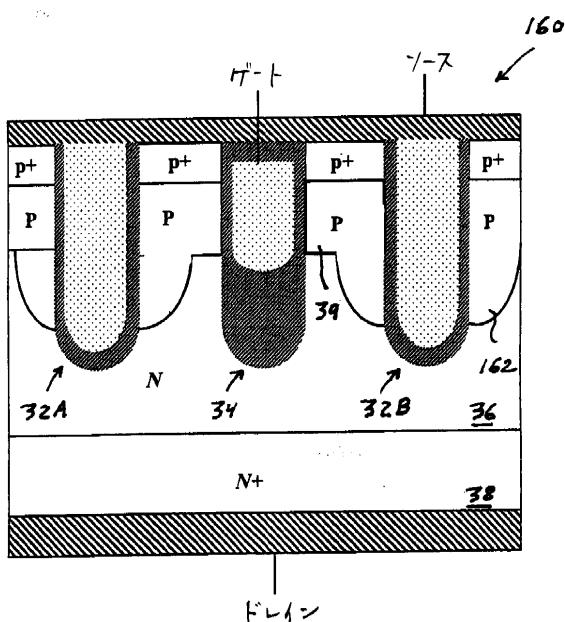


Fig. 16B

【図 17】

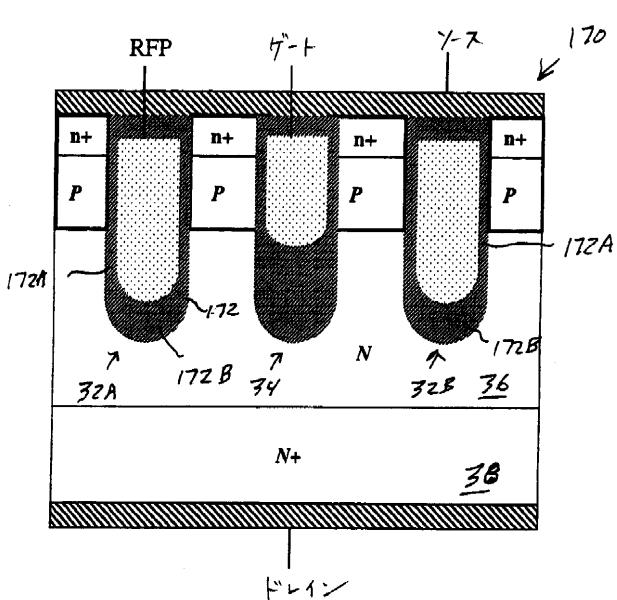


Fig. 17

【図 18 A】

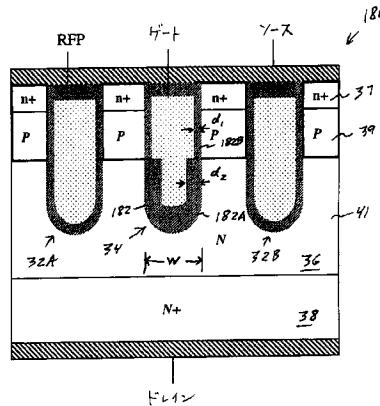


Fig. 18A

【図 18 B】

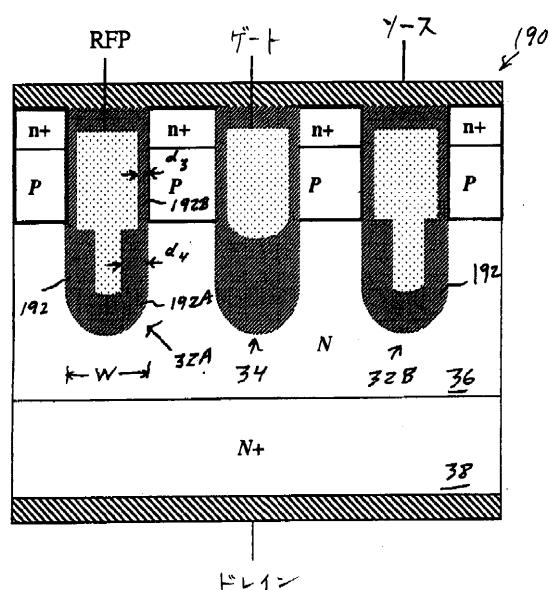


Fig. 18B

【図 18 C】

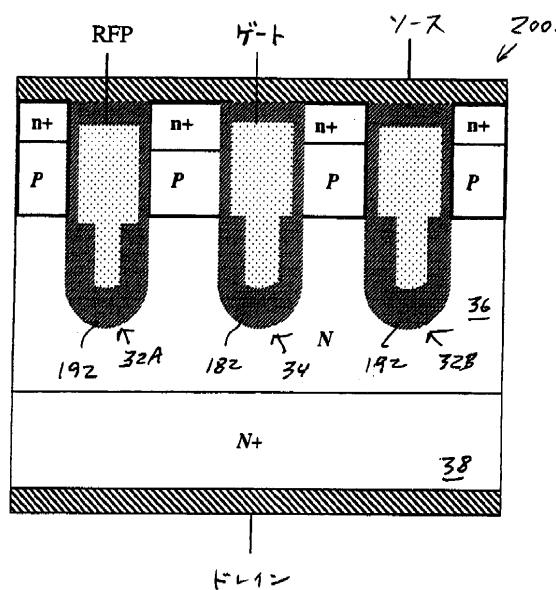


Fig. 18C

【図 19】

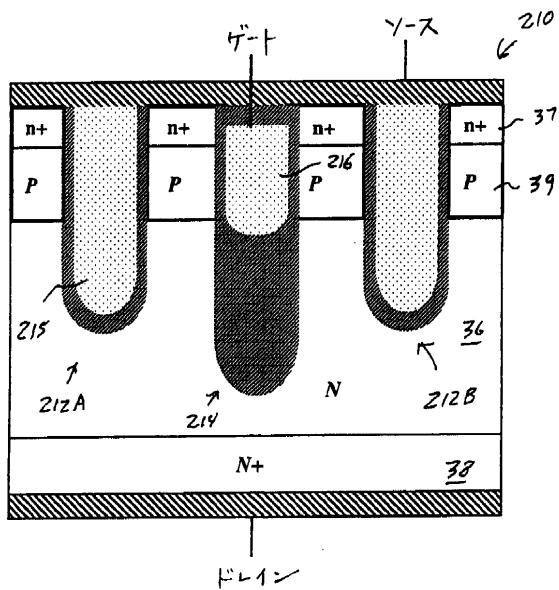


Fig. 19

【図 20】

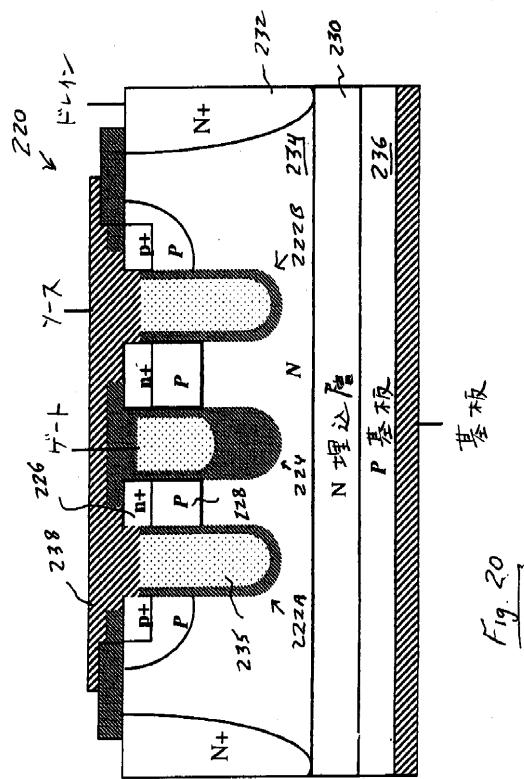


Fig. 20

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2007/020684
<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<b>H01L 21/336(2006.01)i, H01L 29/78(2006.01)i</b>		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols)		
IPC 8: H01L 21/336, H01L 29/76, H01L 29/78		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean Utility models and applications for Utility models since 1975 Japanese Utility models and applications for Utility models since 1975		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKIPASS(KIPO internal) "Keyword: field plate, recess, gate, and power MOSFET"		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005-0208722 A1 (PEAKE, S. T. et al.) 22 September 2005 See Abstract; Paragraph [0026] - Paragraph [0067]; Claims 1 - 10; Figures 1 - 7.	1 - 25
A	US 6388286 B1 (BALIGA, B. J.) 14 May 2002 See Abstract; Column 6, Line 34 - Column 13, Line 44; Claims 1 - 11; Figures 1 - 7.	1 - 25
A	US 5879980 A (SELCUK, A. A. et al.) 09 March 1999 See Abstract; Figure 3.	1 - 25
A	US 6833584 B2 (HENNINGER, R. et al.) 21 December 2004 See Abstract; Figure 1.	1 - 25
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.
<p>* Special categories of cited documents:      "A" document defining the general state of the art which is not considered to be of particular relevance      "E" earlier application or patent but published on or after the international filing date      "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified)      "O" document referring to an oral disclosure, use, exhibition or other means      "P" document published prior to the international filing date but later than the priority date claimed</p> <p>"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention      "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone      "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art      "&amp;" document member of the same patent family</p>		
Date of the actual completion of the international search 20 FEBRUARY 2008 (20.02.2008)	Date of mailing of the international search report <b>20 FEBRUARY 2008 (20.02.2008)</b>	
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140	Authorized officer KIM, JU SIK Telephone No. 82-42-481-8265	



INTERNATIONAL SEARCH REPORT Information on patent family members		International application No. <b>PCT/US2007/020684</b>	
Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US20050208722A1	22.09.2005	AU2003232995AA EP1514300A1 JP17528796 KR1020040111710 US7232726BB W02003103036A1	19.12.2003 16.03.2005 22.09.2005 31.12.2004 19.06.2007 11.12.2003
US6388286B1	14.05.2002	US2002036319A1 US2004016963A1 US6621121BB US6764889BB	28.08.2002 29.01.2004 16.09.2003 20.07.2004
US5879980A	09.03.1999	JP11045950A2 KR1019980080561	16.02.1999 25.11.1998
US6833584B2	21.12.2004	DE10127885A1 US20020185680A1	19.12.2002 12.12.2002

## フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	H 01 L 29/78	6 5 8 G
	H 01 L 29/78	6 5 2 M
	H 01 L 29/78	6 5 2 D
	H 01 L 29/78	6 5 2 G
	H 01 L 29/06	3 0 1 F
	H 01 L 29/06	3 0 1 V

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, K, P, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 將行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 ダルウィッシュ, モハメド・エヌ

アメリカ合衆国、95008 カリフォルニア州、キャンベル、リガス・ドライブ、675