

【特許請求の範囲】

【請求項 1】

半導体ダイに形成される MOSFET であって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第 1 の誘電体層によってダイから分離され、第 1 の誘電体層は、ゲートトレンチの底に第 1 の部分を含み、ゲートトレンチの側壁に第 2 の部分を含み、第 1 の部分は第 2 の部分より厚く、さらに

ダイの表面から延在する第 1 の窪んだフィールドプレート (RFP) トレンチを含み、第 1 の RFP トレンチは第 1 の RFP 電極を包含し、第 1 の RFP 電極は第 2 の誘電体層によってダイから分離され、さらに

ダイの表面から延在する第 2 の RFP トレンチを含み、第 2 の RFP 電極は第 2 の RFP 電極を包含し、第 2 の RFP トレンチは第 3 の誘電体層によってダイから分離され、ゲートトレンチは第 1 および第 2 の RFP トレンチの間に位置し、

ゲートトレンチと第 1 の RFP トレンチとの間のダイのメサと、

メサにおけるダイの表面およびゲートトレンチの側壁に隣接した第 1 の導電型のソース領域と、

ゲートトレンチの側壁およびソース領域に隣接した第 1 の導電型とは反対の第 2 の導電型のボディ領域と、

ボディ領域に隣接した第 1 の導電型のドレイン - ドリフト領域とを含み、

第 1 および第 2 の RFP 電極のそれぞれの底は、ゲート電極の底よりも深いレベルまでダイの表面の下に位置し、第 1 および第 2 の RFP トレンチの各々の深さはゲートトレンチの深さと実質的に等しい、MOSFET。

【請求項 2】

第 1 および第 2 の RFP トレンチの各々の深さはゲートトレンチの深さの $+/-10\%$ 以内である、請求項 1 に記載の MOSFET。

【請求項 3】

第 1 および第 2 の RFP トレンチの各々の深さはゲートトレンチの深さの $+/-5\%$ 以内である、請求項 1 に記載の MOSFET。

【請求項 4】

第 1 および第 2 の RFP 電極はソース領域に電氣的に接続される、請求項 1 に記載の MOSFET。

【請求項 5】

ダイの表面に重なるソースコンタクト層を含み、ソースコンタクト層は導電材料を含んで第 1 および第 2 の RFP 電極およびソース領域に接している、請求項 4 に記載の MOSFET。

【請求項 6】

ゲートトレンチは第 1 および第 2 の RFP トレンチから等距離である、請求項 1 に記載の MOSFET。

【請求項 7】

第 1 の RFP トレンチとゲートトレンチとの間のエリアのドレイン - ドリフト領域のドーピング濃度は、ゲートトレンチの下のエリアのドレイン - ドリフト領域のドーピング濃度未満である、請求項 1 に記載の MOSFET。

【請求項 8】

第 1 および第 2 の RFP 電極は第 1 の導電型のドーパントでドーブされたポリシリコンを含む、請求項 1 に記載の MOSFET。

【請求項 9】

第 1 および第 2 の RFP 電極は第 2 の導電型のドーパントでドーブされたポリシリコンを含む、請求項 1 に記載の MOSFET。

【請求項 10】

ソースコンタクト層はタングステンブラグを含み、タングステンブラグは RFP 電極に

10

20

30

40

50

接している、請求項 1 に記載の MOSFET。

【請求項 1 1】

ダイの表面から延在する第 2 の導電型の電圧固定領域をさらに含み、電圧固定領域の深さはボディ領域の底と RFP トレンチの底との間のレベルである、請求項 1 に記載の MOSFET。

【請求項 1 2】

半導体ダイに形成される MOSFET であって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第 1 の誘電体層によってダイから分離され、第 1 の誘電体層はゲートトレンチの底に第 1 の部分を含み、ゲートトレンチの側壁に第 2 の部分を含み、第 1 の部分は第 2 の部分より厚く、さらに

ダイの表面から延在する窪んだフィールドプレート (RFP) トレンチを含み、RFP トレンチは RFP 電極を包含し、RFP 電極は第 2 の誘電体層によってダイから分離され、RFP 電極の底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、RFP 電極はゲート電極から電氣的に分離され、さらに

ゲートトレンチと RFP トレンチとの間のダイのメサと、

メサにおけるダイの表面に隣接した第 1 の導電型のソース領域とを含み、ソース領域は RFP トレンチの側壁とゲートトレンチの側壁と間のメサにわたって延在し、さらに

メサにおいて第 1 の導電型とは反対の第 2 の導電型のボディ領域を含み、ボディ領域はソース領域に隣接して RFP トレンチの側壁とゲートトレンチの側壁との間のメサにわたって延在し、さらに

ボディ領域に隣接した第 1 の導電型のドレイン - ドリフト領域を含む、MOSFET。

【請求項 1 3】

ボディ領域は RFP トレンチの側壁に隣接するボディコンタクト領域を含み、ボディコンタクト領域は第 2 の導電型のドーパントでドーピングされており、ボディ領域の残りの部分のドーピング濃度よりもドーピング濃度が高く、MOSFET はさらにソースコンタクト層を含み、ソースコンタクト層は導電材料を含み、RFP 電極の上面はダイの表面よりも下のレベルまで窪み、その結果ソースコンタクト層はソース領域およびボディコンタクト領域に接している、請求項 1 2 に記載の MOSFET。

【請求項 1 4】

ソースコンタクト層はタングステンプラグを含み、タングステンプラグはボディコンタクト領域に接している、請求項 1 3 に記載の MOSFET。

【請求項 1 5】

ボディコンタクト領域はボディ領域の残りの部分の底よりもより深いレベルまでダイの表面の下に延在する、請求項 1 3 に記載の MOSFET。

【請求項 1 6】

RFP トレンチの深さはゲートトレンチの深さに実質的に等しい、請求項 1 2 に記載の MOSFET。

【請求項 1 7】

ダイの表面から延在する第 2 の RFP トレンチを含み、第 2 の RFP トレンチは第 2 の RFP 電極を包含し、第 2 の RFP 電極は第 3 の誘電体層によってダイから分離され、第 2 の RFP 電極の底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、ゲートトレンチと第 2 の RFP トレンチとの間のダイの第 2 のメサと、

第 2 のメサにおけるダイの表面に隣接した第 1 の導電型の第 2 のソース領域とを含み、第 2 のソース領域は第 2 の RFP トレンチの側壁とゲートトレンチの第 2 の側壁と間の第 2 のメサにわたって延在し、さらに

メサにおいて第 2 の導電型の第 2 のボディ領域を含み、第 2 のボディ領域は第 2 のソース領域に隣接して RFP トレンチの側壁とゲートトレンチの第 2 の側壁との間の第 2 のメサにわたって延在する、請求項 1 2 に記載の MOSFET。

【請求項 1 8】

RFPトレンチおよび第2のRFPトレンチの各々の深さはゲートトレンチの深さに実質的に等しい、請求項17に記載のMOSFET。

【請求項19】

半導体ダイに形成されるMOSFETであって、

ダイの表面から延在するゲートトレンチを含み、ゲートトレンチはゲート電極を含み、ゲート電極は第1の誘電体層によってダイから分離され、第1の誘電体層はゲートトレンチの底に第1の部分を含み、ゲートトレンチの側壁に第2の部分を含み、第1の部分は第2の部分より厚く、さらに

ダイの表面から延在する第1の窪んだフィールドプレート(RFP)トレンチを含み、第1のRFPトレンチは第1のRFP電極を包含し、第1のRFP電極は第2の誘電体層によってダイから分離され、さらに

ダイの表面から延在する第2のRFPトレンチを含み、第2のRFPトレンチは第2のRFP電極を包含し、第2のRFP電極は第3の誘電体層によってダイから分離され、ゲートトレンチは第1および第2のRFPトレンチの間に位置し、さらに

ゲートトレンチと第1のRFPトレンチとの間のダイのメサと、

メサにおけるダイの表面およびゲートトレンチの側壁に隣接した第1の導電型のソース領域と、

ゲートトレンチの側壁およびソース領域に隣接した第1の導電型とは反対の第2の導電型のボディ領域と、

ボディ領域に隣接した第1の導電型のドレイン・ドリフト領域とを含み、

第1および第2のRFP電極のそれぞれの底はゲート電極の底よりもより深いレベルでダイの表面の下に位置し、第1および第2のRFPトレンチの各々の深さはゲートトレンチの深さの50%より多く80%未満の範囲である、MOSFET。

【請求項20】

MOSFETを製造する方法であって、

半導体ダイを与えるステップと、

ゲートトレンチおよび窪んだフィールドプレート(RFP)トレンチを形成するためにダイをエッチングするステップとを含み、ゲートトレンチおよびRFPトレンチはダイの表面から延在して実質的に等しい深さであり、さらに

ゲートトレンチの底に絶縁層を形成するステップと、

絶縁層の上のゲートトレンチの側壁にゲート誘電体層を形成するステップと、

RFPトレンチの壁に沿って第2の誘電体層を形成するステップと、

ゲート電極を形成するためにゲートトレンチに導電材料を導入するステップと、

RFP電極を形成するためにRFPトレンチに導電材料を導入するステップと、

ボディ領域を形成するためにゲートトレンチの側壁に隣接するメサにおいて第1の導電型のドーパントを注入するステップと、

ソース領域を形成するためにダイの表面に隣接するメサにおいて第1の導電型とは反対の第2の導電型のドーパントを注入するステップと、

ソース領域に接するダイの表面にソースコンタクト層を堆積させるステップとを含み、ソースコンタクト層は導電材料を含む、方法。

【請求項21】

ソースコンタクト層がゲート電極に接しないようにゲート電極の上に第3の誘電体層を形成するステップを含む、請求項20に記載の方法。

【請求項22】

ソースコンタクト層を堆積させるステップはソースコンタクト層がRFP電極に接することを引起す、請求項21に記載の方法。

【請求項23】

ボディ領域およびRFPトレンチの側壁に隣接するボディコンタクト領域を形成するために第1の導電型のドーパントを注入するステップを含み、方法はさらに、ソースコンタクト層を堆積させるステップが、ソースコンタクト層がボディコンタクト領域に接するこ

とを引起すように、R F P 電極を R F P トレンチにエッチングするステップを含む、請求項 2 2 に記載の方法。

【請求項 2 4】

ダイの表面にマスク層を形成するステップと、

3 つの開口部を形成するためにマスク層をパターニングするステップとを含み、第 1 の開口部は R F P トレンチが形成されるべき場所に位置し、第 2 の開口部はゲートトレンチが位置するべき場所に位置し、第 3 の開口部は第 2 の R F P トレンチが位置するべき場所に位置し、第 2 の開口部は第 1 および第 3 の開口部の間に位置してこれらから等距離であり、さらに

ダイをエッチングするステップは、R F P トレンチ、ゲートトレンチおよび第 2 の R F P トレンチを形成するために、それぞれ第 1、第 2 および第 3 の開口部を通してダイをエッチングするステップを含み、ゲートトレンチは R F P および第 2 の R F P トレンチの間に位置してこれらから等距離である、請求項 2 0 に記載の方法。

【請求項 2 5】

ダイをエッチングするステップは、ゲートトレンチおよび R F P トレンチのそれぞれの深さが + / - 1 0 % 以内の許容誤差を有するようにする、請求項 2 4 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

関連出願の相互参照

この出願は、2 0 0 6 年 9 月 2 7 日に提出された仮出願番号第 6 0 / 8 4 7 , 5 5 1 号の優先権を主張し、これは引用によってその全体が本願明細書に援用される。

【背景技術】

【0 0 0 2】

発明の背景

パワー M O S F E T は、多くの電子用途でスイッチ素子として広く用いられている。電導電力損を最小限にするために、パワー M O S F E T が低い特性オン抵抗 (low specific on-resistance) を有することが望ましい。それは、M O S F E T のオン抵抗 (R_{on}) に M O S F E T の活性なダイ領域 (A) を乗じた積 ($R_{on} * A$) として規定される。図 1 の M O S F E T 1 0 の概略的断面図に示されたようなトレンチ型 M O S F E T は、その高い充填密度、すなわち単位面積あたりのセル数に起因して、低い特性オン抵抗を与える。セル密度が増加するにつれて、ゲート - ソースキャパシタンス (C_{gs})、ゲート - ドレインキャパシタンス (C_{gd})、およびドレイン - ソースキャパシタンス (C_{ds}) などの関連付けられたキャパシタンスも増加する。モバイル製品に用いられる同期バック (synchronous buck) d c - d c コンバータなどの多くのスイッチング用途において、1 M H z に近いスイッチング周波数で動作するために 1 2 ~ 3 0 V の範囲の破壊電圧を備えた M O S F E T が必要とされる。したがって、これらのキャパシタンスによって引起されるスイッチングまたは動的な電力損を最小限にすることが望ましい。これらのキャパシタンスの大きさは、ゲート電荷 (Q_g)、ゲート - ドレイン電荷 (Q_{gd}) および出力電荷 (Q_{oss}) に正比例する。さらに、これらの装置が第 3 のクアドラント (quadrant) において動作するとき、すなわちドレイン - ボディ接合部が順方向にバイアスされる場合、少数キャリア注入の結果として電荷が格納され、この蓄積電荷が装置のスイッチング速度の遅延を引起す。したがって、M O S F E T スwitch の逆回復電荷 (Q_{rr}) が低いことが重要である。

【0 0 0 3】

図 2 に示されるように、サップ (S a p p) に対する米国特許番号第 6 , 7 1 0 , 4 0 3 号は、 R_{on} 、 C_{gs} および C_{gd} のレベルを低下させるために、活性なトレンチ 2 4 の両側にポリシリコンで充填された 2 つのより深いトレンチ 2 2 を備えたデュアルトレンチのパワー M O S F E T を提案する。しかしながら、M O S F E T 2 0 は逆回復電荷 Q_{rr} を低下させず、2 つの異なる深さを有するトレンチの製造を必要とする。さらに、M O

S F E T 2 0 では、深いトレンチおよび浅いトレンチは自己整合されておらず、それはメサ幅において、そのため破壊電圧においても変動を引起す。

【 0 0 0 4 】

C P U 電圧調整器モジュール (V R M) などの新しい用途に迫られてスイッチング速度要件が 1 M H z 以上にまで増加しているので、パワー M O S F E T はますます十分な効率性能および電力損で動作することができなくなっている。したがって、パワー M O S T ランジスタが低い特性オン抵抗 ($R_{on} \cdot A$) を有することに加えて、低いゲート電荷 Q_g および Q_{gd} 、低い出力電荷 Q_{oss} 、および低い逆回復電荷 Q_{rr} を有することに対して明瞭な需要がある。

【 発明の概要 】

【 課題を解決するための手段 】

【 0 0 0 5 】

発明の概略

この発明による M O S F E T は半導体ダイに形成され、自己整合されたゲートトレンチおよび窪んだフィールドプレート (R F P) トレンチを含み、両方のトレンチはダイの表面から延在してその間にメサを形成する。ゲートトレンチは、ゲートトレンチの底で厚いセクションを有する第 1 の誘電体層によってダイから分離されたゲート電極を含み、R F P トレンチと実質的に同じ深さまで延在する。R F P トレンチは、第 2 の誘電体層によってダイから分離される R F P 電極を包含している。M O S F E T はさらに、M O S F E T のいくつかのエリアで R F P 電極トレンチに隣接し、ダイの表面およびゲートトレンチの側壁に隣接した第 1 の導電型のソース領域と、ゲートトレンチの側壁およびソース領域に隣接した第 1 の導電型とは反対の第 2 の導電型のボディ領域とを含む。M O S F E T のいくつかのエリアでは、 p^+ ボディコンタクト領域は P ボディに横方向に隣接して配置されることができる。R F P 電極は独立してバイアスされてもよく、またはソース電位でバイアスされてもよい。1 つの実施例においては、ゲートトレンチおよび R F P トレンチのそれぞれの深さは実質的に同じである。

【 0 0 0 6 】

この発明はさらに、M O S F E T を製造する方法を含む。この方法は、半導体ダイを与えるステップと、ゲートトレンチおよび窪んだフィールドプレート (R F P) トレンチを形成するためにダイをエッチングするステップとを含み、ゲートトレンチおよび R F P トレンチはダイの表面から延在して実質的に等しい深さであり、さらに、ゲートトレンチの底に絶縁層を形成するステップと、絶縁層の上にゲートトレンチの側壁にゲート誘電体層を形成するステップと、R F P トレンチの壁に沿って第 2 の誘電体層を形成するステップと、ゲート電極を形成するためにゲートトレンチに導電材料を導入するステップと、R F P 電極を形成するために R F P トレンチに導電材料を導入するステップと、メサにおいてゲートトレンチの側壁に隣接してボディ領域を形成するために第 1 の導電型とは反対の第 2 の導電型のドーパントを注入するステップと、メサにおいてダイの表面に隣接してソース領域を形成するために第 1 の導電型のドーパントを注入するステップと、ソース領域に接するダイの表面にソースコンタクト層を堆積させるステップとを含む。

【 図面の簡単な説明 】

【 0 0 0 7 】

【 図 1 】 従来のトレンチ型 M O S F E T の断面図である。

【 図 2 】 公知のデュアルトレンチ M O S F E T の断面図である。

【 図 3 A 】 窪んだフィールドプレート (R F P) 電極が独立してバイアスされた、この発明による窪んだフィールドプレート (R F P) を有する M O S F E T の断面図である。

【 図 3 B 】 R F P 電極がソースと同じ電位でバイアスされた、この発明による窪んだフィールドプレート (R F P) を有する M O S F E T の断面図である。

【 図 4 A 】 図 3 A に示される M O S F E T の上面図である。

【 図 4 B 】 図 4 A の断面 4 B - 4 B で得られた、図 3 A に示される M O S F E T の断面図である。

10

20

30

40

50

【図 5 A】R F P 電極がソース領域に接している、代替実施例の断面図である。

【図 5 B】図 4 A の断面 4 B - 4 B に対応する断面で得られた、図 5 A の M O S F E T の断面図である。

【図 6 A】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 B】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 C】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 D】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 E】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 F】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 G】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 6 H】図 3 A に示される M O S F E T を製造するプロセスを示す図である。

【図 7 A】図 6 A - 6 H に示されるプロセスの部分の代替バージョンを示す図である。

【図 7 B】図 6 A - 6 H に示されるプロセスの部分の代替バージョンを示す図である。

【図 8 A】ゲートトレンチの上の絶縁層がソース領域の部分と重なり、ソースコンタクト層が R F P 電極と接触する、この発明による M O S F E T の断面図である。

【図 8 B】ゲートトレンチの上の絶縁層がソース領域の部分と重なり、ソースコンタクト層が R F P 電極と接触する、この発明による M O S F E T の断面図である。

【図 9】ボディコンタクト領域がソース領域に隣接して横方向に形成される、図 8 A および図 8 B の M O S F E T に類似の M O S F E T の断面図である。

【図 10】ボディコンタクト領域がソース領域よりも下のレベルまで延在する、図 9 の M O S F E T に類似の M O S F E T の断面図である。

【図 11】R F P 電極が窪み、ボディコンタクト領域がボディ領域に隣接して横方向に形成される、この発明による M O S F E T の断面図である。

【図 12】ボディコンタクト領域がボディ領域よりも下のレベルまで延在する、図 11 の M O S F E T に類似の M O S F E T の断面図である。

【図 13】金属プラグが R F P トレンチの上部に形成される、図 12 の M O S F E T に類似の M O S F E T の断面図である。

【図 14 A】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 B】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 C】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 D】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 E】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 F】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 G】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 14 H】図 10 に示される M O S F E T を製造するプロセスを示す。

【図 15 A】図 14 A - 図 14 H に示されるプロセスの変形例を示す。

【図 15 B】図 14 A - 図 14 H に示されるプロセスの変形例を示す。

【図 16 A】M O S F E T の破壊電圧を制限するために深い p 型領域を包含している、この発明による M O S F E T の断面図である。

【図 16 B】M O S F E T の破壊電圧を制限するために深い p 型領域を包含している、この発明による M O S F E T の断面図である。

【図 17】R F P トレンチが底の厚い酸化物層を包含している、この発明による M O S F E T の断面図である。

【図 18 A】ゲートトレンチおよび / または R F P トレンチに段付き酸化物層を包含している M O S F E T の断面図である。

【図 18 B】ゲートトレンチおよび / または R F P トレンチに段付き酸化物層を包含している M O S F E T の断面図である。

【図 18 C】ゲートトレンチおよび / または R F P トレンチに段付き酸化物層を包含している M O S F E T の断面図である。

【図 19】ゲートトレンチが R F P トレンチより深い M O S F E T の断面図である。

10

20

30

40

50

【図 20】この発明による疑似垂直の MOSFET の断面図である。

【発明を実施するための形態】

【0008】

発明の詳細な説明

この発明による n チャンネル MOSFET 30 の基本セルが図 3 A に示される。MOSFET 30 は、高ドーパされた n + 基板 38 上に成長する n 型エピタキシャル層 36 を含む半導体ダイに形成される。MOSFET 30 は、n 型エピタキシャル層 36 において、ゲートトレンチ 34 の両側に位置する窪んだフィールドプレート (RFP) トレンチ 32 A および 32 B を含む。図 2 に示される MOSFET 20 のトレンチと異なり、ゲートトレンチ 34 の底の厚い酸化物は、RFP トレンチ 32 A および 32 B と実質的に同じ深さまで延在する。さらに、RFP トレンチ 32 A および 32 B ならびにゲートトレンチ 34 は好ましくは同じ処理ステップで形成され、したがって自己整合しており (すなわち、RFP トレンチ 32 A および 32 B は、処理および整合の変動にかかわらず、ゲートトレンチ 34 から等しく間隔を置かれる)、RFP トレンチ 32 A および 32 B ならびにゲートトレンチ 34 は深さが等しいか、または実質的に等しい (たとえば、RFP トレンチ 32 A および 32 B のそれぞれの深さはゲートトレンチ 32 の深さの + / - 10 % 内であり、または好ましくは + / - 5 % 以内である)。トレンチ間のメサは n + ソース領域 37 および p ボディ領域 39 を包含し、p ボディ領域 39 の下には、エピタキシャル層 36 の n 型ドレイン - ドリフト領域 41 がある。ドレイン - ドリフト領域 41 は、RFP トレンチ 32 A および 32 B とゲートトレンチ 34 との間に領域 41 A を含む。ドレイン - ドリフト領域 41 および n + 基板 38 は、ともに MOSFET 30 のドレイン 43 を形成する。

10

20

【0009】

図 2 に示される先行技術の MOSFET 20 では、ボディ - ドレイン接合部が逆バイアスされると電界強度が減じられ、したがって、主としてゲートトレンチ 24 より下のドリフト領域における 2 つの深いトレンチ 22 間の空乏領域の広がり起因して、破壊電圧が増大する。MOSFET 30 では、同じ条件下で電界がさらに減じられる。なぜならば、ゲートトレンチ 34 の厚い酸化物と RFP トレンチ 32 A および 32 B との間に位置するドレイン - ドリフト領域 41 のうちより狭い領域 41 A に最初は空乏層が限定されるからである。さらに、先行技術の MOSFET 20 のトレンチ 22 がゲートトレンチ 24 より深いのでトレンチ 22 の底の電界はより高く、これがトレンチ 22 の酸化物層の厚さの下

30

【0010】

図 3 A を再び参照すると、トレンチ 32 A および 32 B の壁が二酸化ケイ素 (SiO_2) などの絶縁材の層 33 に内張りされ、トレンチ 32 A および 32 B は RFP 電極 35 を包含し、その各々は、n 型または p 型のドーパしたポリシリコンなどの導電材料の層を含む。酸化物層 33 は、MOSFET 30 の破壊電圧を超過する破壊電圧を有するのが好ましい。ゲートトレンチ 34 は、p - ボディ領域 39 とエピタキシャル層 36 のドレイン - ドリフト領域 41 との間の pn 接合のレベルまで、絶縁材の層 40 で満たされる。絶縁層 40 上にはゲート電極 42 がある。ゲート電極 42 は n 型ドーパしたポリシリコンから作られ得、ゲート誘電体層 44 によってエピタキシャル層 36 から分離されている。チャンネル領域 45 (鎖線によって表される) はゲート誘電体層 44 に隣接する p - ボディ領域 39 内にある。絶縁層 40 の厚さは、ゲート電極 42 およびドレイン - ドリフト領域 41 の重なりを最小限にするように好ましくは設定される。重なるソースコンタクト層 46 は n + ソース領域 37 に接し、ドレインコンタクト層 31 は n + 基板 38 に接する。コンタクト層 46 および 31 は典型的には金属でできているが、別の導電材料からも形成することができる。

40

【0011】

RFP トレンチ 32 A および 32 B の RFP 電極 35 は、エピタキシャル層 36 の表面 36 A の下でゲート電極 42 の底よりもさらに深いレベルまで延在する。RFP 電極 35

50

は独立してバイアスされてもよく、または図 3 B に示されるように、図面外で $n +$ ソース領域 3 7 に接続されてもよい。

【 0 0 1 2 】

いくつかの実施例では、RFP トレンチ 3 2 A および 3 2 B とゲート トレンチ 3 4 との間の領域のドレイン - ドリフト領域 4 1 のドーピング濃度（たとえば 5×10^{15} から $1 \cdot 5 \times 10^{16} \text{ cm}^{-3}$ ）は、ゲート トレンチ 3 4 より下の領域のドレイン - ドリフト領域 4 1 のドーピング濃度（たとえば 2×10^{16} から $3 \times 10^{16} \text{ cm}^{-3}$ ）よりも低い。この構造は、ボディ領域 3 9 とドレイン - ドリフト領域 4 1 の間の PN 接合部が領域 4 1 A の限定された空乏電荷に起因して逆バイアスされる場合、RFP トレンチ 3 2 A および 3 2 B とゲート トレンチ 3 4 との間のドレイン - ドリフト領域 4 1 の領域の空乏の広がりを向上させる。これは、たとえば、エピタキシャル層 3 6 が形成されている間にエピタキシャル層 3 6 のドーピングを変えることによりさらに向上することができる。これはさらにチャネル長がさらに短くなる結果ともなり、そのため、より低い R_{on} 、より低いゲート - ソースキャパシタンス (C_{gs})、およびより低いゲート - ドレインキャパシタンス (C_{gd}) を与える。

10

【 0 0 1 3 】

図 3 A および図 3 B に示される実施例には、 $n +$ ソース領域 3 7 がゲート トレンチ 3 4 と RFP トレンチ 3 2 A および 3 2 B との間に延在する。代替的に、図 4 A の上面図および図 4 B の断面図に示される MOSFET 5 0 は MOSFET 3 0 に類似しているが、 $n +$ ソース領域 3 7 は選択された領域において $p +$ ボディコンタクト領域 5 2 によって置換され、スナップバックまたは第 2 破壊特性を回避する。図 4 A では、断面 3 A - 3 A における図は図 3 A に示される断面図と同一であり、断面 4 B - 4 B における図は図 4 B に示される。

20

【 0 0 1 4 】

従来の N - チャネル MOSFET が第 3 の四分円で作動するとき、そのドレインはそのソース - ボディ電極に対して負にバイアスされ、拡散電流は結果として少数キャリア注入および高い Q_{rr} を生じる。MOSFET 3 0 および 5 0 において、 $n +$ ソース領域 3 7 がゲート トレンチ 3 4 と RFP トレンチ 3 2 A および 3 2 B と間のメサにわたって全体に延在するので、RFP 電極 3 5 は、従来の構造におけるゲート電極によって与えられるものに加えて、ドレインからソースまで多数キャリアチャネル電流経路を与える。RFP 電極とゲート電極との組み合わせられた効果は、結果として、従来の構造よりも少数キャリア拡散電流および逆回復電荷 Q_{rr} を著しく減じる。換言すれば、第 3 の四分円動作では、RFP 電極は、ゲート - ドレインキャパシタンス (C_{gd}) およびゲート - ソースキャパシタンス (C_{gs}) が追加されるペナルティーのない、追加的なゲートの役割をする。

30

【 0 0 1 5 】

RFP 電極 3 5 はまた、窪んだフィールドプレートとして機能して、MOSFET 3 0 および 5 0 が逆バイアスされる場合にはチャネル領域 4 5 の電界を減じる。この効果は、パンチスルー破壊の懸念なくより短いチャネル長の使用を可能にし、これはまた、結果としてより低い特性オン抵抗 ($R_{on} \cdot A$) およびより低いゲート電荷 (Q_g) を生じる。MOSFET 2 0 と異なり、 p ボディ領域 3 9 よりも下のドリフト領域 4 1 A は、厚いゲート底酸化物と RFP 電極との間に限定され、したがって、より有効に空乏化される。したがって、同じ逆バイアスボディ - ドレイン接合条件についてより深い空乏層が結果として生じ、より短いチャネルを用いることができ、結果的により低オン抵抗となる。さらに、ゲート - ドレインキャパシタンス (C_{gd}) は与えられたドレイン - ソース電圧 V_{ds} においてより速く低下するので、より低いゲート - ドレイン電荷 Q_{gd} およびより良い $R_{on} - Q_{gd}$ トレードオフが実現される。換言すれば、RFP 電極 3 5 の効果と、ゲート トレンチ 3 4 が p ボディ領域 3 9 およびドレイン - ドリフト領域 4 1 の間の接合部まで絶縁層 4 0 で満たされていることとの効果が合わさった効果として、MOSFET 3 0 および 5 0 がオフ状態にある間にドレイン - ソース電圧 V_{ds} が増加するので、トレンチ 3 2 A、3 2 B と 3 4 との間のドレイン - ドリフト領域 3 6 のエリアのより高速の空乏化が

40

50

助けられる。したがって、ゲート - ドレインキャパシタンス (C_{gd}) が低く、 V_{ds} の増加に伴うその低下率が速いために、結果としてゲート - ドレイン電荷 (Q_{gd}) がより低くなる。さらに、p ボディ領域 39 のドーピングは、同じ破壊電圧またはパンチスルー電圧においてより低いしきい電圧を得るよう調整することができる。p ボディ領域 39 が完全に空乏化されるように p ボディ領域 39 のドーピングをさらに調整することができ、これは著しくゲート電荷 Q_g を減じる。

【0016】

図 3 A および図 3 B に示される MOSFET 30 において、RFP 電極 35 は絶縁層 48 によってソースコンタクト層 46 から分離される。代替的に、図 5 A および図 5 B に示される MOSFET 60 には絶縁層 48 はなく、RFP トレンチ 64 A および 64 B の RFP 電極 62 は上向きに延在してソースコンタクト層 46 と電氣的に接触する。図 5 A は図 4 A の断面 3 A - 3 A に対応する断面で得られた図である。図 5 B は図 4 A の断面 4 B - 4 B に対応する断面で得られた図である。

10

【0017】

図 3 A の MOSFET 30 を製造する例示的なプロセスは図 6 A - 図 6 H に示される。図 6 A に示されるように、出発材料は、たとえば燐またはヒ素でドーブされ得る、高ドーブされた n + 基板 38 である。n 型エピタキシャル層 36 が n + 基板 38 の上に成長する。薄い酸化物層 72 が n 型エピタキシャル層 36 の上に成長し、窒化ケイ素層 74 が酸化物層 72 の上に堆積する。たとえば酸化物層 72 は 200 - 300 Å の厚さであり得、窒化ケイ素層 74 は 1000 Å の厚さであり得る。

20

【0018】

図 6 B に示されるように、フォトリソマスク (示されない) が用いられて開口部 76 を伴って窒化ケイ素層 74 および酸化物層 72 がパターンニングされる。

【0019】

図 6 C に示されるように、エピタキシャル層 36 が開口部 76 を通してエッチングされ、RFP トレンチ 32 A および 32 B ならびにゲートトレンチ 34 を形成する。トレンチ 32 A、32 B および 34 が例示にすぎないことが理解される。典型的には多数のトレンチが形成される。たとえば 300 Å の厚さの薄い熱酸化物層 (示されない) が、トレンチ 32 A、32 B および 34 の壁に成長し、次いでトレンチ 32 A、32 B および 34 が、LTO もしくは TEOS または高密度プラズマ (HDP) 酸化物などの堆積した二酸化ケイ素の層 78 で満たされる。結果として生じる構造は図 6 C に示される。

30

【0020】

酸化物層 78 は、ドライプラズマエッチングまたは化学機械研磨 (CMP) 技術を用いて、窒化ケイ素層 74 の上面と同じレベルが僅かに下回るレベルまでエッチバックされる。図 6 D に示されるように、フォトリソマスク層 80 が堆積され、RFP トレンチ 32 A および 32 B の上に開口部 82 を形成するようパターンニングされ、次いで、RFP トレンチ 32 A および 32 B における酸化物層 78 が、ウェットエッチングもしくはドライプラズマエッチングまたはウェットエッチングおよびドライエッチングの組合せによって、開口部 82 を通って完全にまたは部分的にエッチングされて、図 6 D に示される構造を生じる。

40

【0021】

フォトリソマスク層 80 が取除かれ、ゲートトレンチに残った酸化物層 78 の部分がウェットエッチングによって部分的にエッチングされる。その後、窒化ケイ素層 74 を取除くためのエッチングと、酸化物層 72 および RFP トレンチ 32 A、32 B の壁に残った酸化物を取除くためのウェット酸化物エッチングが続いて行なわれる。結果として生じる構造は、図 6 E に示される。

【0022】

次いで、図 6 F に示されるように、熱プロセスが行われて RFP トレンチ 32 A および 32 B の壁に酸化物層 33 を形成し、酸化物層 78 の残りの部分の上のゲートトレンチ 34 の壁にゲート誘電体層 44 が形成される (それはゲートトレンチ 34 の底に絶縁層 40

50

を形成する)。このプロセスはまた、エピタキシャル層 36 の上面に酸化物層 80 を形成する。これらの酸化物層は、たとえば 200 Å から 1000 Å の範囲の厚さを有することができる。次いでポリシリコン層 82 が堆積され、次にたとえば燐などの n 型ドーパントで注入することによりドーパされ、続いてプラズマドライエッチングまたは CMP 技術によって酸化物層 80 の表面のレベルまで、またはその下のレベルまでエッチバックされる。いくつかのマスキングおよび注入ステップが実行され、ホウ素などの p 型ドーパントを用いて p ボディ領域 39 および p + ボディコンタクト領域 52 が形成され、ヒ素もしくは燐などの n 型ドーパントまたはその組合せを用いて n + ソース領域 37 が形成される。深い p 層 (示されない) もまた、このステップまたはこれより前のプロセスで注入されてもよい。

10

【0023】

図 6 G に示されるように、ポリシリコン層 82 はエッチバックされ、酸化物層は堆積されてその後 RFP 電極 35 を残してエッチングされ、ゲート電極 42 は酸化物層 84 によって覆われる。

【0024】

ソースコンタクト層 46 はフォトレジストマスク (示されない) によって堆積され、規定される。n + 基板 38 の裏側は薄くなってドレイン金属層 31 が堆積され、結果として図 3 A および図 6 H に示される MOSFET 30 を生じる。

【0025】

代替的方法では、図 6 D に示されたステップの後に、RFP トレンチ 32 A および 32 B ならびにゲートトレンチ 34 に残った酸化物層 78 の部分がエッチングされ、このステップは図 7 A および図 7 B に示される。図 7 A に示されるように、酸化物層 72 および窒化物層 74 は依然適所にあり、酸化物層 33 および 44 は、RFP トレンチ 32 A / 32 B およびゲートトレンチ 34 の壁に熱によりそれぞれ成長する。ポリシリコン層 85 が堆積し、ポリシリコン層 85 の表面が窒化物層 74 の表面と並ぶかまたはそれよりも下のレベルであるように、エッチングまたは CMP により部分的に取除かれる。結果として生じる構造は、図 7 A に示される。

20

【0026】

ポリシリコン層 85 は (たとえば約 0.1 μm だけ) エッチングされ、酸化物層 87 が堆積し、酸化物層 87 の表面が窒化物層 74 と並ぶかまたはそれよりも下のレベルであるようにエッチバックされる。窒化物層 74 はエッチングにより取除かれ、任意に酸化物層 72 が取除かれて犠牲酸化物層 (示されない) が再成長してもよい。p ボディ領域 39 および n + ソース領域 37 が注入される。次いで、図 7 B に示される構造を残して、n + ソース領域 37 の上の領域から酸化物層 87 が取除かれる。次いで、ソースコンタクト層 (示されない) が酸化物層 87 および n + ソース領域 37 の上に堆積される。

30

【0027】

上述の MOSFET の多数の変形例がこの発明の範囲内にある。図 8 A に示される MOSFET 70 では、ゲート電極 42 の上の絶縁層 92 がエピタキシャル層 36 の表面 36 A の上に延在して n + ソース領域 37 を部分的に覆う一方で、RFP 電極 35 は表面 36 A の下に窪んだままである。RFP 電極 35 がソース電位でバイアスされるように、ソースコンタクト層 94 は RFP 電極 35 と接触する。図 8 B は、図 4 A に示される断面 4 B - 4 B と同様の断面で得られる MOSFET 70 の別の図であり、n + ソース領域が p + ボディコンタクト領域 52 に置き換えられている。

40

【0028】

図 9 に示される MOSFET 80 は、p + ボディコンタクト領域 96 がエピタキシャル層 36 の表面 36 A において n + ソース領域 98 に隣接して形成され、ソースコンタクト層 94 を介してソース - ボディ短絡を与えることを除けば、MOSFET 70 に類似する。MOSFET 80 では、ソース - ボディ短絡を与えるために、図 4 A に示されるように p + ボディコンタクト領域 52 で n + ソース領域を中断することは必要ではない。図 10 に示される MOSFET 90 は、p + ボディコンタクト領域 99 が n + ソース領域の底よ

50

り下のレベルまで延在して、ソースコンタクト層 9 4 との接触のために R F P トレンチ 3 2 A および 3 2 B の壁に沿ってより大きな表面を与えることを除けば、M O S F E T 8 0 に似ている。

【 0 0 2 9 】

図 1 1 に示される M O S F E T 1 0 0 では、p + ボディコンタクト領域 1 0 4 が n + ソース領域 3 7 よりも下で p ボディ領域 1 0 6 に隣接して形成される。R F P トレンチ 1 0 2 A および 1 0 2 B では、R F P 電極 1 1 2 および酸化物層 1 1 0 は、ソースコンタクト層 1 0 8 が p + ボディコンタクト領域 1 0 4 に接触することを可能にするのに十分に窪み、それによってソース - ボディ短絡を与える。ゲートトレンチ 3 4 では、絶縁層 9 2 はエピタキシャル層 3 6 の表面 3 6 A の上に延在し、n + ソース領域 3 7 を部分的に覆う。M O S F E T 1 0 0 はセル密度をより高く、またそのために特性オン抵抗をよく低くすることができる。図 1 2 に示される M O S F E T 1 1 0 は、p + ボディコンタクト領域 1 1 4 が p - ボディ領域 1 0 6 の底よりも下のレベルまで延在することを除けば、M O S F E T 1 0 0 に類似する。図 1 3 に示される M O S F E T 1 2 0 は、R F P トレンチ 1 1 8 A および 1 1 8 B がたとえばタングステンを含む金属プラグ 1 1 6 を包含し、これがソース領域 3 7 および p + ボディコンタクト領域 1 1 4 の両方に接して、ソース領域 3 7 と p + ボディコンタクト領域 1 1 4 との間に極めて低抵抗の電導経路を与えることを除けば、M O S F E T 1 1 0 に類似している。

【 0 0 3 0 】

図 1 4 A - 図 1 4 H は、図 1 0 に示される M O S F E T 9 0 を製造するプロセスを示す。このプロセスは、n 型エピタキシャル層 3 6 が n + 基板 3 8 の上に成長することから始まる。図 1 4 A に示されるように、酸化物層 1 2 0 (たとえば 0.5 μ m の厚さ) およびフォトレジストトレンチマスク層 1 2 2 がエピタキシャル層 3 6 の上面の上に堆積される。マスク層 1 2 2 はパターニングされて開口部を形成し、酸化物層 1 2 0 およびエピタキシャル層 3 6 は開口部を通してエッチングされて、R F P トレンチ 3 2 A および 3 2 B ならびにゲートトレンチ 3 4 を形成する。マスク層 1 2 2 および酸化物層 1 2 0 は取除かれ、犠牲酸化物層およびパッド酸化物層 (示されない) が成長する。

【 0 0 3 1 】

図 1 4 B に示されるように、酸化物層 1 2 4 がトレンチ 3 2 A、3 2 B および 3 4 に堆積される。酸化物層 1 2 4 は好ましくは高密度プラズマ酸化物などの高品質な酸化物である。活性なマスク (示されない) が堆積され、ダイの活性な領域の上に開口部を伴ってパターニングされ、図 1 4 C に示されるように、酸化物層 1 2 4 がトレンチ 3 2 A、3 2 B および 3 4 へと下向きにエッチングされる。活性なマスクは、任意のフィールド終端酸化物 (field termination oxide) (示されない) または酸化物層 1 2 4 がダイの終端領域でエッチングされるのを妨げる。

【 0 0 3 2 】

フォトレジスト底酸化物 (photoresist bottom oxide) (B O X) マスク層 1 2 6 が堆積され、R F P トレンチ 3 2 A および 3 2 B の上に開口部を伴ってパターニングされ、酸化物層 1 2 4 は R F P トレンチ 3 2 A および 3 2 B から取除かれて、(絶縁層 4 0 になる) 酸化物層 1 2 4 の残りがゲートトレンチ 3 4 の底に残される。結果として生じる構造は図 1 4 D に示される。

【 0 0 3 3 】

図に 1 4 E に示されるように、B O X マスク層 1 2 6 は取除かれ、酸化物層 1 2 8 が成長して、結果として R F P トレンチ 3 2 A および 3 2 B の壁に酸化物層 3 3 を形成し、絶縁層 4 0 の上のゲートトレンチ 3 4 の壁に酸化物層 4 4 を形成する。ポリシリコン層 1 3 0 が (たとえば 7 0 0 0 A の厚さに) 堆積され、マスク層 (示されない) が堆積されてパターニングされ、ポリシリコン層 1 3 0 は、C M P および / またはドライエッチプロセスを用いてトレンチ 3 2 A、3 2 B および 3 4 にエッチバックされ、それによりゲートトレンチ 3 4 にゲート電極 4 2 を形成し、R F P トレンチ 3 2 A および 3 2 B に R F P 電極 3 5 を形成する。p 型ドーパントが注入されて p ボディ領域 3 9 を形成する (たとえば 5 x

10

20

30

40

50

$1.0 \times 10^{12} \text{ cm}^{-2}$ の量のホウ素および 100 keV のエネルギー)。たとえば迅速な熱アニール (rapid thermal anneal) (RTA) プロセスが 1025°C の温度で30秒間実行されて、結果としてpボディ領域39について $0.5 \mu\text{m}$ の接合部深さを生じ得る。

【0034】

図14Fに示されるように、フォトリソストソースマスク層132が堆積され、パターニングされて開口部を形成し、n型ドーパントが注入されてゲートトレンチ34に隣接したエピタキシャル層36の表面でn+ソース領域98を形成する。たとえば $2 \times 10^{15} \text{ cm}^{-2}$ の量のヒ素が 80 keV のエネルギーで注入されて、n+ソース領域98に $0.2 \mu\text{m}$ の接合部深さおよび $0.25 - 0.3 \mu\text{m}$ のチャンネル長(L)を与えることができる。

【0035】

ソースマスク層132が取除かれ、図14Gに示されるように、レベル間誘電体 (ILD) 層136、たとえば低温酸化物 (LTO) および燐化ホウケイ酸 (borophosphosilicate) ガラス (BPSG) が $0.5 - 1.5 \mu\text{m}$ の厚さに堆積する。次いでILD層136の密度が高められ得る。

【0036】

図14Hに示されるように、コンタクトマスク層 (示されない) が堆積され、RFPTレンチ32Aおよび32Bの上に開口部を伴ってパターニングされて、ILD層136およびRFPE電極35の部分がコンタクトマスク層の開口部を通してドライエッチングまたはウェットエッチングされる。リフロープロセスがILD層136に実行されてもよい。p型ドーパントが注入され、p+ボディコンタクト領域99を形成する。たとえば、 $1 \times 10^{15} \text{ cm}^{-2}$ から $4 \times 10^{15} \text{ cm}^{-2}$ の量のホウ素が $20 - 60 \text{ keV}$ のエネルギーで注入され、p+ボディコンタクト領域99に $0.4 \mu\text{m}$ の接合部深さを生成する。次いで、ソースコンタクト層94がRFPE電極35に接して堆積され、結果としてMOSFET90を生じる。任意に、ソースコンタクト層94が堆積される前に、RFPTレンチ32Aおよび32Bの上部に、RFPE電極35に接して、タングステンプラグが形成されてもよい。

【0037】

プロセスの変形で、図15Aに示されるように、ポリシリコン層130がコンタクトマスク層の開口部を通してRFPTレンチ32Aおよび32Bに対して下向きにエッチングされ、RFPE電極112を形成する。次いで、ホウ素などのp型ドーパントが角度をつけて注入され、p+ボディコンタクト領域114を形成する。これはn+ソース領域37よりも下に位置し、pボディ領域106の底よりも深くエピタキシャル層36に延在する。図15Bに示されるように、ソースコンタクト層94が堆積される前に、たとえばタングステンを含む金属プラグ116がRFPTレンチ32Aおよび32Bの上部に形成されてもよい。金属プラグ116の存在を除けば、MOSFET130は、図12に示されるMOSFET110に類似している。

【0038】

多数の他の実施例がこの発明の広い範囲内で可能である。いくつかの実施例では、より深いp領域がMOSFETの選択された領域に形成されて、RFPTレンチまたは装置における他の点の破壊電圧よりも低い、予め定められた値にその破壊電圧を固定する。図16Aに示されるように、MOSFET150では、深いp+領域152が、RFPTレンチ32Aおよび32Bとトレンチゲート34との間のエリアの外に位置する。図16Bに示されるように、MOSFET160では、深いp+領域162が、RFPTレンチ32Aおよび32Bの各々の両側に位置する。p+領域152および162は、pボディ領域39よりも深くエピタキシャル層36に延在し、RFPTレンチ32Aおよび32Bならびにトレンチゲート34と同じくらい深くてもよい。図16Aおよび図16Bは、n+ソース領域がない断面で得られる図であることに注意するべきである。

【0039】

別の実施例では、RFPTレンチを内張りする絶縁層はトレンチの側面でよりもトレンチの底でより厚い。図17に示されるように、MOSFET170では、RFPTレンチ32Aおよび32Bの壁を内張りする絶縁層172はトレンチの底に部分172Bを含み

10

20

30

40

50

、この部分はトレンチの側壁に沿った部分 172A よりも厚い。

【0040】

他の実施例では、エピタキシャル層 36 の N エピタキシャルドレイン - ドリフト領域 41 のドーピングは不均一である (図 3A を参照)。たとえば、ドレイン - ドリフト領域 41 のドーピングは不均一で、ドレイン - ドリフト領域 41 の領域 41A におけるドーピング濃度が領域 41A よりも下のドレイン - ドリフト領域 41 の部分におけるドーピング濃度を下回るように、エピタキシャル層 36 における深さが増大するにつれてドーピング濃度も増大する。

【0041】

この新規な構造の他の変形例は、ゲートトレンチおよび / または RFP トレンチを内張りする段付き酸化物を含む。図 18A に示されるように、MOSFET 180 では、ゲートトレンチ 34 におけるゲート酸化膜層 182 は、p ボディ領域 39 に隣接しているトレンチ 34 の側壁に、厚さ d_1 のより薄い部分 182B を含み、かつ厚さ d_2 のより厚い部分 182A をトレンチ 34 の低い方の側壁および底に沿って含む。厚さ d_2 はトレンチ 34 の幅 W の半分未満であり、その結果、ゲート酸化膜層 182 は「鍵穴」形状を形成する。MOSFET 180 では、より薄い部分 182B およびより厚い部分 182A が p ボディ領域 39 とドレイン - ドリフト領域 41 との間の接合部に隣接する位置で連結される。

【0042】

同様に、図 18B に示されるように、MOSFET 190 では、RFP トレンチ 32A および 32B の各々の酸化物層 192 は、トレンチ 32A および 32B の上部側壁に厚さ d_3 のより薄い部分 192B を含み、トレンチ 32A および 32B の下部側壁および底に沿って厚さ d_4 のより厚い部分 192A を含む。厚さ d_4 はトレンチ 32A および 32B の幅 W の半分未満であり、その結果、酸化物層 192 は「鍵穴」形状を形成する。

【0043】

図 18C に示されるように、MOSFET 200 では、ゲートトレンチ 34 は (上述のような) ゲート酸化膜層 182 を包含し、RFP トレンチ 32A および 32B は (上述のような) 酸化物層 192 を包含している。

【0044】

図 19 に示されるように、MOSFET 210 では、ゲートトレンチ 214 は RFP トレンチ 212A および 212B よりも深く、RFP トレンチ 212A および 212B での電界を減じる一方、ゲート電極 216 は RFP 電極 215 よりも浅い。たとえば、ゲートトレンチ 214 は、ゲートトレンチ 216 の底の絶縁層 40 の厚さに起因して、エピタキシャル層 36 において RFP トレンチ 212A および 212B の底よりも深いレベルまで延在し、RFP 電極 215 はゲート電極 216 よりも深いレベルまで延在する。

【0045】

この発明の原理は、垂直の MOSFET と同様に疑似垂直の MOSFET にも適用可能である。図 20 は疑似垂直の MOSFET 220 の断面図である。MOSFET 220 は、ゲートトレンチ 224、RFP トレンチ 222A および 222B、 $n+$ ソース領域 226、ならびに p ボディ領域 228 を含む。p 型基板 236 と n エピタキシャル層 234 との間のインターフェースにおいて n 埋込層 230 が形成される。N 埋込層 230 は、 $n+$ シンカ領域 232 を介して n エピタキシャル層 234 の上面から接触される。RFP トレンチ 222A および 222B の RFP 電極 235 はソースコンタクト層 238 に接触される。MOSFET 220 がオンにされると、電流が、 $n+$ ソース領域 226 から p ボディ領域 228 を通って n 埋込層 230 へ、そして $n+$ シンカ領域 232 を介して n エピタキシャル層 234 の表面にまで戻って流れる。

【0046】

上述の実施例は例示にすぎず、限定するものではない。この発明の大原則に従う多くの付加的、代替的な実施例が、上記の説明から当業者にとって明らかになる。たとえば、この発明に従う装置は、「ストライプ」および「セル式」レイアウトを含むさまざまなレイアウトで製造され得る。上述の実施例は概して n チャネル MOSFET であったが、この

10

20

30

40

50

発明の原理は、pチャネルMOSFETにも等しく適用可能である。上述の実施例は基板上に成長されたエピタキシャル層を含むが、いくつかの実施例では、エピタキシャル層は省略されてもよい。上記の実施例のさまざまな組み合わせを実現することができ、それらはこの開示の範囲内に含まれることにさらに注意されるべきである。

【図1】

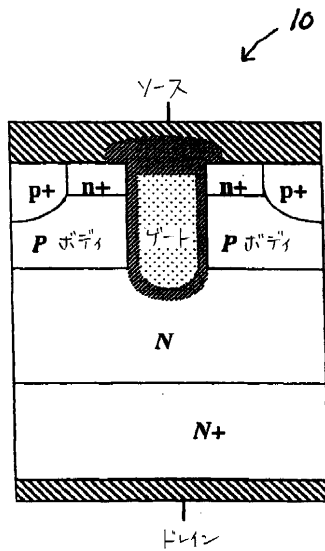


Fig. 1

【図2】

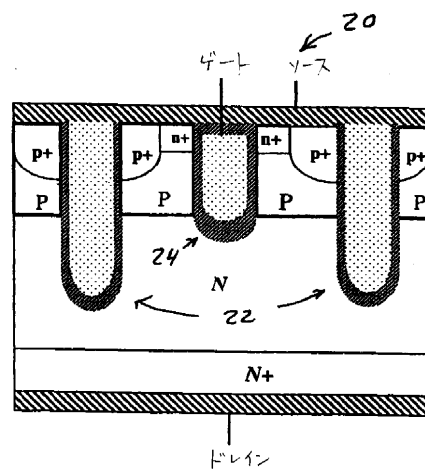


Fig. 2

【図 3 A】

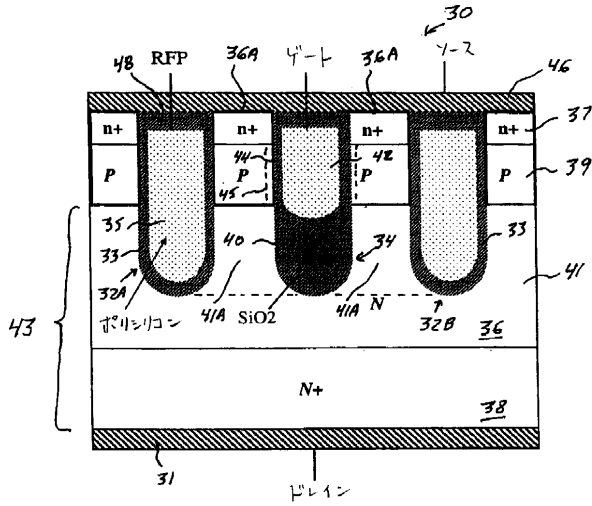


Fig. 3A

【図 3 B】

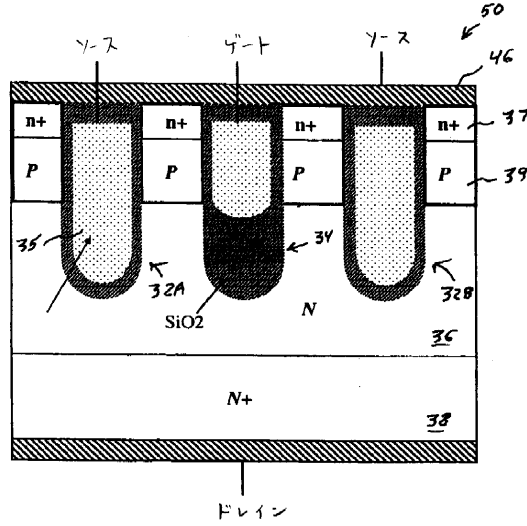


Fig. 3B

【図 4 A】

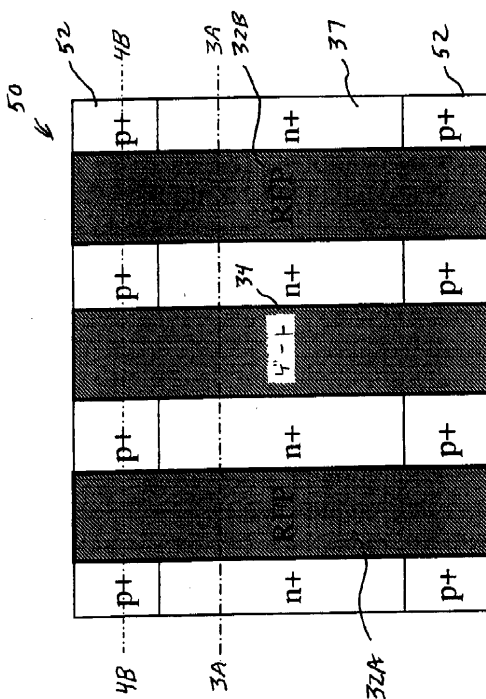


Fig. 4A

【図 4 B】

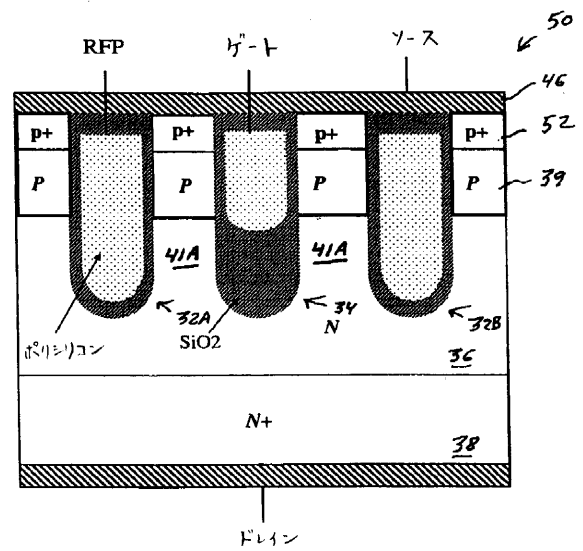
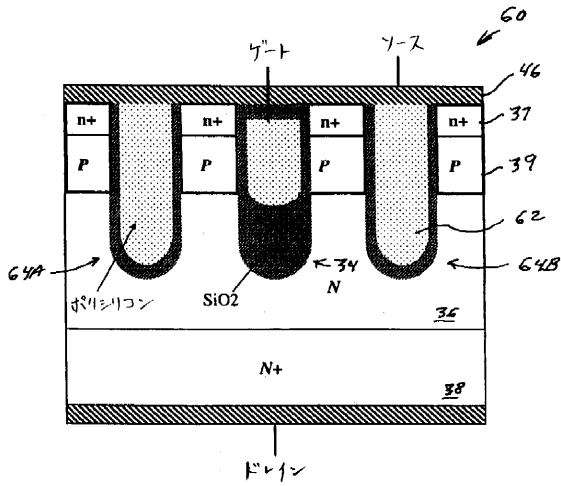
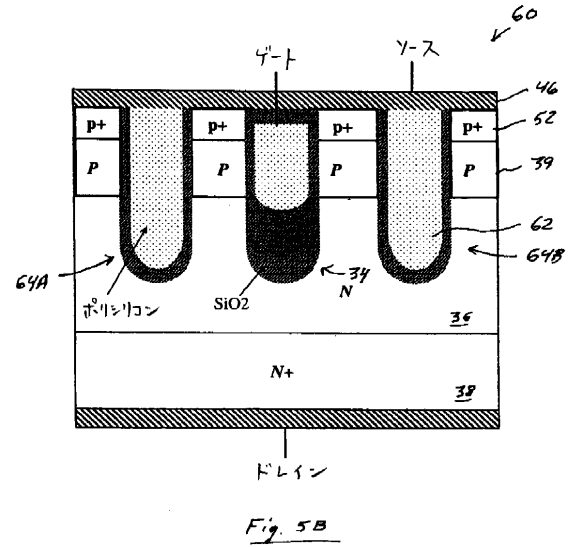


Fig. 4B

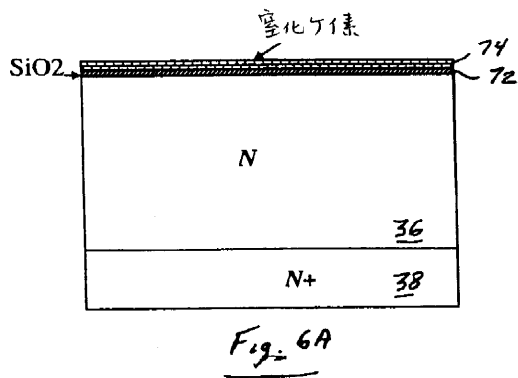
【図 5 A】



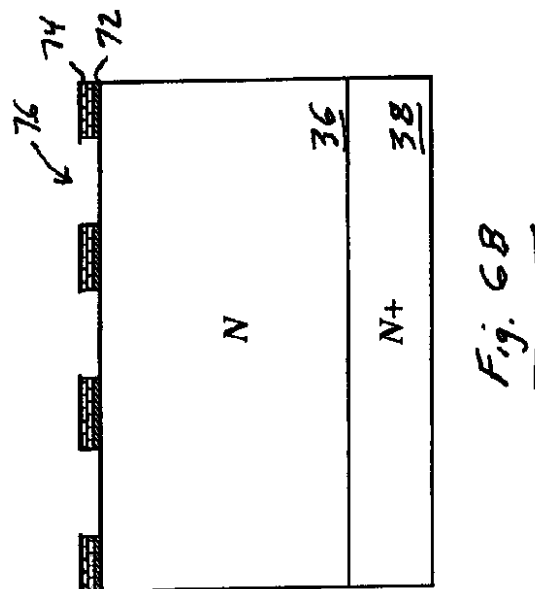
【図 5 B】



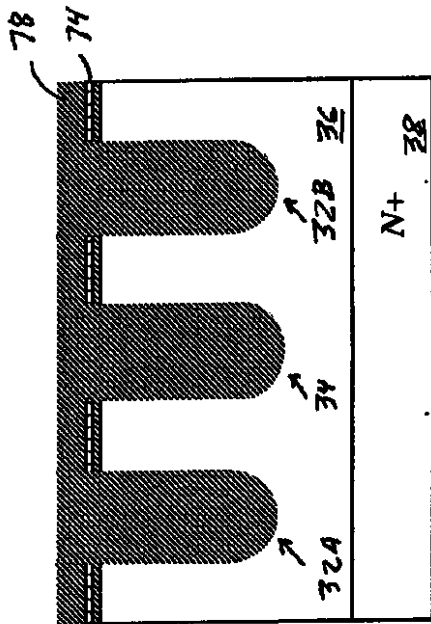
【図 6 A】



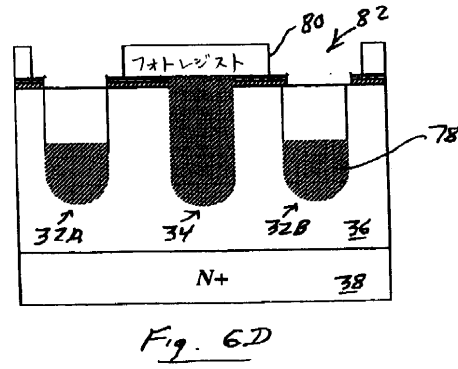
【図 6 B】



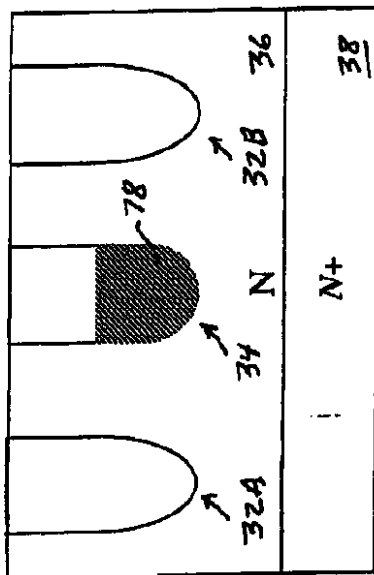
【図 6 C】



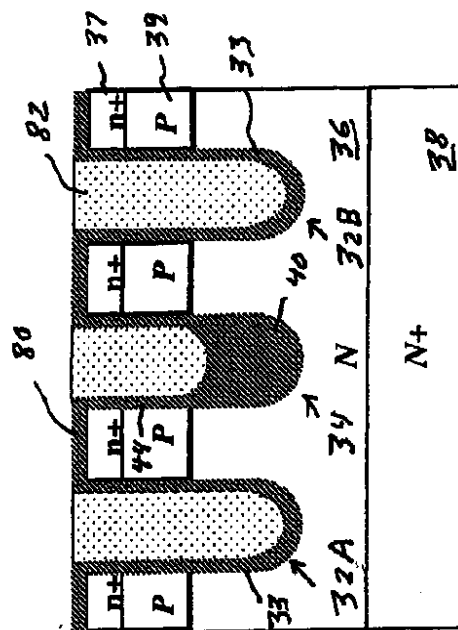
【図 6 D】



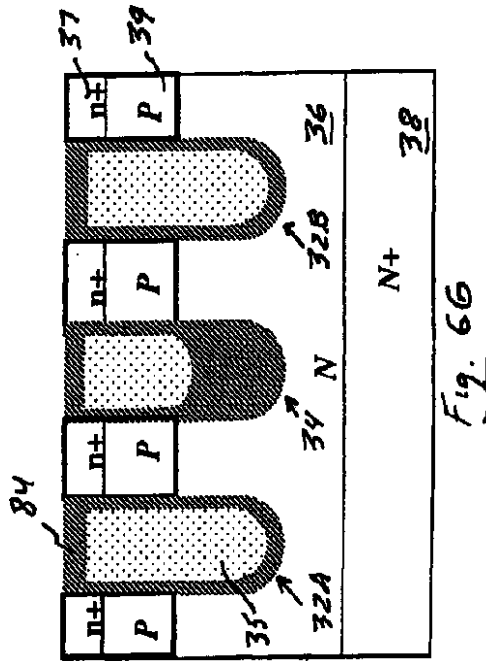
【図 6 E】



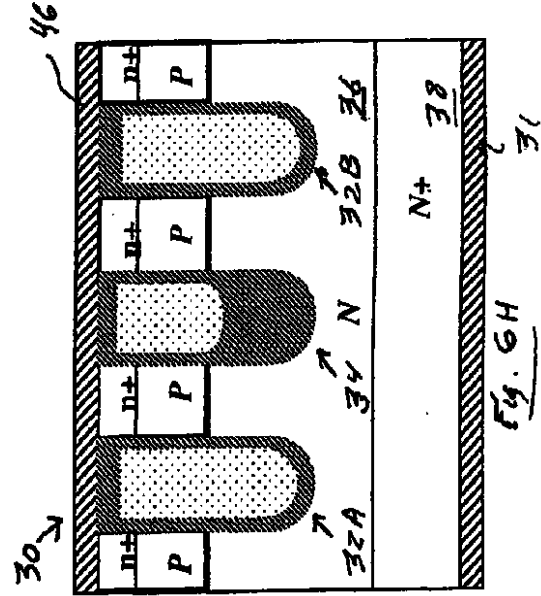
【図 6 F】



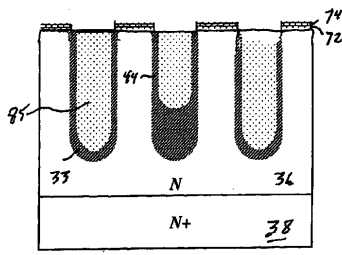
【図 6 G】



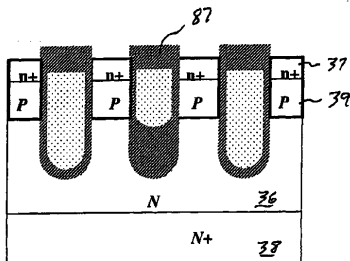
【図 6 H】



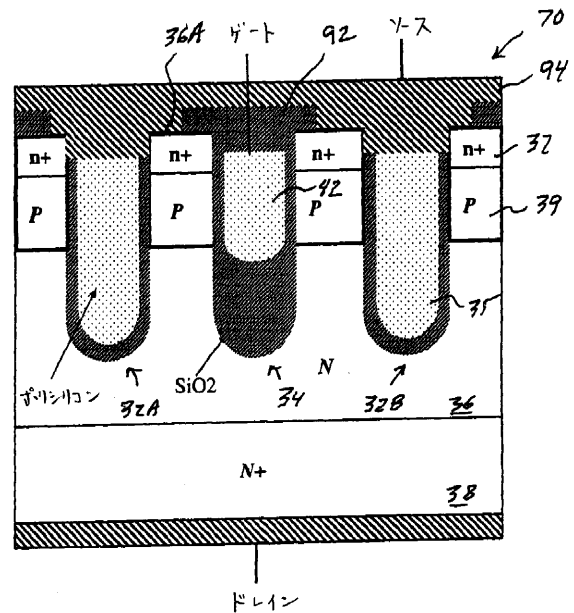
【図 7 A】



【図 7 B】



【図 8 A】



【図 8 B】

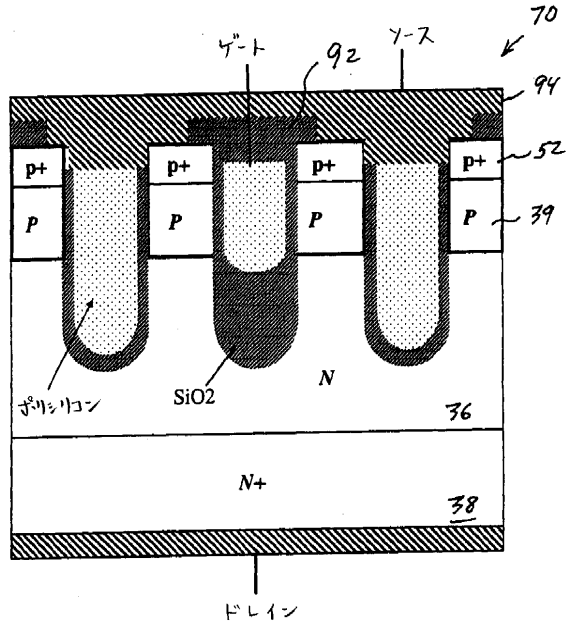


Fig. 8B

【図 9】

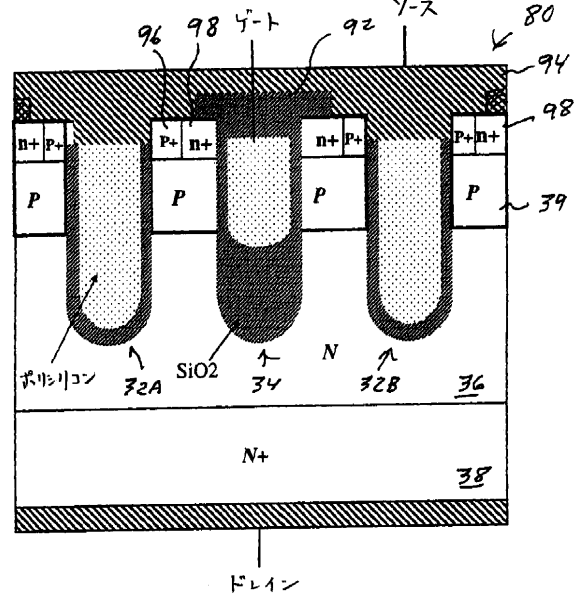


Fig. 9

【図 10】

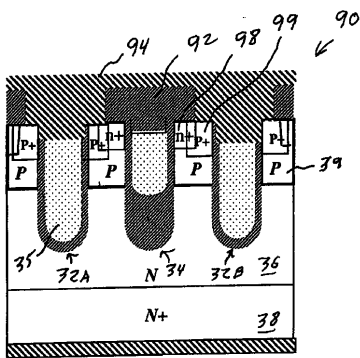


Fig. 10

【図 11】

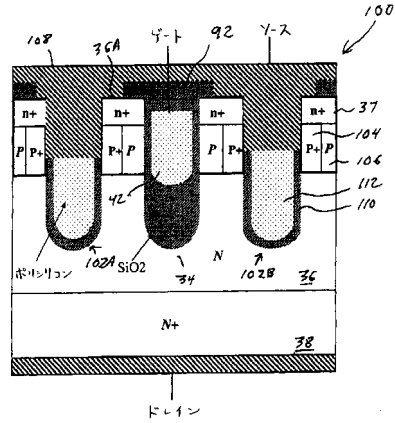


Fig. 11

【 図 1 2 】

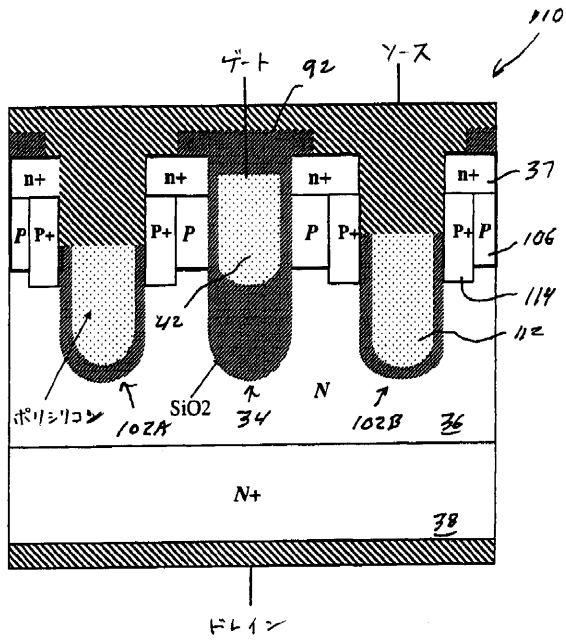


Fig. 12

【 図 1 3 】

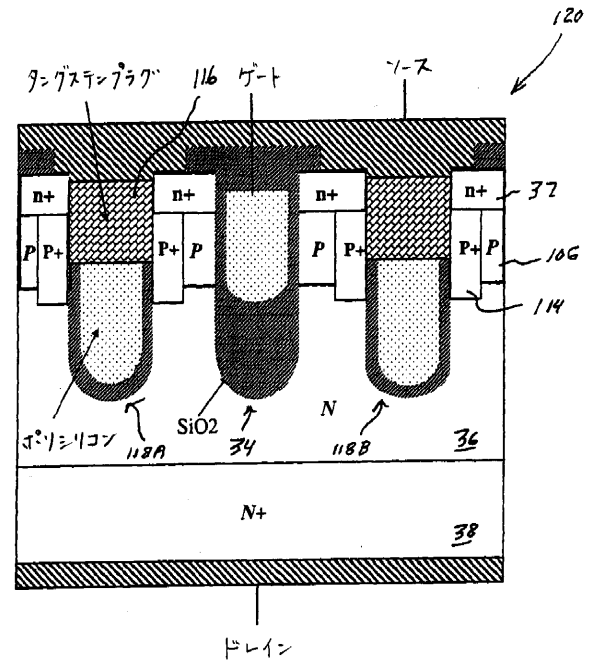


Fig. 13

【 図 1 4 A 】

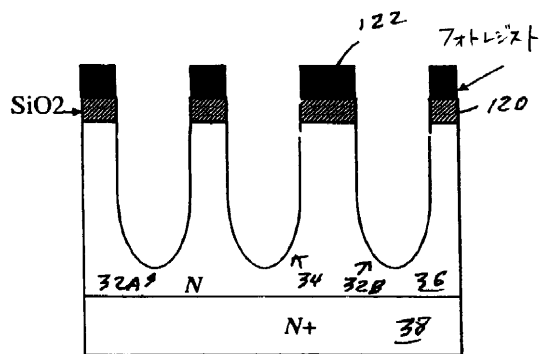
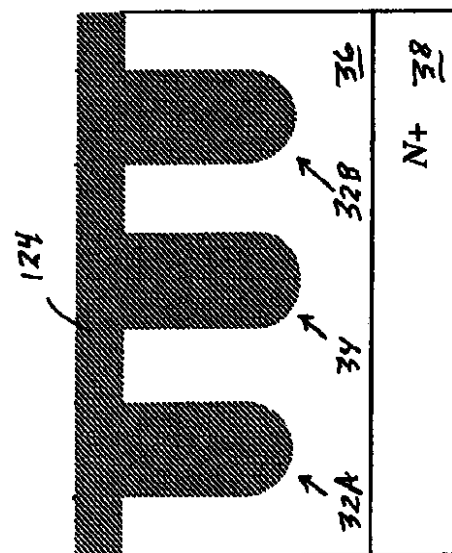


Fig. 14A

【 図 1 4 B 】



F19. 14-B

【図 14 C】

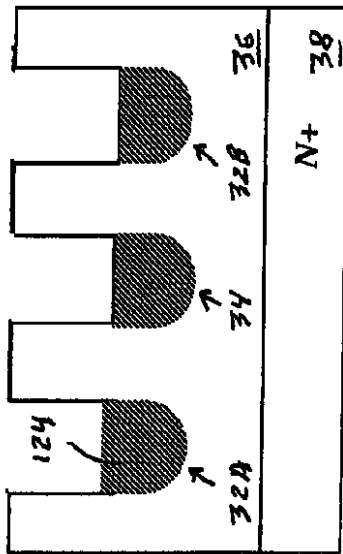


Fig. 14C

【図 14 D】

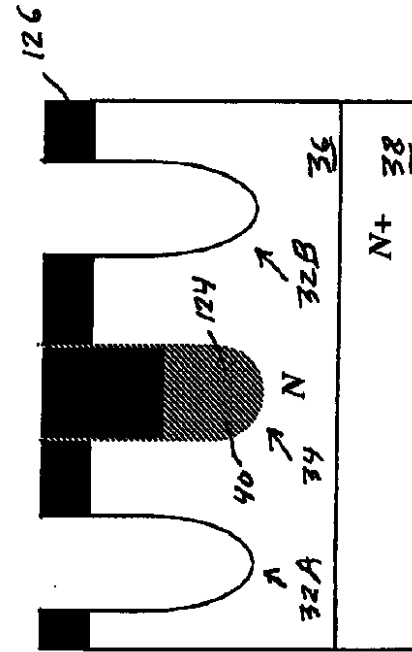


Fig. 14D

【図 14 E】

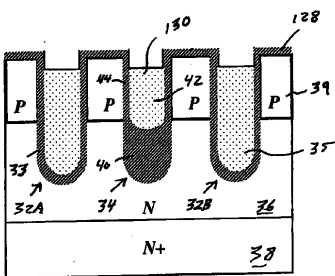


Fig. 14E

【図 14 G】

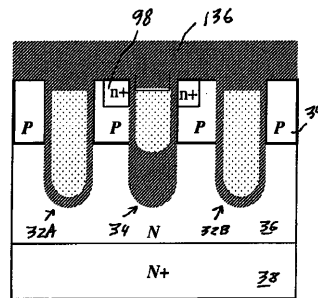


Fig. 14G

【図 14 F】

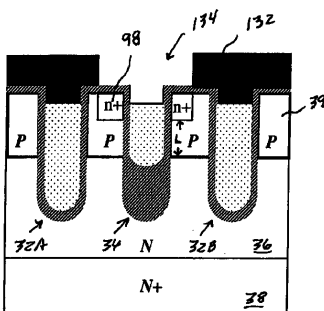


Fig. 14F

【図 14 H】

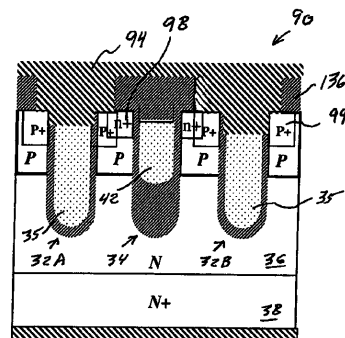


Fig. 14H

【図 15 A】

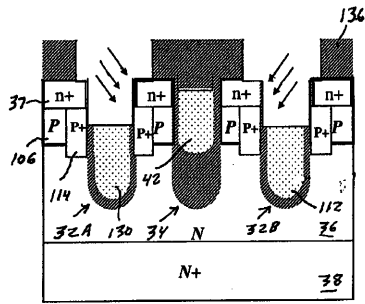


Fig. 15A

【図 15 B】

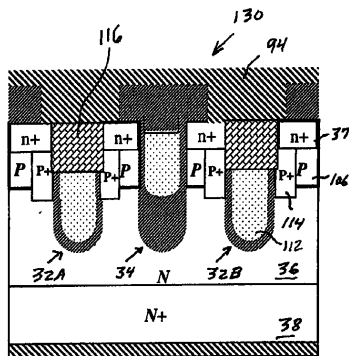


Fig. 15B

【図 16 B】

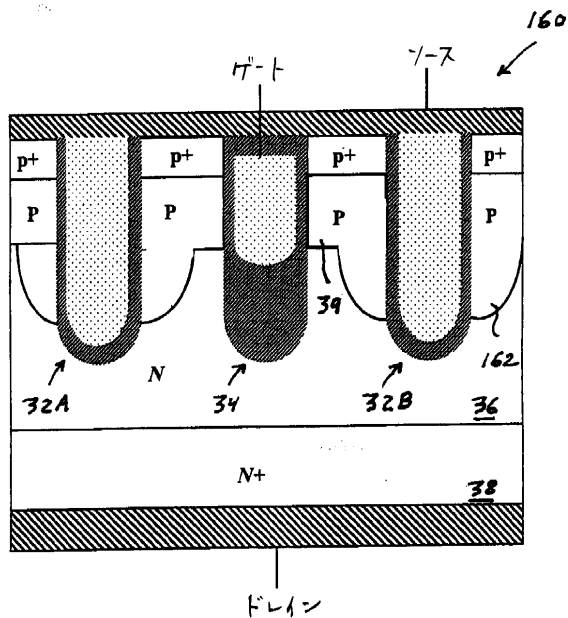


Fig. 16B

【図 16 A】

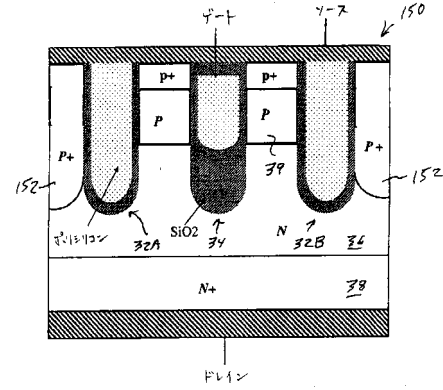


Fig. 16A

【図 17】

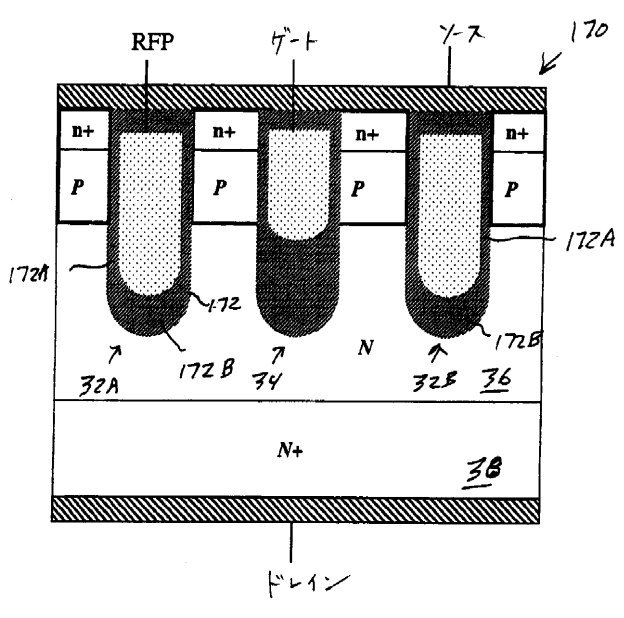


Fig. 17

【図 18 A】

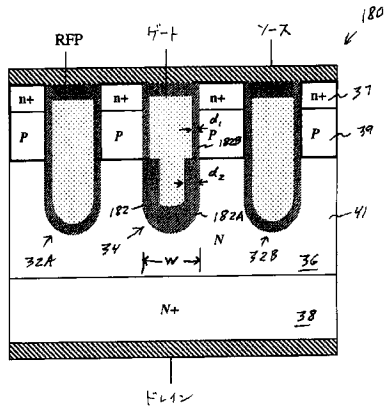


Fig. 18A

【図 18 B】

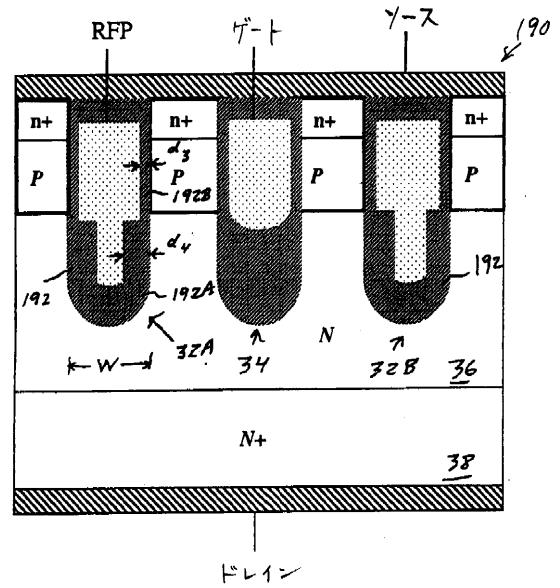


Fig. 18B

【図 18 C】

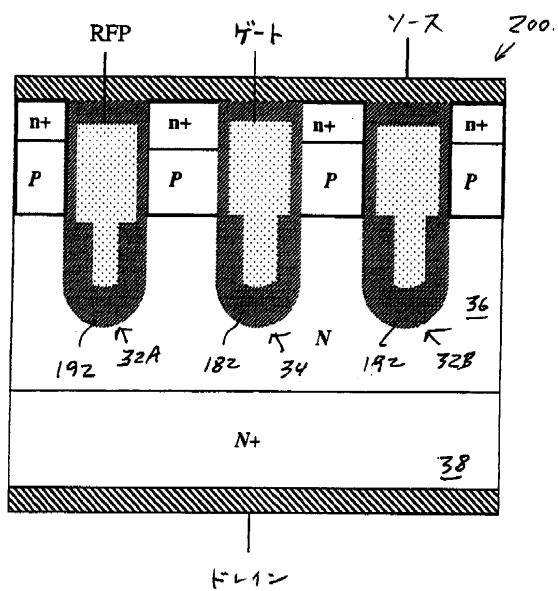


Fig. 18C

【図 19】

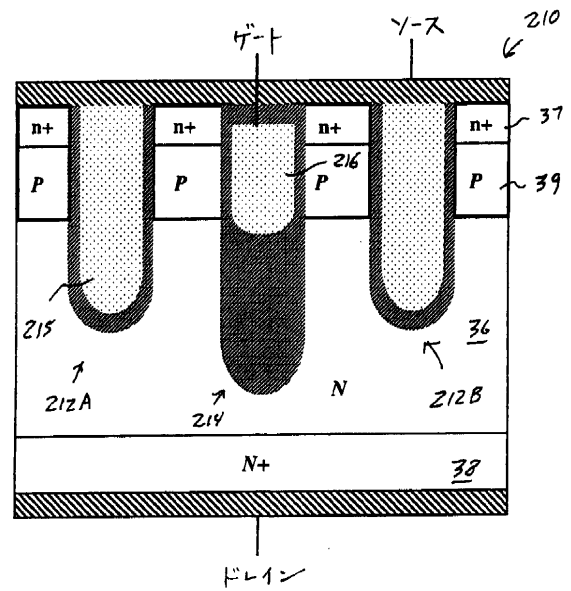
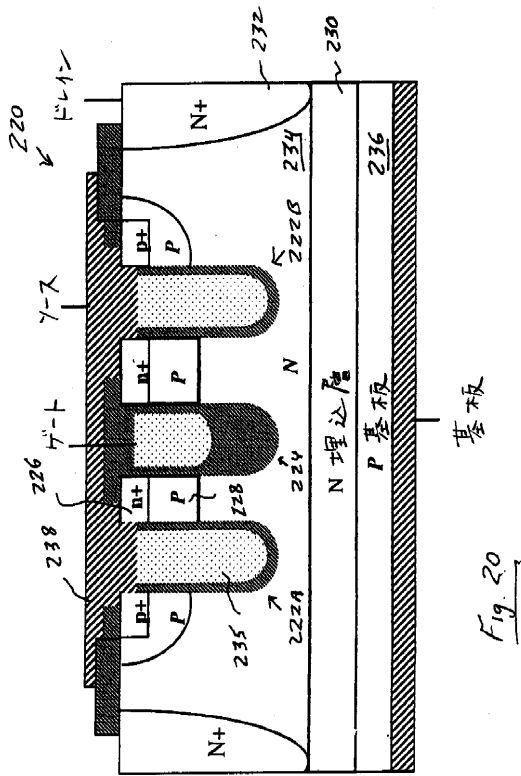




Fig. 19

【図 20】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2007/020684
A. CLASSIFICATION OF SUBJECT MATTER		
<i>H01L 21/336(2006.01); H01L 29/78(2006.01);</i>		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 8: H01L 21/336, H01L 29/76, H01L 29/78		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean Utility models and applications for Utility models since 1975 Japanese Utility models and applications for Utility models since 1975		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKIPASS(KIPO internal) "Keyword: field plate, recess, gate, and power MOSFET"		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2005-0208722 A1 (PEAKE, S. T. et al.) 22 September 2005 See Abstract; Paragraph [0026] - Paragraph [0067]; Claims 1 - 10; Figures 1 - 7.	1 - 25
A	US 6388286 B1 (BALIGA, B. J.) 14 May 2002 See Abstract; Column 5, Line 34 - Column 13, Line 44; Claims 1 - 11; Figures 1 - 7.	1 - 25
A	US 5879980 A (SELCUK, A. A. et al.) 09 March 1999 See Abstract; Figure 3.	1 - 25
A	US 6833584 B2 (HENNINGER, R. et al.) 21 December 2004 See Abstract; Figure 1.	1 - 25
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 FEBRUARY 2008 (20.02.2008)		Date of mailing of the international search report 20 FEBRUARY 2008 (20.02.2008)
Name and mailing address of the ISA/KR  Korean Intellectual Property Office Government Complex-Daejeon, 139 Seonsa-ro, Seo-gu, Daejeon 302-701, Republic of Korea Facsimile No. 82-42-472-7140		Authorized officer KIM, JU SIK Telephone No. 82-42-481-8265 

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/US2007/020684

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US20050208722A1	22.09.2005	AU2003232995AA EP1514300A1 JP17528796 KR1020040111710 US7232726B8 WO2003103036A1	19.12.2003 16.03.2005 22.09.2005 31.12.2004 19.06.2007 11.12.2003
US6388286B1	14.05.2002	US2002036319A1 US2004016963A1 US6621121B8 US6764889B8	28.03.2002 29.01.2004 16.09.2003 20.07.2004
US5879980A	09.03.1999	JP11045850A2 KR1019980080561	16.02.1999 25.11.1998
US6833584B2	21.12.2004	DE10127885A1 US20020185680A1	19.12.2002 12.12.2002

フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

H 0 1 L	29/78	6 5 8 G
H 0 1 L	29/78	6 5 2 M
H 0 1 L	29/78	6 5 2 D
H 0 1 L	29/78	6 5 2 G
H 0 1 L	29/06	3 0 1 F
H 0 1 L	29/06	3 0 1 V

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(74)代理人 100096781

弁理士 堀井 豊

(74)代理人 100098316

弁理士 野田 久登

(74)代理人 100109162

弁理士 酒井 将行

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 ダルウィッシュ, モハメド・エヌ

アメリカ合衆国、9 5 0 0 8 カリフォルニア州、キャンベル、リガス・ドライブ、6 7 5