



(21) 申請案號：111123428

(22) 申請日：中華民國 111 (2022) 年 06 月 23 日

(51) Int. Cl. :

*H01L27/108 (2006.01)**H01L21/033 (2006.01)**H01L21/02 (2006.01)*

(30) 優先權：2021/06/29

美國

17/361,925

(71) 申請人：美商應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72) 發明人：沈齊欣 SHEN, QIXIN (CN)；楊傳曦 YANG, CHUANXI (CN)；于航 YU, HANG

(US)；帕奇 迪尼斯 PADHI, DEENESH (IN)；李吉鏞 LEE, GILL YONG

(US)；姜聲官 KANG, SUNG-KWAN (KR)；穆罕默德 阿布道爾瓦哈

MOHAMMED, ABDUL WAHAB (IN)

(74) 代理人：李世章；彭國洋

申請實體審查：無 申請專利範圍項數：20 項 圖式數：2 共 24 頁

(54) 名稱

形成具有降低電阻的記憶體裝置的方法

(57) 摘要

描述了記憶體裝置和形成記憶體裝置的方法。該等記憶體裝置包括釘層上的氮化矽硬遮罩層。在釘上形成氮化矽硬遮罩層包括用電漿預處理釘層以在該釘層上形成介面層；以及藉由電漿增強化學氣相沉積(PECVD)在該介面層上形成氮化矽層。在一些實施例中，與不包括介面層的記憶體裝置相比，預處理釘層導致介面層具有降低的粗糙度並且記憶體裝置具有降低的電阻率。

Memory devices and methods of forming memory devices are described. The memory devices comprise a silicon nitride hard mask layer on a ruthenium layer. Forming the silicon nitride hard mask layer on the ruthenium comprises pre-treating the ruthenium layer with a plasma to form an interface layer on the ruthenium layer; and forming a silicon nitride layer on the interface layer by plasma-enhanced chemical vapor deposition (PECVD). Pre-treating the ruthenium layer, in some embodiments, results in the interface layer having a reduced roughness and the memory device having a reduced resistivity compared to a memory device that does not include the interface layer.

指定代表圖：

符號簡單說明：

200:方法

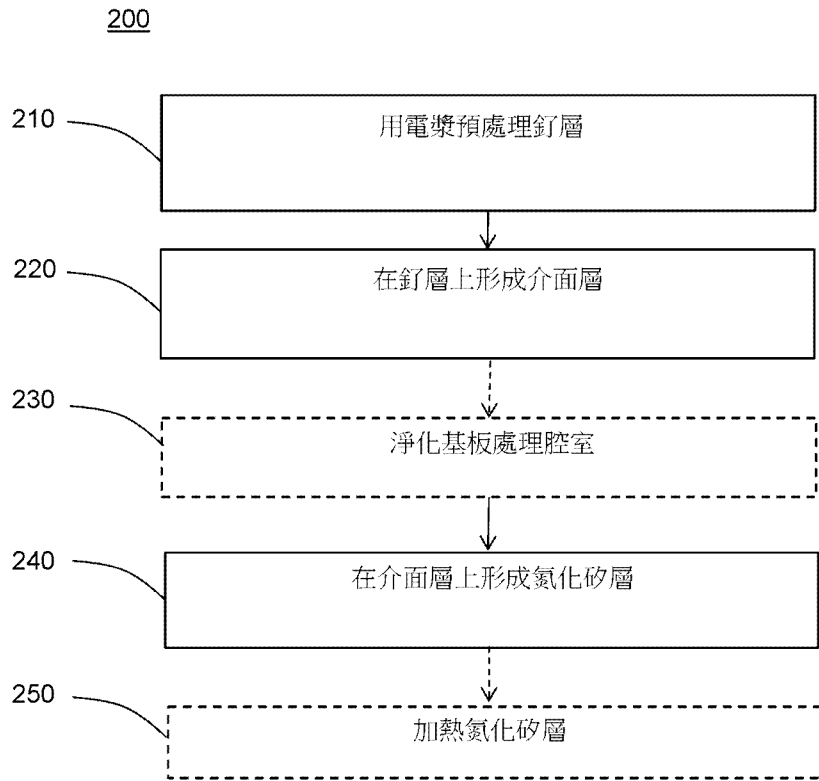
210:操作

220:操作

230:操作

240:操作

250:操作



第2圖

## 【發明摘要】

【中文發明名稱】形成具有降低電阻的記憶體裝置的方法

【英文發明名稱】METHODS OF FORMING MEMORY DEVICE WITH  
REDUCED RESISTIVITY

【中文】

描述了記憶體裝置和形成記憶體裝置的方法。該等記憶體裝置包括鈱層上的氮化矽硬遮罩層。在鈱上形成氮化矽硬遮罩層包括用電漿預處理鈱層以在該鈱層上形成介面層；以及藉由電漿增強化學氣相沉積(PECVD)在該介面層上形成氮化矽層。在一些實施例中，與不包括介面層的記憶體裝置相比，預處理鈱層導致介面層具有降低的粗糙度並且記憶體裝置具有降低的電阻率。

【英文】

Memory devices and methods of forming memory devices are described. The memory devices comprise a silicon nitride hard mask layer on a ruthenium layer. Forming the silicon nitride hard mask layer on the ruthenium comprises pre-treating the ruthenium layer with a plasma to form an interface layer on the ruthenium layer; and forming a silicon nitride layer on the interface layer by plasma-enhanced chemical vapor deposition (PECVD). Pre-treating the ruthenium layer, in some embodiments, results in the interface layer having a reduced roughness and the memory device having a reduced resistivity compared to a memory device that does not include the interface layer.

【指定代表圖】第（ 2 ）圖。

【代表圖之符號簡單說明】

2 0 0 : 方 法

2 1 0 : 操 作

2 2 0 : 操 作

2 3 0 : 操 作

2 4 0 : 操 作

2 5 0 : 操 作

【特徵化學式】

無

## 【發明說明書】

【中文發明名稱】形成具有降低電阻的記憶體裝置的方法

【英文發明名稱】METHODS OF FORMING MEMORY DEVICE WITH  
REDUCED RESISTIVITY

【技術領域】

【0001】 本揭露的實施例涉及記憶體裝置和記憶體裝置製造的領域。更特別地，本揭露的實施例提供了具有減小的電阻的記憶體裝置及其形成方法，該等記憶體裝置包括具有減小的粗糙度的介面層。

【先前技術】

【0002】 由於鎢(W)層的高電阻率，對在動態隨機存取記憶體(dynamic random access memory, DRAM)和邏輯裝置兩者中用鈦(Ru)代替鎢(W)作為金屬層的興趣日益增加。然而，在氮化矽(SiN)層的沉積和隨後的高溫步驟期間，鈦(Ru)層的電阻率(亦即，薄層電阻)和表面粗糙度可能增加。

【0003】 目前的方法利用兩個步驟來在鈦(Ru)層上沉積氮化矽(SiN)層，該兩個步驟包括：(1)藉由原子層沉積(atomic layer deposition, ALD)來沉積SiN層；以及(2)藉由電漿增強化學氣相沉積(plasma-enhanced chemical vapor deposition, PECVD)或藉由爐沉積來沉積SiN層。該等當前方法包括在兩個不同的基板處理腔室中沉積SiN層，降低生產量並引入額外介面，此加速了高溫退火期間鈦(Ru)層的氧化。鈦層的氧化據信增大了

鈔層的電阻率。由於氮化矽層形成期間的高沉積溫度，可能發生金屬層和氮化矽層的表面反應。亦期望形成和保護高品質的氮化矽層，而不包括記憶體裝置中其他層的電氣特性、電阻率（亦即，薄層電阻）和表面粗糙度。

**【0004】** 因此，本領域中需要具有降低電阻的記憶體裝置，以及形成此類記憶體裝置的方法。

**【發明內容】**

**【0005】** 本揭露的一或多個實施例係關於在鈔層上形成氮化矽硬遮罩層的方法，該方法包括用電漿預處理該鈔層以在該鈔層上形成介面層；以及使用電漿增強化學氣相沉積（PECVD）製程在介面層上形成氮化矽層。

**【0006】** 本揭露的額外實施例係關於在鈔層上形成包括氮化矽硬遮罩層的記憶體裝置的方法，該等方法包括在電漿存在下預處理鈔層以在該鈔層上形成介面層，以及藉由電漿增強化學氣相沉積（PECVD）製程在該介面層上形成氮化矽層。與不包括介面層的記憶體裝置相比，預處理鈔層導致介面層具有降低的粗糙度並且記憶體裝置具有降低的電阻率。

**【0007】** 本揭露的進一步實施例係關於記憶體裝置，該等記憶體裝置包括基板上的第一層；第一層上的鈔層；鈔層上的介面層；和介面層上的氮化矽層。

**【圖式簡單說明】**

**【0008】** 為了能夠詳細理解本揭露的上述特徵，可以參考實施例對以上簡要概述的本揭露進行更特別的描述，實施

例中的一些實施例在附圖中圖示。然而，應當注意的是，附圖僅圖示了本揭露的典型實施例，因此不應被認為是對其範疇的限制，因為本揭露可以允許其他同等有效的實施例。如本文所述的實施例是以舉例而非限制的方式在附圖中圖示的，在附圖中相同的附圖標記表示相似的元件。

**【0009】** 第1圖圖示根據一或多個實施例的記憶體裝置的示意圖；並且

**【0010】** 第2圖圖示根據一或多個實施例的用於在鈎層上形成氮化矽硬遮罩層的流程圖方法。

#### **【實施方式】**

**【0011】** 在描述本揭露的幾個示例性實施例之前，應當理解的是，本揭露不限於以下描述中闡述的構造或處理步驟的細節。本揭露能夠有其他實施例，並且能夠以各種方式實踐或執行。

**【0012】** 如本文所用的「基板」是指在製造製程期間中執行膜處理的任何基板或基板上形成的材料表面。例如，取決於應用，可以在其上執行處理的基板表面包括諸如矽、氧化矽、應變矽、絕緣體上矽(silicon on insulator, SOI)、碳摻雜氧化矽、非晶矽、摻雜矽、鍺、砷化鎵、玻璃、藍寶石的材料，以及諸如金屬、金屬氮化物、金屬合金和其他導電材料的任何其他材料。基板包括但不限於半導體晶圓。可以將基板暴露於預處理製程，以拋光、蝕刻、還原、氧化、羥基化、退火及/或烘烤基板表面。除了直接在基板本身的表面上進行膜處理之外，在本揭露中，所揭

示的膜處理步驟中的任何膜處理步驟亦可以在基板上形成的底層上執行，如下面更詳細揭示的，並且術語「基板表面」意欲包括如上下文所示的此類底層。因此，例如，在膜/層或部分膜/層已經沉積到基板表面上時，新沉積的膜/層的暴露表面變成基板表面。

**【0013】** 如在本說明書和所附申請專利範圍中所使用的，術語「基板」是指製程作用於的表面或表面的一部分。本領域技藝人士亦將理解，除非上下文明確指出，否則提及基板亦可指基板的僅一部分。此外，提及在基板上沉積可以指裸基板和其上沉積或形成有一或多個膜或特徵的基板兩者。

**【0014】** 術語「在……上」指示元件之間有直接接觸。術語「直接在……上」指示元件之間直接接觸，沒有中介元件。

**【0015】** 如本文所用，術語「動態隨機存取記憶體」或「D R A M」係指藉由在電容器上儲存電荷包（亦即，二元1）或無電荷包（亦即，二元0）來儲存資料位元的記憶體單元。電荷經由存取電晶體閘控到電容器上，並且藉由以下方式來感測：開啟同一電晶體並查看藉由將電荷包轉儲到電晶體輸出端上的互連線上而產生的電壓擾動。因此，單個D R A M單元由一個電晶體和一個電容器製成。如本文所用，術語「電阻率」和「薄層電阻」可以互換使用。

**【0016】** 在一或多個實施例中，提供了介面層和用於形成與沒有介面層的膜相比具有降低粗糙度的介面層的方法。

實施例提供了記憶體裝置，並且亦提供了用於形成與沒有介面層的記憶體裝置相比具有降低電阻率的記憶體裝置的方法。在一些實施例中，鈦層與氮化矽層之間的介面層降低了鈦層和記憶體裝置作為整體的電阻率。已經發現矽化鈦(RuSi)的形成導致了裝置的電阻率增加。更特別地，藉由使用在沉積氮化矽層之前不利用鈦層預處理的習知PECVD製程，有助於RuSi形成、增加鈦層的表面粗糙度和增加裝置的電阻率。使用透射電子顯微鏡(transmission electron microscope, TEM)和能量色散x射線光譜(energy-dispersive x-ray spectroscopy; EDX)來偵測RuSi的存在或不存在。根據一或多個實施例，裝置和用於製造裝置的方法實質上沒有RuSi，並且電阻率小於不包括介面層的裝置。

**【0017】** 在一或多個例示性實施例中，根據本揭露的實施例形成的記憶體裝置可以是DRAM型積體電路。第1圖圖示根據本揭露的一或多個實施例的記憶體裝置100的一部分。在一或多個實施例中，記憶體裝置100包括基板110上的第一層120。存在在第一層120上的鈦層130、在鈦層130上的介面層140、以及在介面層140上的氮化矽層150。第2圖是圖示根據一或多個實施例，特別是用於形成第1圖所示的記憶體裝置100的方法200的例示性實施例的用於在鈦層上形成氮化矽硬遮罩層的方法200的流程圖。

【0018】 參見第2圖，方法200的例示性實施例包括在操作210處用電漿預處理鈦層，以在操作220處在鈦層上形成介面層。在操作240處，該方法包括在介面層上形成氮化矽層。在一或多個實施例中，預處理鈦層和形成氮化矽層是在單個處理腔室中執行的，該處理腔室被配置為處理基板而無需將基板重定位到第二腔室。

【0019】 記憶體裝置100包括基板110，該基板上具有第一層120。基板110包含上述材料中的一或多種材料。第一層120可以是任何合適的導電材料。在一些實施例中，第一層120包含鈦(Ti)、鉭(Ta)、矽化鈦(TiSi)或矽化鉭(TaSi)中的一或多者。在一或多個實施例中，第一層120包含氮化鈦(或基本上由氮化鈦組成)。如以此方式所使用的，術語「基本上由……組成」意指以原子計，第一層包含大於或等於約95%、98%、99%或99.9%的所述元素或組合物。例如，基本上由氮化鈦組成的第一層120意指以原子計，膜中鈦原子和氮原子的總和佔所沉積的第一層120的大於或等於約95%、98%、99%或99.5%。

【0020】 第一層120的厚度可以變化。在一或多個實施例中，第一層120具有約3 nm至約5 nm範圍內的厚度。在一或多個實施例中，第一層120的厚度在約3.1 nm至約4.9 nm的範圍內、在約3.2 nm至約4.8 nm的範圍內、在約3.3 nm至約4.8 nm的範圍內、在約3.4 nm至約4.7 nm的範圍內、在約3.5 nm至約4.6 nm的範圍內、在約3.6 nm至約4.5 nm的範圍內、在約3.7 nm至約4.4 nm的範

圍內、在約3.8 nm至約4.3 nm的範圍內、在約3.9 nm至約4.2 nm的範圍內、或在約4.0 nm至約4.1 nm的範圍內。在一或多個實施例中，基板110的厚度在約100  $\mu$ m至約900  $\mu$ m的範圍內。

**【0021】** 在一些實施例中，記憶體裝置100包括在第一層120上的釘層130。釘層130的厚度可以變化。在一或多個實施例中，釘層130的厚度在約10 nm至約15 nm的範圍內。在一或多個實施例中，釘層130的厚度在約11 nm至約14 nm的範圍內，或者在約12 nm至約13 nm的範圍內。

**【0022】** 參考第1圖和第2圖，方法200包括在操作210處用電漿預處理釘層130。在一些實施例中，用電漿預處理釘層130包括使選自由NH<sub>3</sub>、N<sub>2</sub>O、N<sub>2</sub>、Ar及其組合組成的群組的氣體流動。在一或多個實施例中，方法200進一步包括控制氣體的流動。在一或多個實施例中，在操作210處，用電漿預處理釘層130包括在執行操作220之前，將氣流開啟到期望的流率並穩定化期望的流率。在一或多個實施例中，用電漿預處理釘層130包括使約50 sccm至約500 sccm的NH<sub>3</sub>流動。在一或多個實施例中，用電漿預處理釘層130包括使約1000 sccm至約5000 sccm的N<sub>2</sub>O流動。在一或多個實施例中，用電漿預處理釘層130包括使約1000 sccm至約9000 sccm的N<sub>2</sub>流動。在一或多個實施例中，用電漿預處理釘層130包括使約1000 sccm至約5000 sccm的Ar流動。在一或多個實施例中，用電漿預處理釘層130是在約3托至約5托範圍內的壓力下執行的。

【0023】 在一或多個實施例中，在預處理鈦層 130 期間，電漿功率在約 200 瓦至約 600 瓦的範圍內。在一或多個實施例中，電漿功率在約 250 瓦至約 550 瓦的範圍內、在約 300 瓦至約 500 瓦的範圍內、在約 350 瓦至約 450 瓦的範圍內、或在約 375 瓦至約 420 瓦的範圍內。

【0024】 在一或多個實施例中，在預處理期間，鈦層 130 處於約 300 °C 至約 600 °C 範圍內的溫度下。在一或多個實施例中，該溫度在約 350 °C 至約 550 °C 的範圍內、在約 400 °C 至約 500 °C 的範圍內、或在約 425 °C 至約 475 °C 的範圍內。

【0025】 在一或多個實施例中，該方法包括在操作 210 處預處理鈦層 130 以防止矽化物的形成。在一或多個實施例中，預處理鈦層 130 防止了矽化鈦 (RuSi) 的形成。在一或多個實施例中，與層中具有矽化鈦 (RuSi) 的記憶體裝置相比，防止矽化鈦 (RuSi) 形成導致電阻率降低。

【0026】 在一或多個實施例中，方法 200 包括在操作 220 處在鈦層 130 上形成介面層 140。介面層 140 是藉由用電漿預處理鈦層而形成的。在一或多個實施例中，介面層 140 包含鈦、鈦的氮化物、鈦的氧化物、鈦的碳化物、或其組合。

【0027】 在一或多個實施例中，介面層 140 實質上不含氧。如以此種方式所使用的，術語「實質上不含氧」意指以原子計，介面層中的氧小於或等於 5 %、4 %、3 %、2 %、1 % 或 0.5 %。在一或多個實施例中，在操作 210 處，在用

電漿預處理鈎層 130 期間，使選自由  $\text{NH}_3$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$ 、 $\text{Ar}$  及其組合組成的群組的氣體流動以形成實質上不含氧的介面層 140。

**【0028】** 在一或多個實施例中，介面層包含氧。在一或多個實施例中，在用電漿預處理鈎層期間，使含氧氣體流動形成了包含氧的介面層。在一或多個實施例中，用電漿預處理鈎層 130 包括使約 1000 sccm 至約 5000 sccm 的  $\text{N}_2\text{O}$  流動。在一或多個實施例中，包含氧的介面層的電阻率大於實質上不含氧的介面層的電阻率。

**【0029】** 介面層 140 的厚度可以變化。在一些實施例中，介面層 140 的厚度小於約 10 nm 或小於約 5 nm。在一些實施例中，介面層 140 的厚度小於約 2 nm。在一些實施例中，介面層 140 的厚度在約 0.1 nm 至約 1 nm 的範圍內。在一或多個實施例中，介面層 140 的厚度小於約 0.1 nm。

**【0030】** 在一或多個實施例中，方法 200 視情況包括在操作 230 處，在預處理鈎層與形成氮化矽層之間淨化處理腔室。淨化處理腔室移除了未反應的前驅物、反應產物和副產物。如以此方式所使用的，術語「處理腔室」亦包括處理腔室的鄰近基板表面的部分，而不涵蓋處理腔室的整個內部體積。例如，在空間上分離的處理腔室的扇區中，藉由任何合適的技術淨化處理腔室的鄰近基板表面的部分中的前驅物，該等技術包括但不限於將基板穿過氣幕移動至處理腔室的不含前驅物或實質上不含前驅物的部分或扇區。在一或多個實施例中，淨化處理腔室包括施加真空。

在一些實施例中，淨化處理腔室包括使淨化氣體在基板上方流動。在一些實施例中，處理腔室的該部分係指處理腔室內的微體積或小體積處理站。關於基板表面的術語「鄰近」意指與基板的表面相鄰的實體空間，該實體空間可以為表面反應（例如，前驅物吸附）的發生提供足夠的空間。在一或多個實施例中，淨化氣體選自氮氣（ $N_2$ ）、氦氣（ $He$ ）和氬氣（ $Ar$ ）中的一或多者。淨化處理腔室、處理腔室的部分、鄰近基板表面的區域等從鄰近基板表面的區域移除了未反應的反應物、反應產物和副產物。在一或多個實施例中，可以藉由消除淨化步驟來增加生產量。

**【0031】** 在一或多個實施例中，預處理鈣層和形成氮化矽層是在單個處理腔室中執行的，該處理腔室被配置為在不將基板轉移到不同的或單獨的處理腔室的情況下處理基板。在一或多個實施例中，在操作 230 處的淨化期間，記憶體裝置 100 保持在基板處理腔室中。

**【0032】** 在操作 240 處，在介面層 140 上形成氮化矽層 150。氮化矽層 150 的厚度可以變化。在一或多個實施例中，氮化矽層 150 的厚度小於約 5 nm。在一或多個實施例中，氮化矽層 150 的厚度在約 1 nm 至約 5 nm 的範圍內。

**【0033】** 在一或多個實施例中，氮化矽層 150 是藉由電漿增強化學氣相沉積（PECVD）形成的。由於成本效率和膜特性多樣性，PECVD 被用於沉積薄膜。例如，在 PECVD 製程中，將烴源，例如已經被夾帶在載氣中的氣相烴或液相烴的蒸汽，引入到 PECVD 腔室中。電漿引發的氣體，通常

是氮氣，亦被引入到該腔室中。然後，電漿在該腔室中被引發以產生激發的 $\text{CH}$ -自由基。激發的 $\text{CH}$ -自由基化學鍵合到位於腔室這個的基板的表面，從而在該表面上形成所需的膜。 $\text{PECVD}$ 製程可以使用任何合適的薄膜沉積系統來進行。本文所述的任何設備描述都是說明性的，並且不應該被理解或解釋為限制本文所述的實施例的範疇。

**【0034】** 在一或多個實施例中，方法200在操作240處包括使含矽前驅物流動。在一或多個實施例中，使含矽前驅物流動包括使矽烷( $\text{SiH}_4$ )、乙矽烷( $\text{Si}_2\text{H}_6$ )、丙矽烷( $\text{Si}_3\text{H}_8$ )、四矽烷( $\text{Si}_4\text{H}_{10}$ )、異四矽烷、新戊矽烷( $\text{Si}_5\text{H}_{12}$ )、環戊矽烷( $\text{Si}_5\text{H}_{10}$ )、六矽烷( $\text{C}_6\text{H}_{14}$ )、環己矽烷( $\text{Si}_6\text{H}_{12}$ )、具有其中 $x$ 為2或更大的通式 $\text{Si}_x\text{H}_y$ 的含矽前驅物及其組合中的一或多者流動。

**【0035】** 在一或多個實施例中，方法200進一步包括在操作250處加熱氮化矽層150。可以控制氮化矽層150的沉積溫度，以例如保持正在形成的裝置的熱預算。在一或多個實施例中，加熱氮化矽層包括將氮化矽層加熱至在約 $775^\circ\text{C}$ 至約 $1075^\circ\text{C}$ 範圍內的溫度。在一或多個實施例中，將氮化矽層加熱至在約 $750^\circ\text{C}$ 至約 $1100^\circ\text{C}$ 範圍內、在約 $800^\circ\text{C}$ 至約 $1050^\circ\text{C}$ 範圍內、在約 $825^\circ\text{C}$ 至約 $1025^\circ\text{C}$ 範圍內、在約 $850^\circ\text{C}$ 至約 $1000^\circ\text{C}$ 範圍內、在約 $875^\circ\text{C}$ 至約 $975^\circ\text{C}$ 範圍內、或在約 $900^\circ\text{C}$ 至約 $950^\circ\text{C}$ 範圍內的溫度。

**【0036】** 在一些實施例中，實質上防止了氮化矽層150的元素遷移到釘層130中。例如，若氮化矽層150包含矽原子

和氮原子，則實質上防止了矽原子或氮原子遷移到鈦層 130 中。如以此方式所使用的，術語「實質上防止」意指小於或等於約 10% 或 5% 的氮化矽層 150 元素經由介面層 140 遷移到鈦層 130 中。

**【0037】** 本發明的額外實施例係關於在鈦層上形成包括氮化矽硬遮罩層的記憶體裝置的方法，該等方法包括在電漿存在下預處理鈦層，以在鈦層上形成介面層。氮化矽層是藉由電漿增強化學氣相沉積 (PECVD) 製程在介面層上形成的。

**【0038】** 在一或多個實施例中，與不包括介面層的記憶體裝置相比，預處理鈦層導致介面層具有降低的粗糙度並且記憶體裝置具有降低的電阻率。

**【0039】** 在一或多個實施例中，在電漿存在下預處理鈦層以在鈦層上形成介面層之後，量測電阻率（亦即，薄層電阻）和表面粗糙度。在一或多個實施例中，在加熱氮化矽層之後，再次量測電阻率（亦即，薄層電阻）和表面粗糙度。

**【0040】** 在一或多個實施例中，量測第一層 120、鈦層 130、介面層 140 和氮化矽層 150 中的每一者的表面粗糙度。在一或多個實施例中，量測第一層 120、鈦層 130、介面層 140 和氮化矽層 150 中的各者之間的介面處的表面粗糙度。

**【0041】** 在一或多個實施例中，量測鈦層 130 的電阻率（亦即，薄層電阻）。在一或多個實施例中，量測記憶體裝置

100的電阻率（亦即，薄層電阻）。在一或多個實施例中，記憶體裝置的電阻率（亦即，薄層電阻）變化。在一或多個實施例中，藉由使用4點探針來量測薄層電阻。在一或多個實施例中，4點探針包括排成一行的四個電氣探針，其中該四個探針中的各者之間間距相等。

**【0042】** 在一或多個實施例中，在預處理鈦層並形成氮化矽層後，記憶體裝置100的薄層電阻在約9歐姆/平方( $\Omega\text{-cm}$ )至約11歐姆/平方( $\Omega\text{-cm}$ )的範圍內。在一或多個實施例中，在預處理鈦層以形成介面層並形成氮化矽層之後，記憶體裝置的電阻率（亦即，薄層電阻）低於不具有介面層的記憶體裝置的電阻率（亦即，薄層電阻）。

**【0043】** 在一或多個實施例中，藉由使用原子力顯微鏡(atomic force microscope, AFM)量測表面粗糙度。在一或多個實施例中，鈦層中的表面粗糙度變化。在一或多個實施例中，預處理鈦層130以形成介面層140，然後形成氮化矽層150，與氮化矽層直接在鈦層上而其間沒有介面層的膜相比，該氮化矽層具有較低的表面粗糙度。在一或多個實施例中，在預處理鈦層130並形成氮化矽層150之後，介面層140的粗糙度在約0.6 nm至約0.9 nm的範圍內。已經確定，當氮化矽層直接形成在鈦層上，而其間沒有介面層時，該鈦的粗糙度比存在介面層時高約0.3 nm至0.5 nm。例如，當不存在介面層時，鈦層的粗糙度在約1.0 nm至約1.5 nm的範圍內。在一或多個實施例中，在操作250處，加熱氮化矽層150不會改變介面層140的粗糙

度。在一或多個實施例中，在加熱氮化矽層 150 (操作 250) 之後，介面層 140 的粗糙度在約 0.6 nm 至約 0.9 nm 的範圍內。

**【0044】** 在一或多個實施例中，使用光譜和顯微鏡技術來分析氮化矽層 150 與鈦層 130 之間的介面層 140 的組成。在一或多個實施例中，使用透射電子顯微鏡 (transmission electron microscope; TEM) 來分析介面層 140 的組成。

**【0045】** 在一或多個實施例中，使用能量色散 x 射線光譜 (EDX) 來分析介面層 140 的組成。在一或多個實施例中，EDX 系統附接至 TEM。EDX 是基於試樣特徵 x 射線的發射。

**【0046】** 在一或多個實施例中，使用光譜和顯微技術來分析鈦層 130 中鈦原子的擴散。在一或多個實施例中，使用二次離子質譜儀 (secondary ion mass spectrometer, SIMS) 來量測鈦層 130 中鈦原子的擴散。在一或多個實施例中，對在鈦層 130 與氮化矽層 150 之間具有介面層 140 的記憶體裝置的 SIMS 分析顯示在氮化矽層 150 中沒有鈦原子的擴散。在一或多個實施例中，對在鈦層與氮化矽層之間不具有介面層的記憶體裝置的 SIMS 分析顯示了鈦原子在氮化矽層中的擴散。據信鈦原子擴散到氮化矽層中會負面地影響裝置效能。

**【0047】** 在描述本文所論述的材料和方法的上下文中 (特別是在以下申請專利範圍的上下文中)，術語「一(a)」與

「一 ( a n ) 」和「該」以及類似指示物的使用應被解釋為涵蓋單數和複數兩者，除非本文另有說明或與上下文明顯矛盾。除非本文中另有說明，否則本文中數值範圍的敘述僅意欲用作單獨提及落入該範圍內的每個單獨值的速記方法，並且每個單獨值都被結合到說明書中，如同該單獨值在本文中單獨敘述一般。除非本文另有說明或與上下文明顯矛盾，否則本文所述的所有方法都可以以任何合適的次序執行。本文提供的任何和所有實例或例示性語言（例如，「諸如」）的使用僅意欲更好地闡明材料和方法，並且除非另有聲明，否則不對範疇構成限制。說明書中的任何語言都不應被解釋為表示任何未要求保護的元素對於實踐所揭示的材料和方法是必不可少的。

**【0048】** 在整個說明書中對「一個實施例」、「某些實施例」、「一或多個實施例」或「一實施例」的提及意謂結合該實施例描述的特定特徵、結構、材料或特性包括在本揭示案的至少一個實施例中。因此，諸如「在一或多個實施例中」、「在某些實施例中」、「在一個實施例中」或「在一實施例中」的片語在本說明書各處的出現不一定指本揭示案的同一實施例。此外，在一或多個實施例中，特定特徵、結構、材料或特性可以以任何合適的方式組合。

**【0049】** 儘管本文已參照特定實施例對本揭露進行了描述，但是應當理解的是，該等實施例僅為對本揭露的原理和應用的說明。對於本領域技藝人士而言將顯而易見的是，在不脫離本揭露的精神和範疇的情況下，可以對本揭

露的方法和裝置進行各種修改和變化。因此，本揭露意欲包括在所附申請專利範圍及其等同物的範疇內的修改和變化。

**【符號說明】**

**【0050】**

100：記憶體裝置

110：基板

120：第一層

130：釘層

140：介面層

150：氮化矽層

200：方法

210：操作

220：操作

230：操作

240：操作

250：操作

**【生物材料寄存】**

國內寄存資訊(請依寄存機構、日期、號碼順序註記)

無

國外寄存資訊(請依寄存國家、機構、日期、號碼順序註記)

無

## 【發明申請專利範圍】

【請求項 1】 一種在一鈎層上形成一氮化矽硬遮罩層的方法，該方法包括以下步驟：

用一電漿預處理該鈎層以在該鈎層上形成一介面層；  
以及

使用一電漿增強化學氣相沉積(PECVD)製程在該介面層上形成一氮化矽層。

【請求項 2】 如請求項 1 所述之方法，其中用一電漿預處理該鈎層之步驟包括以下步驟：使選自由  $\text{NH}_3$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$ 、Ar 及其組合組成的群組的一氣體流動。

【請求項 3】 如請求項 2 所述之方法，進一步包括以下步驟：控制該氣體的流量。

【請求項 4】 如請求項 1 所述之方法，其中預處理該鈎層和形成該氮化矽層是在一處理腔室中執行的，該處理腔室被配置為處理基板。

【請求項 5】 如請求項 1 所述之方法，其中預處理該鈎層之步驟包括以下步驟：形成鈎的氧化物、氮化物和碳化物中的一或多者。

【請求項 6】 如請求項 1 所述之方法，其中在預處理該鈎層期間，一電漿功率在約 200 瓦至約 600 瓦的一範圍內。

【請求項 7】 如請求項 6 所述之方法，其中在預處理期間，該鈎層處於約 300 °C 至約 600 °C 範圍內的一溫度下。

【請求項 8】 如請求項 6 所述之方法，其中在使用一電漿

增強化學氣相沉積在該介面層上形成一氮化矽層期間，一電漿功率在 500 瓦至 1200 瓦的一範圍內。

【請求項 9】 如請求項 1 所述之方法，其中該介面層實質上不含氧。

【請求項 10】 如請求項 1 所述之法，其中該介面層的一厚度小於約 1 nm。

【請求項 11】 如請求項 1 所述之方法，其中形成該氮化矽層之步驟包括以下步驟：使一含矽前驅體流動。

【請求項 12】 如請求項 11 所述之方法，其中使該含矽前驅物流動之步驟包括以下步驟：使矽烷( $\text{SiH}_4$ )、乙矽烷( $\text{Si}_2\text{H}_6$ )、丙矽烷( $\text{Si}_3\text{H}_8$ )、四矽烷( $\text{Si}_4\text{H}_{10}$ )、異四矽烷、新戊矽烷( $\text{Si}_5\text{H}_{12}$ )、環戊矽烷( $\text{Si}_5\text{H}_{10}$ )、六矽烷( $\text{C}_6\text{H}_{14}$ )、環己矽烷( $\text{Si}_6\text{H}_{12}$ )、具有其中 x 為 2 或更大的通式  $\text{Si}_x\text{H}_y$  的含矽前驅物及其組合中的一或多者流動。

【請求項 13】 如請求項 1 所述之方法，進一步包括以下步驟：將該氮化矽層加熱至在約 750 °C 至約 1100 °C 的一範圍內的一溫度。

【請求項 14】 如請求項 4 所述之方法，進一步包括以下步驟：在預處理該釘層與形成該氮化矽層之間淨化該處理腔室，該淨化之步驟包括以下步驟：施加一真空或使一淨化氣體在該釘層上方流動中的一或多者，該淨化氣體包含氮氣( $\text{N}_2$ )、氦氣(He)和氬氣(Ar)中的一或多者。

【請求項 15】 一種形成一記憶體裝置的方法，該記憶體裝

置包括在一釘層上的一氮化矽硬遮罩層，該方法包括以下步驟：

用一電漿預處理該釘層以在該釘層上形成一介面層；以及

使用一電漿增強化學氣相沉積(PECVD)製程在該介面層上形成一氮化矽層，其中與不包括該介面層的一記憶體裝置相比，預處理該釘層導致該介面層具有一降低的粗糙度，並且該記憶體裝置具有一降低的電阻率。

【請求項 16】如請求項 15 所述之方法，其中在預處理該釘層並形成該氮化矽層之後，該介面層的一粗糙度在約 0.6 nm 至約 0.9 nm 的一範圍內，並且該記憶體裝置的一薄層電阻在約 9 歐姆/平方( $\Omega$ -cm)至約 11 歐姆/平方( $\Omega$ -cm)的一範圍內。

【請求項 17】一種記憶體裝置，包括：

- 一第一層，在一基板上；
- 一釘層，在該第一層上；
- 一介面層，在該釘層上；以及
- 一氮化矽層，在該介面層上。

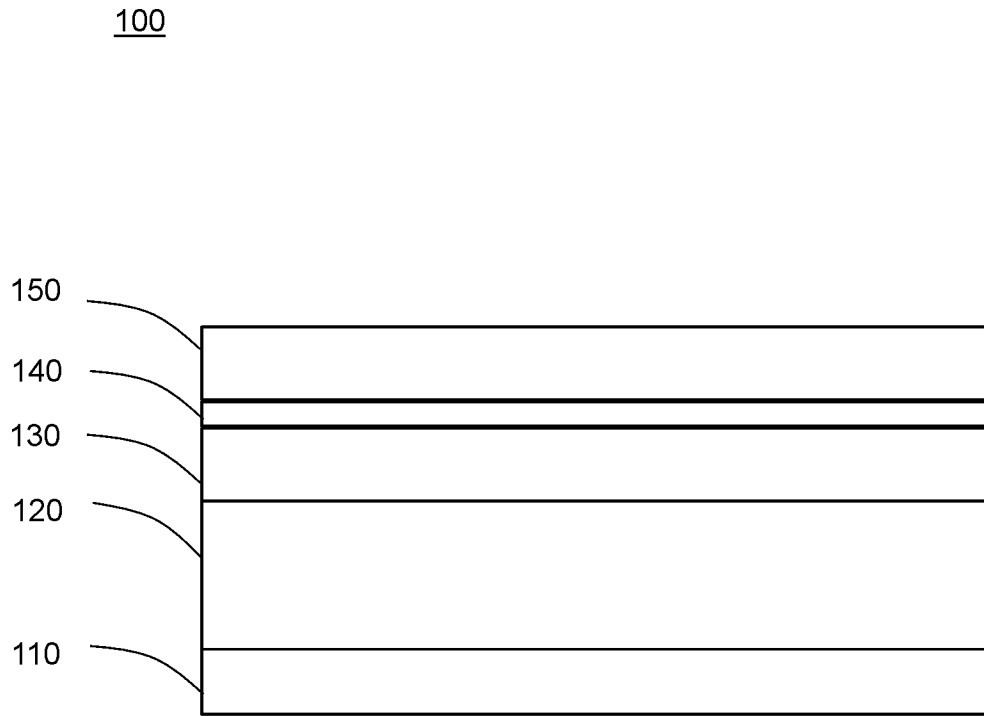
【請求項 18】如請求項 17 所述之記憶體裝置，其中該第一層包含氮化鈦。

【請求項 19】如請求項 17 所述之記憶體裝置，其中該介面層實質上不含氧。

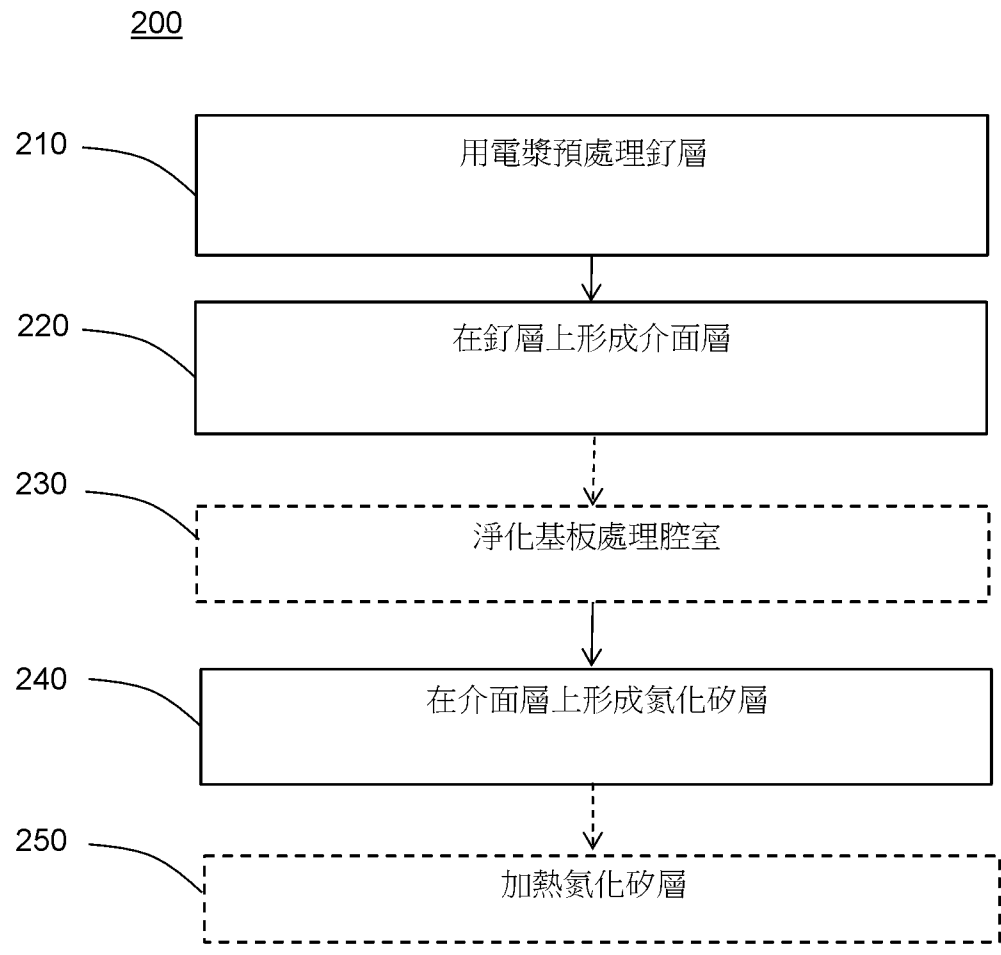
【請求項 20】如請求項 17 所述之記憶體裝置，其中該介面層的一粗糙度在約 0.6 nm 至約 0.9 nm 的一範圍內，

並且該記憶體裝置的一薄層電阻在約 9 歐姆/平方 ( $\Omega - \text{cm}$ ) 至約 11 歐姆/平方 ( $\Omega - \text{cm}$ ) 的一範圍內。

【發明圖式】



第1圖



第2圖