

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6309608号
(P6309608)

(45) 発行日 平成30年4月11日(2018.4.11)

(24) 登録日 平成30年3月23日(2018.3.23)

(51) Int.Cl.	F 1	
H 01 L 25/065	(2006.01)	H 01 L 25/08
H 01 L 25/07	(2006.01)	G 11 C 5/02
H 01 L 25/18	(2006.01)	G 11 C 5/04
G 11 C 5/02	(2006.01)	G 11 C 5/14
G 11 C 5/04	(2006.01)	G 11 C 8/16

請求項の数 17 (全 17 頁) 最終頁に続く

(21) 出願番号	特願2016-501104 (P2016-501104)	(73) 特許権者	595020643 クアルコム・インコーポレイテッド QUALCOMM INCORPORATED アメリカ合衆国、カリフォルニア州 92 121-1714、サン・ディエゴ、モア ハウス・ドライブ 5775
(86) (22) 出願日	平成26年3月11日(2014.3.11)	(74) 代理人	100108855 弁理士 蔵田 昌俊
(65) 公表番号	特表2016-514375 (P2016-514375A)	(74) 代理人	100109830 弁理士 福原 淑弘
(43) 公表日	平成28年5月19日(2016.5.19)	(74) 代理人	100158805 弁理士 井関 守三
(86) 國際出願番号	PCT/US2014/022929	(74) 代理人	100112807 弁理士 岡田 貴志
(87) 國際公開番号	W02014/150317		最終頁に続く
(87) 國際公開日	平成26年9月25日(2014.9.25)		
審査請求日	平成27年12月8日(2015.12.8)		
審判番号	不服2016-18106 (P2016-18106/J1)		
審判請求日	平成28年12月2日(2016.12.2)		
(31) 優先権主張番号	61/800, 220		
(32) 優先日	平成25年3月15日(2013.3.15)		
(33) 優先権主張国	米国(US)		
(31) 優先権主張番号	13/939, 274		
(32) 優先日	平成25年7月11日(2013.7.11)		
(33) 優先権主張国	米国(US)		

(54) 【発明の名称】集積回路の異なる階層上の、読み取り／書き込みポートおよびアクセスロジックを有する3Dメモリセル

(57) 【特許請求の範囲】

【請求項1】

3次元(3D)メモリブロックであって、

静的ランダムアクセスメモリ(SRAM)を備えるメモリセルと、ここで、前記メモリセルは、3D集積回路(IC)(3DIC)の第1の階層に配設される。

前記3DICの第2の階層に配設された少なくとも1つの読み取りアクセスポートと、ここで、前記少なくとも1つの読み取りアクセスポートは、前記メモリセルへの読み取りアクセスを提供するように構成され、前記少なくとも1つの読み取りアクセスポートの各読み取りアクセスポートは、前記SRAMの第1のインバータに結合された第1の読み取りトランジスタと、前記SRAMの第2のインバータに結合された第2の読み取りトランジスタとを備える。 10

前記少なくとも1つの読み取りアクセスポートを前記メモリセルに結合する少なくとも1つのモノリシック階層間ビア(MIV)と

を備え、前記読み取りアクセスポート及び前記メモリセルは、前記読み取りアクセスポートのための電源電圧を低くすることを可能とするために第1の電源電圧及び第2の電源電圧をそれぞれ受けるように構成される、3Dメモリブロック。

【請求項2】

前記3DICの前記第1の階層に配設された少なくとも1つの書き込みアクセスポートを更に備え、前記少なくとも1つの書き込みアクセスポートは、前記メモリセルへの書き込みアクセスを提供するように構成される、請求項1に記載の3Dメモリブロック。

【請求項3】

前記 3 D I C の前記第 2 の階層に配設された少なくとも 1 つの書き込みアクセスポートを更に備え、前記少なくとも 1 つの書き込みアクセスポートは、前記少なくとも 1 つの M I V を通して前記メモリセルへの書き込みアクセスを提供するように構成される、請求項 1 に記載の 3 D メモリブロック。

【請求項 4】

前記 3 D I C の前記第 1 の階層に配設されたプロセッサコア書き込みロジックと、ここで、前記プロセッサコア書き込みロジックは、前記メモリセルの少なくとも 1 つの書き込みポートに書き込み要求を提供するように構成される。

前記 3 D I C の前記第 2 の階層に配設されたプロセッサコア読み取りロジックと、ここで、前記プロセッサコア読み取りロジックは、前記メモリセルの前記少なくとも 1 つの読み取りアクセスポートへ読み取りアクセスを提供するように構成される、10

を更に備える、請求項 1 に記載の 3 D メモリブロック。

【請求項 5】

前記 3 D I C の前記第 1 の階層に配設された、第 1 の電圧が供給される第 1 の電圧レールと、ここで、前記第 1 の電圧レールは、前記メモリセルに前記第 1 の電圧を供給するように構成される、

前記第 1 の電圧レールに供給される前記第 1 の電圧よりも低い第 2 の電圧が供給される第 2 の電圧レールと、ここで、前記第 2 の電圧レールは、前記 3 D I C の前記第 2 の階層に配設され、前記少なくとも 1 つの読み取りアクセスポートに前記第 2 の電圧を供給するよう構成される、20

を更に備える、請求項 1 に記載の 3 D メモリブロック。

【請求項 6】

半導体ダイに統合される、請求項 1 に記載の 3 D メモリブロック。

【請求項 7】

前記 3 D メモリブロックが統合される、セットトップボックス、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、固定口ケーションデータユニット、モバイルロケーションデータユニット、モバイル電話、セルラ電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末（ P D A ）、モニタ、コンピュータモニタ、テレビ、チューナ、無線機、衛星ラジオ、ミュージックプレーヤ、デジタルミュージックプレーヤ、ポータブルミュージックプレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク（ D V D ）プレーヤ、及びポータブルデジタルビデオプレーヤからなるグループから選択されたデバイスを更に備える、請求項 1 に記載の 3 D メモリブロック。30

【請求項 8】

前記 3 D メモリブロックは、集積回路内のレジスタを備える、請求項 1 に記載の 3 D メモリブロック。

【請求項 9】

前記 3 D メモリブロックは、集積回路内のキャッシュメモリを備える、請求項 1 に記載の 3 D メモリブロック。

【請求項 10】

3 次元（ 3 D ）メモリブロックであって、

静的ランダムアクセスメモリ（ S R A M ）を備えるメモリセルと、ここで、前記メモリセルは、3 D 集積回路（ I C ）（ 3 D I C ）の第 1 の階層に配設される、

前記 3 D I C の第 2 の階層に配設された少なくとも 1 つの読み取るための手段と、ここで、前記少なくとも 1 つの読み取るための手段は、前記メモリセルへの読み取りアクセスを提供するように構成され、前記少なくとも 1 つの読み取るための手段の各読み取るための手段は、前記 S R A M の第 1 のインバータに結合された第 1 の読み取りトランジスタと、前記 S R A M の第 2 のインバータに結合された第 2 の読み取りトランジスタとを備える、

前記少なくとも 1 つの読み取るための手段を前記メモリセルに結合する少なくとも 1 つのモノリシック階層間ビア（ M I V ）と4050

を備え、前記少なくとも1つの読み取るための手段及び前記メモリセルは、前記少なくとも1つの読み取るための手段のための電源電圧を低くすることを可能とするために第1の電源電圧及び第2の電源電圧をそれぞれ受けるように構成される、3Dメモリブロック。

【請求項11】

前記3DICの前記第1の階層に配設された、少なくとも1つの書き込むための手段を更に備え、前記少なくとも1つの書き込むための手段は、前記メモリセルへの書き込みアクセスを提供するように構成される、請求項10に記載の3Dメモリブロック。

【請求項12】

3次元(3D)メモリブロックを形成する方法であって、

10

3D集積回路(IC)(3DIC)の第1の階層を形成することと、

メモリセル内に静的ランダムアクセスメモリ(SRAM)を備える前記メモリセルを、前記3DICの前記第1の階層内に形成することと、

前記3DICの第2の階層を形成することと、

前記3DICの第2の階層内に少なくとも1つの読み取アクセスポートを形成することと、ここで、前記少なくとも1つの読み取アクセスポートは、前記メモリセルへの読み取アクセスを提供するように構成され、前記少なくとも1つの読み取アクセスポートを形成することは、

前記SRAMの第1のインバータに結合された第1の読み取トランジスタを形成することと、

20

前記SRAMの第2のインバータに結合された第2の読み取トランジスタを形成することと

を備える、

前記少なくとも1つのモノリシック階層間ビア(MIV)を用いて前記少なくとも1つの読み取アクセスポートを前記メモリセルに結合することと

を備え、前記読み取アクセスポート及び前記メモリセルを形成することは、前記読み取アクセスポートのための電源電圧を低くすることを可能とするために異なる電源電圧を受けるように前記読み取アクセスポート及び前記メモリセルを構成することを含む、方法。

【請求項13】

前記3DICの前記第1の階層内に少なくとも1つの書き込みアクセスポートを形成することを更に備え、前記少なくとも1つの書き込みアクセスポートは、前記メモリセルへの書き込みアクセスを提供するように構成される、請求項12に記載の方法。

30

【請求項14】

レジスタとして動作するように前記メモリセルを構成すること

更に備える、請求項12に記載の方法。

【請求項15】

前記3DICの前記第2の階層内に少なくとも1つの書き込みアクセスポートを形成することを更に備え、前記少なくとも1つの書き込みアクセスポートは、前記少なくとも1つのMIVを通して前記メモリセルへの書き込みアクセスを提供するように構成される、請求項12に記載の方法。

40

【請求項16】

前記3DICの前記第1の階層内にプロセッサコア書き込みロジックを形成することと、ここで、前記プロセッサコア書き込みロジックは、前記メモリセルの少なくとも1つの書き込みポートへの書き込み要求を提供するように構成される、

前記3DICの前記第2の階層内にプロセッサコア読み取りロジックを形成することと、ここで、前記プロセッサコア読み取りロジックは、前記メモリセルの前記少なくとも1つの読み取りアクセスポートへ読み取りアクセスを提供するように構成される、

を更に備える、請求項12に記載の方法。

【請求項17】

前記3DICの前記第1の階層内に第1の電圧レールを形成することと、ここで、前記

50

第1の電圧レールは、前記メモリセルに第1の電圧を供給するように構成される、

前記3D I Cの前記第2の階層内に第2の電圧レールを形成することと、ここで、前記第2の電圧レールは、前記少なくとも1つの読取アクセスポートに第2の電圧を供給するように構成される

を更に備える、請求項12に記載の方法。

【発明の詳細な説明】

【優先権主張出願】

【0001】

[0001] 本願は、参照により全体が本明細書に組み込まれる、2013年3月15日に出願された「THREE-DIMENSIONAL (3D) MEMORY CELL SEPARATION AMONG 3D INTEGRATED CIRCUIT (IC) TIERS, AND RELATED 3D INTEGRATED CIRCUITS (3DICS), 3DIC PROCESSOR CORES, AND METHODS」と題する米国特許仮出願第61/800,220号への優先権を主張する。

【0002】

[0002] 本願はまた、参照により全体が本明細書に組み込まれる、2013年7月11日に出願された「THREE-DIMENSIONAL (3D) MEMORY CELL SEPARATION AMONG 3D INTEGRATED CIRCUIT (IC) TIERS, AND RELATED 3D INTEGRATED CIRCUITS (3DICS), 3DIC PROCESSOR CORES, AND METHODS」と題する米国特許出願第13/939,274号への優先権を主張する。

【技術分野】

【0003】

[0003] 本開示の技術は一般に、3次元(3D)集積回路(3DIC)と、中央処理装置(CPU)コア及び他のデジタルプロセッサコアを含むプロセッサコアに対するそれらの使用に関する。

【背景技術】

【0004】

[0004] プロセッサベースのアーキテクチャでは、データ記憶のためにメモリ構造が使用される。メモリ構造の一例はレジスタである。レジスタは、中央処理装置(CPU)又は他のデジタルプロセッサのような処理ユニットの一部として利用可能な少容量の記憶装置である。レジスタは、ALU(arithmetic and logic unit)による命令実行の一部として、一時的なデータの記憶に対して使用される。レジスタは、主要メモリよりも高速なアクセス時間有する。キャッシュメモリのようなメモリからのデータは、算術演算及び操作を行うために使用される命令の実施によってレジスタへロードされる。レジスタに記憶されている操作されるデータは、同じ命令又は後続の命令の何れかによって主要メモリに記憶し戻されることが多い。

【0005】

[0005] レジスタファイルは、処理ユニット内のプロセスレジスタのアレイである。レジスタファイルは、それが通常プロセッサベースのシステムにおける最も忙しい記憶ユニットであるため、プロセッサ動作において重要な役割を果たす。現代の集積回路ベースのレジスタファイルは、通常、複数のポートを有する高速な静的ランダムアクセスメモリ(SRAM)を経由して実現される。SRAMベースのレジスタファイルは、従来のマルチポートSRAMが同じポートを通じて読取及び書き込みアクセスを共有するのに対して、より速い読取及び書き込みアクセスを提供するために専用の読取及び書き込みポートを有する。

【0006】

[0006] レジスタファイルは、それらの性能に影響を及ぼし得る幾つかの特徴を有する。例えば、より大きなレジスタファイルを提供することは、集積回路(IC)において大きいフットプリントエリアを必要とする。より大きいフットプリントエリアは、レジスタファイルアクセス待ち時間を増加させ得る。より大きいフットプリントエリアはまた、周辺のロジック領域を増加させ、レジスタファイルの周りに配置された他の構成要素のためのリタイミングアークを生成し得る。複数の電源電圧レールは、不十分な静的ノイズマ

10

20

30

40

50

ジン (SNM) 及び読み取り / 書込 (R / W) ノイズマージン (RWNM) による記憶ビットにおける不用意な反転を回避するのに十分な電圧を供給するために使用され得る。SRA M 読み取りアクセスポートのために電源電圧を別個に供給し低下させることが可能となるよう、複数の動力供給レールがレジスタファイルの内部に設けられる場合、IC における追加のエリアがレジスタファイルに必要となるだろう。これらの問題の多くは、多くの従来のコンピュータで使用されるようなマルチコア処理ユニットで悪化する。

【発明の概要】

【0007】

[0007] 本明細書で開示される実施形態は、3次元 (3D) 集積回路 (IC) (3DIC) 階層 (tier) 間での3Dメモリセル分離を含む。関連する3DIC、3DICプロセッサコア、及び方法も開示される。本明細書で開示される実施形態では、メモリブロックのメモリ読み取りアクセスポートは、3DICの異なる階層においてメモリセルから分離される。3DICは、より高いデバイス記録密度 (device packing density) と、より低いインターフェクト遅延と、より低いコストとを達成する。このように、読み取りアクセスポートのための電源電圧を低くすることが可能となるように異なる電源電圧が読み取りアクセスポート及びメモリセルに供給され得る。メモリセル内の改善された静的ノイズマージン (SNM) 及び読み取り / 書込 (R / W) ノイズマージン (RWNM) が結果として提供され得る。エリアを増加させる、非分離メモリブロックの内部に複数の動力供給レールを設けることもまた回避され得る。

【0008】

[0008] この観点から、一実施形態では、3Dメモリブロックが開示される。3Dメモリブロックは、3DICの第1の階層に配設されたメモリセルを備える。3Dメモリブロックはまた、3DICの第2の階層に配設された少なくとも1つの読み取りアクセスポートを備え、この少なくとも1つの読み取りアクセスポートは、メモリセルへの読み取りアクセスを提供するように構成される。3Dメモリブロックはまた、少なくとも1つの読み取りアクセスポートをメモリセルに結合する少なくとも1つのモノリシック階層間ビア (MIV) を備える。

【0009】

[0009] 別の実施形態では、3Dメモリブロックが開示される。3Dメモリブロックは、3DICの第1の階層に配設されたメモリセルを備える。3Dメモリブロックはまた、3DICの第2の階層に配設された少なくとも1つの読み取るための手段を備え、この少なくとも1つの読み取るための手段は、メモリセルへの読み取りアクセスを提供するように構成される。3Dメモリブロックはまた、少なくとも1つの読み取るための手段をメモリセルに結合する少なくとも1つのMIVを備える。

【0010】

[0010] 別の実施形態では、3Dメモリブロックを形成するための方法が開示される。方法は、3DICの第1の階層を形成することを含む。方法はまた、3DICの第1の階層内にメモリセルを形成することを含む。方法はまた、3DICの第2の階層を形成することを含む。方法はまた、3DICの第2の階層内に少なくとも1つの読み取りアクセスポートを形成することを含み、この少なくとも1つの読み取りアクセスポートは、メモリセルへの読み取りアクセスを提供するように構成される。方法はまた、少なくとも1つのMIVを用いて、少なくとも1つの読み取りアクセスポートをメモリセルに結合することを含む。

【図面の簡単な説明】

【0011】

【図1A】図1Aは、例示的な従来のレジスタファイルのブロック図である。

【図1B】図1Bは、複数の読み取り及び書き込みポートを有する例示的な従来のレジスタファイルのブロック図である。

【図2】図2は、例示的な従来の4ビットレジスタの簡略図である。

【図3A】図3Aは、単一のコアを有する例示的な集積回路 (IC) の簡略化されたブロック図である。

10

20

30

40

50

【図3B】図3Bは、複数のコアを有する例示的なICの簡略化されたブロック図である。

【図4】図4は、3D-ICの複数の階層にわたり分散したレジスタを有する例示的なモノリシック3次元(3D)IC(3D-IC)の簡略化されたブロック図である。

【図5】図5は、3D-ICの複数の階層にわたり分散したレジスタを有する例示的な3D-ICの断面図である。

【図6】図6は、図4又は図5のレジスタを含むことができる例示的なプロセッサベースのシステムのブロック図である。

【発明を実施するための形態】

【0012】

[0019] 以降、図面を参照して、本開示の幾つかの例示的な実施形態が説明される。「例示的」という用語は、本明細書では、「実例、事例、又は例示として機能する」を意味するために使用される。「例示的な」として本明細書で説明される任意の実施形態は、必ずしも、他の実施形態よりも好ましい又はそれよりも有利であると解釈されるべきではない。

【0013】

[0020] 発明を実施するための形態で開示される実施形態は、3次元(3D)集積回路(IC)(3D-IC)階層の間での3Dメモリセル分離を含む。関連する3D-IC、3D-ICプロセッサコア、及び方法も開示される。本明細書で開示される実施形態では、メモリブロックのメモリ読取アクセスポートは、3D-ICの異なる階層においてメモリセルから分離される。3D-ICは、より高いデバイス記録密度と、より低いインターフェクト遅延と、より低いコストとを達成する。このように、読取アクセスポートのための電源電圧を低くすることが可能となるように異なる電源電圧が読取アクセスポート及びメモリセルに提供され得る。メモリセル内の静的ノイズマージン(SNM)及び読取/書込(R/W)ノイズマージン(RWNM)が結果として提供され得る。エリアを増加させる、非分離メモリブロックの内部に複数の動力供給レールを設けることもまた回避され得る。

【0014】

[0021] モノリシック3D-ICは、高密度かつ低電力設計のためのロジックシステムを再編成するために追加の自由度を提供する。レジスタファイルは、ほぼ間違いなく最も使用頻度が高い記憶ユニットであり、論理動作ユニットを接続する決定的な役割を果たす。本開示は、ビット又はビットバー(bit bar)のいずれかの信号が、3D-ICの少なくとも2つの階層においてトランジスタに接続されている、レジスタファイルコアセル設計を提供する。この設計では、セル電圧、読取アクセス電源、及び書込アクセス電源は、R/Wマージン及び電力消費を改善するために結合解除される。レジスタファイルのフットプリントも大幅に減らされ得る。本開示はレジスタファイルとの使用によく適しているが、本開示は、キャッシュメモリ又はランダムアクセスメモリ(RAM)のような他のメモリデバイスに対して、特に静的RAM(SRAM)に対しても適用可能である。そのようなメモリタイプは、本明細書では総称して、「メモリブロック」と呼ばれる。

【0015】

[0022] 3D-ICにおけるマルチ階層レジスタのうちの特定のものに取り掛かる前に、レジスタの素子について、及び、レジスタがどのように処理システムに収まるのかについての概要が、図1A-3Bを参照して提供される。本開示のマルチ階層レジスタの詳解は、図4への参照から開始する。

【0016】

[0023] この観点から、図1Aは、第1のインバータ12及び第2のインバータ14を有する例示的なSRAMビットセル10Aの回路図である。ワード線(WL)16は、両方のインバータ12、14と結合する。具体的には、WL16は、第1の通過ゲート(PG)トランジスタ18(PG1)のゲートを通して第1のインバータ12と結合し、第2のPGトランジスタ20(PG2)のゲートを通して第2のインバータ14と結合する。ビット線22は、第2のPGトランジスタ20のドレインと結合する。ビット線バー24

10

20

30

40

50

は、第1のPGトランジスタ18のソースと結合する。

【0017】

[0024] 図1Aを続けて参照すると、第1のインバータ12は、第1のプルアップ(PU)トランジスタ26(PU1)及び第1のプルダウン(PD)トランジスタ28(PD1)を含む。第2のインバータ14は、第2のPUトランジスタ30(PU2)及び第2のPUトランジスタ32(PD2)を含む。電圧源V_{DD34}は、第1のPUトランジスタ26及び第2のPUトランジスタ30と結合する。PDトランジスタ28、32は接地36に結合される。

【0018】

[0025] 図1AのSRAMビットセル10Aが多くのアプリケーションで使用されるが、SRAMビットセル10Aの1つの共通するバリエーションは、複数のR/Wポートを有するビットセルである。この観点から、図1Bは、複数のR/Wポートを有するSRAMビットセル10Bを例示する。第1のビット線バー24Aは、第1の第1のPGトランジスタ18Aのソースと結合し、第2のビット線バー24Bは、第2の第1のPGトランジスタ18Bのソースと結合する。第1のPGトランジスタ18A、18Bのドレインは、第1のインバータ12に結合された共通ノードを共有する。同様に、第1のビット線22Aは、第1の第2のPGトランジスタ20Aのソースと結合し、第2のビット線22Bは、第2の第2のPGトランジスタ20Bのソースと結合する。第2のPGトランジスタ20A、20Bのドレインは、第2のインバータ14に結合された共通ノードを共有する。複数の書き込み線16A、16Bは、PGトランジスタ18A、18B、20A、20Bに結合され得る。追加的に、第1の読み取りトランジスタ38は、第1のインバータ12に結合され得、第2の読み取りトランジスタ40は、第2のインバータ14に結合され得る。2つのビット線及び2つのビット線バー入力だけが示されるが、適切なPGトランジスタと共により多くが存在しうることは認識されるべきである。

【0019】

[0026] SRAMビットセルは、本質において、レジスタファイルの根本的なビルディングブロックであり、そのため、SRAMビットセル10A、10Bは、図2に例示されるシフトレジスタ42のようなレジスタへと組み立てられ得る。シフトレジスタ42は、4つのSRAMビットセル10(1)-10(4)を含む4ビットシフトレジスタである。クロック信号44は、望まれる場合に各ビットセルに供給され得る。データは、初期に、データ入力線(data in line)46上に供給される。出力48(1)-48(4)が、それぞれのビットセル10(1)-10(4)に提供される。4ビットシフトレジスタ42が例示されるが、より多くの数のビットセルがより大きいレジスタへと組み立てられることは認識されるべきである。シフトレジスタが具体的に例示されているが、様々な構成のレジスタが考えられ、本明細書で「レジスタファイル」という用語が使用される場合、それらはすべてその用語の範囲内である。

【0020】

[0027] レジスタは、アクセスが速いメモリブロックを提供するコンピューティングデバイスにおいて有用な機能を果たし、レジスタは、ハードドライブのようなゆっくりとしたメモリにアクセスすることを不要にする。レジスタは、ALU(arithmetic logic unit)に関する付けられ得る。更に、効率上処理コアによる読み取り専用であり得るキャッシュメモリとは異なり、レジスタは読み取り及び書き込みの両方であり得、これは、ALUが、操作されているデータを記憶することを可能にする。それらの多用により、レジスタは、図3A及び3Bで更に例示されるように、ALUと同じ集積回路内に配置されることが多い。

【0021】

[0028] この観点から、図3Aは、ALU52を使用する処理コアを有する例示的なIC50Aを例示する。ALU52は、レジスタ54だけでなく、レベル1(L1)キャッシュ56及びレベル2(L2)キャッシュ58に関する付けられ、それらと通信し得る。例示的な実施形態では、ALU52は、レジスタ54を通してL1キャッシュ56と通信す

10

20

30

40

50

る。代替的な実施形態では、ALU52は、レジスタ54を通過することなく直接L1キャッシュ56と通信し得る。IC50Aは、RAM60のような外部メモリデバイスと通信し得る。例示的な実施形態では、IC50Aは、単一のコア及び単一ALU52を有し、よって、レジスタ54は、単一のALU52だけに寄与する。しかしながら、幾つかのICは、単一のコア及び複数のALU(示されない)を有し得る。そのような実施形態では、レジスタは、よく理解されるように、様々なALUに結合され得る。更に、コンピューティング業界は、1つ又は複数のALUを各々有するマルチコアプロセッサにますます依存している。

【0022】

[0029] この観点から、図3Bは、第1のコア66内の第1のALU62及び第2のコア68内の第2のALU64を使用するマルチコアプロセッサを備える例示的なIC50Bを例示する。上述したように、コア66、68は、複数のALU(示されない)を有し得る。ALU62、64は、共有使用を容易にするために1つ又は複数のマルチポートSRAMビットセル10Bを有し得る共有レジスタ70を協力して使用し得る。ALU62、64が、特定のALU62、64に関連付けられたタイミングクリティカル回路のために機能する専用レジスタ(示されない)も有し得ることは認識されるべきである。ALU62、64は、より良く理解されているように、L1キャッシュ72及びL2キャッシュ74を更に使用し得る。上述したように、例示的な実施形態では、ALU62、64は、レジスタ70を通してL1キャッシュ72と通信し得る。IC50Bは、RAM76のような外部メモリと更に通信し得る。図1A-3Bの詳解はレジスタ内のSRAMビットセルの使用に焦点を当てているが、L1又はL2キャッシュ若しくは外部RAMのような他のメモリブロックもまたSRAMビットセルから形成され得ることは認識されるべきである。10

【0023】

[0030] SRAMビットセルのこの一般的な使用に反して、ICを小型化する現在の取り組みが、IC50A、50BのようなIC内の空間使用に対するかつてないほど増加している需要を伴うことは認識されるべきである。追加的に、マルチスレッドプロセッサにおけるメモリ需要が増加するにつれ、SRAMベースのレジスタファイルのサイズも増大する。レジスタが大きくなるほど、レジスタファイルアクセス中に生じる待ち時間が増える。更に、ビットセルの数が増加するにつれ、周辺のロジック領域は増大し、レジスタファイルの周りに配置された他の構成要素のためのリタイミングアーク(retiming arcs)を生成し得る。小型化という懸念に加えて、ビットセルのためのV_{DD}を減らしうる、電力消費についての懸念も増している。V_{DD}が小さくなりすぎると、SNM及びRWNMは阻害要因となり、読み取り及び書き込み動作の電源を分離することによって最適化されることがある。次に、電圧源ごとに導電路をルーティングすることが低電力システムにとっての更なる欠点となり、レジスタファイルの内側に複数の動力供給レールを有することは更なるエリアペナルティをもたらす。容易に理解されるように、これらの問題は相乗的に回路設計者に対して互いに問題を生じさせることになる。20

【0024】

[0031] 本開示は、3DICの複数の階層にわたり分散したレジスタファイルの異なる素子を有するレジスタファイルコアセル設計を提供することによって、当該技術の現状の欠点を改善する。3DICの階層にわたりレジスタファイルを分割することによって、様々な電力レール及びアクセス線のためのラウティングが簡略化され、レジスタのフットプリント全体が低減され得る。フットプリントの低減は待ち時間を低減させ、リタイミングアークの可能性を下げる。40

【0025】

[0032] この観点から、図4は、第1の階層82及び第2の階層84を有する3DIC80を例示し、レジスタファイル86が第1の階層82及び第2の階層84にわたり分散している。図4の例示された実施形態では、読み取りアクセス関連段88(読み取りアクセスを提供する構成された読み取りアクセスポート及びプロセッサコア読み取りロジックを含む)及50

び読取トランジスタ 90 が第 1 の階層 82 内に配置され、書込アクセス関連段 92（書込アクセスを提供するように構成された書込アクセスポート及びプロセッサコア書込ロジックを含む）及び S R A M セル 94 のインバータが第 2 の階層内に配置され、それによって、レジスタファイル 86 のメモリセル部を第 2 の階層 84 内に配置する。読取トランジスタ 90 は、S R A M セル 94 のインバータと通信する。例示的な実施形態では、読取トランジスタ 90 は、1つ又は複数のモノリシック階層間ビア（M I V）96 を有する S R A M セル 94 に結合される。3 D I C 80 の複数の階層 82、84 にわたりレジスタファイル 86 を分割することによって、2次元レジスタファイルと比較してレジスタファイル 86 のフットプリント全体が低減される。更に、読取トランジスタ 90 を S R A M セル 94 から分離することによって、電圧レール及び複数のアクセスポートをルーティングすることに関するルーティング問題は緩和される。故に、例示されるように、第 1 の電力アイランド 95A が、第 1 の階層 82 上に設けられ、読取トランジスタ 90 及び読取アクセス関連段 88 内の適切な素子に V_{D D _ R E A D} を供給する。同様に、第 2 の電力アイランド 95B が、第 2 の階層 84 上に設けられ、S R A M セル 94 及び書込アクセス関連段 92 内の適切な素子に V_{D D _ W R I T E} を供給する。分離した電圧レールを含むことは、メモリビットの不注意な反転が回避されるように S N M の軽減を助ける。典型的な S R A M セル 94 は略 0.1 ~ 0.09 平方ミクロンであることに留意されたい。典型的なシリコン貫通ビア（T S V）は、直径が約 5 ミクロン、即ち、S R A M セル 94 よりもかなり大きい。M I V 96 は T S V よりもかなり小さく、略 0.05 ミクロンであり、よって、T S V に代わって M I V 96 を使用することで、複数の階層 82、84 にわたりレジスタファイル 86 を分割することのフットプリント節約を維持する。本明細書で使用される場合、読み取るための手段は、読取アクセスポート及び等価物を指定するのに使用される。同様に、本明細書で使用される場合、書き込むための手段は、書込アクセSpoort 及び等価物を指定するのに使用される。

【0026】

[0033] M I V の概念は、2013 年の I E E E / A C M Asia South Pacific Design Automation Conference の会報の第 681 - 686 頁にある、Shreedpad Panth ら著の「High-Density Integration of Functional Modules Using Monolithic 3D-IC Technology」と題する論文で発表されており、これは、参照により本明細書に組み込まれる。

【0027】

[0034] 図 4 は第 2 の階層 84 上の書込アクセス関連段 92 を例示するが、別の例示的な実施形態では、書込アクセス関連段 92 は、第 1 の階層 82 上にあり得る。書込アクセス関連段 92 が第 1 の階層 82 上にある場合、M I V 96 は、書込アクセス関連段 92 を S R A M セル 94 に結合するために使用され得る。

【0028】

[0035] 図 5 は、M I V 98 に結合された第 1 の階層 82 及び第 2 の階層 84 を有する 3 D I C 80 の断面図を例示する。素子 100 は、P M O S トランジスタ又はN M O S トランジスタであり得る 1 つ又は複数のトランジスタを含む第 1 の階層 82 内に配置される。素子 102 は、同じ様に P M O S トランジスタ又は N M O S トランジスタであり得る 1 つ又は複数のトランジスタを含む第 2 の階層 84 内に配置される。素子 100 は、ビア（vias）108 によって結合された 1 つ又は複数のメタル層 104、106 を含み得る。素子 102 は、ビア 114 によって結合された 1 つ又は複数のメタル層 110、112 を含み得る。メタル層 104、106、110、112 は水平のインターフェクトを提供し、3 D I C 内の導電性ルーティング経路（conductive routing paths）を容易にする。従来のインターフェクトビアとほぼ同じサイズである小型 M I V サイズは、読取及び書込ポートを異なる階層へ分離することを可能にしつつ経済的に実行可能にすることによって非常に高い密度の階層間接続を作り出す。

【0029】

[0036] マルチ階層レジスタファイル 86 は、特に、マルチコアプロセッサに適している。即ち、マルチ階層レジスタファイル 86 は、図 3B において概略的に示されるマルチ

10

20

30

40

50

コア I C 5 0 B のようなマルチコアプロセッサのコア間で共有され得、これらコアが 3 D I C 8 0 内の異なる階層上に配置されることを可能にする。配置におけるそのような柔軟性は、導電路をルーティングし、待ち時間を低減し、およびそうでなければマルチコアプロセッサの性能を向上するときに設計者を支援する。

【 0 0 3 0 】

[0037] 本明細書で開示される実施形態に係る 3 D I C 内のレジスタファイルは、任意のプロセッサベースのデバイス内に設けられるか、又はそれに統合され得る。例には、セットトップボックス、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、固定口ケーションデータユニット、モバイルロケーションデータユニット、モバイル電話、セルラ電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末（ P D A ）、モニタ、コンピュータモニタ、テレビ、チューナ、無線機、衛星ラジオ、ミュージックプレーヤ、デジタルミュージックプレーヤ、ポータブルミュージックプレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク（ D V D ）プレーヤ、及びポータブルデジタルビデオプレーヤが含まれるがそれらに限定されるわけではない。10

【 0 0 3 1 】

[0038] この観点から、図 6 は、図 4 および 5 で例示された 3 D I C 内のレジスタファイルを採用することができるプロセッサベースのシステム 1 2 0 の例を例示する。この例では、プロセッサベースのシステム 1 2 0 は、1 つ又は複数のプロセッサ 1 2 4 を各々含む 1 つ又は複数の中央処理装置（ C P U ） 1 2 2 を含む。 C P U （ 1 つ又は複数 ） 1 2 2 は、レジスタ 5 4 を含み得る、及び / 又は、マスタデバイスであり得る。 C P U （ 1 つ又は複数 ） 1 2 2 は、一時的に記憶されたデータへの高速アクセスのためにプロセッサ（ 1 つ又は複数 ） 1 2 4 に結合されたキャッシュメモリ 1 2 6 を有し得る。 C P U （ 1 つ又は複数 ） 1 2 2 は、システムバス 1 3 0 に結合され、プロセッサベースのシステム 1 2 0 に含まれるスレーブデバイスとマスタデバイスとを連結することができる。周知であるように、 C P U （ 1 つ又は複数 ） 1 2 2 は、システムバス 1 3 0 を通して、アドレス、制御、及びデータ情報を交換することによってこれらの他のデバイスと通信する。例えば、 C P U （ 1 つ又は複数 ） 1 2 2 は、スレーブデバイスの例としてメモリコントローラ 1 3 2 にバストランザクション要求を通信することができる。図 6 では例示されていないが、複数のシステムバス 1 3 0 が提供される可能性もあり、各システムバス 1 3 0 は、異なる構造（ fabric ）を構成する。20

【 0 0 3 2 】

[0039] 他のマスタデバイス及びスレーブデバイスが、システムバス 1 3 0 に接続されることができる。図 6 で例示されているように、これらのデバイスは、例として、メモリコントローラ 1 3 2 、 1 つ又は複数の入力デバイス 1 3 4 、 1 つ又は複数の出力デバイス 1 3 6 、 1 つ又は複数のネットワークインターフェースデバイス 1 3 8 、及び 1 つ又は複数のディスプレイコントローラ 1 4 0 を含むことができる。入力デバイス（ 1 つ又は複数 ） 1 3 4 は、入力キー、スイッチ、音声プロセッサ等を含むがそれらに限定されるわけではない任意のタイプの入力デバイスを含むことができる。出力デバイス（ 1 つ又は複数 ） 1 3 6 は、オーディオ、ビデオ、他の視覚インジケータ、等を含むがそれらに限定されるわけではない任意のタイプの出力デバイスを含むことができる。ネットワークインターフェースデバイス（ 1 つ又は複数 ） 1 3 8 は、ネットワーク 1 4 2 への並びにネットワーク 7 0 からのデータの交換を可能にするように構成された任意のデバイスであり得る。ネットワーク 1 4 2 は、有線又はワイヤレスネットワーク、プライベート又はパブリックネットワーク、ローカルエリアネットワーク（ L A N ）、ワイドローカルエリアネットワーク（ W L A N ）、及びインターネットを含むがそれらに限定されるわけではない任意のタイプのネットワークであり得る。ネットワークインターフェースデバイス（ 1 つ又は複数 ） 1 3 8 は、望まれる任意のタイプの通信プロトコルをサポートするように構成され得る。メモリコントローラ 1 3 2 は、1 つ又は複数のメモリユニット 1 4 4 （ 0 - N ）を含み得る。40

【 0 0 3 3 】

[0040] C P U (1 つ又は複数) 1 2 2 はまた、 1 つ又は複数のディスプレイ 1 4 6 に送られる情報を制御するために、システムバス 1 3 0 を通してディスプレイコントローラ (1 つ又は複数) 1 4 0 にアクセスするように構成され得る。ディスプレイコントローラ (1 つ又は複数) 1 4 0 は、 1 つ又は複数のビデオプロセッサ 1 4 8 を介して表示されるべき情報をディスプレイ (1 つ又は複数) 1 4 6 に送り、それは、表示されるべき情報を、ディスプレイ (1 つ又は複数) 1 4 6 に適したフォーマットへと処理する。ディスプレイ (1 つ又は複数) 1 4 6 は、ブラウン管 (C R T) 、液晶ディスプレイ (L C D) 、プラズマディスプレイ、等を含むがそれらに限定されるわけではない任意のタイプのディスプレイを含み得る。

【 0 0 3 4 】

10

[0041] 当業者は、本明細書で開示された実施形態と関連して説明された実例となる様々な論理ブロック、モジュール、回路、及びアルゴリズムが、電子ハードウェアとして、メモリ又は別のコンピュータ可読媒体に記憶され、かつプロセッサ又は他の処理デバイスによって実行される命令として、或いはその両方の組み合わせとして実現され得ることを更に認識するだろう。本明細書で説明されたアービタ (arbiter) 、マスタデバイス、及びスレーブデバイスは、例として、任意の回路、ハードウェア構成要素、 I C 、又は I C チップで採用され得る。本明細書で開示されたメモリは、任意のタイプ及びサイズのメモリであり得、望まれる任意のタイプの情報を記憶するように構成され得る。この互換性を明確に例示するために、実例となる様々な構成要素、ブロック、モジュール、回路、及びステップは概してそれらの機能性の観点から上で説明されている。そのような機能性がどのように実現されるかは、特定の用途、設計選択、及び / 又はシステム全体に課された設計制限に依存する。当業者は、特定の用途ごとに様々な方法で、上述された機能性を実現することができるが、このような実現の決定は本開示の範囲からの逸脱の原因になるとして解釈されるべきではない。

【 0 0 3 5 】

20

[0042] 本明細書で開示された実施形態に関連して説明された実例となる様々な論理ブロック、モジュール、及び回路は、プロセッサ、デジタルシグナルプロセッサ (D S P) 、特定用途向け集積回路 (A S I C) 、フィールドプログラマブルゲートアレイ (F P G A) 又は他のプログラマブル論理デバイス、ディスクリートゲート又はトランジスタロジック、ディスクリートハードウェア構成要素、或いは本明細書に説明された機能を行うように設計されたこれらの任意の組み合わせで、実現されうるか又は行われ得る。プロセッサはマイクロプロセッサであり得るが、代替的に、プロセッサは任意の従来のプロセッサ、コントローラ、マイクロコントローラ、又はステートマシンであり得る。プロセッサはまた、コンピューティングデバイスの組み合わせ、例えば、 D S P と、 1 つのマイクロプロセッサ、複数のマイクロプロセッサ、 D S P コアに連結した 1 つ又は複数のマイクロプロセッサ、又はその他のそのような構成との組み合わせとして実現され得る。

【 0 0 3 6 】

30

[0043] 本明細書で開示された実施形態は、ハードウェアに記憶され、かつ、例えば、ランダムアクセスメモリ (R A M) 、フラッシュメモリ、読み専用メモリ (R O M) 、電気的プログラマブル R O M (E P R O M) 、電気的消去可能プログラマブル R O M (E E P R O M (登録商標)) 、レジスタ、ハードディスク、リムーバルディスク、 C D - R O M 、或いは当該技術分野において周知であるコンピュータ可読媒体のその他の形態に存在し得る命令及びハードウェアで実現され得る。例示的な記憶媒体は、プロセッサが記憶媒体から情報を読み取り、記憶媒体に情報を書き込むことができるようプロセッサに結合される。代替的に、記憶媒体はプロセッサに一体化され得る。プロセッサ及び記憶媒体は A S I C 内に存在し得る。 A S I C は、リモート局に存在し得る。代替的に、プロセッサ及び記憶媒体は、リモート局、基地局、又はサーバにディスクリート構成要素として存在し得る。

【 0 0 3 7 】

40

[0044] 本明細書の例示的な実施形態のいずれかで説明された動作ステップは、実例及

50

び詳解を提供するために説明されていることにも留意されたい。説明された動作は、例示されたシーケンス以外の多くの異なるシーケンスで行われ得る。更に、単一の動作ステップで説明された動作は実際、多くの異なるステップで行われ得る。追加的に、例示的な実施形態で詳解された1つ又は複数の動作ステップが組み合され得る。当業者に容易に明らかになるように、フローチャート図で例示される動作ステップが多くの異なる修正に影響を受け得ることは理解されるべきである。当業者はまた、情報及び信号が、様々な異なる技術及び技法のいずれかを使用して表され得ることを理解するだろう。例えば、上記説明の全体にわたって参照され得るデータ、命令、コマンド、情報、信号、ビット、シンボル、及びチップは、電圧、電流、電磁波、磁場又は磁性粒子、光場又は光粒子、或いはこれらの任意の組み合わせによって表され得る。

10

【0038】

[0045] 本開示の先の説明は、当業者が本開示を実行又は使用することを可能にするために提供される。本開示に対する様々な修正は当業者には容易に明らかであり、本明細書で定義された包括的な原理は、本開示の精神又は範囲から逸脱することなく、他の変形に適用され得る。したがって、本開示は本明細書で説明された実例及び設計に限定されることを意図しておらず、本明細書に開示された原理及び新規な特徴と合致する最も広い範囲が与えられるべきである。

以下に本願発明の当初の特許請求の範囲に記載された発明を付記する。

[C 1]

3次元(3D)メモリプロックであって、

20

3D集積回路(ASIC)(3DIC)の第1の階層に配設されたメモリセルと、

前記3DICの第2の階層に配設された少なくとも1つの読み取りアクセスポートと、ここで、前記少なくとも1つの読み取りアクセスポートは、前記メモリセルへの読み取りアクセスを提供するように構成される、

前記少なくとも1つの読み取りアクセスポートを前記メモリセルに結合する少なくとも1つのモノリシック階層間ビア(MIV)と

を備える3Dメモリプロック。

[C 2]

静的ランダムアクセスメモリ(SRAM)ブロックから構成されたC1に記載の3Dメモリプロック。

30

[C 3]

前記3DICの前記第1の階層に配設された少なくとも1つの書き込みアクセスポートを更に備え、前記少なくとも1つの書き込みアクセスポートは、前記メモリセルへの書き込みアクセスを提供するように構成される、C1に記載の3Dメモリプロック。

[C 4]

前記3DICの前記第2の階層に配設された少なくとも1つの書き込みアクセスポートを更に備え、前記少なくとも1つの書き込みアクセスポートは、前記少なくとも1つのMIVを通して前記メモリセルへの書き込みアクセスを提供するように構成される、C1に記載の3Dメモリプロック。

[C 5]

前記3DICの前記第1の階層に配設されたプロセッサコア書き込みロジックと、ここで、前記プロセッサコア書き込みロジックは、前記メモリセルの少なくとも1つの書き込みポートに書き込み要求を提供するように構成される、

40

前記3DICの前記第2の階層に配設されたプロセッサコア読み取りロジックと、ここで、前記プロセッサコア読み取りロジックは、前記メモリセルの前記少なくとも1つの読み取りアクセスポートへ読み取りアクセスを提供するように構成される、

を更に備える、C1に記載の3Dメモリプロック。

[C 6]

前記3DICの前記第1の階層に配設された、第1の電圧が供給される第1の電圧レールと、ここで、前記第1の電圧レールは、前記メモリセルに前記第1の電圧を供給するよ

50

うに構成される、

前記第1の電圧レールに供給される前記第1の電圧よりも低い第2の電圧が供給される第2の電圧レールと、ここで、前記第2の電圧レールは、前記3DICの前記第2の階層に配設され、前記少なくとも1つの読み取アセスポートに前記第2の電圧を供給するよう構成される、

を更に備える、C1に記載の3Dメモリブロック。

[C7]

半導体ダイに統合される、C1に記載の3Dメモリブロック。

[C8]

前記3Dメモリブロックが統合される、セットトップボックス、エンターテイメントユニット、ナビゲーションデバイス、通信デバイス、固定ロケーションデータユニット、モバイルロケーションデータユニット、モバイル電話、セルラ電話、コンピュータ、ポータブルコンピュータ、デスクトップコンピュータ、携帯情報端末(PDA)、モニタ、コンピュータモニタ、テレビ、チューナ、無線機、衛星ラジオ、ミュージックプレーヤ、デジタルミュージックプレーヤ、ポータブルミュージックプレーヤ、デジタルビデオプレーヤ、ビデオプレーヤ、デジタルビデオディスク(DVD)プレーヤ、及びポータブルデジタルビデオプレーヤからなるグループから選択されたデバイスを更に備える、C1に記載の3Dメモリブロック。

10

[C9]

前記3Dメモリブロックは、集積回路内のレジスタを備える、C1に記載の3Dメモリブロック。

20

[C10]

前記3Dメモリブロックは、集積回路内のキャッシュメモリを備える、C1に記載の3Dメモリブロック。

[C11]

3次元(3D)メモリブロックであって、

3D集積回路(IC)(3DIC)の第1の階層に配設されたメモリセルと、

前記3DICの第2の階層に配設された、少なくとも1つの読み取るための手段と、ここで、前記少なくとも1つの読み取るための手段は、前記メモリセルへの読み取アセスを提供するよう構成される、

30

前記少なくとも1つの読み取るための手段を前記メモリセルに結合する少なくとも1つのモノリシック階層間ビア(MIV)と

を備える3Dメモリブロック。

[C12]

前記3DICの前記第1の階層に配設された、少なくとも1つの書き込むための手段を更に備え、前記少なくとも1つの書き込むための手段は、前記メモリセルへの書き込みアセスを提供するよう構成される、C11に記載の3Dメモリブロック。

[C13]

3次元(3D)メモリブロックを形成する方法であって、

3D集積回路(IC)(3DIC)の第1の階層を形成することと、

40

前記3DICの前記第1の階層内にメモリセルを形成することと、

前記3DICの第2の階層を形成することと、

前記3DICの第2の階層内に少なくとも1つの読み取アセスポートを形成することと、ここで、前記少なくとも1つの読み取アセスポートは、前記メモリセルへの読み取アセスを提供するよう構成される、

前記少なくとも1つの階層間ビア(MIV)を用いて前記少なくとも1つの読み取アセスポートを前記メモリセルに結合することと

を備える方法。

[C14]

前記3DICの前記第1の階層上に少なくとも1つの書き込みアセスポートを形成するこ

50

とを更に備え、前記少なくとも1つの書込アクセスポートは、前記メモリセルへの書込アクセスを提供するように構成される、C 1 3に記載の方法。

[C 1 5]

レジスタとして動作するように前記メモリセルを構成すること

更に備える、C 1 3に記載の方法。

[C 1 6]

前記メモリセルを有するS R A M ブロックを形成すること更に備える、C 1 3に記載の方法。

[C 1 7]

前記3 D I C の前記第2の階層内に少なくとも1つの書込アクセスポートを形成することと更に備え、前記少なくとも1つの書込アクセスポートは、前記少なくとも1つのM I V を通して前記メモリセルへの書込アクセスを提供するように構成される、C 1 3に記載の方法。

10

[C 1 8]

前記3 D I C の前記第1の階層内にプロセッサコア書込ロジックを形成することと、ここで、前記プロセッサコア書込ロジックは、前記メモリセルの少なくとも1つの書込ポートへの書込要求を提供するように構成される、

前記3 D I C の前記第2の階層内にプロセッサコア読取ロジックを形成することと、ここで、前記プロセッサコア読取ロジックは、前記メモリセルの前記少なくとも1つの読取アクセスポートへ読取アクセスを提供するように構成される、

20

を更に備える、C 1 3に記載の方法。

[C 1 9]

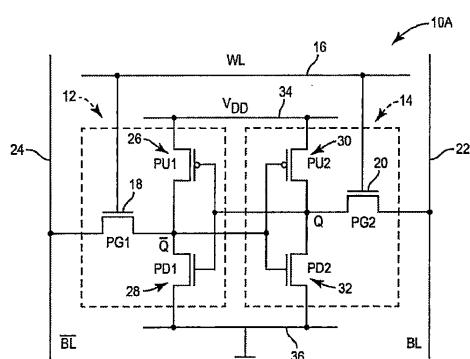
前記3 D I C の前記第1の階層内に第1の電圧レールを形成することと、ここで、前記第1の電圧レールは、前記メモリセルに第1の電圧を供給するように構成される、

前記3 D I C の前記第2の階層内に、前記少なくとも1つの読取アクセスポートに第2の電圧を供給するように構成された第2の電圧レールを形成することと

を更に備える、C 1 3に記載の方法。

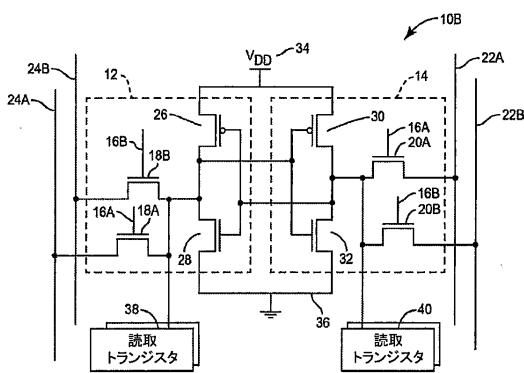
【図 1 A】

図 1A



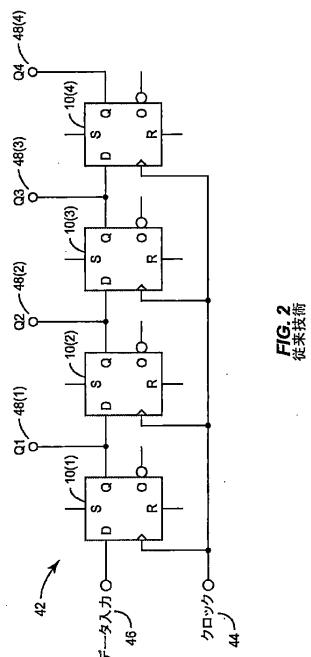
【図 1 B】

図 1B



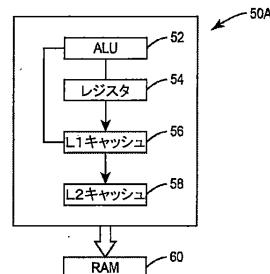
【図 2】

図 2



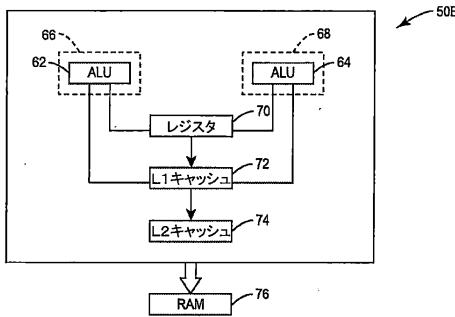
【図 3 A】

図 3A



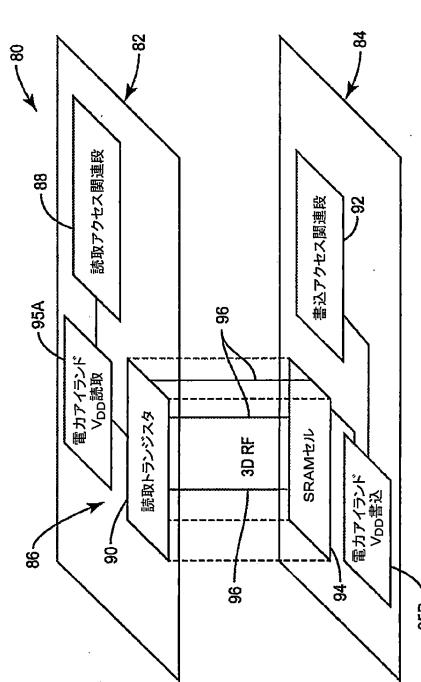
【図3B】

図3B



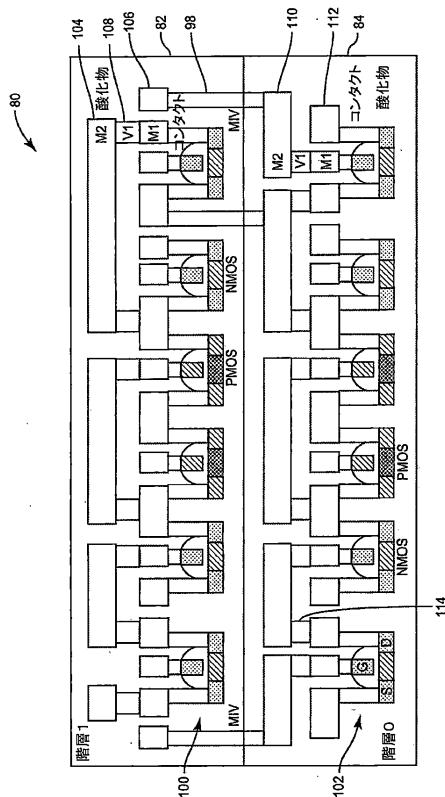
【図4】

図4



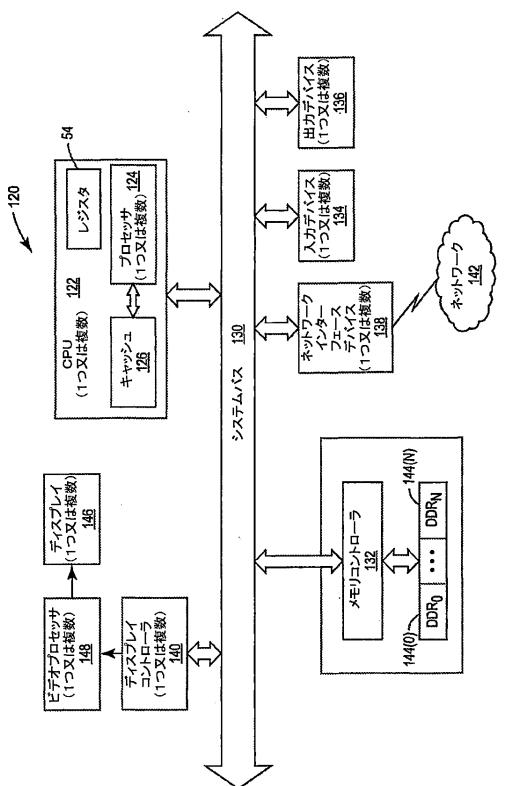
【図5】

図5



【図6】

図6



フロントページの続き

(51)Int.Cl.	F I
G 11 C 5/14 (2006.01)	H 01 L 27/10 495
G 11 C 8/16 (2006.01)	H 01 L 27/11
H 01 L 27/10 (2006.01)	
H 01 L 21/8244 (2006.01)	
H 01 L 27/11 (2006.01)	

早期審査対象出願

(72)発明者 シエ、ジン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75、クワアルコム・インコーポレイテッド内

(72)発明者 ドゥ、ヤン

アメリカ合衆国、カリフォルニア州 92121、サン・ディエゴ、モアハウス・ドライブ 57
75、クワアルコム・インコーポレイテッド内

合議体

審判長 飯田 清司

審判官 小田 浩

審判官 深沢 正志

(56)参考文献 特開2003-224211(JP,A)

特開平09-007373(JP,A)

特開2006-196167(JP,A)

特表2012-531061(JP,A)

特開2012-244110(JP,A)

特表2014-508859(JP,A)

特開2005-122873(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 8234

H 01 L 27 / 18

G 11 C 11 / 40