



(12) 发明专利申请

(10) 申请公布号 CN 103681339 A

(43) 申请公布日 2014. 03. 26

(21) 申请号 201210352666. 4

(22) 申请日 2012. 09. 20

(71) 申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路 18 号

(72) 发明人 鲍宇

(74) 专利代理机构 北京市磐华律师事务所

11336

代理人 董巍 高伟

(51) Int. Cl.

H01L 21/336 (2006. 01)

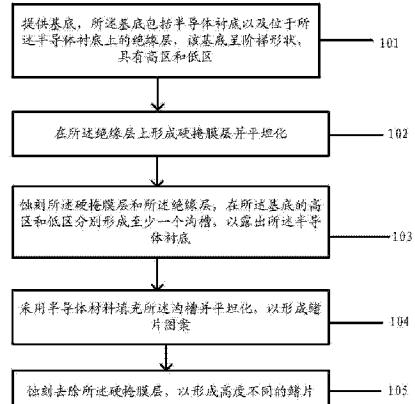
权利要求书1页 说明书5页 附图5页

(54) 发明名称

一种鳍片场效应晶体管的制备方法

(57) 摘要

本发明涉及一种鳍片场效应晶体管的制备方法，包括：提供基底，所述基底包括半导体衬底以及位于所述半导体衬底上的绝缘层，该基底呈阶梯形状，具有高区和低区；在所述绝缘层上形成硬掩膜层并平坦化；蚀刻所述硬掩膜层和所述绝缘层，在所述基底的高区和低区分别形成至少一个沟槽，以露出所述半导体衬底；采用半导体材料填充所述沟槽并平坦化，以形成鳍片图案；蚀刻去除所述硬掩膜层，以形成高度不同的鳍片。本发明所述鳍片的高度、高度不同鳍片的高度差以及鳍片高宽比更加容易控制，巧妙的解决的现有技术中存在鳍片高度不易控制的问题，提高了半导体器件的良率。



1. 一种鳍片场效应晶体管的制备方法，包括：

提供基底，所述基底包括半导体衬底以及位于所述半导体衬底上的绝缘层，该基底呈阶梯形状，具有高区和低区；

在所述绝缘层上形成硬掩膜层并平坦化；

蚀刻所述硬掩膜层和所述绝缘层，在所述基底的高区和低区分别形成至少一个沟槽，以露出所述半导体衬底；

采用半导体材料填充所述沟槽并平坦化，以形成鳍片图案；

蚀刻去除所述硬掩膜层，以形成高度不同的鳍片。

2. 根据权利要求 1 所述的方法，其特征在于，所述基底的形成方法为：提供半导体衬底，蚀刻去除部分所述半导体衬底，以形成阶梯形状的半导体衬底，接着在所述衬底上形成绝缘层，从而得到阶梯形状的基底。

3. 根据权利要求 2 所述的方法，其特征在于，所述高度不同的鳍片的高度差等于蚀刻去除的所述半导体衬底的厚度。

4. 根据权利要求 1 所述的方法，其特征在于，所述基底的形成方法为：提供半导体衬底，在所述衬底上沉积绝缘层，蚀刻去除部分所述绝缘层，以形成阶梯形状的绝缘层，从而得到阶梯形状的基底。

5. 根据权利要求 4 所述的方法，其特征在于，所述高度不同的鳍片的高度差等于蚀刻去除的所述绝缘层的厚度。

6. 根据权利要求 1 所述的方法，其特征在于，所述绝缘层为氧化物。

7. 根据权利要求 1 所述的方法，其特征在于，所述硬掩膜层为 SiN、A-C、BN 和 SiON 中的一种或者多种。

8. 根据权利要求 1 所述的方法，其特征在于，外延生长所述半导体材料填充所述沟槽，以形成鳍片图案。

9. 根据权利要求 1 所述的方法，其特征在于，填充的所述半导体材料为 Si、Si-C 或 Si-Ge。

10. 根据权利要求 1 所述的方法，其特征在于，所述不同高度的鳍片用来形成多沟道鳍片场效应晶体管。

11. 根据权利要求 1 所述的方法，其特征在于，所述不同高度的鳍片分别用来形成多个不同的鳍片场效应晶体管。

12. 根据权利要求 1 所述的方法，其特征在于，所述方法还包括在露出的所述鳍片上形成环绕栅极的步骤。

13. 根据权利要求 12 所述的方法，其特征在于，所述方法还包括在所述环绕栅极两侧形成源漏的步骤。

一种鳍片场效应晶体管的制备方法

技术领域

[0001] 本发明涉及半导体领域，具体地，本发明涉及一种鳍片场效应晶体管的制备方法。

背景技术

[0002] 集成电路性能的提高主要是通过不断缩小集成电路器件的尺寸以提高它的速度来实现的。目前，由于在追求高器件密度、高性能和低成本中半导体工业已经进步到纳米技术工艺节点，来自制造和设计方面的挑战已经导致了三维设计如鳍片场效应晶体管(FinFET) 的发展。使用从通过如蚀刻掉一部分硅层而形成的基板延伸的薄垂直“鳍片”(或鳍片结构) 制造典型的FinFET。将FinFET 的沟道形成在所述垂直的鳍片中，在所述鳍片的上方形成环绕栅极，并通过栅极从两侧控制沟道。另外，在FinFET 的凹陷源极 / 漏极 (S/D)部分中的，利用选择性生长应变材料可用于提高载体迁移率。

[0003] 相对于现有的平面晶体管，所述FinFET 器件在静电控制方面具有更加优越的性能，因此被广泛应用。常规的FinFET 器件的设备中FinFET 晶体管中所述鳍片都具有相同的高度。为了进一步提高FinFET 器件性能，可以制备具有不同高度的鳍片，现有技术中为了获得高度不同鳍片的场效应晶体管采用下述方法：首先提供半导体衬底，在所述半导体衬底上形成硬掩膜层，在所述硬掩膜层上形成沟槽图案掩膜层，以所述沟槽图案掩膜层为掩膜蚀刻所述硬掩膜层以及衬底，在所述衬底中形成沟槽，然后沉积介电材料以填充所述沟槽，并进行平坦化，然后在所述衬底上形成掩膜层，覆盖部分所述半导体衬底，然后以所述掩膜层为掩膜蚀刻去除暴露的硬掩膜层，同时蚀刻去除部分沟槽内的介电材料，露出部分位于沟槽两侧的呈柱状的半导体衬底，形成鳍片，然后去除所述掩膜层，去除硬掩膜层的同时蚀刻去除部分沟槽内的介电材料，由于没有沉积硬掩膜层区域的沟槽内的介电材料经过两次蚀刻，去除更多，因此形成更深的沟槽，所以位于沟槽两侧的呈柱形的由半导体衬底形成鳍片具有不同的高度，所述不同高度的鳍片的高度差等于蚀刻去除沟槽内介电材料的厚度差值，得到如图1所示图案，其中所述210 为第一鳍片，所述212 为第二鳍片，所述鳍片之间的沟槽内为介电材料，所述器件还包括栅极216 以及栅介质层214，所述方法虽然能够形成不同高度鳍片，但是形成方法是通过蚀刻所述沟槽内的介电材料实现的，随着器件的进一步缩小，蚀刻去除沟槽内介电材料不易控制，因而鳍片的高度差也不容易控制，使得器件性能以及产品良率下降。

[0004] 目前所述鳍片场效应晶体管制备过程中所述鳍片高度很难控制，现有制备方法还不能很好的解决该问题，影响了所述鳍片场效应晶体管的性能。

发明内容

[0005] 在发明内容部分中引入了一系列简化形式的概念，这将在具体实施方式部分中进一步详细说明。本发明的发明内容部分并不意味着要试图限定出所要求保护的技术方案的关键特征和必要技术特征，更不意味着试图确定所要求保护的技术方案的保护范围。

[0006] 本发明提供了一种鳍片场效应晶体管的制备方法，包括：

- [0007] 提供基底，所述基底包括半导体衬底以及位于所述半导体衬底上的绝缘层，该基底呈阶梯形状，具有高区和低区；
- [0008] 在所述绝缘层上形成硬掩膜层并平坦化；
- [0009] 蚀刻所述硬掩膜层和所述绝缘层，在所述基底的高区和低区分别形成至少一个沟槽，以露出所述半导体衬底；
- [0010] 采用半导体材料填充所述沟槽并平坦化，以形成鳍片图案；
- [0011] 蚀刻去除所述硬掩膜层，以形成高度不同的鳍片。
- [0012] 作为优选，所述基底的形成方法为：提供半导体衬底，蚀刻去除部分所述半导体衬底，以形成阶梯形状的半导体衬底，接着在所述衬底上形成绝缘层，从而得到阶梯形状的基底。
- [0013] 作为优选，所述高度不同的鳍片的高度差等于蚀刻去除的所述半导体衬底的厚度。
- [0014] 作为优选，所述基底的形成方法为：提供半导体衬底，在所述衬底上沉积绝缘层，蚀刻去除部分所述绝缘层，以形成阶梯形状的绝缘层，从而得到阶梯形状的基底。
- [0015] 作为优选，所述高度不同的鳍片的高度差等于蚀刻去除的所述绝缘层的厚度。
- [0016] 作为优选，所述绝缘层为氧化物。
- [0017] 作为优选，所述硬掩膜层为 SiN、Al-C、BN 和 SiON 中的一种或者多种。
- [0018] 作为优选，外延生长所述半导体材料填充所述沟槽，以形成鳍片图案。
- [0019] 作为优选，填充的所述半导体材料为 Si、Si-C 或 Si-Ge。
- [0020] 作为优选，所述不同高度的鳍片用来形成多沟道鳍片场效应晶体管
- [0021] 作为优选，所述不同高度的鳍片分别用来形成多个不同的鳍片场效应晶体管。
- [0022] 作为优选，所述方法还包括在露出的所述鳍片上形成环绕栅极的步骤。
- [0023] 作为优选，所述方法还包括在所述环绕栅极两侧形成源漏的步骤。
- [0024] 在本发明通过在蚀刻去除部分半导体衬底或者绝缘层，以形成具有高区和低区的阶梯形基底，然后在所述基底上形成高度不同的鳍片，其中，所述高度不同的鳍片的高度差为所述去除的所述半导体衬底的厚度或者蚀刻去除的所述绝缘层的厚度，所述去除衬底或者绝缘层的厚度更加容易控制，因而，所述鳍片的高度、高度不同鳍片的高度差以及鳍片高宽比也更加容易控制，巧妙的解决的现有技术中存在鳍片高度不易控制的问题，提高了半导体器件的良率。

附图说明

- [0025] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述，用来解释本发明的装置及原理。在附图中，
- [0026] 图 1 为现有技术中制备得到的 FINFET 的结构示意图；
- [0027] 图 2-13 为本发明中制备 FINFET 的过程示意图；
- [0028] 图 14 为本发明中制备 FINFET 的工艺流程示意图。

具体实施方式

- [0029] 在下文的描述中，给出了大量具体的细节以便提供对本发明更为彻底的理解。然

而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0030] 为了彻底理解本发明,将在下列的描述中提出详细的描述,以说明本发明所述鳍片场效应晶体管FinFET的制备方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0031] 应予以注意的是,这里所使用的术语仅是为了描述具体实施例,而非意图限制根据本发明的示例性实施例。如在这里所使用的,除非上下文另外明确指出,否则单数形式也意图包括复数形式。此外,还应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0032] 现在,将参照附图更详细地描述根据本发明的示例性实施例。然而,这些示例性实施例可以多种不同的形式来实施,并且不应当被解释为只限于这里所阐述的实施例。应当理解的是,提供这些实施例是为了使得本发明的公开彻底且完整,并且将这些示例性实施例的构思充分传达给本领域普通技术人员。在附图中,为了清楚起见,夸大了层和区域的厚度,并且使用相同的附图标记表示相同的元件,因而将省略对它们的描述。

[0033] 下面结合图2-13对本发明所述鳍片晶体管FINFET的制备过程和图14的制备流程图对本发明方法做进一步的说明,

[0034] 图14为本发明中制备FinFET的工艺流程示意图,所述工艺包括以下步骤:

[0035] 步骤101 提供基底,所述基底包括半导体衬底以及位于所述半导体衬底上的绝缘层,该基底呈阶梯形状,具有高区和低区;

[0036] 步骤102 在所述绝缘层上形成硬掩膜层并平坦化;

[0037] 步骤103 蚀刻所述硬掩膜层和所述绝缘层,在所述基底的高区和低区分别形成至少一个沟槽,以露出所述半导体衬底;

[0038] 步骤104 采用半导体材料填充所述沟槽并平坦化,以形成鳍片图案;

[0039] 步骤105 蚀刻去除所述硬掩膜层,以形成高度不同的鳍片。

[0040] 根据该流程图,在本发明可以具有以下两种实施方式,下面对这两种实施方式分别进行说明,首先参照图2-7对第一种情况进行说明:

[0041] 参照图2,首先提供半导体衬底201,所述半导体衬底可以是以下所提到的材料中的至少一种:硅、Ge或SiGe等。

[0042] 在所述半导体衬底中还可以形成隔离结构,所述隔离结构为浅沟槽隔离(STI)结构或者局部氧化硅(LOCOS)隔离结构。在本发明中优选形成浅沟槽隔离,所述半导体衬底中还形成有各种阱(well)结构及衬底表面的沟道层。一般来说,形成阱(well)结构的离子掺杂导电类型与沟道层离子掺杂导电类型相同,但是浓度较栅极沟道层低,离子注入的深度范围较广,同时需达到大于隔离结构的深度。所述衬底中还可以进一步包含其他有源器件,在该图中均省略。

[0043] 作为优选,所述半导体衬底厚度在500μm以上,优选700-800μm,然后在所述衬底上形成绝缘层202,具体地,在本发明中所述绝缘层为氧化物,优选为SiO₂、TEOS等氧化物,

所述绝缘层的形成方法可以选用化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等形成的低压化学气相沉积(LPCVD)、激光烧蚀沉积(LAD)以及选择外延生长(SEG)中的一种。本发明中优选化学气相沉积(CVD)法，在本发明的具体实施方式中，所述绝缘层的厚度为50–300埃。

[0044] 参照图3，蚀刻所述绝缘层的一端，去除部分绝缘层，以形成阶梯形状，将所述绝缘层分为如图中所示的I区(低区)和II区(高区)，结合所述半导体衬底，形成阶梯形状的基底。

[0045] 具体地，在所述绝缘层上形成光刻胶掩膜，覆盖部分所述绝缘层，以所述光刻胶为掩膜层蚀刻所述绝缘层，其中所述蚀刻去除的绝缘层的厚度没有严格限制，可以根据目标器件的需要进行蚀刻，所述去除的绝缘层的厚度即为不同高度鳍片的高度差，而该过程中去除的绝缘层的厚度更加容易控制，因此所述鳍片的高度差相对于现有技术也更加容易控制。

[0046] 参照图4，在所述绝缘层上沉积硬掩膜层203，优选SiN、A-C、BN和SiON中的一种或者多种组合，例如所述硬掩膜层可以包含50–100埃的SiN和位于SiN上厚度为500–1500埃的BN，具体地，所述硬掩膜层的沉积方法可以选用化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等形成的低压化学气相沉积(LPCVD)、激光烧蚀沉积(LAD)以及选择外延生长(SEG)中的一种。本发明中优选化学气相沉积(CVD)法，沉积形成所述硬掩膜层后执行一平坦化步骤，使所述硬掩膜层获得平整的表面，在本发明的具体实施方式中，所述硬掩膜层的厚度为500–2000埃。

[0047] 参照图5，蚀刻所述绝缘层以及硬掩膜层直至露出所述衬底，以在所述绝缘层I区(低区)和II区(高区)各形成至少一个沟槽，具体地，在本发明中所述刻蚀的方法可以是反应离子蚀刻(RIE)、离子束蚀刻、等离子体蚀刻中的一种。在本发明的一实施例中，优选反应离子蚀刻(RIE)，蚀刻至所述半导体衬底，形成位于不同区域的多个沟槽。在本发明的具体实施例中还可以包括形成图案化的光刻胶掩膜层的步骤，该图案定义了所述沟槽开口的CD，在蚀刻完成后还可以进一步包括去除该光刻胶的步骤。

[0048] 参照图6，填充所述沟槽，以形成半导体鳍片204和204'，具体地，在本发明中在所述沟槽中外延生长半导体材料，以填充所述沟槽，然后进行平坦化使其与所述硬掩膜层处于同一高度，以形成多个鳍片图案，其中，所述半导体材料优选为Si、Si-C或者Si-Ge，所述半导体材料可以选用减压外延、低温外延、选择外延、液相外延、异质外延以及分子束外延，在本发明中优选选择外延，在进行外延生长过程中所述半导体材料仅在所述沟槽中生长，而不会在所述掩膜层上生长，使该过程更加简单，避免了外延后去除掩膜层的材料层。

[0049] 参照图7，蚀刻去除所述硬掩膜层，以露出所述鳍片，具体地，在本发明中选用干法蚀刻或者湿法蚀刻所述硬掩膜，蚀刻去除所述硬掩膜后，得到高度不一样的鳍片，作为优选，在本发明中选择和所述绝缘层具有较高蚀刻选择比的方法去除所述硬掩膜层。

[0050] 在形成所述鳍片之后还进一步的包括在所述鳍片上形成环绕栅极的步骤，作为优选，在形成栅极后还可以进一步包括形成源漏的步骤。其中所述栅极以及源漏形成均可以选用本领域常用方法。

[0051] 此外，本发明还提供了另外一种实施方式，如图8–13所示：

[0052] 参照图8，首先提供半导体衬底201，所述衬底可以和第一种实施方式中相同，本

领域技术人员还可以选择现有技术中常用的材料，在此不再赘述，然后蚀刻所述半导体衬底的一端，去除部分半导体衬底，以形成阶梯形半导体衬底，将所述半导体衬底分为如图中所示的 I 区(低区)和 II 区(高区)；具体地，在所述半导体衬底上形成光刻胶掩膜，覆盖部分所述半导体衬底，以所述光刻胶为掩膜层蚀刻所述半导体衬底，其中所述蚀刻去除的半导体衬底的厚度没有严格限制，可以根据目标器件的需要进行蚀刻，所述去除的半导体衬底的厚度即为不同高度鳍片的高度差，而该过程中去除的半导体衬底的厚度更加容易控制，因此所述鳍片的高度差相对于现有技术也更加容易控制。

[0053] 参照图 9，在所述半导体衬底上沉积绝缘层，在本发明中所述绝缘层为氧化物，优选为 SiO₂、TEOS 等氧化物，所述绝缘层的形成方法可以选用化学气相沉积(CVD)法、物理气相沉积(PVD)法或原子层沉积(ALD)法等形成的低压化学气相沉积(LPCVD)、激光烧蚀沉积(LAD)以及选择外延生长(SEG)中的一种。本发明中优选化学气相沉积(CVD)法，在本发明的具体实施方式中，所述绝缘层的厚度为 50–300 埃。沉积所述绝缘层后结合所述半导体衬底，形成阶梯形状的基底。

[0054] 参照图 10–13，所述操作过程与第一种实施方式中图 4–7 相对应，所述操作步骤以及工艺条件均可以参照图 4–7 中相应的操作，在此不再重复描述，但需要说明的是所述操作以及条件仅仅是示例性的，但是并不局限于所述实施方式。

[0055] 在本发明通过在蚀刻去除部分半导体衬底或者绝缘层，以形成具有高区和低区的阶梯形基底，然后在所述基底上形成高度不同的鳍片，其中，所述高度不同的鳍片的高度差为所述去除的所述半导体衬底的厚度或者蚀刻去除的所述绝缘层的厚度，所述去除衬底或者绝缘层的厚度更加容易控制，因而，所述鳍片的高度、高度不同鳍片的高度差以及鳍片高宽比也更加容易控制，巧妙的解决的现有技术中存在鳍片高度不易控制的问题，提高了半导体器件的良率。

[0056] 本发明已经通过上述实施例进行了说明，但应当理解的是，上述实施例只是用于举例和说明的目的，而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是，本发明并不局限于上述实施例，根据本发明的教导还可以做出更多种的变型和修改，这些变型和修改均落在本发明所要求保护的范围以内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

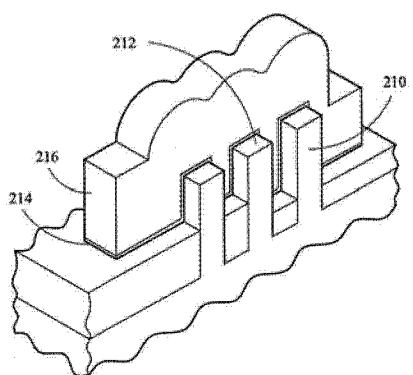


图 2

图 1

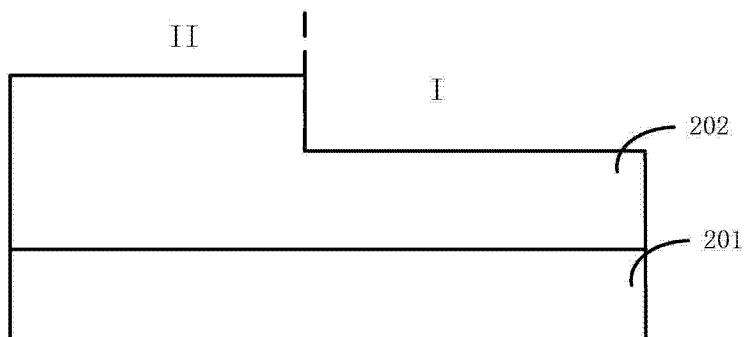


图 3

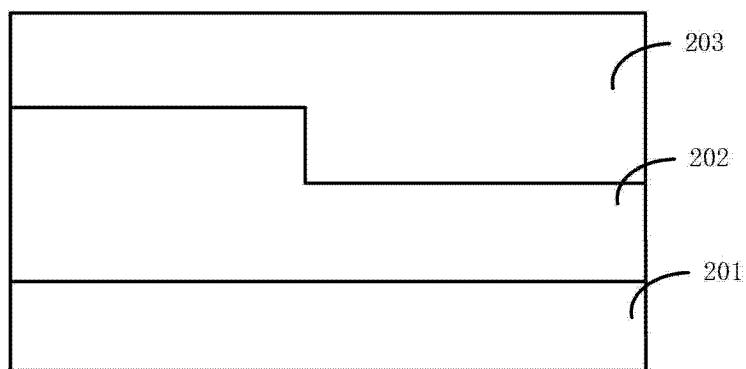


图 4

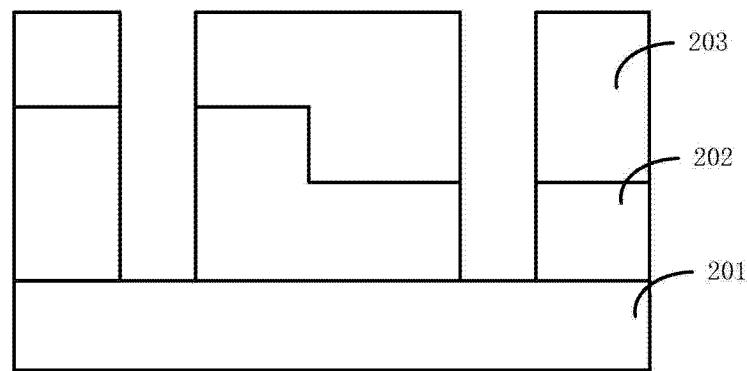


图 5

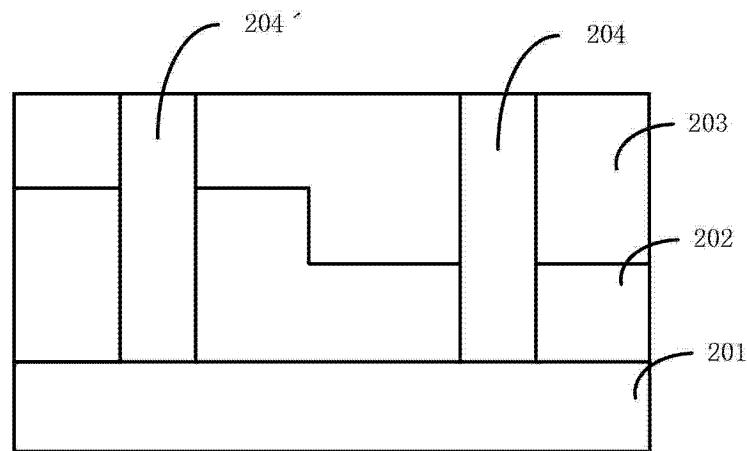


图 6

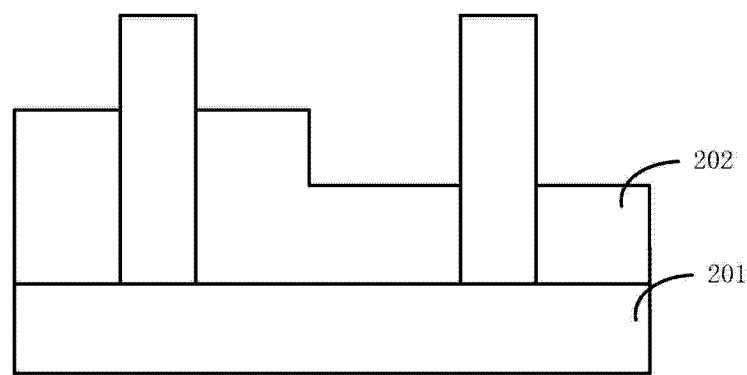


图 7

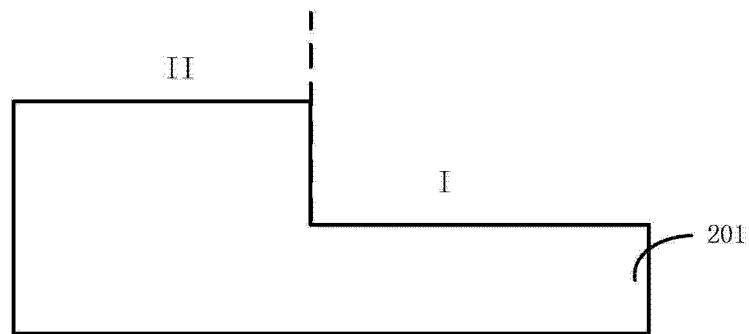


图 8

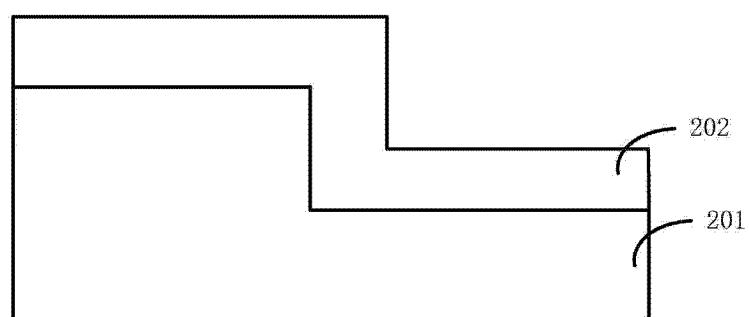


图 9

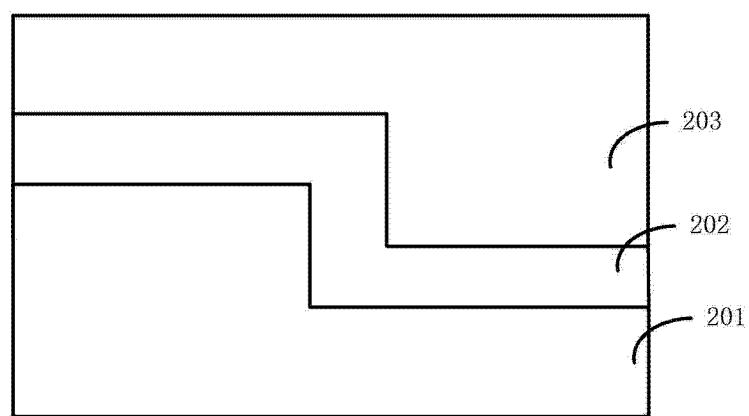


图 10

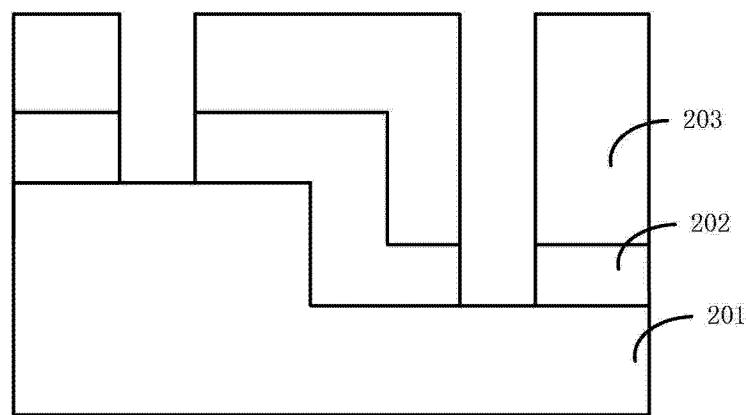


图 11

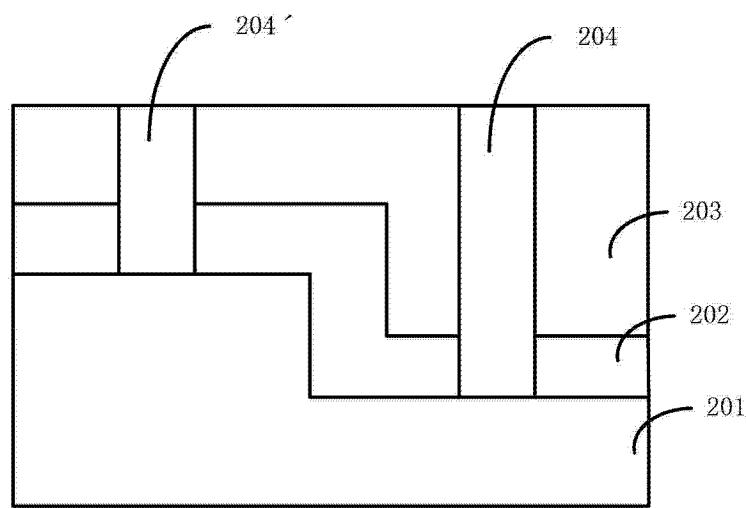


图 12

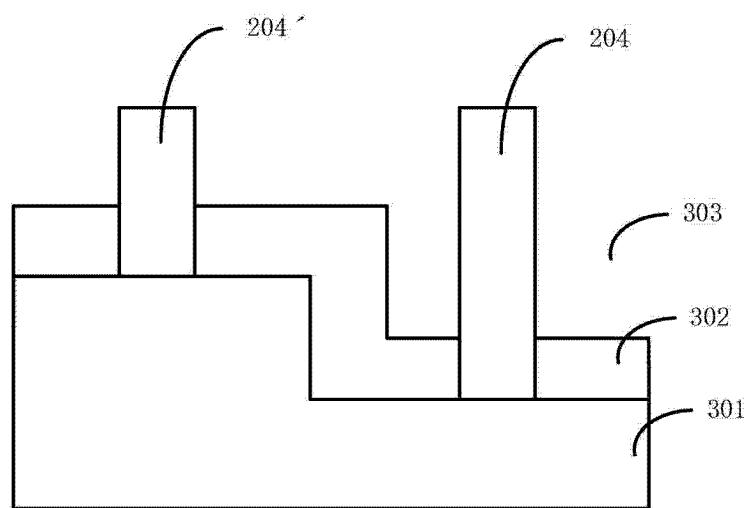


图 13

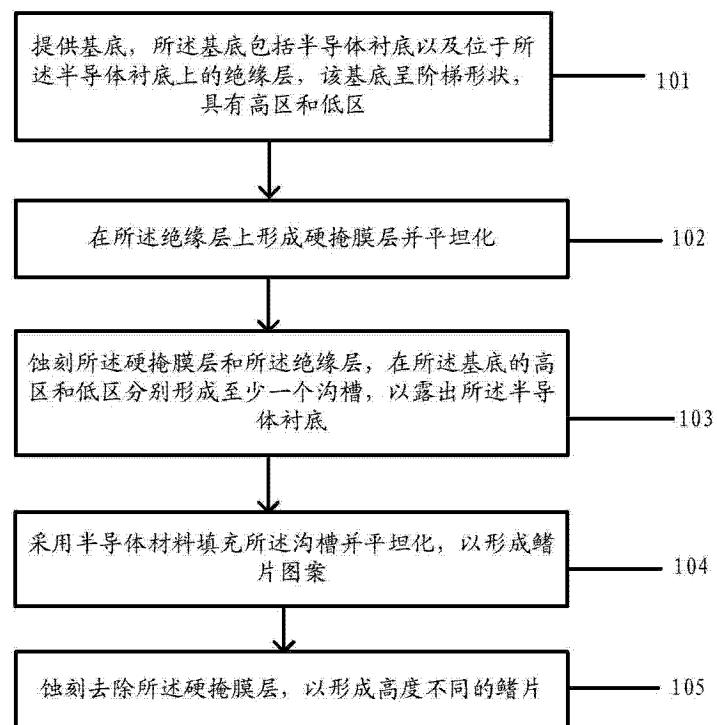


图 14