

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4255620号  
(P4255620)

(45) 発行日 平成21年4月15日(2009.4.15)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl. F I  
G O 5 B 19/042 (2006.01) G O 5 B 19/042

請求項の数 9 (全 8 頁)

<p>(21) 出願番号 特願2000-527866 (P2000-527866)</p> <p>(86) (22) 出願日 平成10年12月28日 (1998.12.28)</p> <p>(65) 公表番号 特表2002-501228 (P2002-501228A)</p> <p>(43) 公表日 平成14年1月15日 (2002.1.15)</p> <p>(86) 国際出願番号 PCT/EP1998/008478</p> <p>(87) 国際公開番号 W01999/035543</p> <p>(87) 国際公開日 平成11年7月15日 (1999.7.15)</p> <p>審査請求日 平成17年8月5日 (2005.8.5)</p> <p>(31) 優先権主張番号 198 00 311.0</p> <p>(32) 優先日 平成10年1月7日 (1998.1.7)</p> <p>(33) 優先権主張国 ドイツ (DE)</p> <p>前置審査</p>	<p>(73) 特許権者 399023800 コンティネンタル・テーベス・アクチエン ゲゼルシャフト・ウント・コンパニー・オ ツフェネ・ハンデルスゲゼルシャフト ドイツ連邦共和国、60488 フランク フルト・アム・マイン、ゲーリッケストラ ーセ, 7</p> <p>(74) 代理人 100069556 弁理士 江崎 光史</p> <p>(74) 代理人 100093919 弁理士 奥村 義道</p> <p>(74) 代理人 100111486 弁理士 鍛冶澤 貴</p>
--	--

最終頁に続く

(54) 【発明の名称】 電子デジタル装置

(57) 【特許請求の範囲】

【請求項 1】

演算ユニット(1 a, 1 b)、随時書込み読出しメモリ(2)、バス(3)、読出し専用メモリ(4)、フラッシュメモリ(5)、インターフェースモジュール(6)の複数の構成要素(1~6)が配備されており、これらの構成要素のうち少なくとも演算ユニット(1 a, 1 b)と、これらの構成要素を接続するバス(3 a, 3 b)とがそれぞれ冗長的に設けられている、車両のためのプロセスを制御または調整するための電子デジタル装置において、

随時書込み読出しメモリ(2)、読出し専用メモリ(4)およびフラッシュメモリ(5)の中の少なくとも一つの構成要素が冗長的に配備されていることと、

読出し専用メモリ(4)、フラッシュメモリ(5)およびインターフェースモジュール(6)の中の冗長的に配備されていない構成要素が冗長的なバス(3 a, 3 b)のうちの一方に接続されていることと、

2つの構成要素を備え、これらの構成要素がそれぞれ両バスの間に接続されており、一方の構成要素が一方のバスから他方のバスにデータライン(28)上のデータ信号と制御ライン(29)上の制御信号から成るデータを伝送し、他方の構成要素がそれと逆の方向にそのようなデータを伝送するとともに、冗長的なバスの一方と接続された読出し専用メモリ(4)、フラッシュメモリ(5)およびインターフェースモジュール(6)の中の冗長的に配備されていない構成要素の冗長的なバスの他方への前記のデータ信号と制御信号から成る交換データを伝送する伝送装置(7, 8)が追加して配備されていることと、

10

20

冗長的に形成されたチェック装置(11a, 11b)を備え、このチェック装置が冗長的なシステムで発生するデータを互いに比較し、データが偏差を有するときにエラー信号(Fa, Fb)を出力することと、

チェック装置(11a, 11b)の機能を試験するための試験装置(12a, 12b)が配備されていることと、

この試験装置が2個のレジスタ(12a, 12b)を備え、この各々のレジスタが互いに冗長的なバス(3a, 3b)の1つに接続されていることと、

2個のレジスタ(12a, 12b)が互いに異なる書込みアドレスと互いに同じ読出しアドレスを有することと、

冗長的な演算ユニット(1a, 1b)が同一に構成され、互いに共通のクロック信号に同期して作動するとともに、読出し専用メモリ(4)に記憶された同一のプログラムを実施することと、

を特徴とする電子デジタル装置。

【請求項2】

請求項1に記載の電子デジタル装置において、随時書込み読出しメモリ(2a, 2b)が冗長的に設けられていることを特徴とする電子デジタル装置。

【請求項3】

請求項1または2に記載の電子デジタル装置において、読出し専用メモリ(4)、フラッシュメモリ(5)およびインターフェースモジュール(6)のうちの少なくとも一つの構成要素が冗長的に設けられていないことを特徴とする電子デジタル装置。

【請求項4】

伝送装置(7, 8)がそれぞれデータ信号だけを一方のバスから他方のバスに伝送し、制御信号を伝送しないことを特徴とする請求項1に記載の電子デジタル装置。

【請求項5】

チェック装置(11a, 11b)がハードウェアによって形成されたコンパレータ(22)を備え、このコンパレータが互いに冗長的な両バス(3a, 3b)のデータライン(28)に接続され、バス(3a, 3b)のデータを互いに比較することを特徴とする請求項1~4のいずれか一つに記載の電子デジタル装置。

【請求項6】

バスのデータが妥当であるときに、コンパレータ(22)が互いに冗長的なバス(3a, 3b)のデータを互いに比較することを特徴とする請求項5に記載の電子デジタル装置。

【請求項7】

チェック装置(11a, 11b)が評価装置(21)を備え、バス(3a, 3b)のデータの妥当性を決定するために、この評価装置がバス(3a, 3b)の制御ライン(29)に接続されていることを特徴とする請求項6に記載の電子デジタル装置。

【請求項8】

電子デジタル装置が1個のチップに実装されていることを特徴とする請求項1~7のいずれか一つに記載の電子デジタル装置。

【請求項9】

電子デジタル装置が車両のブレーキ装置と走行装置の一方又は両方の制御または調整を行うことを特徴とする請求項1~8のいずれか一つに記載の電子デジタル装置。

【発明の詳細な説明】

【0001】

本発明は、独立請求項の上位概念に記載した電子デジタル装置に関する。このような装置はドイツ連邦共和国特許第19529434号公報に記載されている。

【0002】

複雑で、特に安全上重要な車両の機能は、電子デジタル装置によって益々制御または調整されつつある。このような制御または調整は例えば車両のエンジン、ブレーキ装置、変速機、走行装置等に関する。このような制御または調整装置のエラーのない機能は一方では

10

20

30

40

50

、環境に対するやさしさ、騒音低減のような最新の要求を満足するために重要であり、他方では維持すべき安全性要求を満足するために重要である。

【0003】

上記の電子デジタル装置は一般的に、演算ユニット(CPU)、随時書込み読出し目盛り(RAM)、読出し専用メモリ(ROM)、最近のフラッシュメモリ(FLS)およびインターフェースモジュール(ITF)を備えている。これらの構成要素は電子デジタル装置の内部の動作およびセンサ装置やアクチュエータとの連絡のために役立つ。

【0004】

電子デジタル装置が安全上重要な分野、例えばブレーキ装置、エンジンまたはシャーシに関するものであるときには、エラー機能を回避または認識し、フェールセーフにつなげなければならない。

10

【0005】

電子装置を保護するための対策は今までは、電子装置を冗長的に設けることであった。これは、制御装置または調整装置全体を二重に設けることを意味する。二重に設けられた装置は、同じプログラムおよび同じアルゴリズムでそして同じ入力量に応じて作動するがしかし、原理的には互いに独立して作動する。付加的なチャンネルを介してあるいは特別に設けられたプログラムステップを介して、データ、特に結果データまたは中間結果データが時々交換され、冗長制御装置または調整装置が同じ結果となっているかどうかをチェックされる。結果が同じであるときには、この結果が正しいということから出発する。そうでないと、エラー信号が出力される。この完全な冗長性は、エラー防止の問題を或る程度解決するがしかし、きわめて高価であるという欠点を有する。なぜなら、同じ制御装置または調整装置を2倍設けなければならないからである。データの比較プロセスは複雑である。なぜなら、そのために、互いに別々に作動するシステムの場合、互いに実際に対応するデータだけが互いに比較されるようにしなければならないからである。

20

【0006】

ドイツ連邦共和国特許出願公開第19529434号公報から、安全上重要な制御のためのマイクロプロセッサ装置が知られている。この装置では、バスとプロセッサがそれぞれ冗長的に設けられている。データ記憶は冗長的に行われぬ。両サブシステムはそれぞれ随時書込み読出しメモリと読出し専用メモリを備えている。しかし、一方のサブシステムでは実際のデータだけが記憶され、他方のサブシステムでは所属の制御データ、例えばパリティビットが記憶される。例えば両サブシステムに分配された読出し専用メモリにアクセスする際に、特化された伝送装置によって、その都度エラーを含む部分が他方のサブシステムに伝送される。例えば、パリティビットがパリティ読出し専用メモリから特化された伝送装置を経てサブシステムに伝送される。このサブシステムには、固有のデータ読出し専用メモリが接続されている。それと反対に、データはデータ読出し専用メモリから特化された伝送装置を経てサブシステムに伝送され、このサブシステムにはパリティ読出専用メモリが接続されている。従って、各々1個の特化された伝送装置によって、データが両冗長バスで補充され、そして同じ方法で使用可能である。冗長でない他の構成要素のデータを一方のサブシステムから他方のサブシステムに伝送すべきときには、他の伝送装置を設けなければならない。この伝送装置はデータまたは検査信号を伝送するだけでなく、バスに達するすべてのデータを伝送しなければならない。それによって、一部が冗長的な両システムの間でデータを比較する装置が複雑な構造となる。更に、記憶されたデータ自体が冗長的でないという欠点がある。

30

40

【0007】

本発明の課題は、エラーを確実に認識することができ、低コストで簡単に製作可能である、車両のプロセスを制御または調整するための電子デジタル装置を提供することである。

【0008】

この課題は、独立請求項記載の特徴によって解決される。従属請求項は本発明の好ましい実施形を示している。

【0009】

50

本発明による電子デジタル装置（以下“制御装置”または“調整装置”と呼ぶ）の場合には、すべての構成要素を冗長的に設ける必要はない。全体装置は一部が冗長的に形成されている、すなわち所定の構成要素、特に演算ユニットとメモリが冗長的に形成され、他の構成要素は冗長的に形成されていない。

【0010】

冗長的な構成要素を備えたシステムの場合には、ハードウェアとして形成されたチェック装置が設けられている。このチェック装置は冗長的な構成要素のデータを比較し、偏差がある場合にエラー信号を出力する。このようなチェック装置は、前述の一部だけが冗長的な制御装置または調整装置にも使用可能である。

【0011】

次に、図1, 2を参照して、本発明の個々の実施の形態を説明する。

【0012】

図1において、参照番号1a, 1bはCPUとも呼ばれる演算装置を示し、番号2a, 2bはRAMとも呼ばれる随時書込み読出しメモリを示し、参照番号3a, 3bはバスを示し、参照番号4はROMとも呼ばれる読出し専用メモリを示し、参照番号5はFLSとも呼ばれるフラッシュメモリを示し、参照番号7, 8は冗長バス3a, 3bの間に接続配置された伝送装置を示し、参照番号11a, 11bは監視装置（チェック装置）を示し、参照番号12a, 12bは試験装置を示している。バス3a, 3bには好ましくは、ローカル周辺バス17a, 17bが冗長的に接続可能である。適当なインターフェース13a, 13bを介して、ローカルバス16a, 16bがバス3a, 3bに同様に冗長的に接続可能である。この場合、インターフェース13a, 13bは場合によっては両バスの間の速度調節のために使用される。

【0013】

少なくともCPU1とバス3は冗長的に設けられている。CPU1aはバス3aに接続され、サブシステムAを形成し、CPU1bはバス3bと共にサブシステムBを形成している。そのほかに、RAM2aをバス3aに接続し、RAM2bをバス3bに接続することにより、RAM2も冗長的に設けられている。他の構成要素は冗長的に設けなくてもよい。少なくとも1個のメモリ、例えばROM4は一つ設けるだけでよく、図1ではバス3aに接続されたROMとして示してある。フラッシュメモリ5は同様に冗長的に設けなくてもよい。このフラッシュメモリもバス3aに接続されたフラッシュメモリとして示してある。フラッシュメモリは揮発性随時書込み読出しメモリである。そのほかに、インターフェースモジュール6が設けられている。このインターフェースモジュールも冗長的に設けなくてもよい。図1において、インターフェースモジュールはバス3bに接続されたインターフェースモジュールとして示してある。センサ9からインターフェースモジュール6を経て信号を受取り、アクチュエータ10に信号が出力される。

【0014】

従って、コストを低減するために、個々の構成要素、例えばROM4は冗長的に設けられていない。特に、冗長でない構成要素は一方のバスに接続されている。

【0015】

冗長的に設けられたCPU1a, 1bが、構成要素（この構成要素は“その”バスまたはそのサブシステムのバスに接続されていない）に関するデータを受け取るかまたは転送できるようにするために、サブシステムA, Bの間、特にバスの間に、伝送装置7, 8が設けられている。この伝送装置は一方のバスの冗長的でない構成要素のデータを他方のバスに伝送する。それによって、冗長構成要素は同じデータを読み、加工し、そして出力することができる。伝送装置7, 8は双方向性に形成可能である。図1は、2個の単一方向性伝送装置が設けられている場合を概略的に示している。

【0016】

随時書込み読出しメモリRAM2a, 2bの冗長性に基づいて、伝送装置7, 8の構造と動作が非常に簡単になる。（技術水準に従ってRAMまたはROMにアクセスする度に）バス信号の一部だけが伝送されるかどうかを区別する必要がない。それどころか、一部が

10

20

30

40

50

冗長性のシステム内のアクセスアドレス等にかかわらず、一部が冗長性の一方のシステムから一部が冗長性の他のシステムにデータを連続的に伝送可能である。従って、一部が冗長性のシステムの間でのデータ伝送が簡単になるので、一部が冗長性の両システムの結果の比較を連続的に行うことが容易になる。(散発的な比較の代わりに)連続的に比較する際、機能エラーは早く認識され、それによってシステムの安全性が高まる。

**【 0 0 1 7 】**

伝送装置 7 , 8 はそれぞれ、ターゲット CPU によって制御可能である。データだけでなく、その都度アドレスされたユニットによって出力されたすべての信号が伝送される。

**【 0 0 1 8 】**

伝送装置 7 , 8 は好ましくは、一方のバスの構成要素が場合によっては他方のバスの構成要素にアクセスしていることを全く気づかないように形成されている。それによって特に、両システムの同期運転が保証される。例えば CPU 1 a が ROM 4 からデータを照会するときに、CPU 1 b が同じプログラムによって作動するという事実に基づいて、この CPU も ROM 4 からデータを照会する。その際、CPU は伝送装置 8 を経てデータを得る。類似の方法では、例えば CPU 1 a はインターフェースモジュール 6 から伝送装置 7 を経てデータを受け取ることができる。

**【 0 0 1 9 】**

一部が冗長性のシステムを、サブシステム特にそのバスの間に配置された伝送装置 7 , 8 と組み合わせることにより、システムを保護するためのコストおよびまたは作業を低減することができる。必要スペースも狭くなる。それによって、全体の装置を 1 個のチップに集積することができる。これは両システムの同期動作を容易にする。なぜなら、共通のクロック信号を簡単に使用することができるからである。

**【 0 0 2 0 】**

その際、平行に作動するサブシステムは特に、同じプログラムに従って作動する。同じクロック信号に従って作動させてもよい。更に、サブシステムは同じ入力信号を受け取り、サブシステムが障害なく作動する場合には、同じ出力信号を引き渡す。

**【 0 0 2 1 】**

電子デジタル装置はチェック装置 1 1 を備えていてもよい。このチェック装置により、平行に作動する両システムが同じ結果を引き渡すかどうかをチェックされる。チェック装置 1 1 は好ましくはハードウェア装置として形成されている。これは、冗長サブシステムの間でデータをマッチングするためにソフトウェア側の対策が少ないかまたは設けられていないことを意味する。チェック装置 1 1 は好ましくは冗長バス 3 a , 3 b の間に接続配置され、このバスのデータトラヒックが同一であるかどうかをチェックする。チェックは好ましくは、バスのデータが妥当であるときにのみ行われるかまたは妥当であると見なされる。それによって、バスの妥当でないデータまたは伝送状態が互いに比較されず、誤ったエラー報告とならない。

**【 0 0 2 2 】**

チェック装置 1 1 がバスの間にあるハードウェア装置として設けられていることにより、バスのデータの連続的なチェックが可能である。それによって、チェック品質が高められる。なぜなら、エラーが最初に発生するときにエラーを検出することができるからである。CPU 1 a , 1 b のためのソフトウェアの構成が簡単化される。なぜなら、データのマッチングのための手段を講じる必要がないからである。

**【 0 0 2 3 】**

上述のチェック装置 1 1 は特に、一部が冗長的な上述の制御装置または調整装置あるいは 1 個のチップに設けられた制御装置または調整装置に適している。なぜなら、その場合サブシステムの同期動作が簡単に保証可能であるからである。冗長バス 3 a , 3 b の同期信号を“ウォッチする”チェック装置 1 1 は、例えばデータをビット毎に比較することによって、データの正当性を簡単に保証することができる。

**【 0 0 2 4 】**

チェック装置 1 1 はそれ自体冗長的に設計可能である。好ましくは内部構造が同一の 2 個

10

20

30

40

50

のチェック装置 1 1 a , 1 1 b を設けることができる。このチェック装置はその都度のチェックを平行に行うことができ、場合によってはエラー信号 F a , F b を別々に引き渡す。このエラー信号は比較可能であり、同一でないときに処理して他のエラー信号を生じることができる。

【 0 0 2 5 】

図 2 はチェック装置 1 1 a を正確に示している。チェック装置はバス 3 a と 3 b の間に配置されている。このバスはそれぞれデータライン 2 8 と制御ライン 2 9 を備えている。これはバス 3 b について図示してあるが、バス 3 a にも全く同じことが当てはまる。その際、チェック装置 1 1 a はコンパレータ 2 2 を備えている。このコンパレータはそれぞれ、バス 3 a , 3 b の個々のデータラインと場合によっては制御ラインを受入れ、これらのラインを例えばビット毎に比較する。その際、互いに一致するビットは、例えば E X O R ゲート内で互いに比較され、バス 3 a , 3 b の互いに一致するすべての信号が同一であるときのみ、エラー信号 F a が出力されない。一方のバスの信号ラインの値が他方のバスの対応する信号ラインの値と異なると、エラー信号 F a が出力される。

10

【 0 0 2 6 】

“ 妥当 ” でありかつバス上に非偶然的に存在するデータだけを互いに比較するために、評価装置 2 1 が設けられている。評価装置 2 1 は一般的に言えば、バスの伝送プロトコルがデコードし、このデコーディングに応じてバス 3 a , 3 b の信号を比較することができるように設計されている。特に、評価装置は一方のバスまたは両方のバスの制御ライン 2 9 に接続可能である。制御ライン 2 9 の信号に基づいて、評価装置 2 1 は、バスのデータが妥当である時点を決定する。そのとき初めて、比較が行われるかまたは比較結果が妥当であると見なされる。エラー報告の出力は前もって阻止される。

20

【 0 0 2 7 】

好ましい実施の形態に従って 2 個のチェック装置 1 1 a , 1 1 b が設けられているときには、このチェック装置はその内部構造を同一に形成可能である。チェック装置が図 2 に従って形成されていると、それぞれの評価装置 2 1 は次のように接続可能である。すなわち、一方のチェック装置 1 1 a の評価装置 2 1 が一方のバス 3 a の制御ライン 2 9 を “ ウォッチ ” するかまたはこのバスに接続され、このバス 3 a のデータの妥当性を確かめ、他方のチェック装置 1 1 b の評価装置 2 1 が他方のバス 3 b の制御ライン 2 9 に接続されるように接続可能である。これにより、バス 3 a , 3 b の制御ライン 2 9 の信号を間接的に比較することができる。この信号は必ずしもコンパレータ 2 2 に供給する必要がないので、コンパレータはあまり複雑に形成する必要がない。

30

【 0 0 2 8 】

好ましくは、バス 3 a , 3 b のすべてのデータライン 2 8 が互いに比較される。しかし、ラインおよび特にバス 3 a , 3 b のデータラインの一部だけをコンパレータ 2 2 に供給することができる。チェック装置 1 1 a , 1 1 b が ( 図 1 に示すように ) 二重に設けられていると、一方のチェック装置 1 1 a がデータラインの第 1 の部分を互いに比較し、他方のチェック装置 1 1 b が他方の部分を比較することができる。それによってもコストが低減される。なぜなら、コンパレータ 2 2 を小さく設計することができるからである。

【 0 0 2 9 】

図 2 は既に簡単に説明した試験装置 1 2 a , 1 2 b を概略的に示している。この試験装置は両バス 3 a , 3 b が異なる信号を示す状況を生じさせるための装置である。これはエラー信号に一致する。すなわち、試験装置 1 2 a , 1 2 b はエラーをシミュレーションする。試験装置 1 2 a , 1 2 b によって、チェック装置 1 1 a , 1 1 b の機能が試験される。試験装置 1 2 a , 1 2 b がエラーをシミュレーションするときに、チェック装置 1 1 a , 1 1 b はエラーを示さなければならない。そうでないと、チェック装置は故障し、同様にエラーを出力する。

40

【 0 0 3 0 】

試験装置 1 2 a 1 2 b は 2 つのレジスタである。このレジスタはそれぞれ 1 つのバスに接続されている。レジスタは異なる書込みアドレスおよび同一の読み取りアドレスに应答す

50

る。それによって、アドレスが“非対称”であるレジスタは、“対称の”(=同一)のプログラムによって、両サブシステムA, Bに“非対称に”、すなわち異なるデータを書き込み可能である。試験の仕事は第1の書込みステップを有する。この書込みステップによって、サブシステムAのレジスタ12aが書き込まれる(書込みステップはサブシステムBに対称に形成されているがしかし、ここでは空白である。なぜなら、対応する書込みアドレスが存在しないからである)。第2の書込みステップでは、サブシステムBのレジスタ12bの(他の)書込みアドレスがアドレスされる。そして、前の書込みステップと異なるデータがレジスタ12bに書き込まれる(サブシステムAの対称の書込みステップは空白になる。なぜなら、変更された書込みアドレスがサブシステムAに存在しないからである)。それによって、レジスタは両書込みステップの経過後異なるデータを含む。それに続く、両レジスタにとって同じ読取りアドレスで行われる読取りステップでは、データがレジスタで読みとられる。このレジスタが異なる内容を含んでいるので、バス3a, 3bには異なるデータが発生する。従って、チェック装置11a, 11bはエラーを表示しなければならない。そうでないときには、チェック装置11a, 11b自体が故障し、エラー信号を出力する。この出力はCPU1a, 1bによって行うことができる。

10

【0031】

レジスタ12a, 12bの互いに異なる書込みアドレスと互いに同じ読取りアドレスは好ましくはハードウェアによって実現される。

【0032】

上述のように構成された電子装置によって、構造が簡単な制御装置または調整装置が得られる。バスの信号を連続的に監視することにより、エラー機能が瞬時に検出される。

20

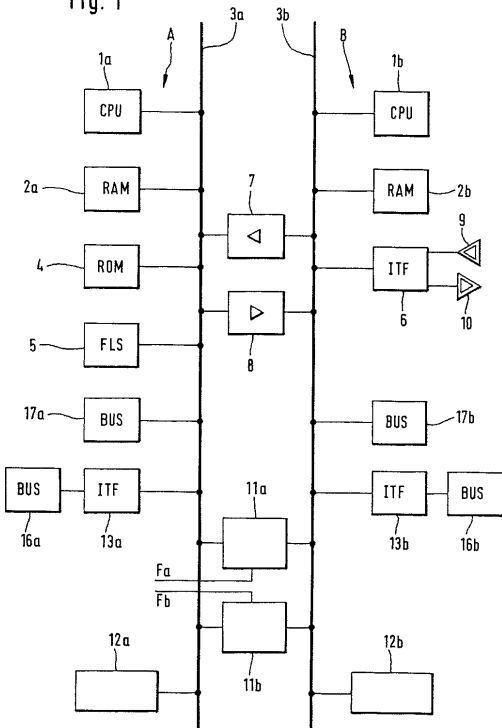
【図面の簡単な説明】

【図1】 一部が冗長的な電子装置を示す図である。

【図2】 チェック装置の正確な図である。

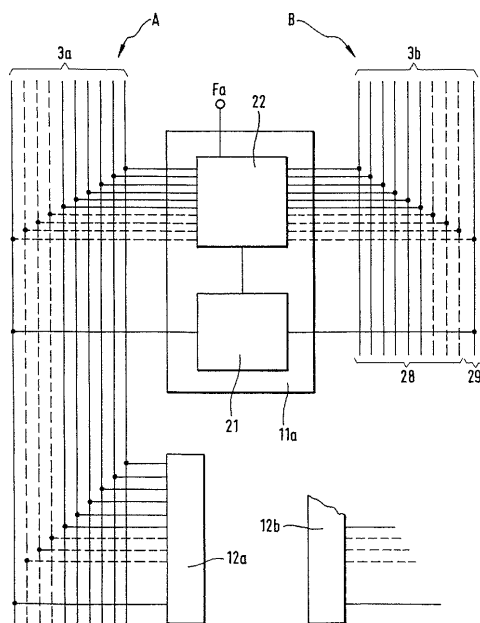
【図1】

Fig. 1



【図2】

Fig. 2



---

フロントページの続き

- (72)発明者 ツィデク・ミヒャエル  
ドイツ連邦共和国、D - 3 5 4 2 8 ラングゲンス、アム・ベルク、11
- (72)発明者 ファイ・ヴォルフガング  
ドイツ連邦共和国、D - 6 5 5 2 7 ニーデルンハウゼン、ネセルヴェーク、17
- (72)発明者 トラスコフ・アドリアーン  
ドイツ連邦共和国、D - 6 1 4 4 9 シュタインバッハ、ベルリナー・ストラッセ、32

審査官 二階堂 恭弘

- (56)参考文献 特開平06-222810(JP, A)  
国際公開第97/06487(WO, A1)

- (58)調査した分野(Int.Cl., DB名)  
G05B 19/04-19/05