

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146431

(P2010-146431A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.  
**G06F 12/00 (2006.01)**F I  
G O 6 F 12/00 5 7 2 Bテーマコード (参考)  
5 B 0 6 0

審査請求 未請求 請求項の数 10 O L (全 17 頁)

(21) 出願番号 特願2008-324989 (P2008-324989)  
(22) 出願日 平成20年12月22日 (2008.12.22)(71) 出願人 000168285  
エヌイーシーコンピュータテクノ株式会社  
山梨県甲府市大津町 1 0 8 8 - 3  
(74) 代理人 100124811  
弁理士 馬場 資博  
(72) 発明者 藤原 武人  
山梨県甲府市大津町 1 0 8 8 - 3 エヌイ  
ーシーコンピュータテクノ株式会社内  
Fターム(参考) 5B060 CD17 KA02 KA04

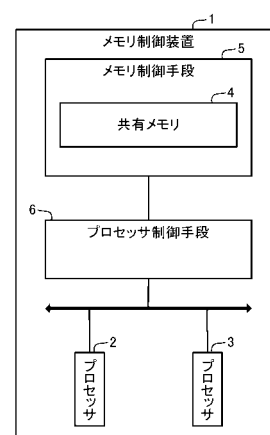
(54) 【発明の名称】 メモリ制御装置

(57) 【要約】

【課題】 マルチプロセッサにて共有メモリを共有するシステムの性能の向上を図ること。

【解決手段】 複数のプロセッサと、共有メモリと、上記プロセッサから発行された占有要求／占有解除要求を受け付けて、上記プロセッサ毎の上記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、上記プロセッサから発行された上記共有メモリに対する占有要求／占有解除要求を上記メモリ制御手段に通知するプロセッサ制御手段と、を備えたメモリ制御装置であって、上記メモリ制御手段は、上記プロセッサによる上記共有メモリの占有状態を上記プロセッサ制御手段に通知し、上記プロセッサ制御手段は、上記メモリ制御手段からの通知に基づいて上記共有メモリの占有状態を管理すると共に、当該共有メモリが所定の上記プロセッサに占有されている場合に、他の上記プロセッサから発行された上記共有メモリに対する占有要求の上記メモリ制御手段に対する通知を停止する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、  
当該複数のプロセッサにて共有される共有メモリと、  
前記プロセッサから発行された占有要求／占有解除要求を受け付けて、前記プロセッサ  
毎の前記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、  
前記プロセッサから発行された前記共有メモリに対する占有要求／占有解除要求を前記  
メモリ制御手段に通知するプロセッサ制御手段と、を備え、  
前記メモリ制御手段は、前記プロセッサによる前記共有メモリの占有状態を前記プロセ  
ッサ制御手段に通知し、  
前記プロセッサ制御手段は、前記メモリ制御手段からの通知に基づいて前記共有メモリ  
の占有状態を管理すると共に、当該共有メモリが所定の前記プロセッサに占有されている  
場合に、他の前記プロセッサから発行された前記共有メモリに対する占有要求の前記メモ  
リ制御手段に対する通知を停止する、  
メモリ制御装置。

10

## 【請求項 2】

請求項 1 記載のメモリ制御装置であって、  
前記メモリ制御手段は、前記共有メモリが前記所定のプロセッサに占有されているとき  
に前記他のプロセッサから発行された占有要求が通知された場合に、当該他のプロセッサ  
による占有要求を却下して、前記プロセッサ制御手段に通知し、  
前記プロセッサ制御手段は、前記メモリ制御手段からの通知に基づいて前記共有メモリ  
が占有されている状態である場合に、占有要求が却下されている前記他のプロセッサから  
発行された占有要求の前記メモリ制御手段に対する通知を停止する、  
メモリ制御装置。

20

## 【請求項 3】

請求項 2 記載のメモリ制御装置であって、  
前記メモリ制御手段は、前記プロセッサによる前記共有メモリの占有を解除したときに  
当該占有解除を前記プロセッサ制御手段に通知し、  
前記プロセッサ制御手段は、前記メモリ制御手段からの通知に基づいて前記共有メモリ  
の占有状態が解除されたときに、占有要求が却下されている前記他のプロセッサから発行  
された占有要求の前記メモリ制御手段に対する通知の停止を解除する、  
メモリ制御装置。

30

## 【請求項 4】

請求項 3 記載のメモリ制御装置であって、  
前記メモリ制御手段は、前記各プロセッサから発行された占有要求の通知の有無を管理  
して、当該管理内容を表す占有要求管理情報を前記プロセッサ制御手段に通知し、  
前記プロセッサ制御手段は、前記メモリ制御手段から通知された前記占有要求管理情報  
に基づいて、前記プロセッサ毎に当該プロセッサから発行された占有要求の前記メモリ制  
御手段に対する通知を行うか否か決定する、  
メモリ制御装置。

40

## 【請求項 5】

請求項 4 記載のメモリ制御装置であって、  
前記メモリ制御手段は、占有要求が通知された前記プロセッサに対応するフラグをセッ  
トすると共に、前記共有メモリの占有解除を行った前記プロセッサに対応するフラグをリ  
セットして、前記プロセッサ毎に設定された前記フラグを管理し、このフラグのセット合  
計数を前記占有要求管理情報として、前記プロセッサからの占有要求を却下したときに前  
記プロセッサ制御手段に通知し、  
前記プロセッサ制御手段は、前記フラグのセット合計数を前記占有要求が却下されたプロ  
セッサに対応して設定すると共に、前記メモリ制御手段から占有解除通知を受けたとき  
に前記各プロセッサに対応して設定された前記フラグのセット合計数を減算し、当該フラ

50

グのセット合計数が少ない前記プロセッサから発行された占有要求を優先して前記メモリ制御手段に通知する、  
メモリ制御装置。

【請求項 6】

請求項 5 記載のメモリ制御装置であって、

前記プロセッサ制御手段は、前記メモリ制御手段から占有解除通知を受けたときに、前記フラグのセット合計数が「1」である前記プロセッサから発行された占有要求を優先して前記メモリ制御手段に通知する、  
メモリ制御装置。

【請求項 7】

データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、  
当該複数のプロセッサにて共有される共有メモリと、

前記プロセッサから発行された占有要求／占有解除要求を受け付けて、前記プロセッサ毎の前記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、

前記プロセッサから発行された前記共有メモリに対する占有要求／占有解除要求を前記メモリ制御手段に通知するプロセッサ制御手段と、  
を備えたメモリ制御装置の前記プロセッサ制御手段に、

前記メモリ制御手段から通知された前記プロセッサによる前記共有メモリの占有状態に基づいて当該共有メモリの占有状態を管理すると共に、当該共有メモリが所定の前記プロセッサに占有されている場合に、他の前記プロセッサから発行された前記共有メモリに対する占有要求の前記メモリ制御手段に対する通知を停止する処理、  
を実現させるためのプログラム。

【請求項 8】

請求項 7 記載のプログラムであって、

前記プロセッサ制御手段に、

前記メモリ制御手段が、前記共有メモリが前記所定のプロセッサに占有されているときに前記他のプロセッサから発行された占有要求が通知された場合に、当該他のプロセッサによる占有要求を却下して、占有失敗を通知してきた場合に、当該通知に基づいて、前記共有メモリが占有されている状態である場合に、前記占有要求が却下されている他のプロセッサから発行された占有要求の前記メモリ制御手段に対する通知を停止する処理、  
を実現させるためのプログラム。

【請求項 9】

データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、  
当該複数のプロセッサにて共有される共有メモリと、

前記プロセッサから発行された占有要求／占有解除要求を受け付けて、前記プロセッサ毎の前記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、

前記プロセッサから発行された前記共有メモリに対する占有要求／占有解除要求を前記メモリ制御手段に通知するプロセッサ制御手段と、を備えたメモリ制御装置にて、

前記メモリ制御手段が、前記プロセッサによる前記共有メモリの占有状態を前記プロセッサ制御手段に通知し、

前記プロセッサ制御手段が、前記メモリ制御手段からの通知に基づいて前記共有メモリの占有状態を管理すると共に、当該共有メモリが所定の前記プロセッサに占有されている場合に、他の前記プロセッサから発行された前記共有メモリに対する占有要求の前記メモリ制御手段に対する通知を停止する、  
メモリ制御方法。

【請求項 10】

請求項 9 記載のメモリ制御方法であって、

前記メモリ制御手段が、前記共有メモリが前記所定のプロセッサに占有されているときに前記他のプロセッサから発行された占有要求が通知された場合に、当該他のプロセッサによる占有要求を却下して、占有失敗を当該他のプロセッサを制御する前記プロセッサ制

10

20

30

40

50

御手段に通知し、

前記プロセッサ制御手段が、前記メモリ制御手段からの通知に基づいて前記共有メモリが占有されている状態である場合に、前記占有要求が却下されている他のプロセッサから発行された占有要求の前記メモリ制御手段に対する通知を停止する、  
メモリ制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、メモリ制御装置にかかり、特に、マルチプロセッサにて共有する共有メモリを備えたメモリ制御装置に関する。

10

【背景技術】

【0002】

システム性能の向上を図るべく、演算処理を行うプロセッサを複数装備したシステムがある。このようなマルチプロセッサシステムでは、各プロセッサがメモリを共有して使用している。そして、プロセッサが共有メモリを使用する際には、当該プロセッサが共有メモリを占有し、排他制御（占有：ロック）を行う。すると、この間、他のプロセッサが共有メモリにアクセスしても、当該共有メモリにはアクセスすることができない。このような制御を行う技術が、特許文献1、2に開示されている。

【0003】

20

特許文献1、2では、共有メモリ内に排他制御フラグを格納する領域を設け、共有メモリを占有しているプロセッサの情報を記憶している。そして、この排他制御フラグの格納状況に応じて、プロセッサからの共有メモリのロック要求を制御している。

【0004】

【特許文献1】特開平5-2569号公報

【特許文献2】特開平11-259430号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記特許文献に開示の技術では、共有メモリのロック状態を制御するために参照する排他制御フラグが共有メモリ内に存在しているため、各プロセッサは、常に共有メモリに対してロック要求を発行する必要がある。つまり、共有メモリが所定のプロセッサに占有されている場合であっても、他のプロセッサが共有メモリを占有するには、定期的に共有メモリにロック要求を発行して当該共有メモリ内の排他制御フラグを参照しなければならない。すると、このような状態ですでに共有メモリを占有している所定のプロセッサからアンロック要求が発行された場合であっても、他のプロセッサからのロック要求と競合する。そして、このような場合に、アンロック要求が調停で負けると、ロック取得期間が延長してしまい、他のプロセッサのロック取得が遅延しうる。その結果、システム性能が低下する、という問題が生じる。

30

40

【0006】

このため、本発明の目的は、上述した課題である、マルチプロセッサにて共有メモリを共有するシステムの性能の向上を図ることができるメモリ制御を実現する、ことにある。

【課題を解決するための手段】

【0007】

かかる目的を達成するため本発明の一形態であるメモリ制御装置は、  
データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、  
当該複数のプロセッサにて共有される共有メモリと、

上記プロセッサから発行された占有要求／占有解除要求を受け付けて、上記プロセッサ毎の上記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、

50

上記プロセッサから発行された上記共有メモリに対する占有要求／占有解除要求を上記メモリ制御手段に通知するプロセッサ制御手段と、を備え、

上記メモリ制御手段は、上記プロセッサによる上記共有メモリの占有状態を上記プロセッサ制御手段に通知し、

上記プロセッサ制御手段は、上記メモリ制御手段からの通知に基づいて上記共有メモリの占有状態を管理すると共に、当該共有メモリが所定の上記プロセッサに占有されている場合に、他の上記プロセッサから発行された上記共有メモリに対する占有要求の上記メモリ制御手段に対する通知を停止する、  
という構成を採る。

#### 【0008】

10

また、本発明の他の形態であるプログラムは、

データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、

当該複数のプロセッサにて共有される共有メモリと、

上記プロセッサから発行された占有要求／占有解除要求を受け付けて、上記プロセッサ毎の上記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、

上記プロセッサから発行された上記共有メモリに対する占有要求／占有解除要求を上記メモリ制御手段に通知するプロセッサ制御手段と、

を備えたメモリ制御装置の上記プロセッサ制御手段に、

上記メモリ制御手段から通知された上記プロセッサによる上記共有メモリの占有状態に基づいて当該共有メモリの占有状態を管理すると共に、当該共有メモリが所定の上記プロセッサに占有されている場合に、他の上記プロセッサから発行された上記共有メモリに対する占有要求の上記メモリ制御手段に対する通知を停止する処理、  
を実現させるためのプログラムである。

20

#### 【0009】

また、本発明の他の形態であるメモリ制御方法は、

データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、

当該複数のプロセッサにて共有される共有メモリと、

上記プロセッサから発行された占有要求／占有解除要求を受け付けて、上記プロセッサ毎の上記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、

上記プロセッサから発行された上記共有メモリに対する占有要求／占有解除要求を上記メモリ制御手段に通知するプロセッサ制御手段と、を備えたメモリ制御装置にて、

30

上記メモリ制御手段が、上記プロセッサによる上記共有メモリの占有状態を上記プロセッサ制御手段に通知し、

上記プロセッサ制御手段が、上記メモリ制御手段からの通知に基づいて上記共有メモリの占有状態を管理すると共に、当該共有メモリが所定の上記プロセッサに占有されている場合に、他の上記プロセッサから発行された上記共有メモリに対する占有要求の上記メモリ制御手段に対する通知を停止する、  
という構成を採る。

#### 【発明の効果】

#### 【0010】

40

本発明は、以上のように構成されることにより、共有メモリを占有しているプロセッサの占有解除を迅速に実行して、他のプロセッサによる共有メモリの占有遅延を抑制でき、システム性能の向上を図ることができる。

#### 【発明を実施するための最良の形態】

#### 【0011】

##### <実施形態1>

本発明の第1の実施形態を、図1を参照して説明する。図1は、メモリ制御装置1の構成を示す機能ブロック図である。なお、本実施形態では、メモリ制御装置1の概略を説明する。

#### 【0012】

50

図 1 に示すように、本実施形態におけるメモリ制御装置 1 は、データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサ 2, 3 と、当該複数のプロセッサ 2, 3 にて共有される共有メモリ 4 と、上記プロセッサ 2, 3 から発行された占有要求／占有解除要求を受け付けて、上記プロセッサ 2, 3 毎の上記共有メモリ 4 に対する占有／占有解除を制御するメモリ制御手段 5 と、上記プロセッサ 2, 3 から発行された上記共有メモリ 4 に対する占有要求／占有解除要求を上記メモリ制御手段 5 に通知するプロセッサ制御手段 6 と、を備えている。

#### 【0013】

そして、上記メモリ制御手段 5 は、上記プロセッサ 2, 3 による上記共有メモリ 4 の占有状態を上記プロセッサ制御手段 6 に通知する機能を有している。さらに、上記プロセッサ制御手段 6 は、上記メモリ制御手段 5 からの通知に基づいて上記共有メモリ 4 の占有状態を管理すると共に、当該共有メモリ 4 が所定の上記プロセッサ 2 に占有されている場合に、他の上記プロセッサ 3 から発行された上記共有メモリ 4 に対する占有要求の上記メモリ制御手段に対する通知を停止する機能を有している。

10

#### 【0014】

また、上記メモリ制御装置 1 では、上記メモリ制御手段 5 は、上記共有メモリが上記所定のプロセッサに占有されているときに上記他のプロセッサから発行された占有要求が通知された場合に、当該他のプロセッサによる占有要求を却下して、上記プロセッサ制御手段に通知する、という機能を有している。そして、上記プロセッサ制御手段 6 は、上記メモリ制御手段からの通知に基づいて上記共有メモリが占有されている状態である場合に、占有要求が却下されている上記他のプロセッサから発行された占有要求の上記メモリ制御手段に対する通知を停止する、という機能を有している。

20

#### 【0015】

また、上記メモリ制御装置 1 では、上記メモリ制御手段 5 は、上記プロセッサによる上記共有メモリの占有を解除したときに当該占有解除を上記プロセッサ制御手段に通知する機能を有している。そして、上記プロセッサ制御手段 6 は、上記メモリ制御手段からの通知に基づいて上記共有メモリの占有状態が解除されたときに、占有要求が却下されている上記他のプロセッサから発行された占有要求の上記メモリ制御手段に対する通知の停止を解除する、という機能を有している。

#### 【0016】

また、上記メモリ制御装置 1 では、上記メモリ制御手段 5 は、上記各プロセッサから発行された占有要求の通知の有無を管理して、当該管理内容を表す占有要求管理情報を上記プロセッサ制御手段に通知する、という機能を有している。そして、上記プロセッサ制御手段 6 は、上記メモリ制御手段から通知された上記占有要求管理情報に基づいて、上記プロセッサ毎に当該プロセッサから発行された占有要求の上記メモリ制御手段に対する通知を行うか否か決定する、という機能を有している。

30

#### 【0017】

より具体的に、上記メモリ制御装置 1 では、上記メモリ制御手段 5 は、占有要求が通知された上記プロセッサに対応するフラグをセットすると共に、上記共有メモリの占有解除を行った上記プロセッサに対応するフラグをリセットして、上記プロセッサ毎に設定された上記フラグを管理し、このフラグのセット合計数を上記占有要求管理情報として、上記プロセッサからの占有要求を却下したときに上記プロセッサ制御手段に通知する、という機能を有している。そして、上記プロセッサ制御手段 6 は、上記フラグのセット合計数を上記占有要求が却下されたプロセッサに対応して設定すると共に、上記メモリ制御手段から占有解除通知を受けたときに上記各プロセッサに対応して設定された上記フラグのセット合計数を減算し、当該フラグのセット合計数が少ない上記プロセッサから発行された占有要求を優先して上記メモリ制御手段に通知する、という機能を有している。

40

#### 【0018】

そして、上記メモリ制御装置 1 では、上記プロセッサ制御手段 6 は、上記メモリ制御手段から占有解除通知を受けたときに、上記フラグのセット合計数が「1」である上記プロ

50

セッサから発行された占有要求を優先して上記メモリ制御手段に通知する、という機能を有している。

【0019】

上記構成のメモリ制御装置1によると、まず、所定のプロセッサが共有メモリを占有することを要求する際には、占有要求をプロセッサ制御手段に発行する。そして、プロセッサ制御手段は、占有要求をメモリ制御手段に通知し、これを受けたメモリ制御手段は、先行する占有要求がないので、所定のプロセッサに共有メモリを占有させるよう制御する。その後、他のプロセッサから共有メモリの占有要求が発行されると、上記同様に、プロセッサ制御手段が占有要求をメモリ制御手段に通知する。このとき、メモリ制御手段は、先行する所定のプロセッサの占有要求があるので、他のプロセッサによる占有を行わず、占有失敗をプロセッサ制御手段及び他のプロセッサに通知する。つまり、メモリ制御手段は、共有メモリは占有されていることをプロセッサ制御手段に通知する。これに応じて、プロセッサ制御手段は、この通知に基づいて共有メモリが占有されていることを管理する。

10

【0020】

その後、上述したように占有に失敗した他のプロセッサが、再度、共有メモリへの占有要求を発行すると、プロセッサ制御手段は、共有メモリが占有されているため、占有要求をメモリ制御手段に対して通知しない。一方で、所定のプロセッサから占有解除要求が発行されると、この占有解除要求をプロセッサ制御手段がメモリ制御手段に通知する。すると、メモリ制御手段は所定のプロセッサによる共有メモリの占有を解除し、プロセッサ制御手段に通知する。そして、プロセッサ制御手段は、共有メモリの占有が解除されているので、これまでメモリ制御手段に通知することを停止していた他のプロセッサから発行された占有要求の通知の停止を解除する。これにより、プロセッサ制御手段は、他のプロセッサからの占有要求をメモリ制御手段に通知し、これを受けたメモリ制御手段は、他のプロセッサが共有メモリを占有できるよう制御する。

20

【0021】

以上のように、本発明によると、メモリ制御手段に占有要求が頻繁に通知されることを抑制することができ、先行して共有メモリを占有しているプロセッサから占有解除要求が発行された場合に、当該占有解除要求が他の要求と競合することを抑制することができる。その結果、迅速に共有メモリの占有解除を実行することができ、他のプロセッサによる共有メモリの占有遅延を抑制でき、システム性能の向上を図ることができる。

30

【0022】

また、上述したメモリ制御装置のプロセッサ制御手段6は、メモリ制御用プログラムが組み込まれることで実現できる。

【0023】

具体的に、本発明の他の形態であるメモリ制御用プログラムは、データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、当該複数のプロセッサにて共有される共有メモリと、上記プロセッサから発行された占有要求／占有解除要求を受け付けて、上記プロセッサ毎の上記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、上記プロセッサから発行された上記共有メモリに対する占有要求／占有解除要求を上記メモリ制御手段に通知するプロセッサ制御手段と、を備えたメモリ制御装置の上記プロセッサ制御手段に、上記メモリ制御手段から通知された上記プロセッサによる上記共有メモリの占有状態に基づいて当該共有メモリの占有状態を管理すると共に、当該共有メモリが所定の上記プロセッサに占有されている場合に、他の上記プロセッサから発行された上記共有メモリに対する占有要求の上記メモリ制御手段に対する通知を停止する処理、を実現させるためのプログラムである。

40

【0024】

そして、上記プログラムは、上記プロセッサ制御手段に、

50

上記メモリ制御手段が、上記共有メモリが上記所定のプロセッサに占有されているときに上記他のプロセッサから発行された占有要求が通知された場合に、当該他のプロセッサによる占有要求を却下して、占有失敗を通知してきた場合に、当該通知に基づいて、上記共有メモリが占有されている状態である場合に、上記占有要求が却下されている他のプロセッサから発行された占有要求の上記メモリ制御手段に対する通知を停止する処理、を実現させるためのプログラムである。

【0025】

また、上述したメモリ制御装置1の作動により実行されるメモリ制御方法は、データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサと、当該複数のプロセッサにて共有される共有メモリと、

10

上記プロセッサから発行された占有要求／占有解除要求を受け付けて、上記プロセッサ毎の上記共有メモリに対する占有／占有解除を制御するメモリ制御手段と、

上記プロセッサから発行された上記共有メモリに対する占有要求／占有解除要求を上記メモリ制御手段に通知するプロセッサ制御手段と、を備えたメモリ制御装置にて、

上記メモリ制御手段が、上記プロセッサによる上記共有メモリの占有状態を上記プロセッサ制御手段に通知し、

上記プロセッサ制御手段が、上記メモリ制御手段からの通知に基づいて上記共有メモリの占有状態を管理すると共に、当該共有メモリが所定の上記プロセッサに占有されている場合に、他の上記プロセッサから発行された上記共有メモリに対する占有要求の上記メモリ制御手段に対する通知を停止する、

20

【0026】

そして、上記メモリ制御方法では、

上記メモリ制御手段が、上記共有メモリが上記所定のプロセッサに占有されているときに上記他のプロセッサから発行された占有要求が通知された場合に、当該他のプロセッサによる占有要求を却下して、占有失敗を当該他のプロセッサを制御する上記プロセッサ制御手段に通知し、

上記プロセッサ制御手段が、上記メモリ制御手段からの通知に基づいて上記共有メモリが占有されている状態である場合に、上記占有要求が却下されている他のプロセッサから発行された占有要求の上記メモリ制御手段に対する通知を停止する、

30

【0027】

上述した構成を有する、プログラム、又は、メモリ制御方法、の発明であっても、上記メモリ制御装置と同様の作用を有するために、上述した本発明の目的を達成することができる。

【0028】

<実施形態2>

本発明の第2の実施形態を、図2乃至図10を参照して説明する。図2は、マルチプロセッサシステムの構成を示すブロック図である。図3は、マルチプロセッサシステム内で設定されるフラグのデータ構造を示す図である。図4乃至図7は、マルチプロセッサシステムの動作を示す説明図である。図8乃至図10は、マルチプロセッサシステムの動作を示すシーケンス図である。なお、本実施形態は、上述した実施形態1にて開示したメモリ制御装置の具体的な一例を示すものである。

40

【0029】

[構成]

図2に示すように、本実施形態におけるマルチプロセッサシステムは、CELLカード10、20を1つ備えている。そして、一方のCELLカード10は、データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサ14、15、16、17と、当該複数のプロセッサ14～17にて共有される共有メモリである記憶装置101と、を備えている。また、複数のプロセッサ14～17にシステムバス13を介して接続されたプロ

50



セッサ制御ユニット１２（プロセッサ制御手段）と、このプロセッサ制御ユニット１２に接続されたメモリ制御ユニット１１（メモリ制御手段）と、を備えている。そして、上記メモリ制御ユニット１１は、ロック要求管理フラグ１０２と上記記憶装置１０１とを備えている。また、上記プロセッサ制御ユニット１２は、再ロック発行管理フラグ１０３を備えている。

#### 【００３０】

また、他方のCELLカード２０も、上記一方のCELLカード１０とほぼ同様の構成を採っている。つまり、CELLカード２０は、データを格納するメモリ領域を利用して演算処理を行う複数のプロセッサ２４，２５，２６，２７と、当該複数のプロセッサ２４～２７にて共有される共有メモリである記憶装置２０１と、を備えている。また、複数のプロセッサ２４～２７にシステムバス２３を介して接続されたプロセッサ制御ユニット２２（プロセッサ制御手段）と、このプロセッサ制御ユニット２２に接続されたメモリ制御ユニット２１（メモリ制御手段）と、を備えている。そして、上記メモリ制御ユニット２１は、ロック要求管理フラグ２０２と上記記憶装置２０１とを備えている。また、上記プロセッサ制御ユニット２２は、再ロック発行管理フラグ２０３を備えている。

10

#### 【００３１】

また、上記２つのCELLカード１０，２０は、それぞれが装備しているプロセッサ制御ユニット１２，２２同士を専用インタフェースで接続することで、相互に接続している。以下、各構成についてさらに詳述する。なお、CELLカード１０，２０は、それぞれほぼ同一の構成を採っているため、以下では、CELLカード１０の構成についてのみ説明し、CELLカード２０の構成についてはその説明を省略する。

20

#### 【００３２】

まず、上記プロセッサ１４～１７は、それぞれいずれかの記憶装置１０１，２０１に対して、メモリアクセスリクエストを発行する。例えば、プロセッサ１４は、記憶装置１０１のメモリ領域を使用して所定の処理を実行する際には、当該記憶装置１０１を占有することを要求するロック命令（占有要求）を発行する。また、プロセッサ１４は、記憶装置１０１を使用して所定の処理が終了した後は、当該記憶装置１０１の占有を解除するアンロック命令（占有解除要求）を発行する。さらに、プロセッサ１４は、後述するように記憶装置１０１に対するロック命令を発行したものの、メモリ制御ユニット１１からロック失敗が通知された場合には、その後、一定の間隔にてロック命令を発行し続けることとなる。

30

#### 【００３３】

なお、各プロセッサ１４～１７，２４～２７は、いずれも自身が装備されていない他のCELLカード１０，２０に装備されている記憶装置１０１，２０１に対しても、上述したロック命令及びアンロック命令を発行することができる。

#### 【００３４】

上記プロセッサ制御ユニット１２は、プロセッサ１４～１７からロック命令あるいはアンロック命令が発行されると、ロックあるいはアンロック対象となっている記憶装置１０１を装備したメモリ制御ユニット１１に通知する。また、プロセッサ制御ユニット１２は、他のCELLカード２０に装備されたプロセッサ制御ユニット２２と接続し、カード１０，２０間におけるデータの送受信を可能としている。例えば、プロセッサ１４から発行されるロック／アンロック命令が他のカード２０に装備された記憶装置２０１に対する命令である場合には、当該他のカード２０に装備されたプロセッサ制御ユニット２２を経由してメモリ制御ユニット２１にロック／アンロック命令の送信を実行する。同様に、カード１０に装備されたメモリ制御ユニット１１からプロセッサ制御ユニット２２やプロセッサ２４に対して送信されるデータがある場合には、プロセッサ制御ユニット１２は、かかるデータを、プロセッサ制御ユニット２２に対して送信する。

40

#### 【００３５】

また、上記メモリ制御ユニット１１は、上述したように、各プロセッサ１４～１７，２４～２７から発行されたロック／アンロック命令を受け付けて、当該各プロセッサ１４～

50

17, 24～27に対する記憶装置101のロック（占有）／アンロック（占有解除）を制御する。このとき、システム全体で複数のプロセッサ14からロック命令やアンロック命令が競合した場合には、これら命令の調停を行う。そして、メモリ制御ユニット11は、ロック命令の競合を管理するために、ロック要求管理フラグ102を利用している。このロック要求管理フラグ102は、システム全体において競合対象となるプロセッサ14～17, 24～27を判別できるフラグを保持するよう構成されている。

#### 【0036】

具体的に、ロック要求管理フラグ102は、図3（A）に示すように、各プロセッサ単位で管理するよう構成されている。例えば、図3（A）に示す例では、上段にはプロセッサの符号を設定しており、下段には上段のプロセッサに対応するフラグを設定可能となっている。そして、メモリ制御ユニット11は、ロック命令が発行されるとそのプロセッサのフラグをセットし、アンロック命令が発行されるとリセットする。つまり、ロック要求管理フラグ102には、メモリ制御ユニット11にて、ロック要求してきたプロセッサのフラグがセットされる。

#### 【0037】

そして、上記メモリ制御ユニット11は、ロック命令を受け付けたときに、ロック要求管理フラグ102内のどのプロセッサのフラグも「0」である場合には、先行するロック命令がなく、記憶装置101がいずれかのプロセッサにロックされていない、と判断できる。この場合には、メモリ制御ユニット11は、受け付けたロック命令に従って、かかる命令を要求してきたプロセッサに記憶装置101を占有させるようロック制御し、当該プロセッサのフラグを「1」にセットする。そして、その後、このプロセッサからアンロック命令を受け付けた場合には、メモリ制御ユニット11は、アンロック命令を実行し、当該プロセッサのフラグを「0」にリセットする。さらに、メモリ制御ユニット11がロック命令を受けた場合に、すでに他のプロセッサのフラグが「1」である場合には、記憶装置101がすでにセット（占有）されているため、ロック失敗を返却する。このとき、メモリ制御ユニット11は、ロックは失敗したが、このロック要求をしてきたプロセッサのフラグを「1」にセットする。

#### 【0038】

また、メモリ制御ユニット11は、上述したロック／アンロック制御の結果、つまり、記憶装置101のロック／アンロック状態（占有状態）を、各プロセッサ制御ユニット12, 22に通知する。例えば、ロック成功時には、ロック要求してきたプロセッサに接続されたプロセッサ制御ユニットを介して、当該プロセッサにロック成功の旨を通知する。また、メモリ制御ユニット11は、ロック失敗時には、ロック要求してきたプロセッサに接続されたプロセッサ制御ユニットを介して、当該プロセッサにロック失敗の旨を通知する。これに加えて、メモリ制御ユニット11は、ロック要求管理フラグ102内でセットされているフラグの合計数（セット合計数）をプロセッサ制御ユニット12, 22に通知する。つまり、メモリ制御ユニット11は、上記ロック要求管理フラグ102を用いて、各プロセッサから発行された占有要求の通知の有無を管理して、当該管理内容を表すフラグ合計数つまりセット要求してきたプロセッサの台数、を占有要求管理情報として、プロセッサ制御ユニット12, 22に通知する。

#### 【0039】

一方で、メモリ制御ユニット11は、アンロック命令実行時には、アンロック要求してきたプロセッサに接続されたプロセッサ制御ユニットを介して、当該プロセッサにアンロック命令実行の旨を通知する。これに加えて、メモリ制御ユニット11は、上述したフラグの合計数を減算する指令をプロセッサ制御ユニット12, 22に通知する。

#### 【0040】

そして、上記プロセッサ制御ユニット12, 22は、上述したように、再ロック発行管理フラグ103を備えている。このフラグ103は、プロセッサ14～17が発行するロック命令が1度失敗した後、2回目のロック命令を発行するタイミングを管理するために用いられる。ここで、図3（B）に、再ロック発行管理フラグ103の構成の一例を示す

。この図に示すように、再ロック発行管理フラグ103は、同一カード10内に装備されたプロセッサ毎にデータを設定可能なよう構成されている。そして、この各プロセッサ毎のフラグ103には、対応するプロセッサがロック要求を行ったがロックが失敗したときにメモリ制御ユニット11から通知される上記フラグ合計数が格納される。なお、図3(C)には、CELLカード20に装備された再ロック発行管理フラグ203の構成を示しているが、この図に示すように、当該カード20に装備されたプロセッサ24～27毎に設定可能な構成となっている。

#### 【0041】

そして、上記プロセッサ制御ユニット12は、上述したように、プロセッサのロック失敗の通知と共にメモリ制御ユニット11からフラグの合計数を通知された場合には、このフラグの合計数を当該ロックが失敗したプロセッサに対応する再ロック発行管理フラグに設定する。また、メモリ制御ユニット11からアンロック命令実行の旨及びフラグ合計数の減算通知があった場合には、全てのプロセッサに対応する再ロック発行管理フラグをそれぞれ「1」減算する。

#### 【0042】

さらに、プロセッサ制御ユニット12は、上記再ロック発行管理フラグ103内の各プロセッサに対応するフラグ合計数の値に応じて、一度ロック要求が失敗しているプロセッサから発行された再ロック要求を、メモリ制御ユニット11、12に通知するか否かを制御している。具体的に、プロセッサ制御ユニット12は、一度ロック要求に失敗しているプロセッサに設定されているフラグ合計数の値が「1」より大きい場合、つまり、「2」以上である場合には、当該フラグ合計数から記憶装置101が占有状態であることがわかるため、当該プロセッサから再ロック命令が発行されたとしても、メモリ制御ユニット11、12には通知しない。一方で、プロセッサ制御ユニット12は、一度ロック要求に失敗しているプロセッサに設定されているフラグ合計数の値が「1」である場合には、当該フラグ合計数から記憶装置101が占有状態ではないことがわかるため、当該プロセッサから発行された再ロック命令をメモリ制御ユニット11、12に通知する。

#### 【0043】

なお、上述したメモリ制御ユニット11及びプロセッサ制御ユニット12が有する機能は、それぞれに所定のプログラムが組み込まれることによって実現される。また、上記では、主に一方のCELLカード10に装備された構成についてのみ説明したが、他方のCELLカード20も同様の構成を備えている。

#### 【0044】

##### [動作]

次に、上述した構成のマルチプロセッサシステムの動作を、図4乃至図10を参照して説明する。以下では、CELLカード10の記憶装置101に対して、CELLカード10のプロセッサ14と、CELLカード20のプロセッサ24と、からロック命令が発行され、メモリロック対象が記憶装置101であり、ロック命令が競合する場合の動作を説明する。

#### 【0045】

まず、プロセッサ14からメモリロック命令が発行されると(図8のステップS1)、これを受けたプロセッサ制御ユニット12は、メモリ制御ユニット11にロック命令を発行する(図4の矢印Y1、図8のステップS2)。これを受け付けたメモリ制御ユニット11は、ロック要求管理フラグ102が全て「0」であるので、先行するメモリロック命令が無く、ロック成功とし、ロック成功時の処理を実施する(図8のステップS3)。このとき、ロック要求管理フラグ102のプロセッサ14のフラグを、「1」にセットする(図8のステップS4)。また、プロセッサ制御ユニット12及びプロセッサ14には、ロック成功が返却される(図8のステップS5)。

#### 【0046】

続いて、プロセッサ14からメモリロック命令が発行されると(図8のステップS6)、これを受けたプロセッサ制御ユニット22は、プロセッサ制御ユニット12を介してメ

10

20

30

40

50

メモリ制御ユニット 11 にロック命令を発行する（図 4 の矢印 Y 2、図 8 のステップ S 7）。これを受け付けたメモリ制御ユニット 11 は、ロック要求管理フラグ 102 を調べると、すでにフラグが「1」にセットされたプロセッサ 14 が存在するため、先行のプロセッサ 14 から発行されたロック命令があり、記憶装置 101 はロック状態であることが分かる。従って、プロセッサ 24 からのロック命令は失敗とする（図 8 のステップ S 8）。このとき、プロセッサ 24 からロック命令があったため、ロック要求管理フラグ 102 のプロセッサ 24 に対応するフラグを、「1」にセットする（図 8 のステップ S 9）。さらに、メモリ制御ユニット 11 は、プロセッサ制御ユニット 12 を介してプロセッサ制御ユニット 22 及びプロセッサ 24 に、ロック失敗を返却すると共に、ロック要求管理フラグ 102 に設定されているフラグ合計数である値「2」を通知する（図 4 の矢印 Y 3、図 8 のステップ S 10）。 10

#### 【0047】

そして、これを受けたプロセッサ制御ユニット 22 は、上記フラグ合計数である値「2」を、再ロック発行管理フラグ 203 内にプロセッサ 24 に対応して設定する（図 8 のステップ S 11）。これにより、プロセッサ制御ユニット 22 は、2 台のプロセッサからロック要求があったことがわかり、プロセッサ 24 がロック要求を行う前に先行してロック要求を行ったプロセッサが 1 台存在して、ロック状態にある、ということがわかる。

#### 【0048】

その後、プロセッサ 14 にて記憶装置 101 が占有状態にある場合であっても（図 5 の矢印 Y 4）、ロック失敗の通知を受けたプロセッサ 24 は、一定の間隔にて、記憶装置 101 に対する再ロック命令を発行する（図 9 のステップ S 21）。ところが、これを受けたプロセッサ制御ユニット 22 は、再ロック発行管理フラグ 203 のプロセッサ 24 用のフラグに値「2」がセットされているため、再ロック命令を阻止する（図 5 の矢印 Y 5、図 9 のステップ S 22）。つまり、プロセッサ制御ユニット 22 は、プロセッサ 24 から発行された再ロック命令を、CEL カード 10 のメモリ制御ユニット 11 に通知することを停止する。この再ロック命令の阻止は、後述するように、フラグの値が「1」となるまで続くこととなる。 20

#### 【0049】

その後、記憶装置 101 とロック状態にあったプロセッサ 14 が、ロック成功時の処理が完了すると、アンロック命令を発行する（図 9 のステップ S 31）。これを受けたプロセッサ制御ユニット 12 は、メモリ制御ユニット 11 にアンロック命令を発行する（図 6 の矢印 Y 6、図 9 のステップ S 32）。このとき、上述したようにプロセッサ 24 からの再ロック命令がメモリ制御ユニット 11 に対して発行されていないので、アンロック命令は他の命令と競合せず、メモリ制御ユニット 11 は、他の命令の処理を待つことなくアンロック命令を実行することができる（図 9 のステップ S 33）。 30

#### 【0050】

そして、メモリ制御ユニット 11 は、アンロック命令を実行すると、プロセッサ 14 による記憶装置 101 の占有状態を解除し、ロック要求管理フラグ 102 のプロセッサ 14 用のフラグを「0」にリセットする（図 9 のステップ S 34）。また、メモリ制御ユニット 11 は、プロセッサ制御ユニット 12 及びプロセッサ 14、さらには、プロセッサ制御ユニット 22 にアンロック通知を行う（図 6 の矢印 Y 7、図 9 のステップ S 35）。 40

#### 【0051】

続いて、プロセッサ制御ユニット 22 は、メモリ制御ユニット 11 からアンロック通知を受けたため、再ロック発行管理フラグ 203 に設定されている全てのプロセッサ用のフラグ合計数を、それぞれ「1」だけ減算する（図 9 のステップ S 36）。すると、再ロック発行管理フラグ 203 のプロセッサ 24 用のフラグの値は「1」となる。これにより、プロセッサ 24 のみがロック要求を行っていることとなり、記憶装置 101 は他のプロセッサに占有されていない、ということがわかる。従って、プロセッサ制御ユニット 22 は、プロセッサ 24 からの再ロック命令の発行抑止を解除する。

#### 【0052】

10

20

30

40

50

その後、プロセッサ24からロック命令が発行されると（図10のステップS41）、プロセッサ制御ユニット22は、プロセッサ制御ユニット12を経由してメモリ制御ユニット11にロック命令を発行する（図7の矢印Y8、図10のステップS42）。すると、すでに先行するメモリロック命令が完了した（無い）状態なので、記憶装置101に対するプロセッサ24のロックが成功し、ロック成功時の処理を実施することになる（図10のステップS43）。このとき、既にロック要求管理フラグ102のプロセッサ24のフラグは「1」のままである。また、プロセッサ制御ユニット12及びプロセッサ14に、ロック成功を返却する（図10のステップS44）。

#### 【0053】

その後、記憶装置101とロック状態にあったプロセッサ24が、ロック成功時の処理が完了すると、アンロック命令を発行する（図10のステップS45）。これを受けたプロセッサ制御ユニット22は、プロセッサ制御ユニット12を介してメモリ制御ユニット11にアンロック命令を発行する（図10のステップS46）。

#### 【0054】

そして、メモリ制御ユニット11は、アンロック命令を実行して（図10のステップS47）、プロセッサ24による記憶装置101の占有状態を解除し、ロック要求管理フラグ102のプロセッサ24用のフラグを「0」にリセットする（図10のステップS48）。また、メモリ制御ユニット11は、プロセッサ制御ユニット12、22及びプロセッサ24にアンロック通知を行う（図10のステップS49）。

#### 【0055】

続いて、プロセッサ制御ユニット22は、メモリ制御ユニット11からアンロック通知を受けたため、再ロック発行管理フラグ203に設定されている全てのプロセッサ用のフラグ合計数を、それぞれ「1」だけ減算する（図10のステップS50）。

#### 【0056】

以上のように、本発明によると、メモリ制御ユニットに一度ロックを失敗しているプロセッサからの再ロック命令が、頻繁に通知されることを抑制することができる。従って、先行して記憶装置をロックしているプロセッサからアンロック命令が発行された場合であっても、当該アンロック命令が他の要求と競合することを抑制することができる。その結果、迅速に記憶装置のアンロックを実行することができ、他のプロセッサによる記憶装置のロック遅延を抑制でき、システム性能の向上を図ることができる。

#### 【0057】

なお、上記では、2つのプロセッサからロック命令が競合した場合を説明したが、3台以上のプロセッサからロック命令が発行された場合も同様である。このとき、ロック要求を行ったプロセッサの台数が増えるため、再ロック発行管理フラグ103、203に記憶される各プロセッサ毎の値は、ロック要求が遅くプロセッサほど大きな値となる。

#### 【0058】

例えば、プロセッサ14、24、25の順にロック命令を発行した場合を考える。まず、プロセッサ14がロックに成功すると、その後にロック命令を発行したプロセッサ24、25はロックに失敗する。そして、プロセッサ24がロックに失敗した段階では、プロセッサ14、24といった2台のプロセッサがロック要求した状態であるため、プロセッサ24用の再ロック発行管理フラグ203の値は、上述したように「2」となる。一方、プロセッサ25がロックに失敗した段階では、プロセッサ14、24、25といった3台のプロセッサがロック要求した状態であるため、プロセッサ25用の再ロック発行管理フラグ203の値は、「3」となる。このような状態では、プロセッサ24、25からのロック命令は、メモリ制御ユニット11には発行されない。

#### 【0059】

その後、プロセッサ14がアンロックを行うと、各プロセッサ24、25用の再ロック発行管理フラグ203の値が「1」ずつ減算される。つまり、プロセッサ24のフラグが「1」となり、プロセッサ25のフラグが「2」となる。すると、次にプロセッサ24からの再ロック要求が発行されると、このロック要求はメモリ制御ユニット11に発行され

る。一方、プロセッサ 25 からの再ロック命令は、メモリ制御ユニット 11 には発行されない。その後、プロセッサ 24 がアンロックを行うと、プロセッサ 25 の再ロック発行管理フラグ 203 が「1」となるため、その後、プロセッサ 25 がロックを行うことができる。

#### 【0060】

以上のように、上述した再ロック発行管理フラグの値を利用することで、プロセッサのロックの優先順位も管理することができる。

#### 【産業上の利用可能性】

#### 【0061】

本発明は、複数のプロセッサで記憶装置を共有するマルチプロセッサシステムに利用することができ、産業上の利用可能性を有する。 10

#### 【図面の簡単な説明】

#### 【0062】

【図 1】実施形態 1 におけるメモリ制御装置の構成を示すブロック図である。

【図 2】実施形態 2 におけるマルチプロセッサシステムの構成を示すブロック図である。

【図 3】マルチプロセッサに格納される各種フラグのデータ構造を示す図である。

【図 4】マルチプロセッサシステムの動作を示す説明図である。

【図 5】マルチプロセッサシステムの動作を示す説明図である。

【図 6】マルチプロセッサシステムの動作を示す説明図である。

【図 7】マルチプロセッサシステムの動作を示す説明図である。 20

【図 8】マルチプロセッサシステムの動作を示すシーケンス図である。

【図 9】マルチプロセッサシステムの動作を示すシーケンス図である。

【図 10】マルチプロセッサシステムの動作を示すシーケンス図である。

#### 【符号の説明】

#### 【0063】

1 メモリ制御装置

2, 3 プロセッサ

4 共有メモリ

5 メモリ制御手段

6 プロセッサ制御手段 30

10, 20 CELLカード

11, 21 メモリ制御ユニット

12, 22 プロセッサ制御ユニット

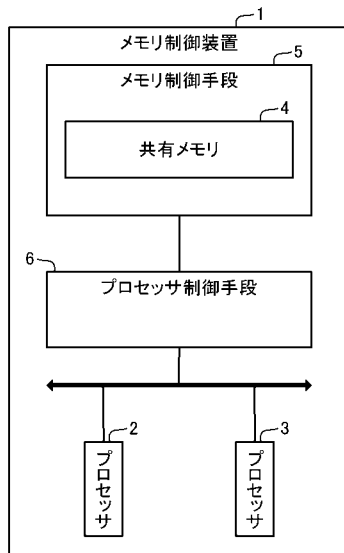
14, 15, 16, 17, 24, 25, 26, 27 プロセッサ

101, 201 記憶装置

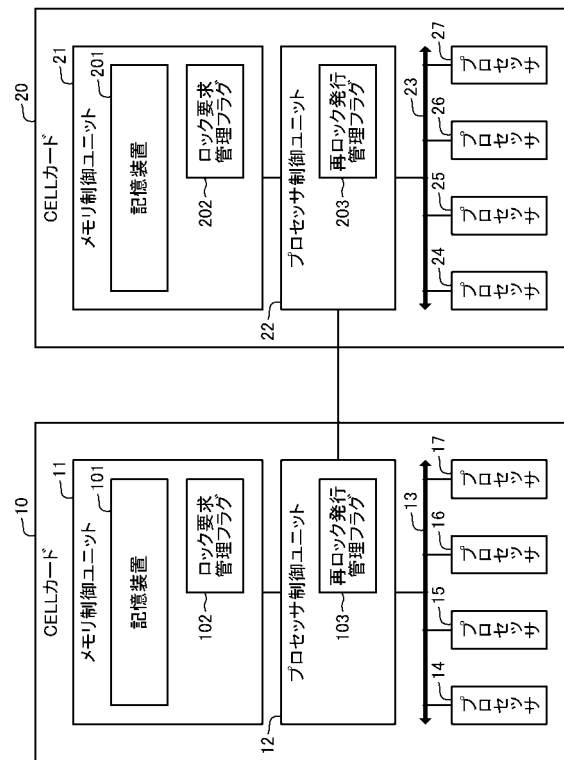
102, 202 ロック要求管理フラグ

103, 203 再ロック発行管理フラグ

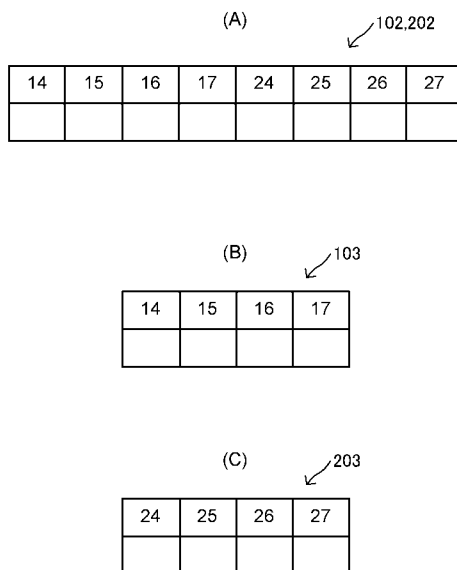
【図 1】



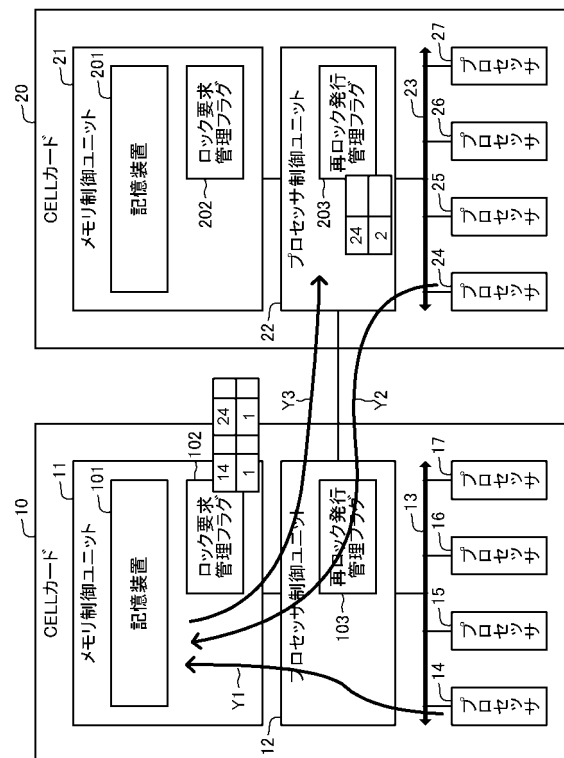
【図 2】



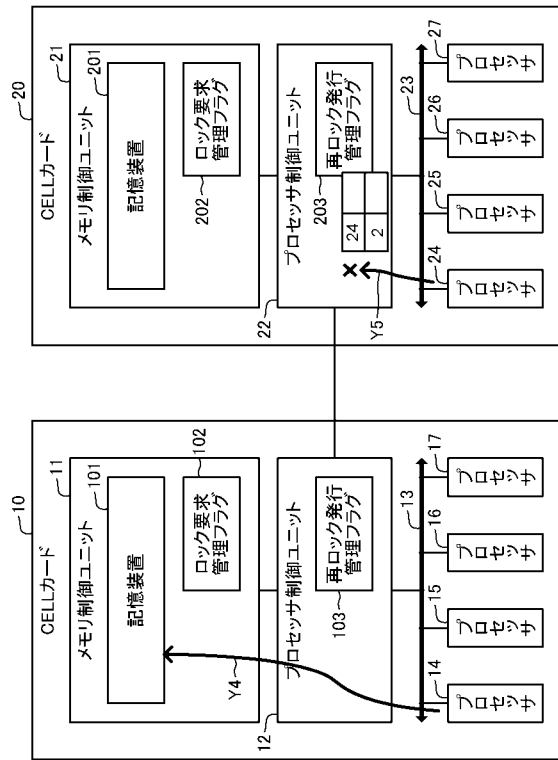
【図 3】



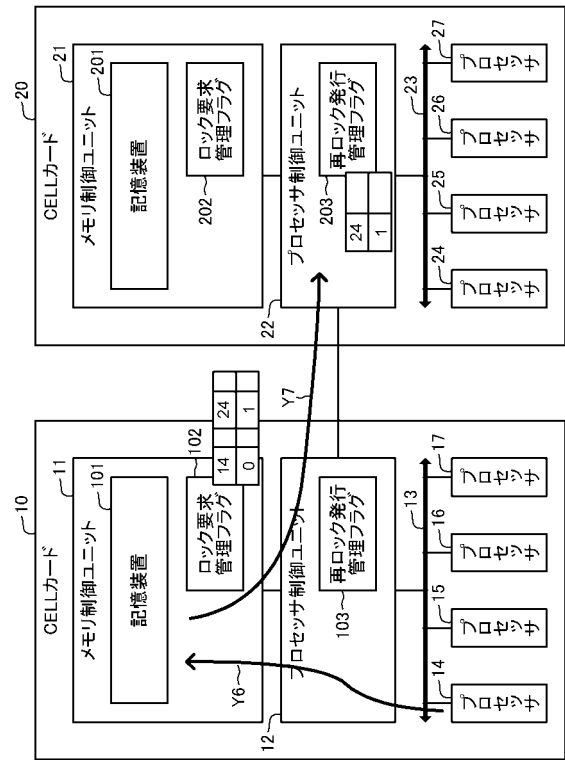
【図 4】



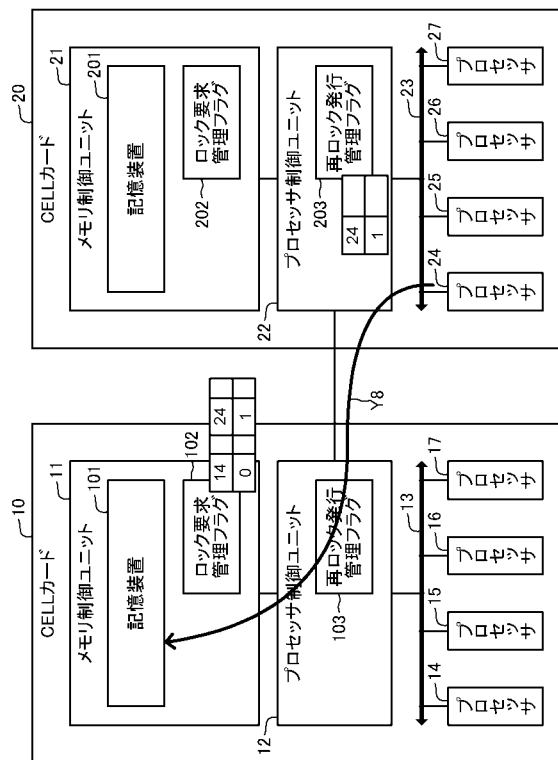
【 図 5 】



【図 6】



【图 7】



【图 8】

