

(11) 特許出願公開番号

特開2010-10776

(P2010-10776A)

(43) 公開日 平成22年1月14日(2010.1.14)

(51) Int.Cl.

F I

テーマコード (参考)

H03L 7/093 (2006.01)

H03 L 7/08

E

5 J 106

HO4J 11/00 (2006.01)

HO 4 J 11/00

$$Z$$

5 K 0 2 2

H04B 3/54 (2006.01)

HO 4 B 3/54

5 K 0 4 6

H03L 7/085 (2006.01)

H03 L 7/08

A

審査請求 未請求 請求項の数 5 O L (全 19 頁)

(21) 出願番号 特願2008-164575 (P2008-164575)

(22) 出願日 平成20年6月24日 (2008. 6. 24)

(71) 出願人 000161806

京楽産業、株式会社

愛知県名古屋市中区錦三丁目24番4号

(74) 代理人 100124316

弁理士 塩田 康弘

(72) 発明者 渡辺 直幸

愛知県名古屋市中区錦三丁目24番4号

京樂産業、株式会社内

(72) 發明者 加來 尚

東京都中央区京橋二丁目14番1号 株式

会社ネットインデックス・イー・エス内

(72) 発明者 置田 良二

東京都中央区京橋二丁目14番1号 株式

会社ネットインデックス・イー・エス内

[最終頁に続く](#)

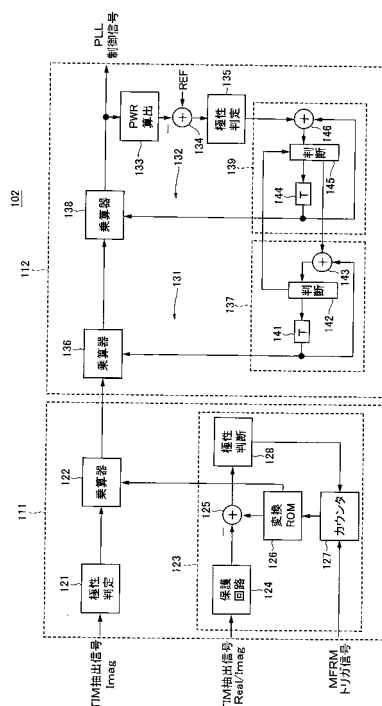
(54) 【発明の名称】 PLL制御装置及びPLL制御方法

(57) 【要約】 (修正有)

【課題】大規模なPLCシステムに用いても、PLLの受信ダイナミックレンジ拡大、雑音耐力向上が実現でき、アナログ素子の特性のバラツキなどに影響されずに安定して動作し、広範囲な安定したジッタ特性が得られるようにする。

【解決手段】PLL制御装置は、入力信号からタイミング位相ベクトル信号を抽出するタイミング抽出回路と、供給される制御係数に基づき基準信号の位相及び／又は発振周波数を制御するVCOと、タイミング位相ベクトル信号の位相及び位相差に基づき制御係数を出力する2次PLL回路とを備える。この2次PLL回路は、タイミング位相ベクトル信号に基づき制御係数を発生する制御係数発生回路と、制御計数発生回路からの制御係数につき6dB単位での対数軸上におけるレベル調整を行う第1のレベル調整回路と、第1のレベル調整回路からの制御係数について±6dBレベルの微調整を行う第2のレベル調整回路とを有する。

【選択図】図5



【特許請求の範囲】**【請求項 1】**

入力信号からタイミング位相ベクトル信号を抽出するタイミング抽出回路と、
供給される制御係数に基づいて基準信号の位相及び / 又は発振周波数を制御する可変発振器と、

前記抽出されたタイミング位相ベクトル信号の位相及び位相差に基づいて前記基準信号の前記位相及び / 又は前記発振周波数を制御するための前記制御係数を出力する 2 次 PLL 回路とを備え、

前記 2 次 PLL 回路は、

前記抽出されたタイミング位相ベクトル信号に基づいて前記制御係数を発生する制御係数発生回路と、

前記制御計数発生回路から出力される前記制御係数について 6 dB 単位での対数軸上におけるレベル調整を行う第 1 のレベル調整回路と、

前記第 1 のレベル調整回路から出力される前記制御係数について ± 6 dB レベルの微調整を行う第 2 のレベル調整回路と

を有していることを特徴とする PLL 制御装置。

【請求項 2】

前記可変発振器に供給される前記制御係数の絶対値又は二乗値 PWR を算出するパワー算出回路と、

予め設定された基準値信号より前記パワー算出回路の出力信号を減算する減算器と、

前記減算器の出力信号の極性を判定して、判定結果を前記第 2 のレベル調整回路に供給する極性判定回路と

を備えていることを特徴とする請求項 1 に記載の PLL 制御装置。

【請求項 3】

前記第 1 のレベル調整回路は、第 1 の乗算器と、第 2 の積分回路とを有し、

前記第 2 のレベル調整回路は、第 2 の乗算器と、第 1 の積分回路とを有し、

前記第 1 の乗算器は、前記制御係数発生回路から供給される前記制御係数と、前記第 2 の積分回路から供給される制御信号とを乗算し、

前記第 2 の積分回路は、第 1 の遅延回路と、第 1 の判断回路と、第 1 の加算器とを有し

、

前記第 1 の積分回路は、第 2 の遅延回路と、第 2 の判断回路と、第 2 の加算器とを有し

、

前記第 1 の遅延回路は、前記第 1 の判断回路から供給される制御信号を 1 サンプル時間分遅延して出力し、前記第 1 の判断回路は、前記加算器から供給される前記第 1 の加算器に供給すべき制御信号に上限又は下限の制限を加えるとともに、前記制御信号がオーバーフローの上限状態又は下限状態となった場合には、前記第 2 の判断回路へフィードバックし、前記第 1 の加算器は、前記第 1 の積分回路から供給される桁上げ又は桁下げの制御信号と、前記遅延回路の出力信号を加算して前記第 1 の判断回路に供給し、

第 2 の乗算器は、第 1 の乗算器から供給される信号と、前記第 1 の積分回路から供給される制御信号とを乗算し、

前記第 2 の遅延回路は、前記第 2 の判断回路から供給される制御信号を 1 サンプル時間分遅延して出力し、前記第 2 の判断回路は、前記第 2 の加算器から供給される加算結果が、 $+6$ dB 又は -6 dB のいずれかを越えた場合には、桁上げ又は桁下げの制御信号を前記第 2 の積分回路に供給するとともに、1 サンプル時間分前の自己の積分値より桁上げ 6 dB 分又は桁下げ 6 dB 分を加算又は減算し補正する

ことを特徴とする請求項 1 又は 2 に記載の PLL 制御装置。

【請求項 4】

入力信号から抽出したタイミング位相ベクトル信号の位相に基づいて制御係数を出力する第 1 の過程と、

前記制御係数に基づいて基準信号の位相及び / 又は発振周波数を制御する第 2 の過程と

10

20

30

40

50

を有し、

前記第 1 の過程は、

前記抽出されたタイミング位相ベクトル信号について対数軸上で位相検出を行う第 3 の過程と、

前記第 3 の過程で得られる前記制御係数について 6 d B 単位での対数軸上におけるレベル調整を行う第 4 の過程と、

前記第 4 の過程で得られる前記制御係数について ± 6 d B レベルの微調整を行う第 5 の過程と

を有していることを特徴とする P L L 制御方法。

【請求項 5】

10

前記第 1 の過程は、

前記可変発振器に供給される前記制御係数の絶対値又は二乗値 P W R を算出する第 6 の過程と、

予め設定された基準値信号より前記第 6 の過程の算出結果を減算する第 7 の過程と、

前記第 7 の過程の減算結果の極性を判定する第 7 の過程と

を有していることを特徴とする請求項 4 に記載の P L L 制御方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば、データ通信用モデムのような伝送装置などにおける P L L (Phase Locked Loop) 制御装置及び P L L 制御方法に関し、特に、電力線を介してデータ通信を行う電力線通信 (P L C : Power Line Communication) システムに用いて最適な P L L 制御装置及び P L L 制御方法に関する。

20

【背景技術】

【0002】

パチンコ店等の遊技店 (ホール) では当然遊技者ごとにパチンコ遊技機等の遊技機が設けられ、学校では児童、生徒又は学生及び教職員ごとにパーソナルコンピュータ (パソコン) が設けられていることが多い。さらに、最近の病院には、医師や看護婦ごとにパソコンが設けられているだけでなく、病棟のベッドごとにデータ端末が設けられているものがある。

30

【0003】

遊技機、パソコン、データ端末等 (以下総称するときは、「端末」という。) とサーバや管理装置等は、通常、専用の通信ケーブルを介して接続されるが、既存の施設に通信ケーブルを敷設するのでは、経費も時間もかかってしまう。そこで、最近では、施設に当初より設置され、端末に電力を供給する電力線を介してデータ通信を行う P L C システムが以下に示すように提案されている。

【0004】

すなわち、従来、電力線ネットワークを介してデータをポイント・ツー・マルチポイントデジタル伝送する多重アクセス及び多重伝送方法がある。この方法では、アップストリームチャンネル及びダウンストリームチャンネルにより、電力線ネットワーク上で双方向通信する複数のユーザ装置と 1 つのヘッドエンド装置とが設けられている。アップストリームチャンネルでは、データは複数のユーザ装置からヘッドエンド装置に伝送され、ダウンストリームチャンネルでは、データはヘッドエンド装置から複数のユーザ装置に伝送される。

40

【0005】

各ユーザ装置及び各ヘッドエンド装置は、複数のユーザ装置が送信可能なデータ量を最大化し、かつ、複数のユーザ装置における遅延時間を最小化するための媒体アクセスコントロール (M A C) を含んでいる。電力線ネットワークは、周波数分割多重及び時分割多重の少なくとも一方によりアップストリームチャンネル及びダウンストリームチャンネルに分割される。

50

【 0 0 0 6 】

また、この方法では、OFDMA（直交周波数分割多重アクセス）、TDMA（時分割多重アクセス）及びCDMA（符号分割多重アクセス）のうちの少なくとも1つのアクセス方法を用いて、アップストリームチャンネルにおける複数のユーザ装置による同時アクセスが可能である。

【 0 0 0 7 】

さらに、この方法では、搬送波ごとのビット数増大又はS/N向上により、OFDMシステムにおける各搬送波の伝送容量を増大させ、アップストリームチャンネル及びダウンストリームチャンネルの両方において伝送容量を最大化するように、各搬送波を、その時点で送信するデータを有する1つ又は複数のユーザ装置に対して動的に割り当てる基準をサポートしている。

10

【 0 0 0 8 】

また、この方法では、データのタイプと送信を要求するユーザ装置とに依存してサービス品質（QoS）を調整することをサポートしている。サービス品質は、異なる瞬間における周波数応答と、複数のユーザ装置及びヘッドエンド装置の間の異なる距離とに従って適応化可能である。

【 0 0 0 9 】

さらに、この方法では、システムの全帯域幅にわたって、複数のユーザ装置及びヘッドエンド装置によって観測されるS/Nを常に計算しかつモニタリングすることにより、個々の通信要求の間で、利用可能な帯域幅をヘッドエンド装置により動的に割り当てることをサポートしている。これにより、OFDMシステムにおけるすべての搬送波は、各瞬間における各ユーザ装置の送信の必要性和、当該ユーザ装置に対して確立されたサービス品質（QoS）パラメータと、システムの全容量を最大化する基準と、送信遅延時間を最小化する基準とに従って分配される。

20

【 0 0 1 0 】

分配される伝送リソースは、OFDMAが使用される場合には1つのシンボルに係る複数の搬送波において、TDMAが使用される場合には時間的にシンボル間において、CDMAが使用される場合には複数の符号において、複数のユーザ装置間で再分配され、常に変化する電力線の品質パラメータを常にモニタリングすることにより再分配を最適化している（例えば、特許文献1参照。）。以下、この技術を第1の従来例と呼ぶ。

30

【 0 0 1 1 】

ところで、複数のユーザ装置とヘッドエンド装置との間で電力線ネットワーク上でデータ通信するには、送信側と受信側とで同期をとる必要がある。そのためには、PLL制御装置が必要不可欠であるが、従来、以下に示すものがあった。すなわち、このPLL制御装置は、A/D変換器により受信信号をサンプリングした後、復調器により復調し、タイミング成分抽出回路によりタイミング成分を取り出し、第1積分回路及び第2積分回路により積分した後、電圧制御発振器を駆動して得られたサンプリング・クロックを当該A/D変換器に印加するものである。このPLL制御装置では、電圧制御発振器の入力側に直流成分検出回路を設けている。まず、第2積分回路のみを使用してタイミング引込みを行い、引き込み後、直流成分検出回路により電圧制御発振器の入力側の直流成分を検出する。次に、検出された直流成分値を用いて第1積分回路を初期化し、以後第1積分回路と該第2積分回路を使用してタイミング引込みを行う（例えば、特許文献2参照。）。以下、この技術を第2の従来例と呼ぶ。

40

【 0 0 1 2 】

【特許文献1】特表2004-531944号公報

【特許文献2】特許第2078797号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 1 3 】

ところで、前述したホール、学校、病院等の施設が大規模になるに従って、端末の台数

50

も当然増大する。ホールでは、例えば、最大で2400台の遊技機が設置されることがある。ホールでは、複数台の遊技機をひとまとまりとして「島」と呼び、この「島」を複数個設けることにより全体のシステムを構築しており、大規模なホールでは最大63個の「島」が設けられていることが想定される。したがって、最大で2400台の端末が接続されるシステムを構築するには、63個の「島」入口それぞれに63個の中継機を設置するとともに、各中継機に最大で64台の子機をそれぞれ設置する必要がある。

【0014】

前述した電力線を介してデータ通信を行うPLCシステムでは、一般に、受信レベルが高くても雑音レベルが高い場合もあれば、逆に受信レベルが低いS/Nが良好な場合もあり、単純には、S/Nが受信レベルに依存しない性質を有している。また、電力線には、接続機器からの雑音や既存無線局等からの飛来雑音など、各種大振幅雑音が重畳される。さらに、大規模システムでは、伝送路ロスの増大、雑音レベルの増大が発生する。このため、大規模なPLCシステム、特に、データ通信用モデム(PLCモデム)が有するPLL制御装置では、かなり広範囲の受信ダイナミックレンジと雑音耐力が要求される。

【0015】

図7は、通信線で送信レベルを意図的に順次低下させ、その時の受信側でのジッタ量を実測したものである。図7からは、受信側での雑音環境は変動雑音挿入のため、実測値に時間軸上の変動が入っているが、単純ロス増大に伴い、対数軸でジッタ量が増大していることが分かる。図7に示す特性は、送信レベルを可変にして実測したものであるが、逆に受信レベルが固定でも受信側の雑音環境が変われば、同様な現象が発生することとなる。

【0016】

また、PLL制御装置には、電圧制御型水晶発振器(VCXO)やデジタル制御水晶発振器(DCXO)など、アナログ素子が用いられているため、これらのアナログ素子の特性のバラツキなどに起因してループゲインのバラツキも発生し、ジッタ量に影響する。したがって、これらのバラツキを吸収した安定した動作が要求される。ところが、前述した第2の従来例では、受信ダイナミックレンジの拡大、雑音耐力の向上及びアナログ素子の特性のバラツキなどに影響されない安定動作という要求に十分に応えることができないという問題があった。

【0017】

本発明は、前述した事情に鑑みてなされたものであり、前述のような問題を解決することを課題の一例とするものであり、これらの課題を解決することができるPLL制御装置及びPLL制御方法を提供することを目的とする。

【課題を解決するための手段】

【0018】

前述した課題を解決するために、請求項1記載の発明に係るPLL制御装置は、入力信号からタイミング位相ベクトル信号を抽出するタイミング抽出回路と、供給される制御係数に基づいて基準信号の位相及び/又は発振周波数を制御する可変発振器と、前記抽出されたタイミング位相ベクトル信号の位相及び位相差に基づいて前記基準信号の前記位相及び/又は前記発振周波数を制御するための前記制御係数を出力する2次PLL回路とを備え、前記2次PLL回路は、前記抽出されたタイミング位相ベクトル信号に基づいて前記制御係数を発生する制御係数発生回路と、前記制御計数発生回路から出力される前記制御係数について6dB単位での対数軸上におけるレベル調整を行う第1のレベル調整回路と、前記第1のレベル調整回路から出力される前記制御係数について±6dBレベルの微調整を行う第2のレベル調整回路とを有していることを特徴としている。

【0019】

また、請求項2に記載の発明は、請求項1に記載のPLL制御装置に係り、前記可変発振器に供給される前記制御係数の絶対値又は二乗値PWRを算出するパワー算出回路と、予め設定された基準値信号より前記パワー算出回路の出力信号を減算する減算器と、前記減算器の出力信号の極性を判定して、判定結果を前記第2のレベル調整回路に供給する極性判定回路とを備えていることを特徴としている。

【 0 0 2 0 】

また、請求項 3 に記載の発明は、請求項 1 又は 2 に記載の P L L 制御装置に係り、前記第 1 のレベル調整回路は、第 1 の乗算器と、第 2 の積分回路とを有し、前記第 2 のレベル調整回路は、第 2 の乗算器と、第 1 の積分回路とを有し、前記第 1 の乗算器は、前記制御係数発生回路から供給される前記制御係数と、前記第 2 の積分回路から供給される制御信号とを乗算し、前記第 2 の積分回路は、第 1 の遅延回路と、第 1 の判断回路と、第 1 の加算器とを有し、前記第 1 の積分回路は、第 2 の遅延回路と、第 2 の判断回路と、第 2 の加算器とを有し、前記第 1 の遅延回路は、前記第 1 の判断回路から供給される制御信号を 1 サンプル時間分遅延して出力し、前記第 1 の判断回路は、前記加算器から供給される前記第 1 の加算器に供給すべき制御信号に上限又は下限の制限を加えるとともに、前記制御信号がオーバーフローの上限状態又は下限状態となった場合には、前記第 2 の判断回路へフィードバックし、前記第 1 の加算器は、前記第 1 の積分回路から供給される桁上げ又は桁下げの制御信号と、前記遅延回路の出力信号を加算して前記第 1 の判断回路に供給し、第 2 の乗算器は、第 1 の乗算器から供給される信号と、前記第 1 の積分回路から供給される制御信号とを乗算し、前記第 2 の遅延回路は、前記第 2 の判断回路から供給される制御信号を 1 サンプル時間分遅延して出力し、前記第 2 の判断回路は、前記第 2 の加算器から供給される加算結果が、+ 6 d B 又は - 6 d B のいずれかを超えた場合には、桁上げ又は桁下げの制御信号を前記第 2 の積分回路に供給するとともに、1 サンプル時間分前の自己の積分値より桁上げ 6 d B 分又は桁下げ 6 d B 分を加算又は減算し補正することの特徴としている。

【 0 0 2 1 】

また、請求項 4 に記載の発明に係る P L L 制御方法は、入力信号から抽出したタイミング位相ベクトル信号の位相に基づいて制御係数を出力する第 1 の過程と、前記制御係数に基づいて基準信号の位相及び / 又は発振周波数を制御する第 2 の過程とを有し、前記第 1 の過程は、前記抽出されたタイミング位相ベクトル信号について対数軸上で位相検出を行う第 3 の過程と、前記第 3 の過程で得られる前記制御係数について 6 d B 単位での対数軸上におけるレベル調整を行う第 4 の過程と、前記第 4 の過程で得られる前記制御係数について ± 6 d B レベルの微調整を行う第 5 の過程とを有していることを特徴としている。

【 0 0 2 2 】

また、請求項 5 に記載の発明は、請求項 4 に記載の P L L 制御方法に係り、前記第 1 の過程は、前記可変発振器に供給される前記制御係数の絶対値又は二乗値 P W R を算出する第 6 の過程と、予め設定された基準値信号より前記第 6 の過程の算出結果を減算する第 7 の過程と、前記第 7 の過程の減算結果の極性を判定する第 7 の過程とを有していることを特徴としている。

【 発明の効果 】

【 0 0 2 3 】

本発明によれば、各種大振幅雑音が発生したり、伝送路ロスの増大、雑音レベルの増大が発生したりするような、例えば、電力線を介してデータ通信を行う大規模な P L C システムに用いた場合でも、P L L の受信ダイナミックレンジを拡大することができるとともに、雑音耐力を向上させることができる。また、アナログ素子の特性のバラツキなどに影響されずに安定して動作し、広範囲な安定したジッタ特性を得ることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 4 】

以下、図面を参照して本発明を実施するための最良の形態について説明する。

図 1 は、本発明の実施の形態に係る P L L 制御装置を適用した P L C システムの概略構成を示すブロック図である。本実施の形態に係る P L C システムは、最大で 2 4 0 0 台の遊技機（端末）1 が設置されるホールに適用されるものである。各端末 1 には、それぞれ P L C モデム 6 1（図 3 参照）を有する子機 2 がそれぞれ接続されている。各端末 1 は、最大で 6 4 台がひとまとまりとなって島 3 を構成しており、各島 3 には、P L C モデム（図示略）を有する 1 台の中継機 4 が設けられている。島 3 は最大で 6 3 個設けられるため

、中継機 4 は、最大で 6 3 台が必要となる。

【 0 0 2 5 】

各中継機 4 は、A C 1 0 0 V の電力を供給するための電源ケーブル 5 を介して例えば、3 2 分岐回路 6 及び分岐アダプタ (分岐 A D P) 7 に接続されている。3 2 分岐回路 6 は、後述するフロア入口分電盤 3 1 から供給される A C 1 0 0 V 単相 2 線又は A C 1 0 0 V 単相 3 線の電圧を最大で 3 2 分岐して、電源ケーブル 5 及び 8 を介して、それぞれ中継機 4、分岐 A D P 7 及び変圧器 9 に供給する。分岐 A D P 7 は、中継機 4 から電源ケーブル 5 を介して供給される信号を分岐して通信線 1 0 を介して各子機 2 に供給するとともに、各子機 2 から通信線 1 0 を介して供給される信号をまとめて電源ケーブル 5 を介して中継機 4 に供給する。変圧器 9 は、A C 1 0 0 V の電圧を A C 2 4 V に変換して、電源ケーブル 1 1 を介して各端末 1 に供給する。

10

【 0 0 2 6 】

一方、当該ホールが入っている建物の、例えば、屋上には、受電設備 (図示略) が設けられている。この受電設備には、受電設備内分電盤 2 1 が設けられている。受電設備内分電盤 2 1 は、変圧器 2 2 と例えば、6 分岐回路 2 3 とを有している。変圧器 2 2 は、外部から供給される A C 6 . 6 k V の電圧を A C 1 0 0 V の電圧に変換して電源ケーブル 2 4 を介して 6 分岐回路 2 3 に供給する。6 分岐回路 2 3 は、変圧器 2 2 から供給される A C 1 0 0 V の電圧を最大で 6 分岐して、電源ケーブル 2 5 を介してフロア入口分電盤 3 1 に供給する。

【 0 0 2 7 】

20

フロア入口分電盤 3 1 は、1 個の例えば、3 2 分岐回路 3 2 と、複数個の例えば、3 2 分岐回路 3 3 と、親機 3 4 ₁ 及び 3 4 ₂ と、分岐アダプタ (分岐 A D P) 3 5 とを有している。1 個の 3 2 分岐回路 3 2 と、複数個の 3 2 分岐回路 3 3 とは、それぞれ独立した電源ケーブル 2 5 を介して前述した 6 分岐回路 2 3 から A C 1 0 0 V の電力が供給されている。3 2 分岐回路 3 2 は、電源ケーブル 2 6 を介して親機 3 4 ₁ に A C 1 0 0 V の電力を供給している。この電源ケーブル 2 6 は、電源ケーブル 4 2 と接続されている。電源ケーブル 4 2 は、ホール内監視室 4 1 の壁コンセント 4 3 と接続されている。

【 0 0 2 8 】

親機 3 4 ₁ は、P L C モデム (図示略) を有しており、ホール内監視室 4 1 から電源ケーブル 4 2 及び 2 6 を介して供給される信号及び親機 3 4 ₂ から信号線 3 7 ₁ を介して供給される信号に基づいて、各種信号処理を行う。一方、親機 3 4 ₂ も P L C モデム (図示略) を有しており、親機 3 4 ₁ から信号線 3 7 ₁ を介して供給される信号及び分岐 A D P 3 5 から通信線 3 7 ₂ を介して供給される信号に基づいて、各種信号処理を行う。また、親機 3 4 ₂ は、生成した信号を通信線 3 7 ₂ を介して分岐 A D P 3 5 に供給する。分岐 A D P 3 5 は、親機 3 4 ₂ から通信線 3 7 ₂ を介して供給される信号を分岐して電源ケーブル 3 8 を介して各 3 2 分岐回路 3 3 に供給するとともに、各 3 2 分岐回路 3 3 から電源ケーブル 3 8 を介して供給される信号をまとめて通信線 3 7 ₂ を介して親機 3 4 ₂ に供給する。

30

【 0 0 2 9 】

ホール内監視室 4 1 には、サーバ 4 4 と、ホール内 L A N 4 5 と、子機 4 6 とが概略設置されている。子機 4 6 は、P L C モデム 6 1 (図 3 参照) を有しており、電源ケーブル 4 7 及び差し込みプラグ 4 8 を介して壁コンセント 4 3 に接続されているとともに、通信線 4 9 を介してホール内 L A N 4 5 に接続されている。サーバ 4 4 は、通信線 5 0 を介してホール内 L A N 4 5 と接続されている。ホール内 L A N 4 5 は、通信線 5 1、W A N 5 2 及び通信線 5 3 を介して、リモート監視センタ内に設置されたセンタ内サーバ 5 4 に接続されている。

40

【 0 0 3 0 】

図 2 は、本実施の形態に係る P L C システムで送受信されるマスタフレームの構成の一例を示す図である。マスタフレームは、図 2 に示すように、同期信号としてのビーコン信号 B C 1 及び B C 2 の送受信に用いられる同期信号エリアと、データの送受信に用いられ

50

るデータエリア等とから構成されている。ビーコン信号BC1は、親機34₁と子機46との間及び親機34₂と中継機4との間で同期をとるための同期信号である。一方、ビーコン信号BC2は、中継機4と当該中継機4に属する複数台の子機2との間で同期をとるための同期信号である。

【0031】

図3は、子機2を構成するPLCモデム61の構成を示すブロック図である。PLCモデム61は、デジタル部62と、アナログ部63と、電源部64と、送信ドライバ回路(DV)65と、トランス66と、コモンモードチョーク(CMC)67と、接続部68とから構成されている。

【0032】

デジタル部62は、PLCメディアアクセス(PLC-MAC)制御部71と、多重化処理部72と、多重分離処理部73とから概略構成されている。PLC-MAC制御部71は、接続部68を介して外部と送受信データの授受を行うとともに、CPU等からなるコントローラ85からの指示に基づいて、時分割処理等を行い、コントローラ85からの制御データの転送やユーザデータのタイムスロット管理を実施する。多重化処理部72は、送信データを多重化して送信する。多重分離処理部73は、受信信号を分離して受信データとする。

【0033】

多重化処理部72は、スクランブラ(SCR)・和分回路74と、信号点発生部75と、逆高速フーリエ変換部(IFFT)76と、変調部(MOD)77と、D/A変換器78とから構成されている。スクランブラ(SCR)・和分回路74は、PLC-MAC制御部71からの送信データをランダム化し、送信スペクトルの安定化又は漏洩電界の安定化を実現するとともに、回線変動に耐えるべく位相和分を行う。

【0034】

信号点発生部75は、複数チャネルの送信信号点を発生するとともに、必要に応じて、ノッチの生成やスペクトル拡散等を行う。また、信号点発生部75は、同期信号であるビーコン信号BC1及びBC2を発生する。

【0035】

IFFT76は、信号点発生部75から供給される複数チャネルの送信信号点である周波数軸上のデータを、時間軸上のデータに変換する。MOD77は、IFFT76から供給される時間軸上のデータを波形整形した後、変調する。IFFT76及びMOD77は、信号点を時間軸上はナイキスト時間間隔で、かつ、周波数軸上はナイキスト周波数間隔で多重化するように構成されている。D/A変換器78は、MOD77からの変調信号をアナログ信号に変換する。

【0036】

多重分離処理部73は、A/D変換器79と、復調部(DEM)80と、高速フーリエ変換部(FFT)81と、タイミング同期部(TIM抽出&PLL)82と、信号点判定部83と、差分・デスクランブル(DSCR)回路84とから構成されている。A/D変換器79は、アナログ部63からの受信信号を14ビットのデジタル信号に変換する。DEM80は、A/D変換器79からのデジタル信号に変換された受信信号を復調してベースバンド信号とした後、不要帯域を除去する。

【0037】

FFT81は、DEM80からの信号の時間軸上のデータを周波数軸上のデータに変換する。信号点判定部83は、FFT81からの周波数軸上のデータについて受信信号点を判定する。タイミング同期部82は、FFT81からの個々の周波数軸上のデータに基づいて、同期信号であるビーコン信号BC1及びBC2について処理を行い、ビーコン信号BC1及びBC2を検出する。そして、タイミング同期部82は、電圧制御型水晶発振器(VCXO)94を制御して、所望の同期を確立する。

【0038】

差分・DSCR回路84は、受信信号点が判定された信号の位相差分をとった後、ラン

10

20

30

40

50

ダム化されていた状態を元に戻すことにより、送信データを再生する。この送信データは、P L C - M A C 制御部 7 1 及び接続部 6 8 を介して端末（図示略）へ転送される。

【 0 0 3 9 】

アナログ部 6 3 は、第 1 ローパスフィルタ（L P F）9 1 と、ハイパスフィルタ及びゲインスイッチ部（H P F & G S W）9 2 と、第 2 L P F 9 3 と、V C X O 9 4 とから構成されている。第 1 L P F 9 1 は、多重化処理部 7 2 から供給されるアナログ信号上の不要帯域を除去する。H P F & G S W 9 2 は、C M C 6 7 及びトランス 6 6 とを介して入力された受信信号より不要な低域成分を除去した後、所定レベルまで増幅する。第 2 L P F 9 3 は、H P F & G S W 9 2 からの受信信号の高域の不要帯域成分を除去する。V C X O 9 4 は、タイミング同期部 8 2 を構成する D / A 変換器 1 0 3（図 4 参照）から供給されるアナログ信号（電圧）に基づいて、所定の発振周波数の基準クロックを生成して A / D 変換器 7 9 に供給する。

10

【 0 0 4 0 】

接続部 6 8 は、端末 1 側からインターフェイス 8 6 を介して入出力される信号について、フィルタリング処理、フラグメント処理、再送処理、暗号化処理及びスイッチング処理等を行う P L C スイッチ部（P L C - S W）8 7 を有している。

【 0 0 4 1 】

電源部 6 4 は、例えば、D C 電圧 5 V の動作電圧を各部に供給する電源出力部 9 5 と、スイッチング電源で構成された電源出力部 9 5 のスイッチング雑音の漏洩を抑制する電源フィルタ 9 6 とを有している。送信ドライバ回路 6 5 は、第 1 L P F 9 1 から供給される信号を増幅した後、トランス 6 6 及び C M C 6 7 を介して A C 1 0 0 V の屋内配電線側に送信する。

20

【 0 0 4 2 】

また、図 4 は、本発明の実施の形態に係る P L L 制御装置の構成を示すブロック図である。図 4 において、図 3 の各部に対応する部分には同一の符号を付ける。A / D 変換器 7 9 は、アナログ部 6 3 からの受信信号を、例えば、1 4 ビットのデジタル信号に変換する。D E M 8 0 は、A / D 変換器 7 9 からのデジタル信号を復調してベースバンド信号とした後、不要帯域を除去する。F F T 8 1 は、D E M 8 0 からの信号の時間軸上のデータを周波数軸上のデータに変換する。

【 0 0 4 3 】

30

タイミング同期部 8 2 は、F F T 8 1 からの個々の周波数軸上のデータに基づいて、同期信号であるピーコン信号 B C 1 及び B C 2 について処理を行い、ピーコン信号 B C 1 及び B C 2 を検出する。また、タイミング同期部 8 2 は、V C X O 9 4 を制御して、所望の同期を確立する。V C X O 9 4 は、タイミング同期部 8 2 を構成する D / A 変換器 1 0 3 から供給されるアナログの P L L 制御信号（電圧）に基づいて位相 / 周波数を制御した基準クロックを A / D 変換器 7 9 に供給する。

【 0 0 4 4 】

タイミング同期部 8 2 は、タイミング成分（T I M）抽出回路 1 0 1 と、2 次 P L L 回路 1 0 2 と、D / A 変換器 1 0 3 とから構成されている。T I M 抽出回路 1 0 1 は、F F T 8 1 からの周波数軸上のデータよりタイミング成分である T I M 位相ベクトル信号（半径が 1 . 0 に正規化された信号）を抽出する。T I M 位相ベクトル信号は、例えば、1 6 ビットのリアル成分及びイマジナリ成分を有している。

40

【 0 0 4 5 】

2 次 P L L 回路 1 0 2 は、抽出された T I M 位相ベクトル信号の位相及び / 又は周波数に応じて自身のクロック信号の位相及び / 又は周波数を制御するデジタルの P L L 制御信号を出力する。D / A 変換器 1 0 3 は、2 次 P L L 回路 1 0 2 からのデジタルの P L L 制御信号をアナログの P L L 制御信号に変換し、V C X O 9 4 に供給する。

【 0 0 4 6 】

ここで、2 次 P L L 回路 1 0 2 を用いる理由について説明する。受信ダイナミックレンジを大きく確保するためには、その分受信側に高精度が要求される。この高精度の要求は

50

、データ伝送路に対してだけでなく、同期系に対しても同様である。また、雑音耐力も要求される。この点、１次PLL回路は高速で引き込むことが可能であるが、精度が十分ではない。また、１次PLL回路は広帯域であるため、雑音に弱いという問題がある。結果として、１次PLL回路では受信ダイナミックレンジの確保が困難となり、安定したデータ伝送が実現できないということになる。そこで、本実施の形態では、これらの問題を解決するために、２次PLL回路１０２を用いている。なお、TIM抽出回路１０１の詳細については、例えば、先に特許文献２として説明した特許第２０７８７９７号公報を参照されたい。

【００４７】

図５は、本発明の特徴である２次PLL回路１０２の構成を示すブロック図である。２次PLL回路１０２は、制御係数発生回路１１１と、ループゲイン制御回路１１２とから構成されている。本発明は、PLLの受信ダイナミックレンジ拡大、雑音耐力向上及び安定動作という課題を、制御係数発生回路１１１と、ループゲイン制御回路１１２を構成する第１のレベル調整回路１３１及び第２のレベル調整回路１３２とにより解決する。

【００４８】

受信ダイナミックレンジの拡大は、対数軸上での処理の導入が必須である。そこで、まず、制御係数発生回路１１１により、対数軸上で広範囲な位相検出を行うとともに、対数軸上で制御係数を発生する。次に、この制御係数に基づいて、第１のレベル調整回路１３１において６dB単位での対数軸上におけるレベル調整を行うとともに、第２のレベル調整回路１３２において±６dB程度の小規模なレベルの微調整を行うことにより、制御係数を所定のレベルに自動調整する。これにより、広範囲のレベル調整が可能となる。

【００４９】

また、VCXO９４のゲインが大きい場合には、PLLのループゲインが増大し、雑音帯域が増えるため、ジッタが増大し、制御係数の範囲も大きくなる。これに対し、VCXO９４のゲインが小さい場合には、PLLのループゲインが減少し、雑音帯域が狭くなり、ジッタが減少し、制御係数の範囲も小さくなる。したがって、安定した動作を行うPLLを実現するためには、これらの制御係数のレベルを一定レベルに自動制御する手段が必要である。

【００５０】

そこで、VCXO９４のゲインに左右されず、受信信号のS/Nにも柔軟に対応可能とするため、前述した、制御係数発生回路１１１と、ループゲイン制御回路１１２を構成する第１のレベル調整回路及び第２のレベル調整回路とを設け、制御係数の平均レベルがある一定値になるように自動制御することにより、前述した、PLLの受信ダイナミックレンジの拡大及び雑音耐力向上及び安定動作という課題を解決する。

【００５１】

制御係数発生回路１１１は、対数軸上での広範囲な位相検出を行うとともに、対数軸上におけるビット単位でのPLL制御を行うための制御係数を発生するものである。この制御係数発生回路１１１は、極性判定回路１２１と、乗算器１２２と、対数軸検出・制御回路１２３とから構成されている。

【００５２】

極性判定回路１２１は、図４に示すTIM抽出回路１０１から供給されるTIM位相ベクトル信号のイマジナリ成分の極性を判定して、判定結果である正の極性「+1.0」又は負の極性「-1.0」のいずれかを出力する。乗算器１２２は、対数軸検出・制御回路１２３を構成する変換ROM１２６から供給されるXCN I最適制御力に、極性判定回路１２１の判定結果（正の極性「+1.0」又は負の極性「-1.0」）を乗算し、乗算結果を、正、負に変化する、対数軸で対数判定された対数制御用の制御係数としてループゲイン制御回路１１２に供給する。

【００５３】

対数軸検出・制御回路１２３は、保護回路１２４と、減算器１２５と、変換ROM１２６と、カウンタ１２７と、極性判断回路１２８とから構成されている。保護回路１２４は

10

20

30

40

50

、図 4 に示す T I M 抽出回路 1 0 1 から供給される T I M 位相ベクトル信号の位相面を保護する。すなわち、保護回路 1 2 4 は、T I M 位相ベクトル信号のリアル成分が負の場合には、位相が ± 90 度を越えていることとなるため、最大値を示す「1 . 0」= [4 0 0 0] を出力し、T I M 位相ベクトル信号のリアル成分が正の場合には、T I M 位相ベクトル信号のイマジナリ成分の絶対値を出力する。この結果、保護回路 1 2 4 の出力信号は、「0」～「1 . 0」のプラスの値のみとなる。このように、保護回路 1 2 4 の出力信号をプラスの値に制限することにより、後段における位相判定が容易なもの（1 回で可能）となる。

【 0 0 5 4 】

この実施の形態では、[X X X X] は H E X 信号（1 6 進）（2 の補数表現）を示すものとし、「X X X X」は通常の D E C 信号、小数点信号を示すものとする。例えば、前述したように、[4 0 0 0] は「1 . 0 0」を示し、[C 0 0 0] は「- 1 . 0 0」を示すこととなる。

10

【 0 0 5 5 】

カウンタ 1 2 7 は、外部から供給されるマスタフレームのトリガ信号によりそのカウント値が「0」に初期化され、当該カウント値「0」を出力し、変換 R O M 1 2 6 に供給する。また、カウンタ 1 2 7 は、極性判断回路 1 2 8 から供給される極性判定結果が「1」（負）である場合には、カウントイネイブルと判断し、カウント値をインクリメントする。一方、極性判断回路 1 2 8 から供給される極性判定結果が「0」（正）である場合には、カウンタ 1 2 7 は、カウントディスエイブルと判断し、カウントを停止する。

20

【 0 0 5 6 】

変換 R O M 1 2 6 には、アドレス「0」～「1 5」に対応して、例えば、図 6 に示す内容が記憶されている。変換 R O M 1 2 6 は、カウンタ 1 2 7 から供給されたカウント値に対応したアドレスから終了 H E X 値を読み出して減算器 1 2 5 に供給する。また、変換 R O M 1 2 6 は、カウンタ 1 2 7 がカウントを停止した場合には、その際のカウント値に対応したアドレス領域に入力位相が存在するとして、このアドレス領域における X C N I 最適制御力（図 6 参照）を乗算器 1 2 2 に供給する。

【 0 0 5 7 】

減算器 1 2 5 は、変換 R O M 1 2 6 から供給される、アドレス「0」～「1 5」の上限値である終了 H E X 値（図 6 参照）から、保護回路 1 2 4 の出力信号（「0」～「1 . 0」）を減算する。極性判断回路 1 2 8 は、減算器 1 2 5 の出力信号、すなわち、減算結果が負である場合には、極性判定結果として「1」（負）をカウンタ 1 2 7 に供給する。一方、減算器 1 2 5 の減算結果が正である場合には、極性判断回路 1 2 8 は、極性判定結果として「0」（正）をカウンタ 1 2 7 に供給する。

30

【 0 0 5 8 】

ループゲイン制御回路 1 1 2 は、制御係数発生回路 1 1 1 から供給される制御係数の時間平均を一定に保持するものである。このループゲイン制御回路 1 1 2 を設けることにより、V C X O 9 4 全体のゲインが一定に保持され、極めて安定した P L L 制御装置を実現することが可能となる。

【 0 0 5 9 】

ループゲイン制御回路 1 1 2 は、第 1 のレベル調整回路 1 3 1 と、第 2 のレベル調整回路 1 3 2 と、パワー（P W R）算出回路 1 3 3 と、減算器 1 3 4 と、極性判定回路 1 3 5 とから構成されている。第 1 のレベル調整回路 1 3 1 は、制御係数発生回路 1 1 1 から供給される制御係数について、6 d B 単位での対数軸上におけるレベル調整を行う（ビットセクタで行う）。第 2 のレベル調整回路 1 3 2 は、第 1 のレベル調整回路 1 3 1 の出力信号について、 ± 6 d B 程度の小規模なレベルの微調整を行った後、最終的な制御係数、すなわち、P L L 制御信号として図 4 に示す D / A 変換器 1 0 3 に供給する。

40

【 0 0 6 0 】

パワー（P W R）算出回路 1 3 3 は、D / A 変換器 1 0 3 に供給される制御係数のレベルを一定レベルに保持するために、D / A 変換器 1 0 3 に供給される制御係数の絶対値又

50

は二乗値 PWR を算出する。減算器 134 は、予め設定された基準値信号 REF よりパワー (PWR) 算出回路 133 の出力信号を減算する。極性判定回路 135 は、減算器 134 の出力信号の極性を判定して、判定結果である正の極性「+LSB」又は負の極性「-LSB」のいずれかを制御信号として出力する。極性判定回路 135 の判定結果は、正の極性「+LSB」又は負の極性「-LSB」に限定されることなく、この値を変更することにより、第 2 のレベル調整回路 132 の追従速度等を変更することができる。

【0061】

第 1 のレベル調整回路 131 は、乗算器 136 と、対数軸制御回路 (第 2 の積分回路) 137 とから構成されている。乗算器 136 は、制御係数発生回路 111 から供給される制御係数と、対数軸制御回路 (第 2 の積分回路) 137 から供給される制御信号とを乗算

10

【0062】

対数軸制御回路 (第 2 の積分回路) 137 は、遅延回路 141 と、判断回路 142 と、加算器 143 とから構成されている。遅延回路 141 は、判断回路 142 から供給される制御信号を 1 サンプル時間分 (1 マスタフレーム分) 遅延して出力する。判断回路 142 は、加算器 143 から供給される、乗算器 136 に供給すべき最終的な制御信号に上限又は下限の制限を加えるとともに、最終的な制御信号がオーバーフローの上限状態又は下限状態となった場合には、リニア軸制御回路 (第 1 の積分回路) 139 を構成する判断回路 145 ヘフィードバックし、ハンチング (上下動の繰り返し) の発生を防止する。加算器 143 は、リニア軸制御回路 (第 1 の積分回路) 139 から供給される桁上げ又は桁下げの制御信号「+LSB」又は「-LSB」と、遅延回路 141 の出力信号を加算して判断回路 142 に供給する。

20

【0063】

第 2 のレベル調整回路 132 は、乗算器 138 と、リニア軸制御回路 (第 1 の積分回路) 139 とから構成されている。乗算器 138 は、第 1 のレベル調整回路 131 を構成する乗算器 136 から供給される信号と、リニア軸制御回路 (第 1 の積分回路) 139 から供給される制御信号とを乗算する。

【0064】

リニア軸制御回路 (第 1 の積分回路) 139 は、遅延回路 144 と、判断回路 145 と、加算器 146 とから構成されている。遅延回路 144 は、判断回路 145 から供給される制御信号 (積分値) を 1 サンプル時間分 (1 マスタフレーム分) 遅延して出力する。判断回路 145 は、加算器 146 から供給される加算結果が、+6dB 又は -6dB のいずれかを越えた場合には、桁上げ又は桁下げのいずれかが必要であると判断し、桁上げ又は桁下げの制御信号「+LSB」又は「-LSB」を対数軸制御回路 (第 2 の積分回路) 137 に供給するとともに、1 サンプル時間分 (1 マスタフレーム分) 前の自己の積分値より桁上げ 6dB 分又は桁下げ 6dB 分を加算又は減算し補正する。また、判断回路 145 は、対数軸制御回路 (第 2 の積分回路) 137 からの制御信号が正負の上限値又は下限値でオーバーフローした場合には、ハンチングが発生しないように、リニア軸制御回路 (第 1 の積分回路) 139 からの制御信号の上限値又は下限値でオーバーフローするように保護回路が設けられている。

30

40

【0065】

以下、前述した 2 次 PLL 回路 102 の動作についてさらに詳細に説明する。

まず、図 4 に示す TIM 抽出回路 101 から供給された TIM 位相ベクトル信号 (半径が 1.0 に正規化された信号) は、図 5 に示す保護回路 124 において、位相面が保護される。すなわち、TIM 位相ベクトル信号のリアル成分が負の場合には、位相が ± 90 度を越えていることとなるため、最大値を示す「1.0」= [4000] が保護回路 124 から出力され、TIM 位相ベクトル信号のリアル成分が正の場合には、TIM 位相ベクトル信号のイマジナリ成分の絶対値が保護回路 124 から出力される。保護回路 124 の出力は、減算器 125 に供給される。

【0066】

50

一方、外部から供給されるマスタフレームのトリガ信号がカウンタ 127 に入力される。このマスタフレームのトリガ信号によりカウンタ 127 のカウント値が「0」に初期化され、このカウント値「0」を変換 ROM 126 に供給する。カウント値「0」がアドレスとして供給された変換 ROM 126 からは、終了 HEX 値 [0001] (図 6 参照) が読み出され、減算器 125 に供給される。

【0067】

ここで、仮に、保護回路 124 の出力が [0008] であるとする、減算器 125 の出力は、 $[0001] - [0008] = -[0007]$ 、すなわち、負となる。これは、TIM 位相ベクトル信号の位相が、変換 ROM 126 のアドレス「0」の上限値より上にあることを示している。したがって、極性判断回路 128 からは、極性判定結果として「1」(負)がカウンタ 127 に供給される。

10

【0068】

極性判定結果「1」(負)が供給されると、カウンタ 127 がカウントイネイブルとなり、カウント値をインクリメントし、新たなカウント値「1」を変換 ROM 126 に供給する。カウント値「1」がアドレスとして供給された変換 ROM 126 からは、終了 HEX 値 [0003] (図 6 参照) が読み出され、減算器 125 に供給される。保護回路 124 の出力は [0008] のままであるので、減算器 125 の出力は、 $[0003] - [0008] = -[0005]$ 、すなわち、負のままである。したがって、極性判断回路 128 からは、極性判定結果として「1」(負)がカウンタ 127 に再び供給される。

【0069】

20

極性判定結果「1」(負)が再び供給されると、カウンタ 127 がいまだカウントイネイブルであると判断し、カウント値をインクリメントし、新たなカウント値「2」を変換 ROM 126 に供給する。カウント値「2」がアドレスとして供給された変換 ROM 126 からは、終了 HEX 値 [0005] (図 6 参照) が読み出され、減算器 125 に供給される。保護回路 124 の出力は [0008] のままであるので、減算器 125 の出力は、 $[0005] - [0008] = -[0003]$ 、すなわち、負のままである。したがって、極性判断回路 128 からは、極性判定結果として「1」(負)がカウンタ 127 に三度供給される。

【0070】

極性判定結果「1」(負)が三度供給されると、カウンタ 127 がいまだカウントイネイブルであると判断し、カウント値をインクリメントし、新たなカウント値「3」を変換 ROM 126 に供給する。カウント値「3」がアドレスとして供給された変換 ROM 126 からは、終了 HEX 値 [000B] (図 6 参照) が読み出され、減算器 125 に供給される。保護回路 124 の出力は [0008] のままであるので、減算器 125 の出力は、 $[000B] - [0008] = [0003]$ 、すなわち、正となる。したがって、極性判断回路 128 からは、極性判定結果として「0」(正)がカウンタ 127 に初めて供給される。

30

【0071】

極性判定結果「0」(正)が初めて供給されると、カウンタ 127 がカウントディスエイブルであると判断し、カウント値「3」でカウントを停止する。これにより、対数軸検出・制御回路 123 は、TIM 位相ベクトル信号の位相が、変換 ROM 126 のアドレス「3」の領域、すなわち、開始 HEX 値 [0006] ~ 終了 HEX 値 [000B] の間に存在すると判断し、この領域に対応した XCN I 最適制御力 [0018] を変換 ROM 126 から出力し、乗算器 122 に供給する。

40

【0072】

これ以降、時間軸上でマスタフレームごとに異なった TIM 位相ベクトル信号が TIM 抽出回路 101 から供給されるため、前述した処理と同様の処理が行われ、最終的に TIM 位相ベクトル信号の位相に合致した XCN I 最適制御力が対数軸検出・制御回路 123 から出力されることとなる。TIM 位相ベクトル信号の位相のずれが最悪な場合でも、変換 ROM 126 のアドレス「15」まででカウンタ 127 の判定が完了するため、最悪で

50

も 16 サイクルの処理により対数軸上での位相判定が完了し、極めて短時間での判定が可能となる。

【0073】

なお、前述した X C N I 最適制御力は常に正の値をとるため、T I M 位相ベクトル信号のイマジナリ成分が負の場合には、これに対応して、X C N I 最適制御力も負の値にする必要がある。そこで、まず、極性判定回路 121 において、T I M 位相ベクトル信号のイマジナリ成分の極性を判定して、判定結果である正の極性「+1.0」又は負の極性「-1.0」のいずれかを出力する。次に、乗算器 122 において、X C N I 最適制御力に、極性判定回路 121 の判定結果（正の極性「+1.0」又は負の極性「-1.0」）を乗算し、乗算結果を、正、負に変化する対数制御用の制御係数としてループゲイン制御回路 112 に供給する。

10

【0074】

なお、変換 R O M 126 のアドレス「0」～「15」であるが、図 6 に示すように、細部範囲が対数軸上で拡大されているため、広範囲な位相面を少ない閾値で検出可能となっている。また、具体的な閾値が変換 R O M 126 の記憶内容だけで決定されるため、非線形な制御係数を発生させることも容易であり、極めて簡単な構成で広範囲な X C N I 最適制御力を発生させることができる。例えば、ある一定以上の位相領域では強制エリアとして、引き込み速度を速くしたり遅くしたりすることも可能である。

【0075】

次に、制御係数発生回路 111 から供給される制御係数は、第 1 のレベル調整回路 131 において 6 d B 単位での対数軸上におけるレベル調整が行われ、第 2 のレベル調整回路 132 において ± 6 d B 程度の小規模なレベルの微調整が行われた後、最終的な制御係数、すなわち、P L L 制御信号として図 4 に示す D / A 変換器 103 に供給される。

20

【0076】

この制御係数は、D / A 変換器 103 に供給される制御係数のレベルを一定レベルに保持するために、P W R 算出回路 133 において、D / A 変換器 103 に供給される制御係数の絶対値又は二乗値 P W R が算出される。次に、P W R 算出回路 133 の出力信号は、減算器 134 において、予め設定された基準値信号 R E F より減算された後、極性判定回路 135 において極性が判定され、判定結果である正の極性「+ L S B」又は負の極性「- L S B」のいずれかが制御信号として出力され、リニア軸制御回路（第 1 の積分回路） 139 に供給される。

30

【0077】

次に、極性判定回路 135 から出力された制御信号は、加算器 146 において、遅延回路 144 で 1 サンプル時間分（1 マスタフレーム分）遅延された過去の制御信号と加算された後、判断回路 145 を経由して、遅延回路 144 に供給され、再び蓄積される。判断回路 145 では、加算器 146 の加算結果が + 6 d B 又は - 6 d B のいずれかを越えた場合には、桁上げ又は桁下げのいずれかが必要であると判断され、桁上げ又は桁下げの制御信号「+ L S B」又は「- L S B」が対数軸制御回路（第 2 の積分回路） 137 に供給される。また、判断回路 145 では、1 サンプル時間分（1 マスタフレーム分）前の自己の積分値より桁上げ 6 d B 分又は桁下げ 6 d B 分が加算又は減算され補正される。さらに、判断回路 145 では、対数軸制御回路（第 2 の積分回路） 137 からの制御信号が正負の上限値又は下限値でオーバーフローした場合には、ハンチングが発生しないように、リニア軸制御回路（第 1 の積分回路） 139 からの制御信号の上限値又は下限値でオーバーフローするように保護回路が設けられている。

40

【0078】

一方、対数軸制御回路（第 2 の積分回路） 137 では、リニア軸制御回路（第 1 の積分回路） 139 から供給された桁上げ又は桁下げの制御信号「+ L S B」又は「- L S B」が、加算器 143 において、遅延回路 141 で 1 サンプル時間分（1 マスタフレーム分）遅延された過去の制御信号と加算された後、判断回路 142 を経由して、遅延回路 141 に供給される。判断回路 142 では、加算器 143 から供給される、乗算器 136 に供給

50

すべき最終的な制御信号に上限又は下限の制限が加えられるとともに、最終的な制御信号がオーバーフローの上限状態又は下限状態となった場合には、リニア軸制御回路（第１の積分回路）１３９を構成する判断回路１４５へフィードバックされ、ハンチング（上下動の繰り返し）の発生が防止される。

【００７９】

このように、本実施の形態によれば、図５に示す制御係数発生回路１１１及びループゲイン制御回路１１２を設けているので、対数軸上で広範囲な位相検出を行うことができるとともに、対数軸上で制御係数所定のレベルで自動調整することができ、これにより広範囲のレベル調整が可能となる。

【００８０】

また、本実施の形態によれば、制御係数発生回路１１１から出力される制御係数自体の時間平均を一定に保持するための広範囲なループゲイン制御回路１１２を設けているので、広い受信ダイナミックレンジ及び雑音環境下での安定したPLL制御を実現することができる。

また、本実施の形態によれば、対数軸上で位相検出及び制御係数発生を行う回路と、対数軸上のデータが記憶された変換ROMを設けているので、極めて簡単な回路で広範囲な位相検出及び制御係数発生を行うことができる。

【００８１】

また、本実施の形態によれば、６ｄＢ単位での対数軸上におけるレベル調整を行う第１のレベル調整回路１３１と、±６ｄＢ程度の小規模なレベルの微調整を行う第２のレベル調整回路１３２とを設けているので、広範囲なループゲイン制御を実現することができるとともに、雑音環境下での安定したPLL動作を実現することができる。

【００８２】

したがって、本実施の形態によれば、各種大振幅雑音が発生したり、伝送路ロスの増大、雑音レベルの増大が発生したりするような、例えば、電力線を介してデータ通信を行う大規模なPLCシステムに用いた場合でも、PLLの受信ダイナミックレンジを拡大することができるとともに、雑音耐力を向上させることができる。また、アナログ素子の特性のバラツキなどに影響されずに安定して動作し、図７に示した広範囲な安定したジッタ特性を得ることができる。

【００８３】

以上、本発明の実施の形態について図面を参照して詳述してきたが、具体的な構成はこれらの実施の形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計の変更等があっても本発明に含まれる。

例えば、上述した実施の形態では、VCXO 94を設ける例を示したが、これに限定されず、VCXO 94に換えて、DCXOを設けても良い。VCXO 94及びDCXOの両方を含む概念として、「可変発振器」を挙げることができる。

【００８４】

また、上述した実施の形態では、子機２を構成するPLCモデム６１の構成のみについて説明した。中継機４、親機３４_１及び３４_２並びに子機４６を構成するPLCモデムの構成は、接続部６８の構成以外は、前述したPLC 61の構成と異なることはない。ただし、各PLCモデムが取り扱う信号、データや実行されるプログラム等が異なっている。

【００８５】

また、上述した実施の形態では、乗算器１２２により変換ROM 126からのXCNI最適制御力と極性判定回路１２１の判定結果を乗算して、乗算結果を制御係数としてループゲイン制御回路１１２に供給する例を示したが、これに限定されない。例えば、乗算器１２２に換えてセレクタを設けるとともに、変換ROM 126にXCNI最適制御力の正の値の他、XCNI最適制御力の負の値をも予め記憶しておき、TIM位相ベクトル信号のイマジナリ成分の極性が正又は負に基づいて、セレクタがXCNI最適制御力の正の値又は負の値のいずれかを選択するように構成しても良い。

【００８６】

また、上述した実施の形態では、乗算器 1 3 6 により乗算器 1 2 2 の乗算結果と対数軸制御回路（第 2 の積分回路）1 3 7 から供給される制御信号とを乗算する例を示したが、これに限定されない。例えば、乗算器 1 3 6 に換えてビットセクタを設けても良い。

【 0 0 8 7 】

また、上述した実施の形態では、本発明を P L C システムに適用する例を示したが、これに限定されず、本発明は、例えば、ロボット制御など、フィードバック制御装置を必要とする各種の制御に幅広く適用することができる。

【図面の簡単な説明】

【 0 0 8 8 】

【図 1】本発明の実施の形態に係る P L L 制御装置を適用した P L C システムの概略構成を示すブロック図である。

10

【図 2】本実施の形態に係る P L C システムで送受信されるマスタフレームの構成の一例を示す図である。

【図 3】子機を構成する P L C モデムの構成の一例を示すブロック図である。

【図 4】本発明の実施の形態に係る P L L 制御装置の構成の一例を示すブロック図である。

【図 5】図 4 に示す P L L 制御装置を構成する 2 次 P L L 回路の構成の一例を示す図である。

【図 6】図 5 に示す 2 次 P L L 回路を構成する変換 R O M の内容の一例を示す図である。

【図 7】単純ロス時のジッタ特性の一例を示す図である。

20

【符号の説明】

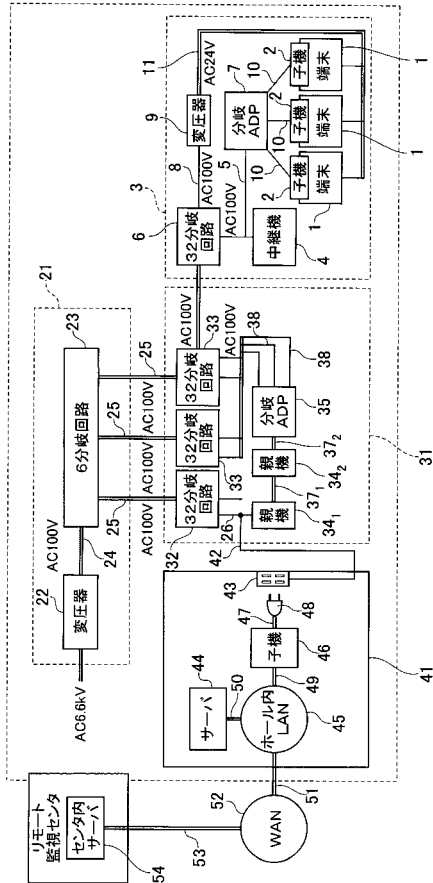
【 0 0 8 9 】

1 ... 遊技機（端末）、2, 4 6 ... 子機、3 ... 島、4 ... 中継機、5, 8, 1 1, 2 4, 2 5, 2 6, 3 8, 4 2, 4 7 ... 電源ケーブル、6, 3 2, 3 3 ... 3 2 分岐回路、7, 3 5 ... 分岐アダプタ（分岐 A D P）、9, 2 2 ... 変圧器、1 0, 3 7₁, 3 7₂, 4 9, 5 0, 5 1, 5 3 ... 通信線、2 1 ... 受電設備内分電盤、2 3 ... 6 分岐回路、3 1 ... フロア入口分電盤、3 4₁, 3 4₂ ... 親機、4 1 ... ホール内監視室、4 3 ... 壁コンセント、4 4 ... サーバ、4 5 ... ホール内 L A N、4 8 ... 差し込みプラグ、5 2 ... W A N、5 4 ... センタ内サーバ、6 1 ... P L C モデム、6 2 ... デジタル部、6 3 ... アナログ部、6 4 ... 電源部、6 5 ... 送信ドライバ回路（D V）、6 6 ... トランス、6 7 ... コモンモードチョーク（C M C）、6 8 ... 接続部、7 1 ... P L C メディアアクセス（P L C - M A C）制御部、7 2 ... 多重化処理部、7 3 ... 多重分離処理部、7 4 ... スクランプラ（S C R）・和分回路、7 5 ... 信号点発生部、7 6 ... 逆高速フーリエ変換部（I F F T）、7 7 ... 変調部（M O D）、7 8, 1 0 3 ... D / A 変換器、7 9 ... A / D 変換器、8 0 ... 復調部（D E M）、8 1 ... 高速フーリエ変換部（F F T）、8 2 ... タイミング同期部（T I M 抽出 & P L L）、8 3 ... 信号点判定部、8 4 ... 差分・デスクランブル（D S C R）回路、8 5 ... コントローラ（C P U）、8 6 ... インターフェイス、8 7 ... P L C スイッチ部（P L C - S W）、9 1 ... 第 1 ローパスフィルタ（L P F）、9 2 ... ハイパスフィルタ及びゲインスイッチ部（H P F & G S W）、9 3 ... 第 2 L P F、9 4 ... 電圧制御型水晶発振器（V C X O）、9 5 ... 電源出力部、9 6 ... 電源フィルタ、1 0 1 ... タイミング抽出回路、1 0 2 ... 2 次 P L L 回路、1 1 1 ... 制御係数発生回路、1 1 2 ... ループゲイン制御回路、1 2 1 ... 極性判定回路、1 2 2, 1 3 6, 1 3 8 ... 乗算器、1 2 3 ... 対数軸検出・制御回路、1 2 4 ... 保護回路、1 2 5, 1 3 4 ... 加算器、1 2 6 ... 変換 R O M、1 2 7 ... カウンタ、1 2 8 ... 極性判断回路、1 3 1 ... 第 1 のレベル調整回路、1 3 2 ... 第 2 のレベル調整回路、1 3 3 ... パワー（P W R）算出回路、1 3 5 ... 極性判定回路、1 3 7 ... 対数軸制御回路、1 3 9 ... リニア軸制御回路、1 4 1, 1 4 4 ... 遅延回路、1 4 2, 1 4 5 ... 判断回路、1 4 3, 1 4 6 ... 加算器

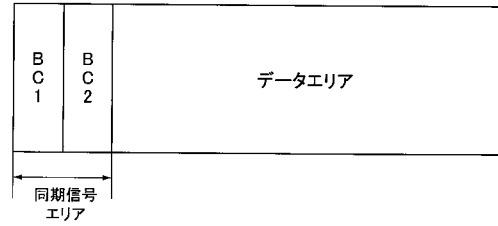
30

40

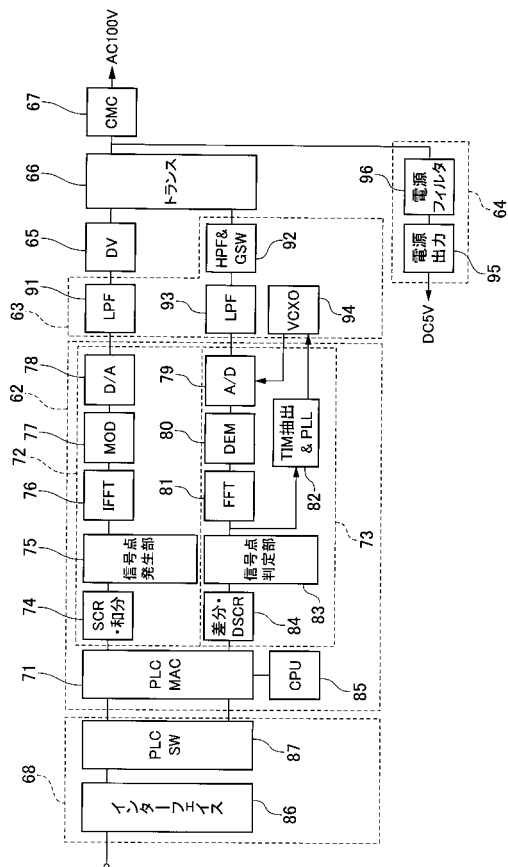
【図 1】



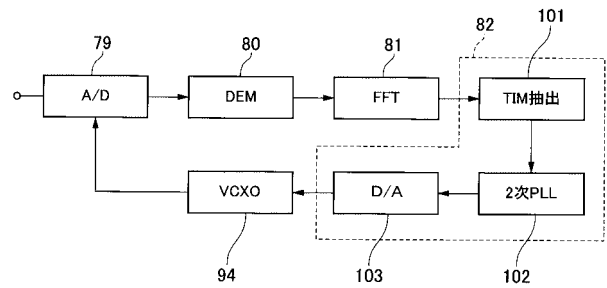
【図 2】



【図 3】



【図 4】



フロントページの続き

(72)発明者 伊藤 等

東京都中央区京橋二丁目 1 4 番 1 号 株式会社ネットインデックス・イー・エス内

(72)発明者 小川 透

熊本県熊本市城山大塘二丁目 1 - 1 4

F ターム(参考) 5J106 AA04 BB01 CC01 CC21 DD01 DD35 DD36 GG11 HH03 KK01

KK12 KK27

5K022 DD01 DD13 DD19 DD23 DD33 DD42

5K046 AA03 PS03 PS51