

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) . Int. Cl.⁷
 H01L 23/50

(45) 공고일자 2005년09월07일
 (11) 등록번호 10-0512835
 (24) 등록일자 2005년08월30일

(21) 출원번호
 (22) 출원일자

10-2002-0029835
 2002년05월29일

(65) 공개번호
 (43) 공개일자

10-2002-0092193
 2002년12월11일

(30) 우선권주장

JP-P-2001-00167185 2001년06월01일 일본(JP)

(73) 특허권자

가부시끼가이샤 도시바
 일본국 도쿄도 미나토구 시바우라 1초메 1방 1고

(72) 발명자

오야마가쓰히코
 일본가나가와Kenya와사끼시사이와이꾸고무까이도시바초1가부시끼가이
 샤도시바마이크로일렉트로닉스센터내

엔도미쓰요시
 일본가나가와Kenya와사끼시사이와이꾸고무까이도시바초1가부시끼가이
 샤도시바마이크로일렉트로닉스센터내

다꾸보찌아끼
 일본가나가와Kenya와사끼시사이와이꾸고무까이도시바초1가부시끼가이
 샤도시바마이크로일렉트로닉스센터내

야마자끼다까시
 일본가나가와Kenya와사끼시사이와이꾸고무까이도시바초1가부시끼가이
 샤도시바마이크로일렉트로닉스센터내

이모또다까시
 일본가나가와Kenya와사끼시사이와이꾸고무까이도시바초1가부시끼가이
 샤도시바마이크로일렉트로닉스센터내

(74) 대리인

장수길
 구영창

심사관 : 유환철

(54) 칩 적층형 반도체 장치

요약

동일 패턴의 칩 접속용 배선(4)이 형성된 제1 내지 제4의 PTP 기판(5a~5d) 위에, DRAM 칩(3a~3d)을 탑재한다. 칩 탑재가 완료된 각 PTP 기판(5a~5d)과, 각각 서로 다른 패턴의 층간 접속용 배선(6)이 형성된 제1 내지 제4의 각 IVH 기판(7a~7d)을 이들의 두께 방향을 따라 교대로 적층한다.

대표도

도 11

색인어

칩, 배선, 기판, 기재

명세서**도면의 간단한 설명**

도 1은 본 발명의 일 실시예에 따른 반도체 장치의 반도체 칩 및 데이터 핀 부근의 적층 구조를 도시하는 단면도.

도 2는 본 발명의 일 실시예에 따른 반도체 장치의 칩 셀렉터 핀 부근의 적층 구조를 도시하는 단면도.

도 3은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 칩 탑재 기판을 칩 접속용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 4는 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 표면 기판을 하방에서 볼 때의 평면도.

도 5는 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 제1 중간 기판을 층간 접속용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 6은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 제2 중간 기판을 층간 접속용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 7은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 제3 중간 기판을 층간 접속용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 8은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 제4 중간 기판을 층간 접속용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 9는 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 전원 접지 기판을 전원 접지용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 10은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 볼 레이어 기판을 외부 단자 접속용 배선이 형성되어 있는 측에서 볼 때의 평면도.

도 11은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 메모리 칩의 전체의 구성을 모식적으로 도시하는 블록도.

도 12는 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 각 메모리 칩이 갖고 있는 각 신호용 단자의 배선 상태를 간략화하여 도시하는 사시도.

도 13은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제1 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

도 14는 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제2 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

도 15는 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제3 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

도 16은 본 발명의 일 실시예에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제4 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

도 17은 종래의 기술에 따른 다층 구조의 반도체 장치인, 적층 반도체 패키지를 조립 전의 상태에서 각 층별로 분해하여 도시하는 평면도.

도 18은 종래의 기술에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제1 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

도 19는 종래의 기술에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제2 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

도 20은 종래의 기술에 따른 반도체 장치가 구비하는 메모리 칩, 칩 탑재 기판, 및 제3 중간 기판의 접속 상태를 간략화하여 도시하는 평면도.

〈도면의 주요 부분에 대한 부호의 설명〉

1 : 반도체 장치

2 : 신호용 단자

2b~2g : 핀

3 : DRAM 칩

3a~3d : 칩

12 : 패키지

13a, 13b, 14a, 14b, 15, 16, 17, 18 : 단자

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 칩 주변의 배선 기술에 관한 것으로, 특히 복수 개의 반도체 칩이 복수 층으로 적층된 다층 구조의 반도체 장치인, 적층 반도체 패키지의 배선 디자인에 관한 것이다.

반도체 장치 중에는 도 17에 도시한 바와 같이 반도체 칩이 복수 층으로 적층된 구조로 이루어지는 적층 반도체 패키지, 소위 멀티칩 패키지(101)가 있다. 이 패키지(101)는 반도체 칩으로서, 예를 들면 복수 개의 메모리 칩(105)이 4층으로 적층되어 구성되어 있다.

패키지(101)의 제조 공정의 개략을, 일례를 들어 구체적으로 설명한다. 우선, 복수 매의 칩 탑재 기판(104) 위에, 칩(105)을 1개씩 플립 칩 법에 의해 탑재한다. 다음으로, 1매의 중간 기판(103) 위에, 칩(105)이 탑재된 칩 탑재 기판(104)을 복수 매씩 적층하여 1개의 시스템 블록(102)을 구성한다. 계속해서, 4개의 블록(102)을 4층으로 적층한 후, 이것을 패키징하여 1개의 모듈로서 형성한다. 이에 의해, 원하는 패키지(101)를 얻는다.

일반적으로, 각 칩 탑재 기판(104)에는 이들을 두께 방향을 따라 관통하여 형성되어 있는 칩 접속용 비어 단자(도시 생략)와, 각 칩(105)이 갖고 있는 패드(도시 생략) 사이를 전기적으로 접속하는 칩 접속용 배선(도시 생략)이 설치되어 있다. 또한, 각 중간 기판(103)에는 동일 패턴의 비어나 배선(도시 생략)이 형성되어 있다. 이에 의해, 칩 탑재 기판(104)에 탑재된 각 칩(105)은 각 블록(102)마다 일 단위로서 통합되어 모듈화된다.

여기서, 패키지(101) 전체에 기억시킬 수 있는 데이터량을 증대시키기 위해서, 예를 들면 각 블록(102)마다 독립적으로 기억시킬 수 있는 데이터량을 증대시키는 것으로 한다. 이 경우, 각 칩(105)이 갖고 있는 복수 개의 데이터 핀(도시 생략)을 각 블록(102)마다 개별적으로, 외부 접속 단자(도시 생략)까지 인출할 필요가 있다. 이를 위해서는, 칩 접속용 배선의 배선 패턴을 각 층의 칩 탑재 기판(104)마다 각각 형성해야만 하였다.

이하, 도 18 내지 도 21을 참조하면서, 각 칩(105)의 데이터 핀(106)과, 각 칩 탑재 기판(104a~104d)에 형성되어 있는 제1 내지 제4의 4개의 칩 접속용 비어 단자(107a~107d), 및 각 중간 기판(103a~103d)에 형성되어 있는 제1 내지 제4의 4개의 층간 접속용 비어 단자(108a~108d)를 각각 전기적으로 접속하는 배선 패턴을 각 층마다 간결하게 설명한다. 도 18 내지 도 21은 각각 제1층 내지 제4층의 각 블록(102a~102d)의 구성을 간략화하여 도시한 것이다. 또한, 도 18 내지 도 21에서, 내측의 이점쇄선은 각각 제1층 내지 제4층의 각 칩 탑재 기판(104a~104d)을 나타내고, 외측의 이점쇄선은 각각 제1층 내지 제4층의 각 중간 기판(103a~103d)을 나타낸 것으로 한다.

각 칩 탑재 기판(104a~104d)에는 각 칩(105)의 각 데이터 핀(106)의 1개마다 선택적으로, 또한 전기적으로 접속되는 제1 내지 제4의 4개의 칩 접속용 비어 단자(107a~107d)가 각 칩(105)의 탑재 위치에 대하여 각각 소정의 위치에 설치되어 있다. 마찬가지로, 각 중간 기판(103a~103d)에는 각 칩(105)의 각 데이터 핀(106)의 1개마다 선택적으로, 또한 전기적으로 접속되는 제1 내지 제4의 4개의 층간 접속용 비어 단자(108a~108d)가 각각 소정의 위치에 설치되어 있다. 이들 제1 내지 제4의 각 층간 접속용 비어 단자(108a~108d)는 각각 제1 내지 제4의 각 칩 접속용 비어 단자(107a~107d)에 일대일로 대응하여 전기적으로 접속된다.

구체적으로, 제1 내지 제4의 각 층간 접속용 비어 단자(108a~108d)는 제1 내지 제4의 각 칩 접속용 비어 단자(107a~107d)에, 각각 각 블록(102a~102d)의 적층 방향을 따라 연속하여 접속되도록 설치되어 있다. 이에 의해, 각 층간 접속용 비어 단자(108a~108d)는 각 칩 접속용 비어 단자(107a~107d)를 통해, 각 데이터 핀(106)에 전기적으로 개별 접속된다. 단, 도 18 내지 도 21에서, 각 칩 접속용 비어 단자(107a~107d)와 각 층간 접속용 비어 단자(108a~108d)는, 이들 사이의 배선 상태를 용이하게 이해할 수 있도록, 의도적으로 상호 겹치지 않도록 변이시켜 도시되어 있다. 또한, 도 18 내지 도 21에서, 각 칩 접속용 비어 단자(107a~107d)와 각 층간 접속용 비어 단자(108a~108d)와의 전기적인 접속은 각각 파선으로 나타내는 것으로 한다.

또한, 실제로는 각 칩 접속용 비어 단자(107a~107d) 및 각 층간 접속용 비어 단자(108a~108d)는 각 층의 메모리 칩(105)이 갖고 있는 모든 데이터 핀(106)의 1개마다 각각 4개씩 설치되어 있다. 그러나, 상술한 배선 상태를 이해하기 위해서는, 1개의 데이터 핀(106)에 대한 각 칩 접속용 비어 단자(107a~107d) 및 각 층간 접속용 비어 단자(108a~108d)의 전기적인 접속 상태를 설명하는 것만으로도 충분하다. 따라서, 각 칩 접속용 비어 단자(107a~107d) 및 각 층간 접속용 비어 단자(108a~108d)는 각각 4개씩만 도시하고, 그 밖의 도시는 생략하고 있다.

발명이 이루고자 하는 기술적 과제

상술한 바와 같이 각 칩(105)의 각 데이터 핀(106)은 각각 독립적으로 외부 단자까지 인출할 필요가 있다. 그런데, 각 중간 기판(103a~103d)의 비어 또는 배선은 전부 동일한 패턴으로 형성되어 있다. 따라서, 각 층의 칩(105)의 각 데이터 핀(106) 중, 예를 들면 동일한 어드레스로 관리되고 있는 데이터의 입출력이 행해지는 데이터 핀(106a)은 각 층마다 각각 다른 칩 접속용 비어 단자(107a~107d)에 전기적으로 접속될 필요가 있다.

이로 인해, 제1층의 칩 탑재 기판(104a)에서는 도 18에서 실선으로 도시한 바와 같이 데이터 핀(106a)이 제1 칩 접속용 비어 단자(107a)에 전기적으로 접속되도록, 제1 칩 접속용 배선(109a)이 형성되어 있다. 또한, 제2층의 칩 탑재 기판(104b)에서는 도 19에서 실선으로 도시한 바와 같이 데이터 핀(106a)이 제2 칩 접속용 비어 단자(107b)에 전기적으로 접속되도록, 제2 칩 접속용 배선(109b)이 형성되어 있다. 또한, 제3층의 칩 탑재 기판(104c)에서는 도 20에서 실선으로 도시한 바와 같이 데이터 핀(106a)이 제3 칩 접속용 비어 단자(107c)에 전기적으로 접속되도록, 제3 칩 접속용 배선(109c)이 형성되어 있다. 또한, 제4층의 칩 탑재 기판(104d)에서는 도 21에서 실선으로 도시한 바와 같이 데이터 핀(106a)이 제

4 칩 접속용 비어 단자(107d)에 전기적으로 접속되도록, 제4 칩 접속용 배선(109d)이 형성되어 있다. 이와 같이 패키지(101)에서는, 제1 내지 제4의 칩 접속용 배선(109a~109d)이 각 층마다 다른 소정의 배선 패턴으로 형성되어 있다. 이에 의해, 패키지(101) 전체에 기억시키는 데이터량을 증대시킬 수 있다.

예를 들면, 도 17에서, 제1 내지 제4의 각 중간 기판(103a~103d) 위에, 칩(105)이 1개씩 탑재된 제1 내지 제4의 각 칩 탑재 기판(104a~104d)을 200매씩 설치하여 패키지(101)를 구성한다. 이 경우, 패키지(101)의 조립 프로세스에서, 각각 200매로 이루어지는 각 칩 탑재 기판(104a~104d)을 이들이 각 층간에서 섞이지 않도록 각 층마다 개별적으로 관리할 필요가 있다. 그와 동시에, 1개의 패키지(101)를 제조함에 있어서, 각 칩 탑재 기판(104a~104d)이 각각 결정된 층에 배치되도록, 각 칩 탑재 기판(104a~104d)을 각 층마다 분류하여 각 중간 기판(103a~103d) 상에 탑재할 필요가 있다.

합계 800매의 칩 탑재 기판(104a~104d) 중, 예를 들면 임의의 2층에서 상호 1매씩, 합계 2매의 칩 탑재 기판(104a~104d)을 잘못 탑재하게 되면, 패키지(101)는 정상적으로 작동하지 않게 되어, 불량품이 된다. 따라서, 패키지(101)는 그 수율이 매우 낮아질 우려가 있다. 실제의 패키지(101)의 제조 라인에서는 대량 생산되는 패키지(101) 전체에 대하여, 대량으로 탑재되는 칩 탑재 기판(104a~104d) 중에서 불과 2매라 할지라도 잘못 탑재되는 에러가 발생하지 않도록 관리하면서 탑재 작업을 행하는 것은 매우 곤란하다. 그와 같은 에러를 방지하기 위해서 관리 시스템을 준비하거나 작업원의 일손 등을 들이면, 설비비나 인건비 등이 증대함으로써 제조 비용이 양등하여, 패키지(101) 1개에 대한 단가가 높아지게 된다. 이것은 최근 반도체 업계의 가격 경쟁에서 매우 불리하게 된다. 또한, 그와 같은 생산 체제에서는 패키지(101)의 제조 공정이 복잡하게 되므로, 패키지(101)의 생산 효율을 향상시키기 어렵다.

발명의 구성 및 작용

본 발명의 일 특징에 따른 칩 적층형 반도체 장치는, 복수 개의 신호용 단자를 갖는 반도체 칩과, 이 반도체 칩이 각각 1개 이상씩 탑재됨과 함께, 그 탑재된 각 반도체 칩의 상기 각 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선이 형성되어 있으며, 또한 두께 방향을 따라 2층 이상으로 적층되는 복수 매의 칩 탑재 기판과, 이들 복수 매의 칩 탑재 기판에 대하여 교대로 배치됨과 함께, 인접하는 상기 칩 탑재 기판의 상기 각 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 배선이 형성되어 있는 중간 기판을 구비하고, 상기 각 칩 접속용 배선은 상기 각 칩 탑재 기판에 대하여 실질적으로 동일 패턴으로 형성되어 있음과 함께, 상기 각 층간 접속용 배선은 상기 각 칩 탑재 기판에 각각 탑재된 상기 각 반도체 칩 사이에서의 상기 각 신호용 단자끼리의 전기적인 접속 상태, 또는 복수 개의 소정의 외부 단자에 전기적으로 접속되어 있는 복수 개의 외부 단자 접속용 배선과 상기 각 신호용 단자와의 전기적인 접속 상태를 전환 가능하게 패턴 형성되어 있는 것이다.

또한, 본 발명의 일 특징에 따른 칩 적층형 반도체 장치는, 소정의 신호용 단자를 갖는 반도체 칩과, 이 반도체 칩이 각각 1개 이상씩 탑재됨과 함께, 두께 방향을 따라 2층 이상으로 적층되는 복수 매의 칩 탑재 기재와, 이들 각 칩 탑재 기재에 이들의 두께 방향으로 관통하여 설치되는 복수 개의 칩 접속용 비어 단자와, 상기 각 칩 탑재 기재에 형성되고, 상기 각 칩 탑재 기재에 탑재된 상기 반도체 칩의 상기 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선과, 상기 각 칩 탑재 기재의 적층 방향을 따라, 상기 각 칩 탑재 기재와 교대로 배치되는 복수 매의 중간 기재와, 이들 각 중간 기재를 이들의 두께 방향으로 관통하여 설치되고, 한쪽의 측에 인접하는 상기 칩 탑재 기재의 상기 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 비어 단자와, 이들 각 층간 접속용 비어 단자와, 다른 쪽의 측에 인접하는 상기 칩 탑재 기재의 소정의 칩 접속용 비어 단자를 전기적으로 접속하도록, 각 층마다 소정의 패턴으로 상기 각 중간 기재에 형성된 복수 개의 층간 접속용 배선을 구비하는 것이다.

또한, 본 발명의 일 특징에 따른 칩 적층형 반도체 장치는, 복수 개의 신호용 단자를 갖는 반도체 칩이 1개 이상씩 탑재됨과 함께, 그 탑재된 각 반도체 칩의 상기 각 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선이 실질적으로 동일 패턴으로 형성되어 있으며, 또한 두께 방향을 따라 적층되는 2매의 칩 탑재 기판과, 이들 2매의 칩 탑재 기판 사이에 배치됨과 함께, 인접하는 상기 각 칩 탑재 기판의 상기 각 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 배선이 소정의 배선 패턴으로 형성되어 있는 제1 중간 기판과, 이 제1 중간 기판과 함께, 상기 각 칩 탑재 기판에 대하여 교대로 적층되도록 배치됨과 함께, 인접하는 상기 칩 탑재 기판의 상기 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 배선이 상기 제1 중간 기판에 형성되어 있는 층간 접속용 배선과는 다른 배선 패턴으로 형성되어 있는 제2 중간 기판을 구비하는 것이다.

또한, 본 발명의 일 특징에 따른 칩 적층형 반도체 장치는, 복수 개의 신호용 단자를 갖는 반도체 칩이 1개 이상씩 탑재됨과 함께, 그 탑재된 각 반도체 칩의 상기 각 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선이 실질적으로

동일 패턴으로 형성되어 있으며, 또한 두께 방향을 따라 적층되는 2매의 칩 탑재 기판과, 이들 2매의 칩 탑재 기판 사이에 배치됨과 함께, 인접하는 상기 각 칩 탑재 기판의 상기 각 칩 접속용 배선에 전기적으로 접속되는 복수 개의 충간 접속용 배선이 소정의 배선 패턴으로 형성되어 있는 1매의 중간 기판을 구비하는 것이다.

<실시예>

이하, 도 1 내지 도 16에 기초하여 본 발명의 일 실시예에 따른 반도체 장치를 설명한다.

도 1 및 도 2는 본 실시예에 따른 칩 적층형 반도체 장치(1)의 적층 구조를 설명하기 위한 것으로, 도 1은 반도체 장치(1)가 구비하는 각 층의 반도체 칩(3)의 부근을 도시한 단면도이고, 도 2는 각 층의 칩 셀렉터 핀(10)의 부근을 도시한 단면도이다. 또한, 도 3 내지 도 10은 반도체 장치(1)가 구비하는 각 기판(5a~5d, 7a~7d, 22, 23, 24)의 배선 패턴 등을 도시한 평면도이다. 또한, 도 11은 반도체 칩(3)의 구성을 모식적으로 도시한 블록도이다. 또한, 도 12는 반도체 칩(3)이 갖고 있는 각 신호용 단자의 충간의 배선 상태를 간략화하여 도시한 사시도이다. 또한, 도 13 내지 도 16은 반도체 장치(1)의 각 층에서의 각 반도체 칩(3), 각 칩 탑재 기판(5a~5d), 및 각 중간 기판(7a~7d)의 접속 상태를 간략화하여 도시한 평면도이다.

우선, 반도체 장치(1) 전체를 설명하기에 앞서, 도 11을 참조하여 반도체 장치(1)가 구비하는 복수 개의 반도체 칩으로서의 각 메모리 칩(3)의 특징에 대하여 간결하게 설명한다. 또한, 각 칩(3)을 조합하여 구성된, 일반적으로 멀티칩 패키지 또는 멀티 메모리 칩 패키지라고 하는 패키지(12)의 특징에 대하여 간결하게 설명한다.

본 실시예의 패키지(12)에서는, 복수 개의 메모리 칩으로서, 예를 들면 각각 256M 비트의 용량을 갖는 DRAM 칩(3)을 4개 이용하는 것으로 한다. 이하의 설명에서, 도 11에 도시한 바와 같이 이들 각 DRAM 칩(3)을 각각 M1 칩(3a), M2 칩(3b), M3 칩(3c), M4 칩(3d)이라고 한다. 이들 M1~M4의 각 칩(3a~3d)은 후술하는 바와 같이 반도체 장치(1)의 제1층 내지 제4층에 각각 1개씩 배치된다.

M1~M4의 각 칩(3a~3d)에는 데이터용 단자(2a)가 각각 16개씩 설치되어 있다. M1 칩(3a)에 설치되어 있는 16개의 데이터용 단자(2a)에는 각각 DQ0~DQ15까지의 단자가 사전에 하나씩 할당되어 있다. 마찬가지로, M2 칩(3b)에 설치되어 있는 16개의 데이터용 단자(2a)에는 각각 DQ16~DQ31까지의 단자가 사전에 하나씩 할당되어 있다. 또한, M3 칩(3c)에 설치되어 있는 16개의 데이터용 단자(2a)에는 각각 DQ32~DQ47까지의 단자가 사전에 하나씩 할당되어 있다. 또한, M4 칩(3d)에 설치되어 있는 16개의 데이터용 단자(2a)에는 각각 DQ48~DQ63까지의 단자가 사전에 하나씩 할당되어 있다. 이들 M1~M4의 각 칩(3a~3d)은 반도체 업계에서 일반적으로 이용되고 있는 호칭 방법에 따르면, 각각 (256M×16)이라고 표기되는 것이다. 본 실시예에서는 M1~M4의 각 칩(3a~3d)이 갖고 있는 합계 64개의 모든 데이터용 단자(2a)는 DQ0~DQ63의 단자를 통해 각각 독립적으로, 일반적으로 범프라고 불리는 반도체 장치(1)의 외부 단자에 전기적으로 접속되는 설정으로 되어 있다. 단, 도 11에서는 범프의 도시를 생략하고 있다.

또한, M1~M4의 각 칩(3a~3d)에는 이들의 동작을 제어하기 위한 신호용 단자(2)가 신호의 종류마다 각각 복수 개씩 설치되어 있다. 구체적으로는, M1~M4의 각 칩(3a~3d)에는 이들의 기입 및 판독 동작을 제어하는 신호가 입력되는 칩 셀렉트 핀(CS 핀: 2b)이 1개씩 설치되어 있다. 마찬가지로, M1~M4의 각 칩(3a~3d)에는 이들 중 소정의 칩끼리의 동작 상태를 동기시키는 신호가 입력되는 클럭 인에이블 핀(CKE 핀: 2c)이 1개씩 설치되어 있다. 또한, M1~M4의 각 칩(3a~3d)에는 이들에 클럭 신호를 입력하기 위한 클럭 핀(CLK 핀: 2d)이 1개씩 설치되어 있다. 또한, M1~M4의 각 칩(3a~3d)에는 이들의 기입 및 판독 동작을 개시할 때, CPU(도시 생략) 등으로부터 다운 엣지의 신호가 입력되는 로우 어드레스 스트로브 핀(RAS 핀: 2e)이 1개씩 설치되어 있다. 또한, M1~M4의 각 칩(3a~3d)에는 RAS 핀(2e)에 입력되는 다운 엣지의 신호보다 약간 지연된 다운 엣지의 신호가 입력되는 컬럼 어드레스 스트로브 핀(CAS 핀: 2f)이 1개씩 설치되어 있다. 또한, M1~M4의 각 칩(3a~3d)에는 각 칩(3a~3d)의 기입 및 판독 동작을 전환하는 신호가 입력되는 라이트 인에이블 핀(WE 핀: 2g)이 1개씩 설치되어 있다.

이들 각 핀(2b~2g) 중, CS 핀(2b)은 도 11에 도시한 바와 같이 M1 칩(3a) 및 M2 칩(3b)과, M3 칩(3c) 및 M4 칩(3d)의 두 개의 조로 나뉘어 통합된다. 이들 두 개의 조로 통합된 각 CS 핀(2b)은 각각 CS1 단자(13a) 및 CS2 단자(13b)를 통해 범프에 전기적으로 접속된다. 마찬가지로, CKE 핀(2c)도, M1 칩(3a) 및 M2 칩(3b)과, M3 칩(3c) 및 M4 칩(3d)의 두 개의 조로 나뉘어 통합된다. 이들 두 개의 조로 통합된 각 CKE 핀(2c)은 각각 CKE1 단자(14a) 및 CKE2 단자(14b)를 통해 범프에 전기적으로 접속된다.

또한, CLK 핀(2d)은 M1~M4의 각 칩(3a~3d)의 모든 CLK 핀(2d)이 1개로 통합된다. 1개로 통합된 각 CLK 핀(2d)은 CLKO 단자(15)를 통해 범프에 전기적으로 접속된다. 마찬가지로, RAS 핀(2e), CAS 핀(2f) 및 WE 핀(2g)은 M1~M4의

각 칩(3a~3d)의 모든 RAS 핀(2e), CAS 핀(2f) 및 WE 핀(2g)이 각각의 종류별로 1개에 통합된다. 이들 1개로 통합된 각 RAS 핀(2e), 각 CAS 핀(2f) 및 각 WE 핀(2g)은 각각 RAS 단자(16), CAS 단자(17) 및 WE 단자(18)를 통해 범프에 전기적으로 접속된다.

또한, M1~M4의 각 칩(3a~3d)에는 각각 복수 개의 어드레스용 단자(2h)가 설치되어 있다. 이들 각 어드레스용 단자(2h)는 도 11에 도시한 바와 같이 M1~M4의 모든 칩(3a~3d)에서 하나로 통합되어 범프에 전기적으로 접속된다.

이러한 설정에 따르면, M1~M4의 각 칩(3a~3d) 중, M1 칩(3a) 및 M2 칩(3b)은 이들 2개로 통합하여 (256M×32)라고 표기되는 하나의 DRAM 칩(3)으로 작동한다. 마찬가지로, M3 칩(3c) 및 M4 칩(3d)은 이들 2개로 통합하여 (256M×32)라고 표기되는 1개의 DRAM 칩(3)으로 작동한다. 따라서, 패키지(12) 전체로서는 각각이 (256M×32)×2, 즉, (512M×32)라고 표기되는 DRAM 칩(3)을 2개 조합한 설정으로 되어 있다.

또한, 패키지(12)는 CS1 단자(13a) 및 CS2 단자(13b)와 CKE1 단자(14a) 및 CKE2 단자(14b)의 각각에 입력되는 신호를 적절하게 전환 가능하게 설정되어 있다. 따라서, 이들 각 단자(13a, 13b, 14a, 14b)에 각각 독립적으로 소정의 상태의 신호를 입력함으로써, M1 칩(3a) 및 M2 칩(3b)으로 이루어지는 DRAM 칩(3)과, M3 칩(3c) 및 M4 칩(3d)으로 이루어지는 DRAM 칩(3)을 동시에 작동 또는 정지시키거나, 또는 한쪽만을 작동시키거나 할 수 있다. 또한, 이 패키지(12)에 있어서는 예를 들면 CS1 단자(13a)와 CS2 단자(13b)를 전기적으로 접속하여 하나의 단자로 통합함으로써, 패키지(12) 전체적으로 (1G×64)로 표기되는 하나의 DRAM 칩(3)으로서 작동 가능한 구성으로 되어 있다.

다음으로, 도 1 내지 도 16을 참조하여 패키지(12)를 구비한 반도체 장치(1)에 대하여 설명한다.

이 반도체 장치(1)는 도 1 및 도 2에 도시한 바와 같이 M1~M4의 4개의 DRAM 칩(3a~3d)이 4층으로 나뉘어 적층된 다층 구조를 갖고 있다. 이러한 반도체 장치(1)는 일반적으로 적층 반도체 패키지라고 불리고 있다. 특히, 각 반도체 칩(3)이 DRAM 칩이므로, 보다 구체적으로는 DRAM 모듈(1)이라고 불린다. 또, 도 3 내지 도 10에서, 2중으로 표시되어 있는 이점쇄선 중, 외측의 이점쇄선으로 표시되어 있는 부분이 패키지의 외형(20)을 나타내는 부분이다.

상기 다층 구조를 구성하기 위해서, 이 DRAM 모듈(1)은 M1~M4의 각 DRAM 칩(3a~3d)이 탑재되는 칩 탑재 기판으로서의 칩 탑재 기재(5)를 복수 매, 본 실시예에서는 4매 구비하고 있다. 일반적으로는, 칩 탑재 기판이라고 하면, 칩 탑재 기재와 이 기재에 설치되어 있는 칩 접속용 배선(4) 및 각 칩 접속용 비어 단자(10) 등을 포함시킨 것을 가리킨다. 그러나, 본 실시예에서는 칩 탑재 기판은 실질적으로는 칩 탑재 기재 그 자체를 지시한다고 생각하여도 본 발명의 요지에는 아무런 지장이 없다. 따라서, 이하의 설명에서, 특별히 한정하지 않는 한, 칩 탑재 기재에 부호(5)를 붙이고, 이 칩 탑재 기재(5)를 이용하여 설명한다. 또, 이러한 설명의 방법은 후술하는 중간 기재의 설명에서도 마찬가지로 한다.

본 실시예에서는, 실장 기판으로서의 각 칩 탑재 기재(5)에는 두께가 매우 얇은 두께로 형성되어 있는, 소위 PTP(Paper Thin Package) 기판이 이용된다. 각 PTP 기판(5)은 이들의 두께 방향을 따라 4층으로 적층된다. 그와 동시에, 각 PTP 기판(5)에는 M1~M4의 4개의 DRAM 칩(3a~3d)이 각각 1개씩 실장된다. 이하의 설명에서, 제1층 내지 제4층의 각 층에 배치되는 각 PTP 기판(5)을 각각 제1 내지 제4의 PTP 기판(5a~5d)이라고 한다. 제1층에 배치되는 제1 PTP 기판(5a)에는 M1 칩(3a)이 탑재된다. 마찬가지로, 제2층에 배치되는 제2 PTP 기판(5b)에는 M2 칩(3b)이 탑재된다. 또한, 제3층에 배치되는 제3 PTP 기판(5c)에는 M3 칩(3c)이 탑재된다. 또한, 제4층에 배치되는 제4 PTP 기판(5d)에는 M4 칩(3d)이 탑재된다. M1~M4의 각 DRAM 칩(3a~3d)은 제1 내지 제4의 각 PTP 기판(5a~5d)에 대하여, 각각 도 3의 내측의 이점쇄선으로 표시되어 있는 칩 탑재 영역(19)에 플립 칩 법 등에 의해 탑재된다.

제1 내지 제4의 각 PTP 기판(5a~5d)의 주면 위에는 도 3에 도시한 바와 같이 M1~M4의 각 DRAM 칩(3a~3d)의 신호용 단자(2)에 전기적으로 접속되는 복수 개의 칩 접속용 배선(4)이 전부 동일한 배선 패턴으로 형성되어 있다. 또한, 각 PTP 기판(5a~5d)에는 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)에 전기적으로 개별 접속되는 복수 개의 칩 접속용 비어 단자(10)가 설치되어 있다. 각 칩 접속용 비어 단자(10)는 각각 각 PTP 기판(5a~5d)의 동일한 소정의 위치에, 동일한 소정의 개수가 형성되어 있다. 따라서, 본 실시예에서는 제1 내지 제4의 PTP 기판(5a~5d)은 전부 동일한 구조이다. 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)와 각 칩 접속용 비어 단자(10)는 각 칩 접속용 배선(4)을 통해 전기적으로 접속된다.

칩 접속용 비어 단자(10)는 그 중의 대부분이 각 PTP 기판(5a~5d)을 두께 방향으로 관통하여 형성되어 있지만, 그 중의 몇 개는 각 PTP 기판(5a~5d)을 두께 방향으로 관통하는 비어 플러그를 구비하고 있지 않은 것도 형성되어 있다. 도 3에서, 비어 플러그를 구비하고 있지 않고, 단부로서의 비어 랜드만이 형성된 칩 접속 비어 단자(10)는 하나의 흰 동그라미로 표시하고, 비어 플러그를 구비한 칩 접속용 비어 단자(10)는 두 개의 이중 동그라미로 표시한다.

예를 들면, 제1 PTP 기판(5a)에는 M1 칩(3a)이 갖고 있는 DQ0~DQ15의 16개의 데이터용 단자(2a)의 각각에 대하여, 칩 접속용 비어 단자(10)가 4개씩 설치되어 있다. 또한, M1 칩(3a)이 갖고 있는 1개의 CS 핀(2b)에 대하여, 3개의 칩 접속용 비어 단자(10)가 설치되어 있다. 또한, M1 칩(3a)이 갖고 있는 1개의 CKE 핀(2c)에 대하여, 3개의 칩 접속용 비어 단자(10)가 설치되어 있다. 또한, M1 칩(3a)이 갖고 있는 1개의 CLK 핀(2d)에 대하여, 1개의 칩 접속용 비어 단자(10)가 설치되어 있다. 각 데이터용 단자(2a), CS 핀(2b), CKE 핀(2c) 및 CLK 핀(2d)은 각각 후술하는 소정의 칩 접속용 배선(4)을 통해, 소정의 칩 접속용 비어 단자(10)에 전기적으로 접속된다.

제1 내지 제4의 각 PTP 기판(5a~5d)에는 도 1에 도시한 바와 같이 칩 탑재 기재 상에서는 칩 접속용 배선(4)과 전기적으로 접속되어 있지 않고, 후술하는 외부 단자 접속용 배선(9)과 적층 방향을 따라 전기적으로 접속되는 칩 접속용 비어 단자(10)도 다수 형성되어 있다. 각 칩 접속용 비어 단자(10) 중, M1~M4의 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)와, 후술하는 외부 단자 접속용 배선(9)과의 적층 방향을 따른 통전 경로에 할당된 칩 접속용 비어 단자(10)는 각 PTP 기판(5a~5d)의 기판 본체인 칩 탑재 기재를 그 두께 방향으로 관통하여 형성되어 있다.

제1 PTP 기판(5a)에서는 칩 접속용 비어 단자(10)가 16개의 데이터용 단자(데이터용 핀: 2a)에 대하여 각각 4개씩 설치되어 있다. 이에 대하여, 1개의 CS 핀(2b) 및 1개의 CKE 핀(2c)에 대해서는 칩 접속용 비어 단자(10)가 각각 3개씩밖에 설치되어 있지 않다. 또한, 1개의 CLK 핀(2d)에 대해서는 칩 접속용 비어 단자(10)가 1개밖에 설치되어 있지 않다. 이는 상술한 메모리 구성의 설정에 의한 것이다.

16개의 데이터용 단자(2a)는 전부 독립적으로 외부 단자(8)에 접속할 필요가 있기 때문에, 이들이 전기적으로 접속되지 않도록 제1 내지 제4의 각 층에서 통전 경로를 전환할 필요가 있다. 이를 위해서는, 16개의 데이터용 단자(2a)에 대하여, 칩 접속용 비어 단자(10)를 각각 4개씩 설치하는 것이 필요 충분 조건이 된다. 이에 대하여, CS 핀(2b) 및 CKE 핀(2c)에 대해서는 칩 접속용 비어 단자(10)가 각각 3개씩밖에 설치되어 있지 않다. 이것은 CS 핀(2b) 및 CKE 핀(2c)이 제1층과 제2층, 제3층과 제4층의 두 개의 조로 통합되는 설정으로 되어 있기 때문이다. 또한, CLK 핀(2d)에서는 제1 내지 제4의 각 층에서 전부 하나의 통전 경로로 통합되는 설정으로 되어 있기 때문에, 칩 접속용 비어 단자(10)는 1개로 충분하다.

이와 같이 본 실시예의 DRAM 모듈(1)에 있어서는 소망하는 메모리 구성에 맞게, 신호의 종류마다 칩 접속용 비어 단자(10)의 수를 필요 충분한 개수로 용이하게 바꾸어 설정할 수 있다.

다음으로, M1~M4의 각 DRAM 칩(3a~3d)과, 제1 내지 제4의 각 PTP 기판(5a~5d)과의 관계에 대하여 설명한다. 전술한 바와 같이 M1~M4의 각 DRAM 칩(3a~3d), 및 제1 내지 제4의 각 PTP 기판(5a~5d)은 각각 전부 동일한 구조를 하고 있다. 따라서, 본 실시예의 반도체 장치(1)의 특징을 이해하기 위해서는, M2~M4의 각 DRAM 칩(3b~3d)과 제2 내지 제4의 각 PTP 기판(5b~5d)과의 관계는 상기 M1 칩(3a)과 제1 PTP 기판(5a)과의 관계를 설명하는 것으로 충분하다. 예를 들면, M2 칩(3b)이 갖고 있는 DQ16~DQ31까지의 16개의 데이터용 단자(2a), M3 칩(3c)이 갖고 있는 DQ32~DQ47까지의 16개의 데이터용 단자(2a), 및 M4 칩(3d)이 갖고 있는 DQ48~DQ63까지의 16개의 데이터용 단자(2a)는 각각 M1 칩(3a)이 갖고 있는 DQ0~DQ15까지의 16개의 데이터용 단자(2a)에 대응시켜 생각하면 된다. 따라서, 이하의 설명에서는 M1 칩(3a)과 제1 PTP 기판(5a)과의 관계에 대하여 설명하고, M2~M4의 각 DRAM 칩(3b~3d)과 제2 내지 제4의 각 PTP 기판(5b~5d)과의 관계에 대해서는 그 설명 및 도시를 생략한다.

또한, M1 칩(3a)과 제1 PTP 기판(5a)과의 관계에 있어서는 M1 칩(3a)이 갖고 있는 DQ0~DQ15까지의 16개의 데이터용 단자(2a) 중의 1개로서, 예를 들면 DQ0 데이터용 단자(2a)와, 이 DQ0 데이터용 단자(2a)에 대하여 설치되어 있는 제1 내지 제4의 4개의 DQ0 단자 접속용 비어 단자(10a~10d)와의 관계를 설명하면 된다. 마찬가지로, M1 칩(3a)이 갖고 있는 1개의 CS 핀(2b)과, 이 CS 핀(2b)에 대하여 설치되어 있는 제1 내지 제3의 3개의 CS 핀 접속용 비어 단자(10e~10g)와의 관계를 설명하면 된다. 또한, M1 칩(3a)이 갖고 있는 1개의 CKE 핀(2c)과, 이 CKE 핀(2c)에 대하여 설치되어 있는 제1 내지 제3의 3개의 CKE 핀 접속용 비어 단자(10h~10j)와의 관계를 설명하면 된다. 또한, M1 칩(3a)이 갖고 있는 1개의 CLK 핀(2d)과, 이 CLK 핀(2d)에 대하여 설치되어 있는 1개의 CLK 핀 접속용 비어 단자(10k)와의 관계를 설명하면 된다. 이들 각 관계를 설명함으로써, 본 실시예의 반도체 장치(1)의 특징 중, M1 칩(3a)과 제1 PTP 기판(5a)과의 관계, 나아가서는 M1~M4의 각 DRAM 칩(3a~3d)과 제1 내지 제4의 각 PTP 기판(5a~5d)과의 관계를 이해할 수 있다.

또한, 칩 접속용 배선(4)에 대해서도, DQ0 데이터용 단자(2a)와 제1 내지 제4의 DQ0 단자 접속용 비어 단자(10a~10d)를 전기적으로 접속하는 DQ0 단자 접속용 배선(4a), CS 핀(2b)과 제1 내지 제3의 CS 핀 접속용 비어 단자(10e~10g)를 전기적으로 접속하는 CS 핀 접속용 배선(4b), CKE 핀(2c)과 제1 내지 제3의 CKE 핀 접속용 비어 단자(10h~10j)를 전기적으로 접속하는 CKE 핀 접속용 배선(4c), 및 CLK 핀(2d)과 CLK 핀 접속용 비어 단자(10k)를 전기적으로 접속하는 CLK 핀 접속용 배선(4d)을 각각 설명하는 것으로도 충분하다.

M1 칩(3a)이 제1 PTP 기판(5a)에 탑재된 상태에서는, 도 12에 도시한 바와 같이 M1 칩(3a)의 DQ0 데이터용 단자(2a)는 DQ0 단자 접속용 배선(4a)을 통해 제2 DQ0 단자 접속용 비어 단자(10b)에 전기적으로 접속된다. 또한, M1 칩(3a)의 CS 핀(2b)은 CS 핀 접속용 배선(4b)을 통해 제2 CS 핀 접속용 비어 단자(10f)에 전기적으로 접속된다. 또한, M1 칩(3a)의 CKE 핀(2c)은 CKE 핀 접속용 배선(4c)을 통해 제1 CKE 핀 접속용 비어 단자(10h)에 전기적으로 접속된다. 또한, M1 칩(3a)의 CLK 핀(2d)은 CLK 핀 접속용 배선(4d)을 통해 CLK 핀 접속용 비어 단자(10k)에 전기적으로 접속된다. 도 3에서는 이상 설명한 각 전기적 접속 상태를, M1 칩(3a)을 제1 PTP 기판(5a)에 탑재하지 않은 상태로 도시하고 있다.

또한, 도 12에서는 도면을 보기 쉽게 하여 M1 칩(3a)의 각 신호용 단자(2)의 전기적인 접속 상태를 이해하기 쉽도록, 제1 내지 제4의 각 PTP 기판(5a~5d)이나, 후술하는 각 중간 기판(7)의 도시를 생략하고 있다. 또한, 도 12에서는 각 칩 접속용 비어 단자(10)를 다음에 설명하는 방법으로 도시하고 있다. 예를 들면, 제1 내지 제4의 4개의 각 DQ0 단자 접속용 비어 단자(10a~10d) 중, DQ0 데이터용 단자(2a)로부터 외부 단자 접속용 배선(9)까지의 전기적인 접속에 기여하지 않는 개소에 설치되어 있는 제1, 제3, 및 제4 각 DQ0 단자 접속용 비어 단자(10a, 10c, 10d)에 대해서는, 이들의 존재를 나타내기 위해서 비어 랜드만을 도시하고 있다. 이것은 제1 내지 제3의 각 CS 핀 접속용 비어 단자(10e~10g), 제1 내지 제3의 각 CKE 핀 접속용 비어 단자(10h~10j), 및 CLK 칩 접속용 비어 단자(10k)에 대해서도 마찬가지이다.

다음으로, 중간 기판(7)에 대하여 설명한다. 이하의 설명에서는 중간 기판(7)과 이 중간 기판(7)에 설치되어 있는 충간 접속용 비어 단자(11) 및 충간 접속용 배선(6)을 상기 제1 내지 제4의 각 PTP 기판(5a~5d), 각 칩 접속용 비어 단자(10), 및 각 칩 접속용 배선(4)과 마찬가지의 흐름으로 설명한다.

상술한 칩 탑재 기판과 칩 탑재 기재의 관계와 마찬가지로, 일반적으로 중간 기판이라고 하면, 중간 기재와 이 기재에 설치되어 있는 충간 접속용 배선(6) 및 충간 접속용 비어 단자(11) 등을 포함시킨 것을 가리킨다. 그러나, 본 실시예에서 중간 기판은 실질적으로는 중간 기재 그 자체를 가리킨다고 생각하여도 본 발명의 요지에는 아무런 지장이 없다. 따라서, 이하의 설명에서, 특별히 한정하지 않는 한, 중간 기재에 부호(7)를 붙이고, 이 중간 기재(7)를 이용하여 설명한다.

중간 기재(7)는 도 1 및 도 2에 도시한 바와 같이 제1 내지 제4의 각 PTP 기판(5a~5d)의 적층 방향을 따라, 이들과 교대로 복수 매 배치된다. 본 실시예에서는 제1 내지 제4의 각 층마다 1매씩, 합계 4매의 중간 기재(7)가 적층되어 배치된다. 각 중간 기재(7)는 예를 들면 유리 크로스에 수지를 함침시킨 유리 에폭시 기판 등으로 구성되고, 일종의 절연 기판으로서 형성되어 있다. 또한, 상기 적층 상태에서 각 중간 기재(7)와 각 PTP 기판(5a~5d)에 탑재된 M1~M4의 각 DRAM 칩(3a~3d)이 상호 간섭하는 것을 회피하기 위해서, 각 중간 기재(7)의 M1~M4의 각 DRAM 칩(3a~3d)에 대향하는 위치에는 빈 구멍으로서의, 소위 칩 캐비티(21)가 형성되어 있다. 그와 동시에, 각 중간 기재(7)의 두께는 M1~M4의 각 DRAM 칩(3a~3d)이 적층 상태에서 인접하는 PTP 기판(5b~5d), 기판(5) 또는 후술하는 전원 접지 기판(23)에 접촉하지 않을 정도의 크기로 형성되어 있다.

각 중간 기재(7)에는 이들을 두께 방향으로 관통하여, 각 칩 탑재 기재(5)에 탑재된 각 반도체 칩(3)의 각 신호용 단자(2)에 전기적으로 접속되는 복수 개의 충간 접속용 비어 단자(11)가 설치되어 있다. 각 충간 접속용 비어 단자(11)는 4매의 각 중간 기재(7)에 인접하는 제1 내지 제4의 각 PTP 기판(5a~5d)에 설치되어 있는 각 칩 접속용 비어 단자(10)에 대하여 일대일로 대응하도록, 각 칩 접속용 비어 단자(10)와 동수 개씩 각 중간 기재(7)에 형성되어 있다. 단, 충간 접속용 비어 단자(11) 중에는 각 칩 접속용 비어 단자(10)와 마찬가지로 비어 랜드만이 형성된 충간 접속용 비어 단자(11)도 형성되어 있으며, 도 5 내지 도 8에서, 그들은 하나의 흰 동그라미, 또한 비어 플러그를 구비한 충간 접속용 비어 단자(11)는 두 개의 이중 동그라미로 각각 표시되어 있다. 또한, 각 충간 접속용 비어 단자(11)는 도 1 및 도 2에 도시한 바와 같이 각 PTP 기판(5a~5d) 및 각 중간 기재(7)의 적층 방향을 따라, 각 칩 접속용 비어 단자(10)에 대하여 일직선 상에 배열되도록 한 위치에 형성되어 있다.

이상 설명한 구조로 이루어지는 중간 기재(7)는 일반적으로 IVH(Interstitial Via Hall) 기판(7)이라고 한다. 이하의 설명에서, 제1 내지 제4의 각 PTP 기판(5a~5d)의 적층 방향을 따라 이들과 교대로 제1층 내지 제4층의 각 층에 배치되는 각 IVH 기판(7)을 각각 제1 내지 제4의 IVH 기판(7a~7d)이라고 한다.

또한, 이하의 설명에서, 제1 내지 제4의 각 IVH 기판(7a~7d)에 설치되어 있는 각 충간 접속용 비어 단자(11) 중, 제1 PTP 기판(5a)에 설치되어 있는 제1 내지 제4의 4개의 DQ0 단자 접속용 비어 단자(10a~10d)에 대응하는 충간 접속용 비어 단자(11)를 각각 제1 내지 제4의 DQ0 충간 접속용 비어 단자(11a~11d)라고 한다. 마찬가지로, 제1 PTP 기판(5a)에 설치되어 있는 제1 내지 제3의 3개의 CS 핀 접속용 비어 단자(10e~10g)에 대응하는 충간 접속용 비어 단자(11)를 각각 제1 내지 제3의 CS 핀 충간 접속용 비어 단자(11e~11g)라고 한다. 또, 제1 PTP 기판(5a)에 설치되어 있는 제1 내지 제3

의 3개의 CKE 핀 접속용 비어 단자(10h~10j)에 대응하는 충간 접속용 비어 단자(11)를 각각 제1 내지 제3의 CKE 핀 충간 접속용 비어 단자(11h~11j)라고 한다. 또한, 제1 PTP 기판(5a)에 설치되어 있는 1개의 CLK 핀 접속용 비어 단자(10k)에 대응하는 충간 접속용 비어 단자(11)를 CLK 핀 충간 접속용 비어 단자(11k)라고 한다.

또, DQ0 충간 접속용 비어 단자(11a~11d)는 제1 내지 제4의 모든 IVH 기판(7a~7d)을 이들의 두께 방향을 따라 관통하여 형성되어 있어도 된다. 단, 본 실시예에서는 DQ0 충간 접속용 비어 단자(11a~11d)는 각 신호용 단자(2)로부터 외부 단자 접속용 배선(9)까지의 전기적인 접속에 필요한 개소에만 설치되어 있고, 접속에 불필요한 개소에는 설치되어 있지 않은 것으로 한다. 따라서, 각 칩 접속용 비어 단자(10)와 마찬가지로, 도 1, 도 5 내지 도 8, 및 도 12의 각 도면에서는 각 신호용 단자(2)로부터 외부 단자 접속용 배선(9)까지의 전기적인 접속에 기여하지 않은 개소에서는 DQ0 충간 접속용 비어 단자(11a~11d)는 이들의 비어 랜드가 도시되어 있다. 이것은 제1 내지 제3의 각 CS 핀 충간 접속용 비어 단자(11e~10g), 제1 내지 제3의 각 CKE 핀 충간 접속용 비어 단자(11h~11j), 및 CLK 핀 충간 접속용 비어 단자(11k)에 대해서도 마찬가지이다.

한편, 각 충간 접속용 비어 단자(11)가 제1 내지 제4의 모든 IVH 기판(7a~7d)을 이들의 두께 방향을 따라 관통하여 형성되면, 세트의 반도체 칩(3), 칩 탑재 기재(5) 및 중간 기재(7)를 하나의 단위로서 구성되는 시스템 블록을 복수 개 적층할 때, 그 적층 순서에 대한 배선 상의 제약을 저감시킬 수 있다. 또한, 각 칩 접속용 비어 단자(10)와 마찬가지로, 각 충간 접속용 비어 단자(11)도, 소망하는 메모리 구성에 맞게, 신호 종류별로 그 수를 설정하여도 된다.

제1 IVH 기판(7a)에서는 도 5에 도시한 바와 같이 제2 DQ0 충간 접속용 비어 단자(11b)와 제3 DQ0 충간 접속용 비어 단자(11c)가 충간 접속용 배선(6) 중의 DQ0 충간 접속용 배선(6a)에 의해 전기적으로 접속되어 있다. 또한, 제2 CS 핀 충간 접속용 비어 단자(11f)와 제3 CS 핀 충간 접속용 비어 단자(11g)가 CS 핀 충간 접속용 배선(6b)에 의해 전기적으로 접속되어 있다. 또한, 제1 CKE 핀 충간 접속용 비어 단자(11h)와 제2 CKE 핀 충간 접속용 비어 단자(11i)가 CKE 핀 충간 접속용 배선(6c)에 의해 전기적으로 접속되어 있다. CLK 핀 접속용 비어 단자(11k)는 1개밖에 설치되어 있지 않기 때문에, 이것에 충간 접속용 배선(6)은 접속되지 않는다. 이것은 제1 내지 제4의 IVH 기판(7a~7d)에 있어서 동일하다.

또한, 제2 IVH 기판(7b)에서는 도 6에 도시한 바와 같이 제2 DQ0 충간 접속용 비어 단자(11b)와 제4 DQ0 충간 접속용 비어 단자(11d)가 DQ0 충간 접속용 배선(6a)에 의해 전기적으로 접속되어 있다. 또한, 제2 CS 핀 충간 접속용 비어 단자(11f)와 제3 CS 핀 충간 접속용 비어 단자(11g)가 CS 핀 충간 접속용 배선(6b)에 의해 전기적으로 접속되어 있다. 또한, 제1 CKE 핀 충간 접속용 비어 단자(11h)와 제2 CKE 핀 충간 접속용 비어 단자(11i)가 CKE 핀 충간 접속용 배선(6c)에 의해 전기적으로 접속되어 있다.

또한, 제3 IVH 기판(7a)에서는 도 7에 도시한 바와 같이 제2 DQ0 충간 접속용 비어 단자(11b)와 제1 DQ0 충간 접속용 비어 단자(11a)가 DQ0 충간 접속용 배선(6a)에 의해 전기적으로 접속되어 있다. 또한, 제2 CS 핀 충간 접속용 비어 단자(11f)와 제1 CS 핀 충간 접속용 비어 단자(11e)가 CS 핀 충간 접속용 배선(6b)에 의해 전기적으로 접속되어 있다. 또한, 제1 CKE 핀 충간 접속용 비어 단자(11h)와 제3 CKE 핀 충간 접속용 비어 단자(11j)가 CKE 핀 충간 접속용 배선(6c)에 의해 전기적으로 접속되어 있다.

또한, 제4 IVH 기판(7a)에서는 도 8에 도시한 바와 같이 제2 DQ0 충간 접속용 비어 단자(11b)는 다른 DQ0 충간 접속용 비어 단자(11a, 11c, 11d) 중 어디에도 전기적으로 접속되어 있지 않다. 또한, 제2 CS 핀 충간 접속용 비어 단자(11f)와 제1 CS 핀 충간 접속용 비어 단자(11e)가 CS 핀 충간 접속용 배선(6b)에 의해 전기적으로 접속되어 있다. 또한, 제1 CKE 핀 충간 접속용 비어 단자(11h)와 제3 CKE 핀 충간 접속용 비어 단자(11j)가 CKE 핀 충간 접속용 배선(6c)에 의해 전기적으로 접속되어 있다.

이상 설명한 바와 같이 구성되어 있는 제1 내지 제4의 각 IVH 기판(7a~7d)을 도 1 및 도 2에 도시한 바와 같이 제1 내지 제4의 각 PTP 기판(5a~5d)에 대하여, 이들의 적층 방향을 따라 교대로 배치한다. 이에 의해, 도 12에 도시한 바와 같이 4층 구조로 이루어지는 DRAM 모듈(1)의 주요 부분이 조립된다. 이 상태에서, M1~M4의 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)는 도 1 및 도 2에서 파선 또는 일점쇄선으로 표시한 바와 같이 각 층의 각 단자별로 독립적으로, 소정의 배선 상태로 외부 단자(8)까지 전기적으로 접속된다.

이하, 도 13 내지 도 16을 참조하면서, 제1 내지 제4의 각 층의 DRAM 칩(3a~3d)이 갖고 있는 DQ0 데이터용 단자(2a)와, 각 층의 제1 내지 제4의 PTP 기판(5a~5d) 및 제1 내지 제4의 IVH 기판(7a~7d)을 전기적으로 접속하는 배선 패턴을 간결하게 설명한다.

도 13 내지 도 16은 각각 DRAM 모듈(1)의 제1층 내지 제4층의 구성을 간결하게 도시한 것이다. 도 13 내지 도 16에서, 내측의 이점쇄선은 각각 제1층 내지 제4층의 각 PTP 기판(5a~5d)을 나타내고, 외측의 이점쇄선은 각각 제1층 내지 제4층의 각 IVH 기판(7a~7d)을 나타내는 것으로 한다. 또한, 도 13 내지 도 16에서, 각 PTP 기판(5a~5d)과 각 IVH 기판(7a~7d)은, 제1 내지 제4의 DQ0 단자 접속용 비어 단자(10a~10d)와 제1 내지 제4의 DQ0 층간 접속용 비어 단자(11a~11d) 사이의 배선 상태를 용이하게 이해할 수 있도록, 상호 겹치지 않도록 변이시켜 도시하고 있다. 또한, 도 13 내지 도 16에서, 각 DQ0 단자 접속용 비어 단자(10a~10d)와 각 제1 내지 제4의 DQ0 층간 접속용 비어 단자(11a~11d) 사이의 적층 방향을 따른 전기적인 접속은 각각 파선으로 나타내고 있다.

DRAM 모듈(1)에 있어서는, 도 13 내지 도 16에 도시한 바와 같이 제1 내지 제4의 각 층의 DRAM 칩(3a~3d)이 갖고 있는 DQ0 데이터용 단자(2a)는 각 층의 PTP 기판(5a~5d) 상에 전부 동일한 배선 패턴으로 형성되어 있는 DQ0 단자 접속용 배선(4a)을 통해, 전부 제2 DQ0 단자 접속용 비어 단자(10b)에 전기적으로 접속되어 있다. 또한, 각 층의 제2 DQ0 단자 접속용 비어 단자(10b)는 적층 방향을 따라 연속하도록 설치되어 있는 제2 DQ0 층간 접속용 비어 단자(11b)에 전기적으로 접속되어 있다. 이들의 접속 상태에 대하여, 각 층의 제2 DQ0 층간 접속용 비어 단자(11b)는 제4층을 제외하고, 각 층마다 상이한 DQ0 층간 접속용 비어 단자(11c, 11d, 11a)에 전기적으로 접속되어 있다.

구체적으로, 제1층의 제2 DQ0 층간 접속용 비어 단자(11b)는 DQ0 층간 접속용 배선(6a)을 통해, 제3 DQ0 층간 접속용 비어 단자(11c)에 전기적으로 접속되어 있다. 또한, 제2층의 제2 DQ0 층간 접속용 비어 단자(11b)는 DQ0 층간 접속용 배선(6a)을 통해, 제4 DQ0 층간 접속용 비어 단자(11d)에 전기적으로 접속되어 있다. 또한, 제3층의 제2 DQ0 층간 접속용 비어 단자(11b)는 DQ0 층간 접속용 배선(6a)을 통해, 제1 DQ0 층간 접속용 비어 단자(11a)에 전기적으로 접속되어 있다. 그리고, 제4층의 제2 DQ0 층간 접속용 비어 단자(11b)만은 DQ0 층간 접속용 배선(6a)을 통하지 않고, 그대로 도시하지 않은 외부 단자(8)를 향하여 연장되어 있다.

이와 같이 본 실시예에서는 DQ0 층간 접속용 배선(6a)의 배선 패턴이 제1층 내지 제4층의 각 IVH 기판(7a~7d)마다 상이한 형상으로 형성되어 있다. 이에 의해, 제1층 내지 제4층의 각 PTP 기판(5a~5d) 상에 형성되어 있는 DQ0 단자 접속용 배선(4a)이 전부 동일한 배선 패턴으로 형성되어 있어도, 제1 내지 제4의 각 층의 DRAM 칩(3a~3d)이 갖고 있는 DQ0 데이터용 단자(2a)를 각각 독립적으로 상이한 외부 단자(8)에 전기적으로 접속할 수 있다.

또한, 예를 들면 각 층의 DRAM 칩(3a~3d)의 CS 핀(2b)은, 도 5 내지 도 8 및 도 12에 도시한 바와 같이 제1 내지 제4의 각 IVH 기판(7a~7d)에 3개 열거하여 설치되어 있는 층간 접속용 비어 단자(11) 중, 제2 CS 핀 층간 접속용 비어 단자(11f)에 전기적으로 접속되어 있다. 이에 의해, 각 층의 CS 핀(2b)은 도 2에서 파선 또는 일점쇄선으로 표시한 바와 같이 제1층과 제2층, 제3층과 제4층의 두 개의 조로 나뉘어, 각 조마다 외부 단자(8)에 전기적으로 개별 접속된다. 단, 도 2에서, 각 CS 핀(2b)과 각 제2 CS 핀 층간 접속용 비어 단자(11f)와의 접속 상태의 도시는 생략한다. 이와 같이 DRAM 모듈(1)에서는 각 DRAM 칩(3a~3d)의 각 CS 핀(2b)이 M1 칩(3a) 및 M2 칩(3b)과, M3 칩(3c) 및 M4 칩(3d)과의 두 개의 조별로 통합되어, 각각 CS1 단자(13a) 및 CS2 단자(13b)를 통해 외부 단자(8)에 전기적으로 접속되는 메모리 구성 조건을 만족한다. 또한, DRAM 모듈(1)에 있어서는 도 12에 도시한 바와 같이 그 밖의 각 신호용 단자(2)에 대해서도, 전술한 메모리 구성 조건을 만족시키고 있다.

또한, DRAM 모듈(1)에 있어서는 전술한 바와 같이 제1층 내지 제4층의 각 IVH 기판(7a~7d)에 설치되어 있는 층간 접속용 배선(6)이 각각 서로 다른 배선 패턴이 되도록 형성되어 있다. 이러한 설정에 있어서는, 예를 들면 제1층의 IVH 기판(7a)을 제1 중간 기판 또는 제1 중간 기재로 하고, 제2층의 IVH 기판(7b)을 제2 중간 기판 또는 제2 중간 기재로 간주할 수 있다. 그와 동시에, 제3층의 IVH 기판(7c)을 제3 중간 기판 또는 제3 중간 기재로 하고, 제4층의 IVH 기판(7d)을 제4 중간 기판 또는 제4 중간 기재로 간주할 수 있다. 이와 같이 DRAM 모듈(1)은 각각 서로 다른 배선 패턴으로 형성된 층간 접속용 배선(6)이 설치된 제1 중간 기판(7a) 및 제2 중간 기판(7b)의, 적어도 2매의 중간 기판(7)을 구비하는 것이다.

특히, 소정의 2매의 칩 탑재 기판(5) 사이에 배치되어 있는 중간 기판(7)은 이 중간 기판(7)에 설치되어 있는 복수 개의 층간 접속용 배선(6)이 인접하는 각 칩 탑재 기판(5)의 각 칩 접속용 배선(4)에 전기적으로 접속되어, 각 칩 탑재 기판(5)에 탑재된 각 반도체 칩(3)의 각 신호용 단자(2)의 통전 경로를 적층 방향에서 각각 서로 다른 경로로 설정 가능한 배선 패턴으로 형성되어 있다.

DRAM 모듈(1)에는 도 1 및 도 2에 도시한 바와 같이 그 적층 방향의 한쪽의 측면인 상측(표면측)에, 도 4에 도시한 바와 같은 구조를 갖는 제0층 기판으로서의 표면 기판(22)이 1매 설치되어 있다. 이 표면 기판(22)은 도 1에 도시한 바와 같이 절연 재료로부터 3층 구조로 형성되어 있으며, DRAM 모듈(1)의 단락 등을 방지하고 있다. 그와 동시에, DRAM 모듈(1)의 내부 구조, 특히 4개의 DRAM 칩(3a~3d)을 외부로부터 가해지는 충격으로부터 보호하는 역할을 겸하고 있다.

또한, 도 1 및 도 2에 도시한 바와 같이 DRAM 모듈(1)에는, 그 적층 방향의 다른 쪽의 측면인 하측(이면측)에 제5층 기판으로서의 전원 접지 기판(23)이 1매 설치되어 있다. 전원 접지 기판(23)에는 도 9에 도시한 바와 같이 칩 접속용 배선(4) 및 중간 접속용 배선(6)보다 표면적이 매우 넓게 형성된 복수 개의 전원 접지용 배선(25)이 각각 소정의 배선 패턴으로 설치되어 있다. 각 전원 접지용 배선(25)의 표면적을 각 칩 접속용 배선(4) 및 각 중간 접속용 배선(6)의 표면적보다 매우 넓게 형성함으로써, DRAM 모듈(1)의 내부에 생기는 전기적 노이즈를 효과적으로 억제 또는 제거할 수 있다.

또한, 전원 접지 기판(23)에는 이들을 두께 방향으로 관통하여, 전술한 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)를 외부 단자 접속용 배선(9)에 전기적으로 접속하는 전원 접지 기판 비어 단자(26)가 복수 개 설치되어 있다. 본 실시예에서는 전원 접지 기판 비어 단자(26)는 전술한 각 칩 접속용 비어 단자(10)나 각 중간 접속용 비어 단자(11)와 대략 동수 개 설치되어 있다. 또, M1~M4의 각 DRAM 칩(3a~3d)의 각 신호용 단자(2) 중, 전원 접지 기판 비어 단자(26)를 통해 전원 접지용 배선(25)에 전기적으로 접속되어 있는 것 이외의 신호용 단자(2)는 단순히 전원 접지 기판 비어 단자(26)에만 접속됨으로써 적층 방향을 따른 통전 경로가 확보된다.

또한, DRAM 모듈(1)에는 도 1 및 도 2에 도시한 바와 같이 전원 접지 기판(23)보다 더 하측에, 제6층 기판으로서의 볼 레이어 기판(24)이 1매 설치되어 있다. 볼 레이어 기판(24)에는 도 10에 도시한 바와 같이 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)를 후술하는 외부 단자(8)에 전기적으로 접속하는 복수 개의 외부 단자 접속용 배선(9)이 각각 소정의 배선 패턴으로 설치되어 있다. 각 외부 단자 접속용 배선(9)은 도 1에 도시한 바와 같이 볼 레이어 기판(24)의 이면측에 설치되어 있는 외부 단자(8)에 전기적으로 접속되어 있다. 통상, 외부 단자(8)는 복수 개 설치되어 있지만, 도 1에서는 1개만 도시한다.

또한, 볼 레이어 기판(24)에는 이들을 두께 방향으로 관통하여, 각 전원 접지 기판 비어 단자(26) 및 각 외부 단자 접속용 배선(9)에 전기적으로 접속되는 외부 단자 접속용 비어 단자(27)가 복수 개 설치되어 있다. 이에 의해, 전술한 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)를 외부 단자(8)에 전기적으로 접속할 수 있다. 본 실시예에서는 외부 단자 접속용 비어 단자(27)는 전술한 각 칩 접속용 비어 단자(10), 각 중간 접속용 비어 단자(11) 및 각 전원 접지 기판 비어 단자(26)와 대략 동수 개 설치되어 있다.

각 DRAM 칩(3a~3d)의 각 신호용 단자(2)는, 예를 들면 도 12에 도시한 바와 같이 DRAM 모듈(1)의 내부에서 소정의 배선 상태로 설정되어, 각 전원 접지 기판 비어 단자(26)나, 각 외부 단자 접속용 비어 단자(27)에 전기적으로 접속된다. 그리고, 각 신호용 단자(2)는 각 외부 단자 접속용 배선(9)을 통해 각 외부 단자(8)에 전기적으로 접속된다.

또, 도 1, 도 12 및 도 13에서는 반도체 칩(3)이 각각 서로 다른 형상으로 도시되어 있다. 이것은 각 도면이 도시하는 본 실시예의 특징을 보다 쉽게 이해하기 위해서 의도적으로 서로 다른 형상으로 작성하였기 때문이다. 따라서, 본 발명의 요지에 어떠한 불합리한 영향을 주는 것은 아니다. 본 발명을 실시할 때, 다양한 종류, 형상, 및 구조의 반도체 칩(3)을 사용할 수 있다. 마찬가지로, 본 발명 및 종래 기술을 설명할 때 이용한 도 1, 및 도 13 내지 도 21의 각 도면에서, 각 칩 탑재 기재(5)에 탑재하는 각 반도체 칩(3)의 방향이나 자세와, 이들 각 칩 탑재 기재(5) 및 각 반도체 칩(3)에 대한 각 중간 기재(7)의 방향이나 자세도, 상기 각 도면에 도시하고 있는 바와 같은 상태로만 한정되지 않는다. 본 발명의 요지에 불합리한 영향을 미치지 않는 한, 본 발명을 실시할 때, 다양한 방향이나 자세를 취할 수 있다.

다음으로, DRAM 모듈(1)의 제조 공정의 개략을, 일례를 들어 구체적이고 간결하게 설명한다.

우선, 제1 내지 제4의 각 PTP 기판(5a~5d) 위에, 각각에 대응하는 M1~M2의 각 DRAM 칩(3a~3d)을, 예를 들면 플립 칩 법에 의해 탑재한다. 다음으로, 칩 탑재가 완료된 각 PTP 기판(5a~5d)과, 이들에 대응하는 제1 내지 제4의 각 IVH 기판(7a~7d)을 이들의 두께 방향을 따라 교대로 적층한다. 이 때, 각 DRAM 칩(3a~3d)이 각 IVH 기판(7a~7d)에 설치되어 있는 칩 캐비티(21) 내에 수용되도록, 각 IVH 기판(7a~7d)을 배치한다.

계속하여, 적층 완료된 각 PTP 기판(5a~5d) 및 각 IVH 기판(7a~7d)을 이들의 적층 방향의 양 외측으로부터 표면 기판(22)과, 전원 접지 기판(23) 및 볼 레이어 기판(24)을 이용하여 끼운다. 이 때, 각 PTP 기판(5a~5d), 각 IVH 기판(7a~7d), 표면 기판(22), 전원 접지 기판(23), 볼 레이어 기판(24)의 각각에 부착되어 있는 위치 정렬용 표시(30)가 적층 방향에서 일치하도록 정합시킨다. 또한, 표면 기판(22), 각 PTP 기판(5a~5d), 각 IVH 기판(7a~7d), 전원 접지 기판(23), 및 볼 레이어 기판(24)의 각 기판 사이에 적절하게, 접착제 등을 설치하여도 된다.

칩 탑재 작업 및 적층 작업이 종료한 후, 이들 중첩된 각 PTP 기판(5a~5d), 각 IVH 기판(7a~7d), 표면 기판(22), 전원 접지 기판(23), 볼 레이어 기판(24)을 이들의 적층 방향을 따라 압착한다. 이에 의해, 원하는 DRAM 모듈(1)을 얻는다. 이로서, DRAM 모듈(1)의 제조 공정을 종료한다.

이상 설명한 바와 같이, DRAM 모듈(1)에 있어서는 각 DRAM 칩(3a~3d)의 각 신호용 단자(2)의 적층 방향을 따른 통전 경로를 각 IVH 기판(7a~7d)에 형성되어 있는 층간 접속용 배선(6)에 의해 전환하여, 각 층마다 소정의 경로로 설정한다. 이에 의해, 층간에서의 각 신호용 단자(2)끼리의 전기적인 접속 상태나, 각 신호용 단자(2)와 외부 단자(8)의 적층 방향을 따른 통전 경로를 적절하게, 선택적으로 전환하여 적정한 배선 상태로 설정할 수 있다. 전술한 바와 같이 각 PTP 기판(5a~5d)에 형성되어 있는 칩 접속용 배선(4)이나 칩 접속용 비어 단자(10)의 배선 패턴을 모든 층에서 동일 패턴으로 한다. 이러한 경우에서도, 각 IVH 기판(7a~7d)의 층간 접속용 배선(6)의 배선 패턴을 각 층마다 적절하고, 적정한 배선 상태로 설정함으로써, DRAM 모듈(1)이 구비하는 DRAM 칩(3)의 개수나 메모리 구성에 맞는 모듈 내의 다종 다양한 통전 경로의 설정에 유연하게 대응할 수 있다.

즉, 본 발명의 일 실시예에 따른 반도체 장치(1)에 따르면, 복수 매의 칩 탑재 기재(5)의 배선 패턴을 각 층마다 서로 다른 패턴으로 형성할 필요가 없다. 복수 매의 중간 기재(7) 중, 1매의 중간 기재(7)의 배선 패턴을 변경하거나, 1매만 상이한 배선 패턴의 중간 기재(7)로 변환하거나, 또는 서로 다른 배선 패턴의 중간 기재(7)끼리 조합하여 사용하거나 함으로써, 다양한 기능이나 특성을 갖는 반도체 장치(1)를 구성할 수 있다. 이러한 특징을 갖는 본 발명에 따르면, 염가로 용이하게 제조할 수 있는 다층 구조의 반도체 장치를 제공할 수 있다. 이하, 그 이유를 하나의 구체예를 들어 간결하게 설명한다.

예를 들면, 종래 기술의 멀티칩 패키지(101)에서는 그 제조 공정에서 설계 및 형성해야 하는 배선 패턴의 종류는, 제1 내지 제4의 각 중간 기판(103a~103d)에 공통한 것을 1종류로 하고, 제1 내지 제4의 각 칩 탑재 기판(104a~104d)마다 각각 1종류씩 하여 합계 5종류이다. 또한, 전술한 바와 같이 메모리 칩(105)이 각각 1개씩 탑재된 제1 내지 제4의 각 칩 탑재 기판(104a~104d)을 제1 내지 제4층의 각 시스템 블록(102a~102d)의 제1 내지 제4의 각 중간 기판(103a~103d) 상에 각각 200매씩 실장한다. 이 경우, 1개의 멀티칩 패키지(101)를 제조함에 있어서, 각각 서로 다른 배선 패턴이 형성된 칩 탑재 기판(104a~104d)을 각각 200매씩, 각 층간에서 섞이지 않도록 관리하면서, 동일한 배선 패턴이 형성된 4매의 중간 기판(103a~103d) 위에, 각 층마다 분류하여 합계 800매 탑재해야 한다.

이에 대하여, 동일한 4층 구조로 이루어지는, 본 발명의 일 실시예에 따른 DRAM 모듈(1)에 있어서 필요한 배선 패턴의 종류는 제1 내지 제4의 각 PTP 기판(5a~5d)의 전부에 공통인 배선 패턴을 1종류로 하고, 제1 내지 제4의 각 IVH 기판(7a~7d)마다 서로 다른 배선 패턴을 4종류로 하여 합계 5종류이다. 즉, 배선 패턴의 종류의 수는 종래 기술의 멀티칩 패키지(101)와 동일하다. 여기서, 멀티칩 패키지(101)와 마찬가지로, DRAM 칩(3)을 탑재 완료된 제1 내지 제4의 각 PTP 기판(5a~5d)의 매수를 제1 내지 제4의 각 IVH 기판(7a~7d)에 200매씩 실장한다. DRAM 모듈(1)에 있어서는 합계 800의 제1 내지 제4의 각 PTP 기판(5a~5d)의 배선 패턴이 전부 동일하기 때문에, 이들이 각 층간에서 섞이지 않도록 관리할 필요가 없다. 제1 내지 제4의 4매의 IVH 기판(7a~7d)이 각 층간에서 섞이지 않도록 관리하면 충분하다.

이 결과, DRAM 모듈(1)에서는 각 IVH 기판(7a~7d)에 대한 각 PTP 기판(5a~5d)의 실장 오류에 의한 불량품의 발생율을 매우 효과적으로 저감시켜, DRAM 모듈(1)의 제조 공정에서의 수율을 대폭 향상시킬 수 있다. 아울러, 제조 공정에서의 기판 관리나 감시 작업 등도 간소화할 수 있다. 따라서, DRAM 모듈(1)의 생산 효율을 대폭 향상시킬 수 있을 뿐만 아니라, 그 제조를 용이하게 행할 수 있다. 또, 종래 기술에 있어서는 합계 800매의 칩 탑재 기판(104a~104d)을 200매씩 나눠 4종류를 만들 필요가 있었던 배선 패턴을, DRAM 모듈(1)에서는 합계 800매의 제1 내지 제4의 모든 PTP 기판(5a~5d)에 대하여 동일 패턴으로 형성하면 된다. 이 결과, DRAM 모듈(1)의 1개당의 제조 비용을 상당히 저감시킬 수 있다.

발명의 효과

또한, 이상 설명한 본 발명의 효과는 기판의 적층 수나 탑재되는 반도체 칩(3)의 수가 많아지면 많아질수록 커진다.

또, 본 발명에 따른 반도체 장치는 전술한 하나의 실시예에만 제약되지 않는다. 본 발명의 주된 주지를 일탈하지 않는 범위에서, 본 발명에 따른 반도체 장치의 구성의 일부를 다종다양한 상태로 조합하여 설정할 수 있다.

예를 들면, 반도체 장치(1)에 탑재되는 반도체 칩(3)의 성능, 종류, 기능, 형상 및 구성 등은 소망하는 반도체 장치(1)의 성능이나 기능 등에 맞게 적절하게 적정한 것을 선택하면 된다. 칩 탑재 기재(5) 및 중간 기재(7)의 적층 수, 중간 기재(7)에 대한 칩 탑재 기재(5)의 탑재 매수와, 칩 탑재 기재(5)에 대한 반도체 칩(3)의 탑재 매수 및 탑재 방법 등에 대해서도 마

찬가지이다. 또한, 반도체 칩(3), 칩 탑재 기재(5) 및 중간 기재(7) 각각의 사이에서의 배선 패턴, 나아가서는 반도체 장치(1)내 전체의 배선 패턴 및 회로 구성 등도, 원하는 반도체 장치(1)의 성능이나 기능 등에 맞게 적절하게 적정한 상태로 설계하여 형성하면 된다.

또한, 예를 들면, 1개의 반도체 장치(1)의 내부에 논리 칩과 메모리 칩을 혼재시켜도 된다. 또는 1매의 칩 탑재 기재(5)에 대하여 2매의 중간 기재(7)를 중첩하여 적층하거나, 본래 필요한 매수의 중간 기재(7) 이외에, 반도체 장치(1) 전체의 기능에 간섭하지 않는 배선이 형성된, 소위 더미의 중간 기재(7)를 배치하거나 하여도 된다. 이 더미용 중간 기재(7)를 예를 들면 반도체 장치(1) 내에 있어서의 퓨즈로서 기능시킴으로써, 반도체 장치(1)의 안정성이나 신뢰성을 향상시킬 수 있다. 또한, 메모리 칩이 탑재된 칩 탑재 기재(5)로부터, 더미용 중간 기재(7)를 통해 논리 칩이 탑재된 다른 로직 보드에 배선을 접속하는 등, 더미용 중간 기재(7)를 반도체 장치(1) 내의 배선의 분기판으로서 기능시킬 수도 있다.

이상과 같이 설명한 본 발명의 실시예에 기초하여, 당업자는 다른 실시예 및 다양한 변형을 할 수 있음을 분명하다. 따라서, 본 발명은 개시된 실시예에 한정되지 않을 뿐만 아니라, 첨부한 청구 범위에 의해서도 한정되는 것으로 보아서도 안된다.

(57) 청구의 범위

청구항 1.

복수 개의 신호용 단자를 갖는 반도체 칩과,

상기 반도체 칩이 각각 1개 이상씩 탑재됨과 함께, 그 탑재된 각 반도체 칩의 상기 각 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선이 형성되어 있으며, 또한 두께 방향을 따라 2층 이상으로 적층되는 복수 매의 칩 탑재 기판과,

이들 복수 매의 칩 탑재 기판에 대하여 교대로 배치됨과 함께, 인접하는 상기 칩 탑재 기판의 상기 각 칩 접속용 배선에 전기적으로 접속되는 복수 개의 충간 접속용 배선이 형성되어 있는 중간 기판

을 구비하고,

상기 각 칩 접속용 배선은 상기 각 칩 탑재 기판에 대하여 실질적으로 동일 패턴으로 형성되어 있음과 함께, 상기 각 충간 접속용 배선은 상기 각 칩 탑재 기판에 각각 탑재된 상기 각 반도체 칩 사이에서의 상기 각 신호용 단자끼리의 전기적인 접속 상태, 또는 복수 개의 소정의 외부 단자에 전기적으로 접속되어 있는 복수 개의 외부 단자 접속용 배선과 상기 각 신호용 단자와의 전기적인 접속 상태를 전환 가능하게 패턴 형성되어 있는 칩 적층형 반도체 장치.

청구항 2.

제1항에 있어서,

상기 각 반도체 칩은 메모리 칩인 칩 적층형 반도체 장치.

청구항 3.

제2항에 있어서,

상기 각 충간 접속용 배선은 상기 각 신호용 단자 중의 데이터용 단자를 각각 독립하여 상기 각 외부 단자 접속용 배선에 전기적으로 접속 가능한 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

청구항 4.

삭제

청구항 5.

삭제

청구항 6.

삭제

청구항 7.

삭제

청구항 8.

삭제

청구항 9.

삭제

청구항 10.

삭제

청구항 11.

삭제

청구항 12.

삭제

청구항 13.

삭제

청구항 14.

삭제

청구항 15.

삭제

청구항 16.

복수 개의 신호용 단자를 갖는 반도체 칩이 1개 이상씩 탑재됨과 함께, 그 탑재된 각 반도체 칩의 상기 각 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선이 실질적으로 동일 패턴으로 형성되어 있으며, 또한 두께 방향을 따라 적층되는 2매의 칩 탑재 기판과,

이들 2매의 칩 탑재 기판 사이에 배치됨과 함께, 인접하는 상기 각 칩 탑재 기판의 상기 각 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 배선이 소정의 배선 패턴으로 형성되어 있는 제1 중간 기판과,

상기 제1 중간 기판과 함께, 상기 각 칩 탑재 기판에 대하여 교대로 적층되도록 배치됨과 함께, 인접하는 상기 칩 탑재 기판의 상기 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 배선이 상기 제1 중간 기판에 형성되어 있는 층간 접속용 배선과는 상이한 배선 패턴으로 형성되어 있는 제2 중간 기판

을 구비하는 칩 적층형 반도체 장치.

청구항 17.

제16항에 있어서,

상기 제1 중간 기판에 형성되어 있는 층간 접속용 배선, 및 상기 제2 중간 기판에 형성되어 있는 층간 접속용 배선은, 상기 각 칩 탑재 기판에 탑재된 상기 각 반도체 칩의 각 신호용 단자의 통전 경로를 적층 방향에서 각각 서로 다른 경로로 설정 가능하게, 각각 서로 다른 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

청구항 18.

제16항에 있어서,

상기 제1 중간 기판에 형성되어 있는 층간 접속용 배선, 및 상기 제2 중간 기판에 형성되어 있는 층간 접속용 배선은, 상기 각 칩 탑재 기판에 탑재된 상기 각 반도체 칩 사이에서의 상기 각 신호용 단자끼리의 전기적인 접속 상태, 또는 복수 개의 소정의 외부 단자로 전기적으로 접속되어 있는 복수 개의 외부 단자 접속용 배선과 상기 각 신호용 단자와의 전기적인 접속 상태를 각 중간 기판에 있어서 전환 가능하게, 각각 다른 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

청구항 19.

제16항에 있어서,

상기 각 반도체 칩은 메모리 칩인 칩 적층형 반도체 장치.

청구항 20.

제19항에 있어서,

상기 각 층간 접속용 배선은 상기 각 신호용 단자 중의 데이터용 단자를 각각 독립하여 상기 각 외부 단자 접속용 배선에 전기적으로 접속 가능한 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

청구항 21.

복수 개의 신호용 단자를 갖는 반도체 칩이 1개 이상씩 탑재됨과 함께, 그 탑재된 각 반도체 칩의 상기 각 신호용 단자에 전기적으로 접속되는 복수 개의 칩 접속용 배선이 실질적으로 동일 패턴으로 형성되어 있으며, 또한 두께 방향을 따라 적층되는 2매의 칩 탑재 기판과,

이들 2매의 칩 탑재 기판 사이에 배치됨과 함께, 인접하는 상기 각 칩 탑재 기판의 상기 각 칩 접속용 배선에 전기적으로 접속되는 복수 개의 층간 접속용 배선이 소정의 배선 패턴으로 형성되어 있는 1매의 중간 기판

을 구비하는 칩 적층형 반도체 장치.

청구항 22.

제21항에 있어서,

상기 각 층간 접속용 배선은 상기 각 칩 탑재 기판에 탑재된 상기 각 반도체 칩의 각 신호용 단자의 통전 경로를 적층 방향에서 각각 서로 다른 경로로 설정 가능한 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

청구항 23.

제21항에 있어서,

상기 각 층간 접속용 배선은 상기 각 칩 탑재 기판에 탑재된 상기 각 반도체 칩 사이에서의 상기 각 신호용 단자끼리의 전기적인 접속 상태, 또는 복수 개의 소정의 외부 단자로 전기적으로 접속되어 있는 복수 개의 외부 단자 접속용 배선과 상기 각 신호용 단자와의 전기적인 접속 상태를 상기 중간 기판에 있어서 전환 가능한 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

청구항 24.

제21항에 있어서,

상기 각 반도체 칩은 메모리 칩인 칩 적층형 반도체 장치.

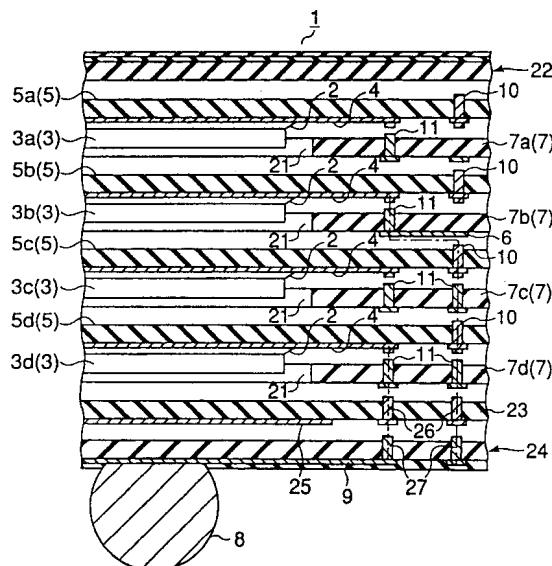
청구항 25.

제24항에 있어서,

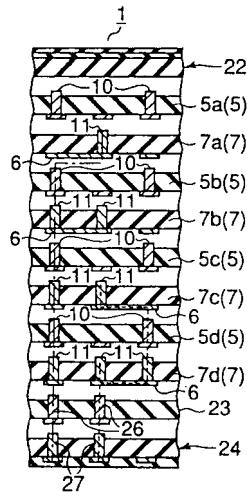
상기 각 층간 접속용 배선은 상기 각 신호용 단자 중의 데이터용 단자를 각각 독립하여 상기 각 외부 단자 접속용 배선에 전기적으로 접속 가능한 배선 패턴으로 형성되어 있는 칩 적층형 반도체 장치.

도면

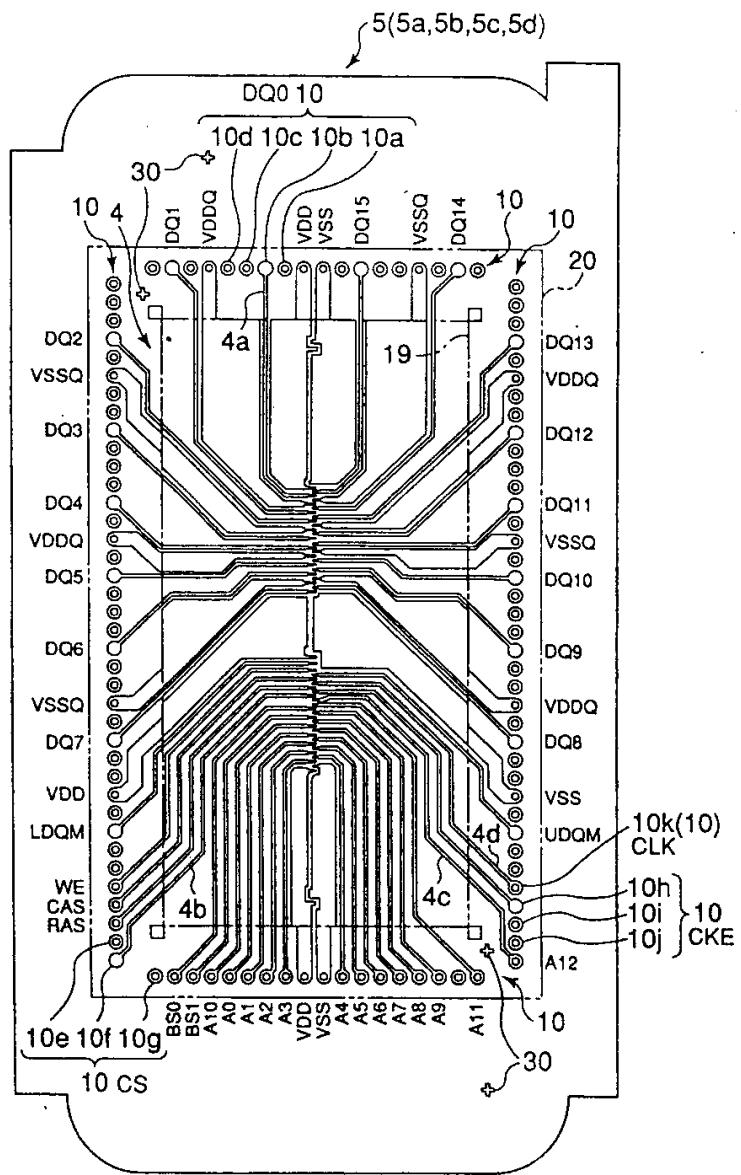
도면1



도면2

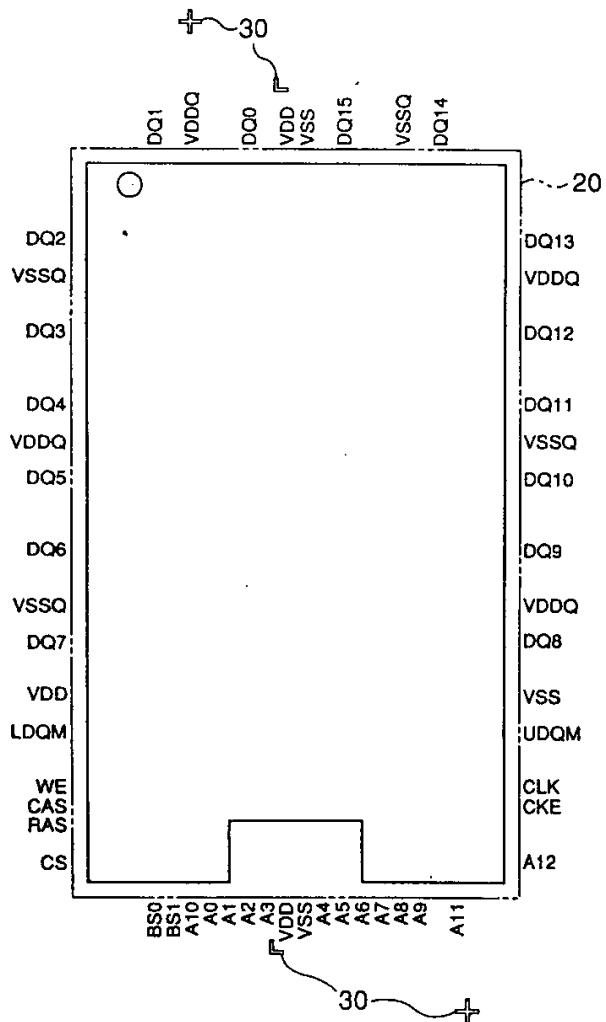


도면3

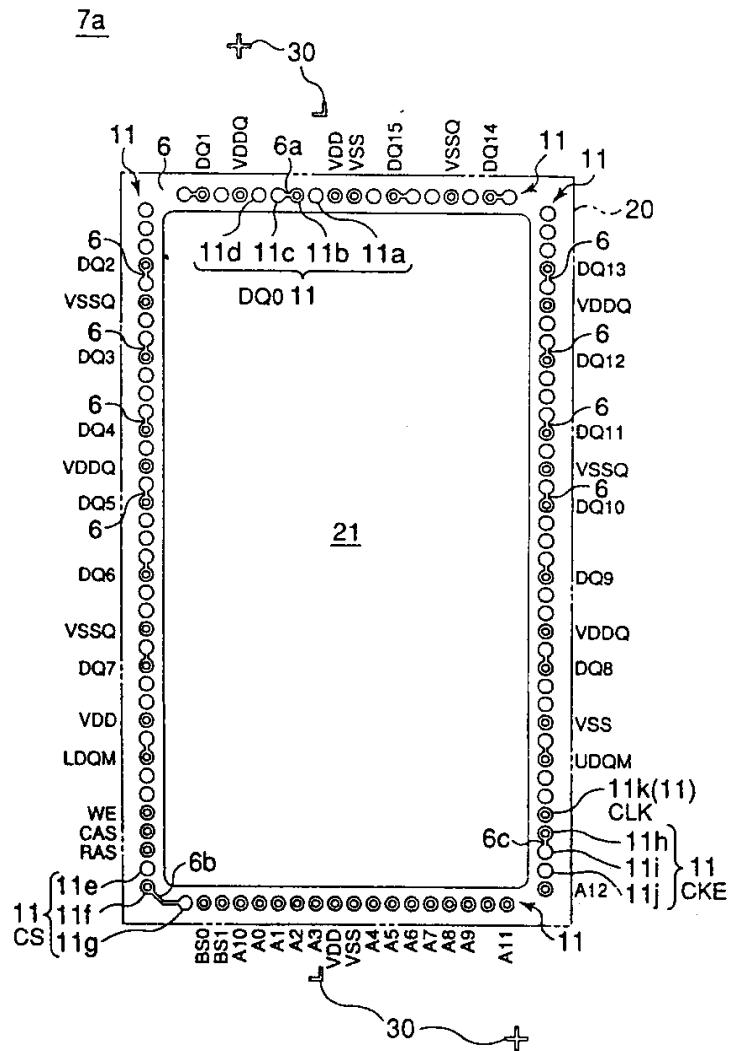


도면4

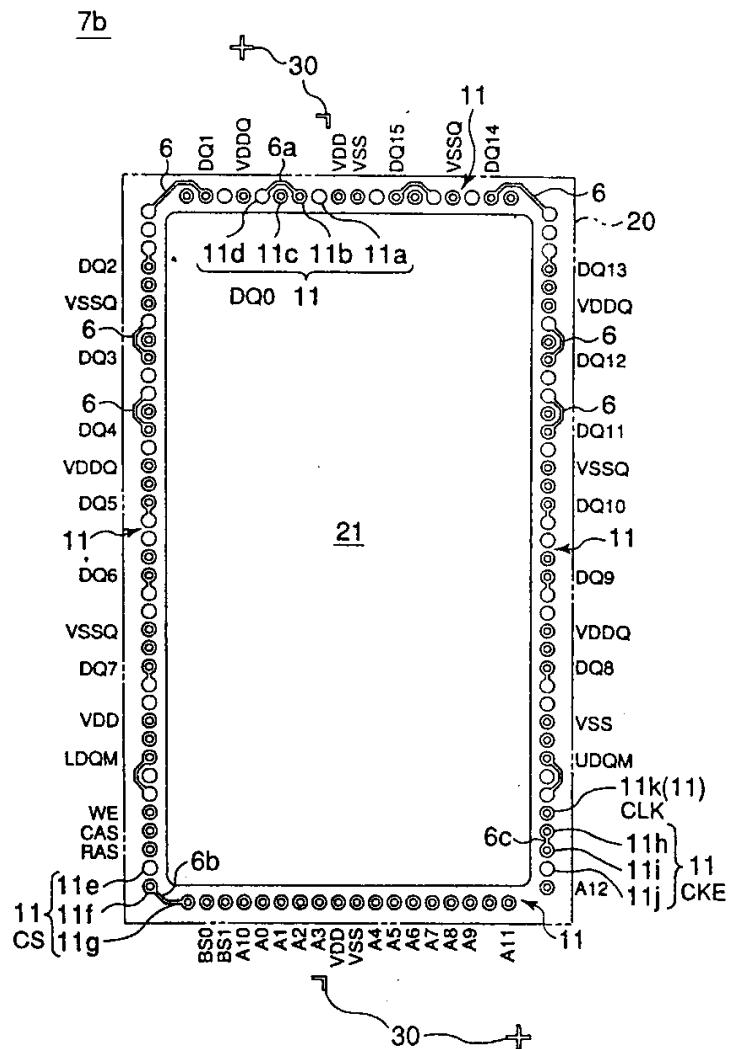
22



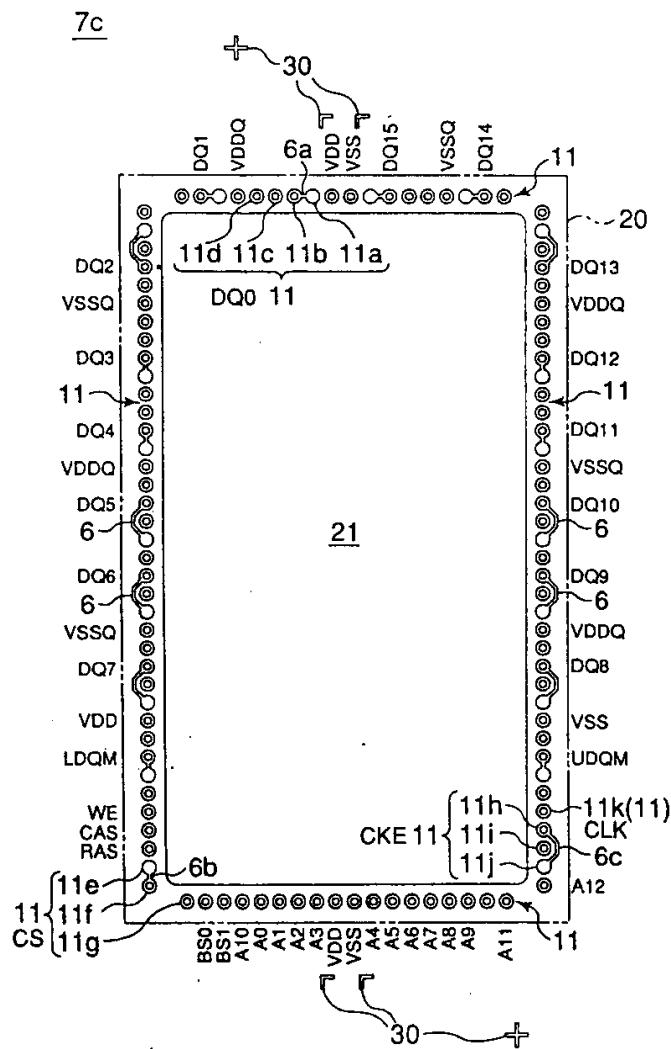
도면5



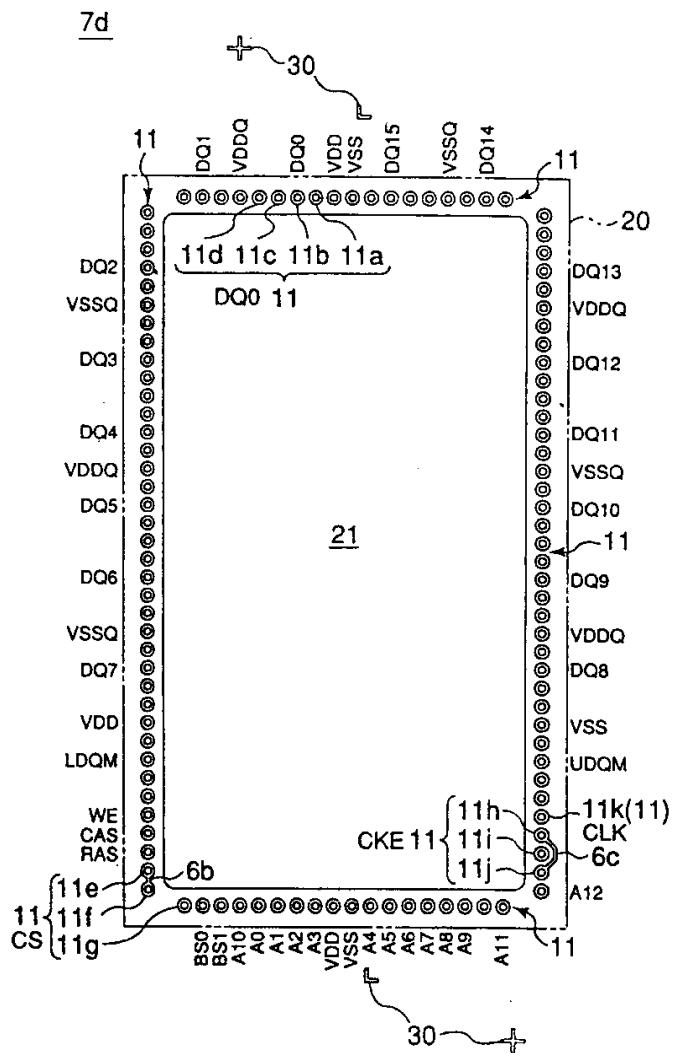
도면6



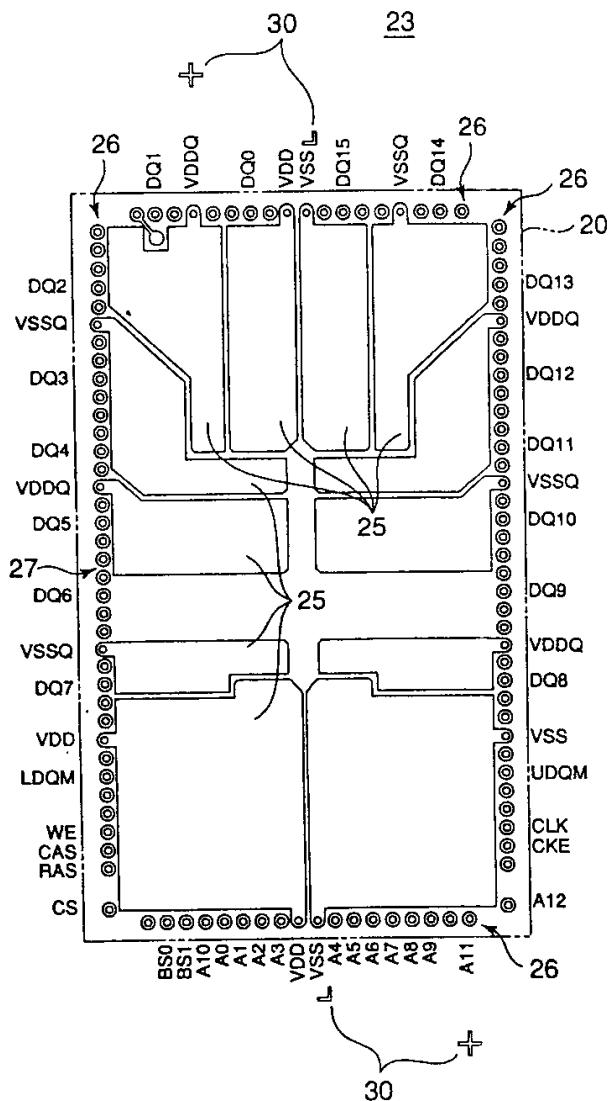
도면7



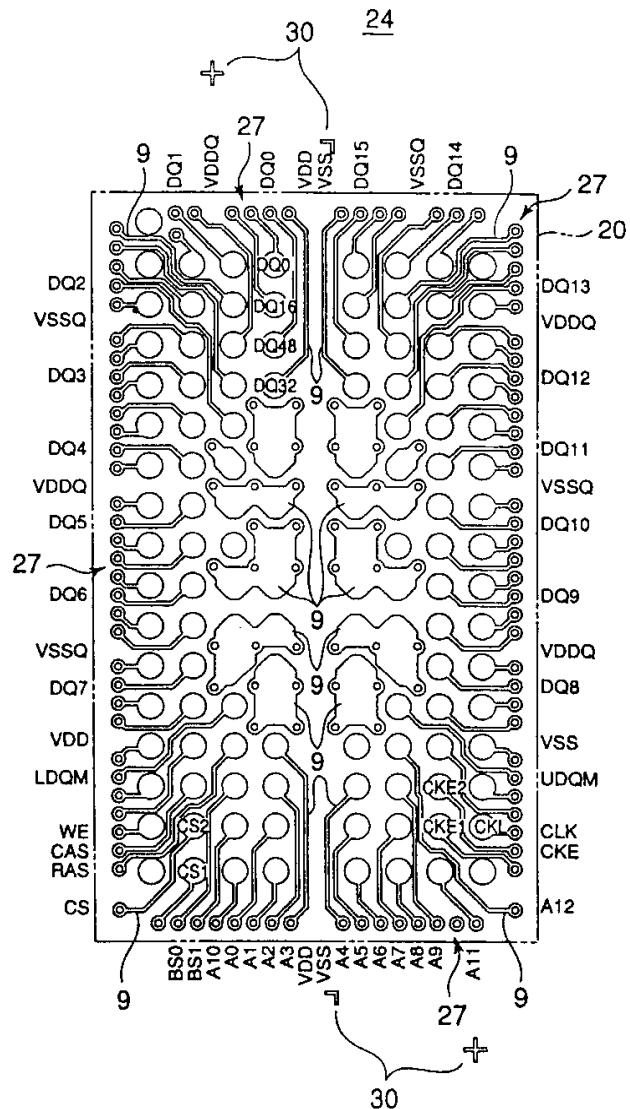
도면8



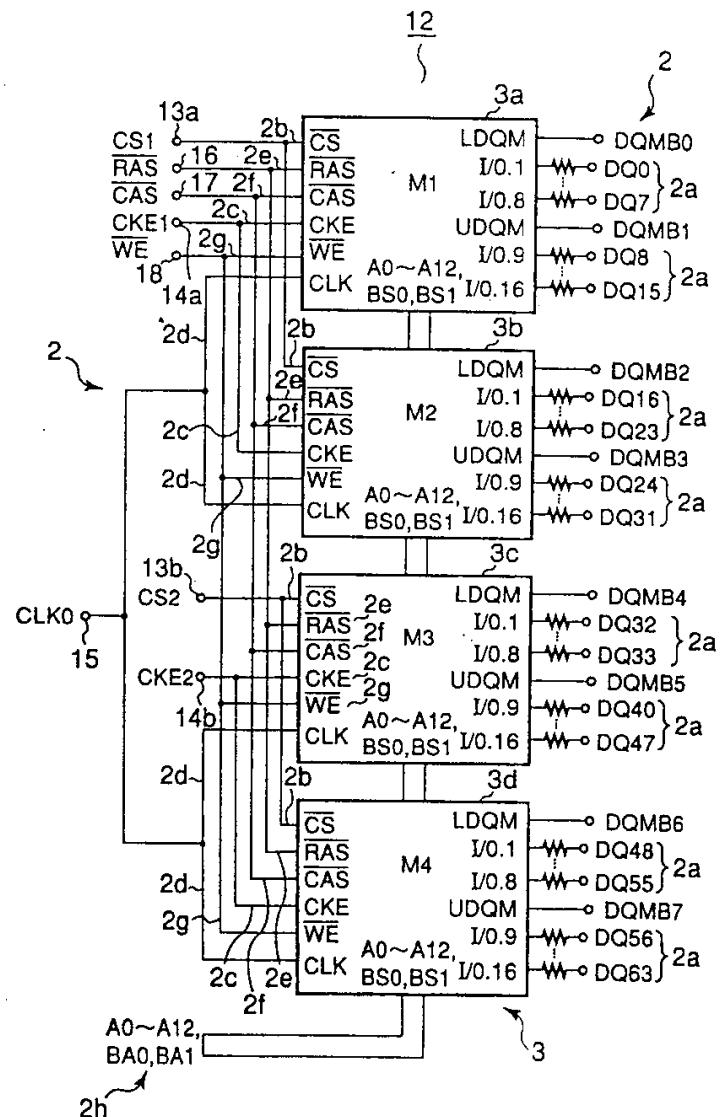
도면9



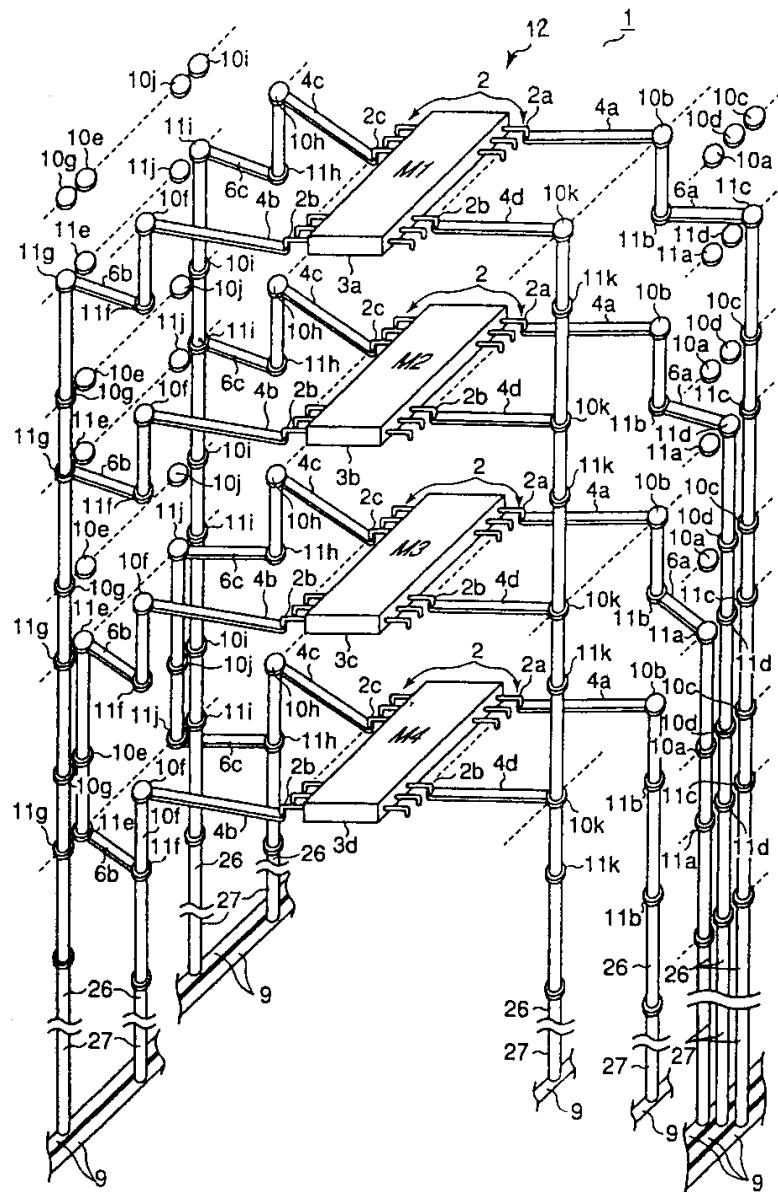
도면10



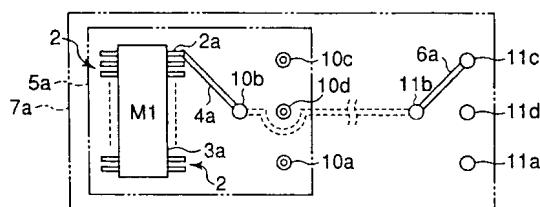
도면 11



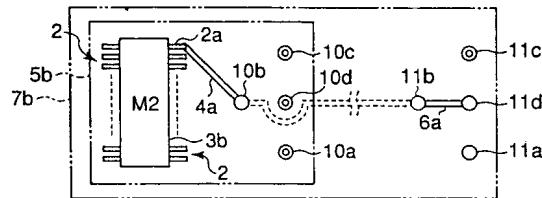
도면12



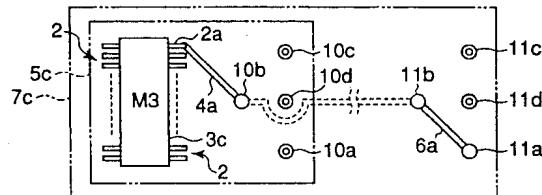
도면13



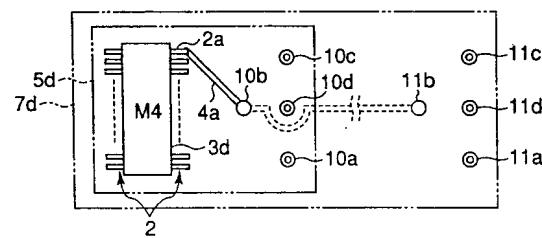
도면14



도면15

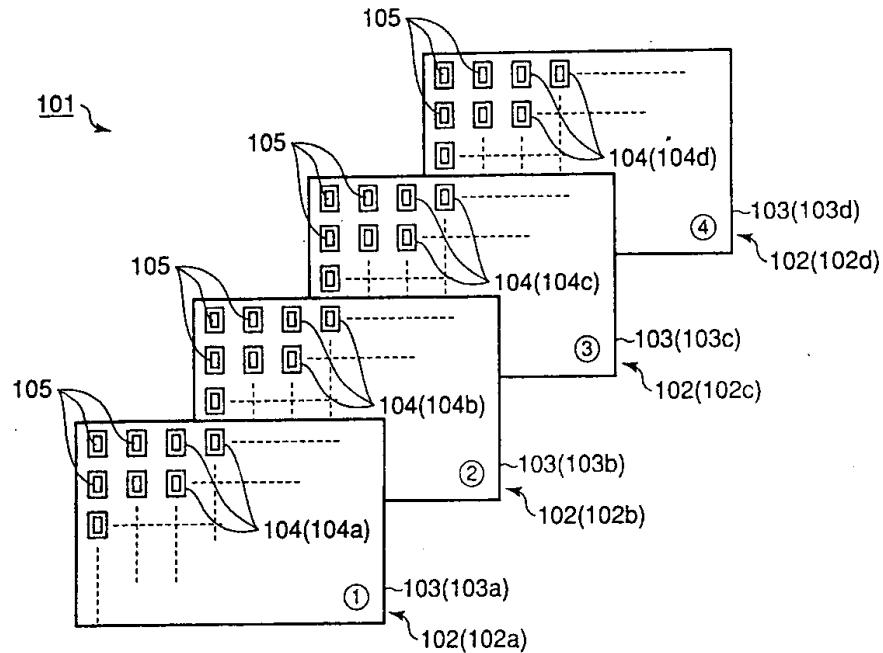


도면16



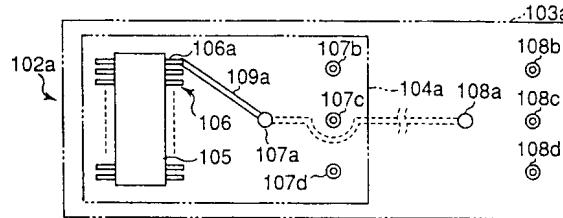
도면17

(종래 기술)



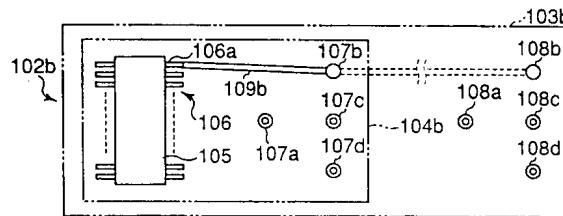
도면18

(종래 기술)



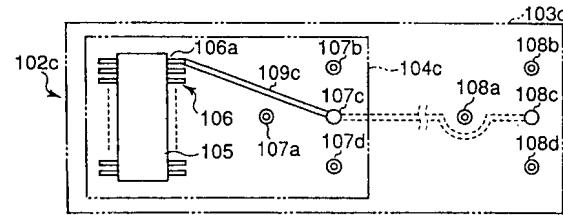
도면19

(종래 기술)



도면20

(종래 기술)



도면21

(종래 기술)

