

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2019年3月7日 (07.03.2019)



(10) 国际公布号  
**WO 2019/041840 A1**

- (51) 国际专利分类号:  
*GI1C 11/418* (2006.01)
- (21) 国际申请号: PCT/CN2018/084100
- (22) 国际申请日: 2018年4月23日 (23.04.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201710785410.5 2017年9月4日 (04.09.2017) CN
- (71) 申请人: 华为技术有限公司 (HUAWEI TECHNOLOGIES CO., LTD.) [CN/CN]; 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。
- (72) 发明人: 池思杰 (CHI, Sijie); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129

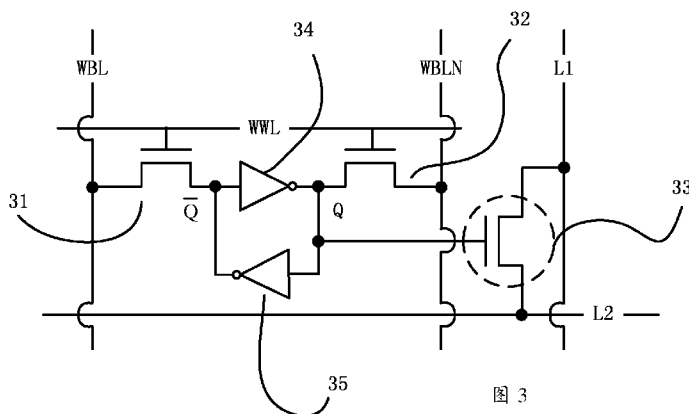
(CN)。季秉武 (JI, Bingwu); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。赵坦夫 (ZHAO, Tanfu); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。周云明 (ZHOU, Yunming); 中国广东省深圳市龙岗区坂田华为总部办公楼, Guangdong 518129 (CN)。

(74) 代理人: 北京亿腾知识产权代理事务所 (E-TONE INTELLECTUAL PROPERTY FIRM); 中国北京市海淀区中关村紫金数码园3号楼707, Beijing 100190 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,

(54) Title: MEMORY UNIT AND STATIC RANDOM ACCESS MEMORY

(54) 发明名称: 一种存储单元和静态随机存储器



(57) Abstract: A memory unit and a static random access memory. The memory unit comprises : a latch, the latch providing a first memory bit; and the memory unit further comprises a first MOS tube; the gate electrode of the first MOS tube is connected to the first memory bit, the source electrode of the first MOS tube is connected to a first reading line, and the drain electrode of first MOS tube is connected to a second reading line; in a first state, the first reading line is a reading word line, and the second reading line is a reading bit line; and in a second state, the second reading line is a reading word line, and the first reading line is a reading bit line. The present memory unit and the memory unit of the static random access memory can enable the exchange of the reading word line and the reading bit line.

(57) 摘要: 一种存储单元和静态随机存储器, 该存储单元包括: 锁存器, 所述锁存器提供第一存储位; 所述存储单元还包括第一MOS管; 所述第一MOS管的栅极连接所述第一存储位, 所述第一MOS管的源极连接第一读取线, 所述第一MOS管的漏极连接第二读取线; 在第一状态下, 所述第一读取线为读取字线, 所述第二读取线为读取位线; 在第二状态下, 所述第二读取线为读取字线, 所述第一读取线为读取位线。本存储单元和静态随机存储器的存储单元能够实现读取字线和读取位线互换。

WO 2019/041840 A1

JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,  
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,  
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,  
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,  
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW。

**(84)** 指定国(除另有指明, 要求每一种可提供的地区  
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,  
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,  
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,  
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,  
IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,  
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

### 一种存储单元和静态随机存储器

5 本申请要求于 2017 年 09 月 04 日提交中国专利局、申请号为 201710785410.5、申请名称为“一种存储单元和静态随机存储器”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

### 技术领域

10 本发明涉及存储领域，尤其涉及一种存储单元和静态随机存储器（Static Random Access Memory, SRAM）。

### 背景技术

图 1 为传统的 SRAM 的存储单元结构示意图。该存储单元采用普通的六管单元，由 6 个金属-氧化物-半导体（metal oxide semiconductor, MOS）场效应晶体管构成，MOS 场效应晶体管简称为 MOS 管。参照图 1，该存储单元包括两个反相门和两个 MOS 管。其中，两个反相门由 4 个 MOS 管构成，图中的两个反相门构成锁存器，用于存储数据，而图中的两个 MOS 管用于门控访问。由两个反相门循环相连的锁存器存在两种稳定状态，0 和 1。其中，A 和 B 为两个状态相反的存储位，例如，当存储位 A 为逻辑 0 时，存储位 B 为逻辑 1；当存储位 A 为逻辑 1 时，存储位 B 为逻辑 0。使用字线（word\_line, WL）来控制存储单元的  
15 门控访问，使用位线（bit\_line, BL）来进行存储单元的读写。读：拉高 WL，从 BL 中读出位即可。写：拉高 WL，拉高或者拉低 BL，由于 BL 的驱动能力比存储单元强，会强制覆盖原来的状态。图 1 中，bit 和 nbit 均代表位线，位线 bit 用于读取存储位 A 的数据，位线 nbit 用于读取存储位 B 的数据，通过两者读取的存储单元的数据相反。

20 图 2 为传统的 SRAM 的存储阵列示意图。该存储阵列包括 3×3 的图 1 所示的存储单元。针对传统的 SRAM 进行数据读取时，通常只能读取某一地址的数据，如果想要获取该地址关于矩阵对角线对称地址的数据，需要通过在 SRAM 外围数字电路的代码中写入算法来处理，这种方式速度慢且功耗和工作负载均较高。

### 发明内容

30 本发明实施例提供了一种存储单元和静态随机存储器，能够实现读取字线和读取位线互换，从而能够获取某一地址关于矩阵对角线对称地址的数据，这种方式速度快且功耗和工作负载均较低。

第一方面，提供了一种存储单元，所述存储单元包括锁存器，所述锁存器提供第一存储位；所述存储单元还包括第一 MOS 管；所述第一 MOS 管的栅极连接所述第一存储位，  
35 所述第一 MOS 管的源极连接第一读取线，所述第一 MOS 管的漏极连接第二读取线；在第一状态下，所述第一读取线为读取字线，所述第二读取线为读取位线；在第二状态下，所述第二读取线为读取字线，所述第一读取线为读取位线。

本发明实施例，以传统的能够提供存储位的锁存器的结构为基础，增加了一个 MOS 管，该 MOS 管的栅极连接存储位，该 MOS 管的源极和漏极分别连接第一读取线和第二读

取线,基于 MOS 管本身的特性,第一读取线和第二读取线中的任一个均可作为读取位线,另一个作为读取字线,从而实现读取字线和读取位线的可互换,通过改变最底层的硬件存储单元来实现快速的获取某一地址关于矩阵对角线对称地址的数据,而不是在代码层面写入算法,相当于一个硬件加速器,相比在数字电路的代码中写入算法,能极大地提升速度,并极大地降低功耗和工作负载,通常一到两拍(时钟周期)即可完成,而数字电路代码实现可能需要上千拍。

在一种可能的实施方式中,所述第一 MOS 管为 NMOS 管或 PMOS 管。

在一种可能的实施方式中,所述锁存器还提供第二存储位;所述存储单元还包括第二 MOS 管;所述第二 MOS 管的栅极连接所述第二存储位,所述第二 MOS 管的源极连接所述第一读取线,所述第二 MOS 管的漏极连接所述第二读取线。根据该实施方式,通过一对 MOS 管分别读取状态相反的两个存储位的数据,能够提高读取数据的准确性。

在一种可能的实施方式中,所述第一 MOS 管为 NMOS 管且所述第二 MOS 管为 PMOS 管;或,所述第一 MOS 管为 PMOS 管且所述第二 MOS 管为 NMOS 管。

第二方面,提供了一种静态随机存储器,所述静态随机存储器包括:多个存储单元;所述存储单元包括锁存器,所述锁存器提供第一存储位;所述存储单元还包括第一 MOS 管;所述第一 MOS 管的栅极连接所述第一存储位,所述第一 MOS 管的源极连接第一读取线,所述第一 MOS 管的漏极连接第二读取线;在第一状态下,所述第一读取线为读取字线,所述第二读取线为读取位线;在第二状态下,所述第二读取线为读取字线,所述第一读取线为读取位线;所述多个存储单元构成行列数相同的矩形的存储阵列;所述存储阵列中同一行的所述存储单元连接相同的所述第一读取线;所述存储阵列中同一列的所述存储单元连接相同的所述第二读取线。

本发明实施例,静态随机存储器的存储单元以传统的能够提供存储位的锁存器的结构为基础,增加了一个 MOS 管,该 MOS 管的栅极连接存储位,该 MOS 管的源极和漏极分别连接第一读取线和第二读取线,基于 MOS 管本身的特性,第一读取线和第二读取线中的任一个均可作为读取位线,另一个作为读取字线,从而实现读取字线和读取位线的可互换,通过改变最底层的硬件存储单元来实现快速的获取某一地址关于矩阵对角线对称地址的数据,而不是在代码层面写入算法,相当于一个硬件加速器,相比在数字电路的代码中写入算法,能极大地提升速度,并极大地降低功耗和工作负载,通常一到两拍(时钟周期)即可完成,而数字电路代码实现可能需要上千拍。

在一种可能的实施方式中,所述第一 MOS 管为 NMOS 管或 PMOS 管。

在一种可能的实施方式中,所述锁存器还提供第二存储位;所述存储单元还包括第二 MOS 管;所述第二 MOS 管的栅极连接所述第二存储位,所述第二 MOS 管的源极连接所述第一读取线,所述第二 MOS 管的漏极连接所述第二读取线。根据该实施方式,通过一对 MOS 管分别读取状态相反的两个存储位的数据,能够提高读取数据的准确性。

在一种可能的实施方式中,所述第一 MOS 管为 NMOS 管且所述第二 MOS 管为 PMOS 管;或,所述第一 MOS 管为 PMOS 管且所述第二 MOS 管为 NMOS 管。

在一种可能的实施方式中,每个所述存储单元与控制信号相连接;当所述控制信号为第一序列时,将所述存储单元视为所述第一状态;当所述控制信号为第二序列时,将所述存储单元视为所述第二状态。根据该实施方式,通过控制信号来控制静态随机存储器的

存储单元的读取状态的切换，简单快速。

在一种可能的实施方式中，所述第一序列的长度为 1bit；所述第二序列的长度为 1bit；所述第一序列为 0 且所述第二序列为 1，或，所述第一序列为 1 且所述第二序列为 0。根据该实施方式，通过 1bit 控制信号来控制静态随机存储器的存储单元的读取状态的切换，简单快速。

5  
10  
15  
20  
25  
在一种可能的实施方式中，所述静态随机存储器还包括：第一解码器、第二解码器、第一字线驱动器、第二字线驱动器、第一读出放大器、第二读出放大器和反相器；所述控制信号连接所述第一解码器的使能端、所述第一字线驱动器的使能端和所述第一读出放大器的使能端；所述第一解码器的输入端输入地址值，所述第一解码器的第一输出端输出行号，所述第一解码器的第二输出端输出列号；所述第一解码器的第一输出端连接所述第一读出放大器的控制端，所述第一读出放大器的输入端连接所述第一读取线；所述第一解码器的第二输出端连接所述第一字线驱动器的控制端，所述第一字线驱动器的输出端连接所述第二读取线，所述第一读出放大器的控制端用于控制所述第一读出放大器对至少一个输入端的数据进行放大处理，所述第一字线驱动器的控制端用于控制所述第一字线驱动器的至少一个输出端输出第一逻辑状态；所述控制信号连接所述反相器的输入端，所述反相器的输出端连接所述第二解码器的使能端、所述第二字线驱动器的使能端和所述第二读出放大器的使能端；所述第二解码器的输入端输入地址值，所述第二解码器的第一输出端输出行号，所述第二解码器的第二输出端输出列号；所述第二解码器的第一输出端连接所述第二读出放大器的控制端，所述第二读出放大器的输入端连接所述第二读取线；所述第二解码器的第二输出端连接所述第二字线驱动器的控制端，所述第二字线驱动器的输出端连接所述第一读取线，所述第二读出放大器的控制端用于控制所述第二读出放大器对至少一个输入端的数据进行放大处理，所述第二字线驱动器的控制端用于控制所述第二字线驱动器的至少一个输出端输出所述第一逻辑状态。根据该实施方式，设置两组解码器、字线驱动器和读出放大器，两组解码器、字线驱动器和读出放大器的连线不同，通过控制信号控制其中的一组解码器、字线驱动器和读出放大器工作，从而实现读取字线和读取位线的互换。

30  
35  
在一种可能的实施方式中，所述静态随机存储器还包括：解码器、字线驱动器、读出放大器、与所述存储阵列的行数相同数目个第一选择器、与所述存储阵列的列数相同数目个第二选择器；所述解码器的输入端输入地址值，所述解码器的第一输出端输出行号，所述解码器的第二输出端输出列号；所述解码器的第一输出端连接所述字线驱动器的控制端，所述字线驱动器的控制端用于控制所述字线驱动器的至少一个输出端输出第一逻辑状态，所述解码器的第二输出端连接所述读出放大器的控制端，所述读出放大器的控制端用于控制所述读出放大器对至少一个输入端的数据进行放大处理；所述控制信号连接所述第一选择器和所述第二选择器的控制端；所述第一选择器的第一端口连接所述第一读取线，所述第一选择器的第二端口连接所述第二读取线，所述第一选择器的第三端口连接所述字线驱动器的输出端；其中，所述第一选择器的控制端用于控制所述第一选择器的第一端口与所述第一选择器的第三端口联通，或所述第一选择器的第二端口与所述第一选择器的第三端口联通；所述第二选择器的第一端口连接所述第二读取线，所述第二选择器的第二端口连接所述第一读取线，所述第二选择器的第三端口连接所述读出放大器的输入端；其中，所述第二选择器的控制端用于控制所述第二选择器的第一端口与所述第二选择器的第三

端口联通，或所述第二选择器的第二端口与所述第二选择器的第三端口联通。根据该实施方式，通过选择器切换电路的连接方式，从而实现读取字线和读取位线的互换。

第三方面，提供了一种芯片，该芯片包括：上述第二方面的静态随机存储器。

在一种可能的实施方式中，该芯片用于卷积神经网络中的卷积核分解。

5

## 附图说明

图 1 为传统的 SRAM 的存储单元结构示意图；

图 2 为传统的 SRAM 的存储阵列示意图；

图 3 为本发明实施例提供的一种 SRAM 的存储单元结构示意图；

10 图 4 为本发明实施例提供的另一种 SRAM 的存储单元结构示意图；

图 5 为本发明实施例提供的又一种 SRAM 的存储单元结构示意图；

图 6 为本发明实施例提供的传统读取时的存储单元读取示意图；

图 7 为本发明实施例提供的传统读取时的存储阵列读取示意图；

图 8 为本发明实施例提供的转序读取时的存储单元读取示意图；

15 图 9 为本发明实施例提供的转序读取时的存储阵列读取示意图；

图 10 为本发明实施例提供的一种控制电路示意图；

图 11 为本发明实施例提供的另一种控制电路示意图；

图 12 为图像矩阵和卷积核矩阵的示意图；

图 13 为  $5 \times 5$  图像矩阵和  $3 \times 3$  卷积核矩阵之间的卷积计算示意图。

20

## 具体实施方式

本发明实施例，提供了一种存储单元，所述存储单元包括锁存器，所述锁存器提供第一存储位；所述存储单元还包括第一 MOS 管；所述第一 MOS 管的栅极连接所述第一存储位，所述第一 MOS 管的源极连接第一读取线，所述第一 MOS 管的漏极连接第二读取线；  
25 在第一状态下，所述第一读取线为读取字线，所述第二读取线为读取位线；在第二状态下，所述第二读取线为读取字线，所述第一读取线为读取位线。

其中，所述锁存器可以但不限于为由两个反相门循环相连构成的锁存器。基于通常的存储单元中包括的锁存器，该锁存器对应的原有的位线和字线不再用于读取数据。

可以理解的是，所述第一 MOS 管可以为 NMOS 管或 PMOS 管。

30 在一个示例中，所述锁存器还提供第二存储位；所述存储单元还包括第二 MOS 管；所述第二 MOS 管的栅极连接所述第二存储位，所述第二 MOS 管的源极连接所述第一读取线，所述第二 MOS 管的漏极连接所述第二读取线。根据该实施方式，通过一对 MOS 管分别读取状态相反的两个存储位的数据，能够提高读取数据的准确性。

35 在一个示例中，所述第一 MOS 管为 NMOS 管且所述第二 MOS 管为 PMOS 管；或，所述第一 MOS 管为 PMOS 管且所述第二 MOS 管为 NMOS 管。

本发明实施例，以传统的能够提供存储位的锁存器的结构为基础，增加了一个 MOS 管，该 MOS 管的栅极连接存储位，该 MOS 管的源极和漏极分别连接第一读取线和第二读取线，基于 MOS 管本身的特性，第一读取线和第二读取线中的任一个均可作为读取位线，另一个作为读取字线，从而实现读取字线和读取位线的可互换，通过改变最底层的硬件存

储单元来实现快速的获取某一地址关于矩阵对角线对称地址的数据，而不是在代码层面写入算法，相当于一个硬件加速器，相比在数字电路的代码中写入算法，能极大地提升速度，并极大地降低功耗和工作负载，通常一到两拍（时钟周期）即可完成，而数字电路代码实现可能需要上千拍。

5 图3为本发明实施例提供的一种SRAM的存储单元结构示意图。如果两个反向门是按照现有技术的4个MOS管的结构设计的话，那么本发明实施例中的该存储单元可以被视为一种7管单元，在传统的6管单元上增加一个如图所示圆圈中的MOS管，使得该SRAM有传统读取和转序读取两种模式。

下面对图3所示的存储单元的结构进行具体说明，所述存储单元包括：第一MOS管、  
10 第二MOS管、第三MOS管、第四MOS管、第五MOS管31、第六MOS管32（第五MOS管、第六MOS管又称写MOS管）和第七MOS管33；

其中，第一MOS管、第二MOS管、第三MOS管、第四MOS管在图3中未示出，所述第一MOS管和所述第二MOS管组成第一反相门34，所述第三MOS管和所述第四MOS管组成第二反相门35；所述第一反相门34和所述第二反相门35首尾相连构成锁存器，所述第一反相门34的输出端为第一存储位Q，所述第二反相门35的输出端为第二存储位 $\bar{Q}$ ；  
15

所述第五MOS管31的源极和漏极中的一极与所述第二存储位 $\bar{Q}$ 相连，所述第六MOS管32的源极和漏极中的一极与所述第一存储位Q相连；所述第五MOS管31的栅极和所述第六MOS管32的栅极连接写字线（write word line，WWL），所述第五MOS管31的源极和漏极中的另一极连接第一写位线（write bit line，WBL），所述第六MOS管32的源极和漏极中的另一极连接第二写位线（write bit line negate，WBLN），由于第二写位线与第一写位线的逻辑状态相反，因此本发明实施例中将第一写位线记为WBL，将第二写位线记为WBLN；当将数据写入所述存储单元时，通过所述写字线使所述第五MOS管31和所述第六MOS管32导通，例如，所述写字线WWL为逻辑1，所述第一写位线WBL的逻辑状态为所述数据的逻辑状态，将所述数据写入所述第二存储位 $\bar{Q}$ ，或，所述第二写位线WBLN的逻辑状态为所述数据的逻辑状态，将所述数据写入所述第一存储位Q；  
20

可以理解的是，第一状态和第二状态仅用以区分两种不同的读取状态，本发明实施例中并不限定第一状态和第二状态。例如，在第一状态下，所述第一读取线为读取字线，所述第二读取线为读取位线；在第二状态下，所述第二读取线为读取字线，所述第一读取线为读取位线。还可以，在第一状态下，所述第二读取线为读取字线，所述第一读取线为读取位线；在第二状态下，所述第一读取线为读取字线，所述第二读取线为读取位线。  
30

所述第七MOS管33的栅极连接所述第一存储位Q和所述第二存储位 $\bar{Q}$ 中的一个存储位，所述第七MOS管33的源极和漏极中的一极连接第一读取线L1，所述第七MOS管33的源极和漏极中的另一极连接第二读取线L2；当所述存储单元处于第一读取状态时，  
35 所述第一读取线L1为读取位线（RBL\_H，其中，H用于标识第一读取状态，第一读取状态可简称为第一状态），所述第二读取线L2为读取字线（RWL\_H）；当所述存储单元处于第二读取状态时，所述第一读取线L1为读取字线（RWL\_V，其中，V用于标识第二读取状态，第二读取状态可简称为第二状态），所述第二读取线L2为读取位线（RBL\_V）；当从所述存储单元读取数据时，将所述读取字线（RWL\_H或RWL\_V）设置为逻辑1，从

所述读取位线 (RBL\_H 或 RBL\_V) 读取所述第一存储位 Q 和所述第二存储位  $\bar{Q}$  中的一个存储位存储的数据。

其中, 可以将第一读取状态称为传统读取, 将第二读取状态称为转序读取。WBL 和 WBLN 为正反两路写位线, 用于写入存储数据; WWL 为写字线, 用于写入存储数据时的门控访问; RBL\_H 为传统读取时的读取位线, 用于读出存储数据; RWL\_H 为传统读取时的读取字线, 用于读出存储数据时的门控访问; RWL\_V 为转序读取时的读取字线, 用于读出存储数据时的门控访问; RBL\_V 为转序读取时的读取位线, 用于读出存储数据; 传统读取时的读取位线即是转序读取时的读取字线, 传统读取时的读取字线即是转序读取时的读取位线; Q 和  $\bar{Q}$  为存储位。外围电路可以设置一个 1 比特 (bit) 的控制信号, 比如 T\_EN, 通过 T\_EN 控制读取方式为传统读取或转序读取。

图 3 中, 所述第七 MOS 管 33 为 NMOS 管。

本发明的另一个实施例中, 图 3 中的所述第七 MOS 管 33 还可以用 PMOS 管来代替, 如图 4 所示的存储单元。

本发明的又一个实施例中, 可在图 3 或图 4 所示的存储单元的基础上再增加一个 MOS 管, 如图 5 所示的存储单元。所述存储单元还包括第八 MOS 管 36; 所述第八 MOS 管 36 的栅极连接所述第一存储位 Q 和所述第二存储位  $\bar{Q}$  中的另一个存储位 (例如, 当第七 MOS 管 33 连接第一存储位 Q 时, 第八 MOS 管 36 连接第二存储位  $\bar{Q}$ ), 所述第八 MOS 管 36 的源极和漏极中的一极连接所述第一读取线 L1, 所述第八 MOS 管 36 的源极和漏极中的另一极连接所述第二读取线 L2 (例如, 第八 MOS 管 36 的源极连接所述第一读取线 L1, 第八 MOS 管 36 的漏极连接所述第二读取线 L2); 参照图 5, 所述第七 MOS 管 33 为 PMOS 管且所述第八 MOS 管 36 为 NMOS 管, 可以理解的是, 还可以所述第七 MOS 管 33 为 NMOS 管且所述第八 MOS 管 36 为 PMOS 管。根据该实施方式, 通过一对 MOS 管分别读取状态相反的两个存储位的数据, 能够提高读取数据的准确性。

在一种可能的实施方式中, 所述存储单元与控制信号相连接; 当所述控制信号为第一序列时, 所述存储单元处于所述第一读取状态, 即 L1 为读取位线, L2 为读取字线, 通过控制信号控制外围电路拉高 L2 的电平, 从 L1 中读出数据即可; 当所述控制信号为第二序列时, 所述存储单元处于所述第二读取状态, 即 L1 为读取字线, L2 为读取位线, 通过控制信号控制外围电路拉高 L1 的电平, 从 L2 中读出数据即可。根据该实施方式, 通过控制信号来控制存储单元的读取状态的切换, 简单快速。

在一种可能的实施方式中, 所述第一序列的长度为 1bit; 所述第二序列的长度为 1bit; 所述第一序列为 0 且所述第二序列为 1, 或, 所述第一序列为 1 且所述第二序列为 0。根据该实施方式, 通过 1bit 控制信号来控制存储单元的读取状态的切换, 简单快速。

本发明实施例还提供了一种静态随机存储器, 所述静态随机存储器包括: 多个前面所述的存储单元 (例如, 图 3、图 4 或图 5 所示的存储单元); 所述多个存储单元构成行列数相同的矩形的存储阵列; 所述存储阵列中同一行的存储单元具有相同的所述第一读取线; 所述存储阵列中同一列的存储单元具有相同的所述第二读取线。下面的描述中仅以图 3 所示的存储单元为例进行说明, 其他的存储单元构成的静态随机存储器情况类似, 因此不做赘述。

本发明实施例, 静态随机存储器的存储单元以传统存储单元的结构为基础, 增加了

5 一个 MOS 管，这个新增的 MOS 管即所述第七 MOS 管，由于所述第七 MOS 管的栅极连接存储位，所述第七 MOS 管的源极和漏极分别连接第一读取线和第二读取线，基于 MOS 管本身的特性，第一读取线和第二读取线中的任一个均可作为读取位线，另一个作为读取字线，从而实现读取字线和读取位线的可互换，通过改变最底层的硬件存储单元来实现快速的获取某一地址关于矩阵对角线对称地址的数据，而不是在代码层面写入算法，相当于一个硬件加速器，相比在数字电路的代码中写入算法，能极大地提升速度，通常一到两拍（时钟周期）即可完成，而数字电路代码实现可能需要上千拍，并极大地降低功耗和工作负载。

10 在一个示例中，每个所述存储单元与控制信号相连接；当所述控制信号为第一序列时，所述存储单元处于所述第一读取状态；当所述控制信号为第二序列时，所述存储单元处于所述第二读取状态。根据该实施方式，通过控制信号来控制静态随机存储器的存储单元的读取状态的切换，简单快速。

15 在一个示例中，所述第一序列的长度为 1bit；所述第二序列的长度为 1bit；所述第一序列为 0 且所述第二序列为 1，或，所述第一序列为 1 且所述第二序列为 0。根据该实施方式，通过 1bit 控制信号来控制静态随机存储器的存储单元的读取状态的切换，简单快速。本发明实施例中仅以控制信号为 1bit 为例进行说明。

20 图 6 为传统读取时的存储单元读取示意图。当读取数据时，若控制信号 T\_EN=0，该控制信号驱动控制电路拉高 L2 的电平并从 L1 读取数据，此时 SRAM 读取方式为传统读取：竖着的是读取位线 RBL\_H，横着的是读取字线 RWL\_H。使读取字线 RWL\_H 保持为 1，如果节点 Q 存储的值为 0，增加的 MOS 管关闭，那么从读取位线 RBL\_H 读取的数据为 0；如果节点 Q 存储的值为 1，增加的 MOS 管打开，那么从读取位线 RBL\_H 读取的数据为 1。图 7 为传统读取时的存储阵列读取示意图。假设要读取字线编号为 0，位线编号为 2 的存储单元存储的数据，则读取了 (RBL\_H2,RWL\_H0) 的数据，即第一排最右边的存储单元的数据。

25 图 8 为转序读取时的存储单元读取示意图。当读取数据时，若控制信号 T\_EN=1，该控制信号驱动控制电路拉高 L1 的电平并从 L2 读取数据，此时 SRAM 读取方式为转序读取：横着的变成了读取位线 RBL\_V，竖着变成了读取字线 RWL\_V。本发明实施例中，并不改变外部送过来的字线和位线的值，而是改变字线位线本身，即互换字线位线。图 9 为转序读取时的存储阵列读取示意图。假设仍然要读取字线编号为 0，位线编号为 2 的存储单元存储的数据，但是如图 9，这时候读取了 (RBL\_V2,RWL\_V0) 的数据，即第一列最下面的存储单元存储的数据，即图 7 中传统读取的存储单元关于矩阵对角线对称位置的存储单元的数据。通过这种方式只需要一拍(即一个时钟周期)就可以读取到某一存储地址关于存储阵列的对角线对称的存储地址的数据，从而能极大地提升速度，并极大地降低功耗和工作负载。

30 35 在一种可能的实施方式中，每个所述存储单元与控制信号相连接；当所述控制信号为第一序列时，所述存储单元处于所述第一读取状态；当所述控制信号为第二序列时，所述存储单元处于所述第二读取状态。根据该实施方式，通过控制信号来控制静态随机存储器的存储单元的读取状态的切换，简单快速。

在一种可能的实施方式中，所述第一序列的长度为 1bit；所述第二序列的长度为 1bit；

所述第一序列为 0 且所述第二序列为 1，或，所述第一序列为 1 且所述第二序列为 0。根据该实施方式，通过 1bit 控制信号来控制静态随机存储器的存储单元的读取状态的切换，简单快速。

5 本发明实施例中，可以通过控制信号控制存储阵列外围的控制电路来实现静态随机存储器在第一读取状态和第二读取状态之间的切换。

图 10 为本发明实施例提供的一种控制电路示意图，所述静态随机存储器除了包括存储阵列还包括如下结构的控制电路：第一解码器 1001、第二解码器 1002、第一字线驱动器 1003、第二字线驱动器 1004、第一读出放大器 1005、第二读出放大器 1006 和反相器 1007；所述控制信号 T\_EN 连接所述第一解码器 1001 的使能端 (a1)、所述第一字线驱动器 1003 的使能端 (a1) 和所述第一读出放大器 1005 的使能端 (a1)；所述第一解码器 1001 的输入端 (a2) 输入地址值，所述第一解码器 1001 的第一输出端 (a3) 输出行号，所述第一解码器 1001 的第二输出端 (a4) 输出列号；所述第一解码器 1001 的第一输出端 (a3) 连接所述第一读出放大器 1005 的控制端 (a3)，所述第一读出放大器 1005 的输入端 (a10、a11、a12) 连接所述第一读取线（即竖着的线 L10、L11、L12）；所述第一解码器 1001 的第二输出端 (a4) 连接所述第一字线驱动器 1003 的控制端 (a4)，所述第一字线驱动器 1003 的输出端 (a20、a21、a22) 连接所述第二读取线（即横着的线 L20、L21、L22），所述第一读出放大器 1005 的控制端 (a3) 用于控制所述第一读出放大器 1005 对至少一个输入端 (a10、a11、a12) 的数据进行放大处理，所述第一字线驱动器 1003 的控制端 (a4) 用于控制所述第一字线驱动器 1003 的至少一个输出端 (a20、a21、a22) 输出逻辑 1；所述控制信号连接所述反相器 1007 的输入端，所述反相器 1007 的输出端连接所述第二解码器 1002 的使能端 (b1)、所述第二字线驱动器 1004 的使能端 (b1) 和所述第二读出放大器 1006 的使能端 (b1)；所述第二解码器 1002 的输入端 (b2) 输入地址值，所述第二解码器 1002 的第一输出端 (b3) 输出行号，所述第二解码器 1002 的第二输出端 (b4) 输出列号；所述第二解码器 1002 的第一输出端 (b3) 连接所述第二读出放大器 1006 的控制端 (b3)，所述第二读出放大器 1006 的输入端 (b20、b21、b22) 连接所述第二读取线（即横着的线 L20、L21、L22）；所述第二解码器 1002 的第二输出端 (b4) 连接所述第二字线驱动器 1004 的控制端 (b4)，所述第二字线驱动器 1004 的输出端 (b10、b11、b12) 连接所述第一读取线（即竖着的线 L10、L11、L12），所述第二读出放大器 1006 的控制端 (b3) 用于控制所述第二读出放大器 1006 对至少一个输入端 (b20、b21、b22) 的数据进行放大处理，所述第二字线驱动器 1004 的控制端 (b4) 用于控制所述第二字线驱动器 1004 的至少一个输出端 (b10、b11、b12) 输出逻辑 1。根据该实施方式，设置两组解码器、字线驱动器和读出放大器，两组解码器、字线驱动器和读出放大器的连线不同，通过控制信号控制其中的一组解码器、字线驱动器和读出放大器工作，从而实现读取字线和读取位线的互换。

35 图 11 为本发明实施例提供的另一种控制电路示意图，所述静态随机存储器除了包括存储阵列还包括如下结构的控制电路：解码器 1101、字线驱动器 1102、读出放大器 1103、与所述存储阵列的行数相同数目个第一选择器 1104、与所述存储阵列的列数相同数目个第二选择器 1105；所述解码器 1101 的输入端 (c1) 输入地址值，所述解码器 1101 的第一输出端 (c2) 输出行号，所述解码器 1101 的第二输出端 (c3) 输出列号；所述解码器 1101

的第一输出端 (c2) 连接所述字线驱动器 1102 的控制端 (c2), 所述字线驱动器 1102 的控制端 (c2) 用于控制所述字线驱动器 1102 的至少一个输出端 (c10、c11、c12) 输出逻辑 1, 所述解码器 1101 的第二输出端 (c3) 连接所述读出放大器 1103 的控制端 (c3), 所述读出放大器 1103 的控制端 (c3) 用于控制所述读出放大器 1103 对至少一个输入端 (c20、c21、c22) 的数据进行放大处理; 所述控制信号 T\_EN 连接所述第一选择器 1104 和所述第二选择器 1105 的控制端 (k0); 所述第一选择器 1104 的第一端口 (k1) 连接所述第一读取线 (即竖着的线 L10、L11、L12, 例如, 由上至下三个第一选择器 1104 的第一端口 (k1) 分别连接 L10、L11、L12), 所述第一选择器 1104 的第二端口 (k2) 连接所述第二读取线 (即横着的线 L20、L21、L22, 例如, 由上至下三个第一选择器 1104 的第二端口 (k2) 分别连接 L20、L21、L22), 所述第一选择器 1104 的第三端口 (k3) 连接所述字线驱动器 1102 的输出端 (c10、c11、c12, 例如, 由上之下三个第一选择器 1104 的第三端口 (k3) 分别连接 c10、c11、c12); 其中, 所述第一选择器 1104 的控制端 (k0) 用于控制所述第一选择器 1104 的第一端口 (k1) 与所述第一选择器 1104 的第三端口 (k3) 联通, 或所述第一选择器 1104 的第二端口 (k2) 与所述第一选择器 1104 的第三端口 (k3) 联通; 所述第二选择器 1105 的第一端口 (k1) 连接所述第二读取线 (即横着的线 L20、L21、L22), 所述第二选择器 1105 的第二端口 (k2) 连接所述第一读取线 (即竖着的线 L10、L11、L12), 所述第二选择器 1105 的第三端口 (k3) 连接所述读出放大器 1103 的输入端 (c20、c21、c22, 例如, 由左至右三个第二选择器 1105 的第三端口 (k3) 分别连接 c20、c21、c22); 其中, 所述第二选择器 1105 的控制端 (k0) 用于控制所述第二选择器 1105 的第一端口 (k1) 与所述第二选择器 1105 的第三端口 (k3) 联通, 或所述第二选择器 1105 的第二端口 (k2) 与所述第二选择器 1105 的第三端口 (k3) 联通。根据该实施方式, 通过控制信号 T\_EN 控制选择器切换电路的连接方式, 从而实现读取字线和读取位线的互换。

本发明实施例中, 静态随机存储器可以设置于具有特定功能的芯片中, 也可以与上述芯片相独立。上述芯片可以为需要大量快速矩阵计算的芯片。例如, 在人工智能领域, 卷积神经网络 (Convolutional Neural Network, CNN) 芯片中定制的 SRAM, 可以快速实现卷积核的分解。本发明实施例中的 SRAM 也可以作为一些加密芯片的 SRAM。

下面针对 CNN 芯片中定制的 SRAM, 进行一些效果说明。

随着芯片的智能化, 在标准单指令多数据流 (Single Instruction Multiple Data, SIMD) 的基础上, CNN 由于其特殊的复用机制, 可以进一步减少总线上的数据通信。而复用的这一概念, 在超大型神经网络中的显得尤为重要。对于这些模型中的中后级卷积核, 卷积核的参数量可以达  $3 \times 3 \times 512$  之巨大, 合理地分解这些超大卷积到有效的硬件上成为了一个值得研究的问题。

本发明实施例中提到的这种可转序读取的 SRAM, 即数据的读取可以是位线和字线互换的, 能省去卷积网络中额外的数据整理, 减少了 CNN 的处理功耗, 并且就大卷积的结构提供了底层硬件上的思路。

卷积网络是因为“卷积”操作而得名的。卷积的根本目的是从输入图片中提取特征。卷积用一个小方阵的数据学习图像特征, 可以保留像素之间的空间关系。如上所述, 每个图片都是像素值矩阵。考虑一个  $5 \times 5$  的图像, 其像素值为 0 和 1, 图 12 中左边的矩阵是图像矩阵, 该图像矩阵为灰度图的特例 (常规灰度图的像素值取值 0-255), 右边的矩阵

是卷积核矩阵，该卷积核矩阵为  $3 \times 3$  矩阵。图 13 为  $5 \times 5$  图像矩阵和  $3 \times 3$  卷积核矩阵之间的卷积计算示意图：左边图像矩阵中每一个  $3 \times 3$  的子矩阵与  $3 \times 3$  的卷积核矩阵相乘，然后将各个位置相乘的结果相加之和得到的值放到新的矩阵当中，即图 13 右边的矩阵，这个矩阵便是原始图像矩阵与卷积核矩阵进行卷积操作之后产生的新图像矩阵。

5 图 12 和图 13 中的  $3 \times 3$  矩阵也叫“滤波器”、“卷积核”或“特征探测器”，在原图上滑动滤波器、点乘矩阵所得的矩阵称为“卷积特征”、“激励映射”或“特征映射”。滤波器对于原输入图片来说，是个特征探测器。将图片看作一个矩阵，与不同的卷积核矩阵进行卷积操作之后，会得到新的图片，不同的卷积核矩阵将会产生不同的效果。卷积核分解，例如将一个 2 维的关于对角线对称的卷积核分解成两个一维的卷积核。图像矩阵（设为 A）与一个二维卷积核矩阵的卷积（设为 C）计算，可以近似成图像矩阵与两个一维卷积核矩阵（设为 S1, S2）进行卷积计算，即：

$$A \otimes C \approx (A \otimes S1) \otimes S2 \quad (\otimes \text{为卷积运算符号})$$

10 将二维卷积核 C 等效为 S1 与 S2 便称为卷积核的分解，S1 与 S2 是关于二维矩阵 C 对角线对称的一维矩阵。

15 如果使用传统的 SRAM，若要对对卷积核进行分解，即要获取到某一地址关于矩阵对角线对称地址的数据，是没有办法直接获取的，是要通过在 SRAM 外围数字电路的代码中写入算法来处理的。将本发明实施例的 SRAM 应用在卷积神经网络芯片中，可以实现快速的卷积核分解，极大的降低卷积核分解这一频繁操作的功耗，同时极大地提升这一操作的速度。

20 以上所述的具体实施方式，对本发明的目的、技术方案和有益效果进行了进一步详细说明，所应理解的是，以上所述仅为本发明的具体实施方式而已，并不用于限定本发明的保护范围，凡在本发明的技术方案的基础之上，所做的任何修改、等同替换、改进等，均应包括在本发明的保护范围之内。

# 权 利 要 求 书

1、一种存储单元，其特征在于，所述存储单元包括锁存器，所述锁存器提供第一存储位；所述存储单元还包括第一 MOS 管；

5 所述第一 MOS 管的栅极连接所述第一存储位，所述第一 MOS 管的源极连接第一读取线，所述第一 MOS 管的漏极连接第二读取线；在第一状态下，所述第一读取线为读取字线，所述第二读取线为读取位线；在第二状态下，所述第二读取线为读取字线，所述第一读取线为读取位线。

2、如权利要求 1 所述的存储单元，其特征在于，所述第一 MOS 管为 NMOS 管或 PMOS 管。

10 3、如权利要求 2 所述的存储单元，其特征在于，所述锁存器还提供第二存储位；所述存储单元还包括第二 MOS 管；所述第二 MOS 管的栅极连接所述第二存储位，所述第二 MOS 管的源极连接所述第一读取线，所述第二 MOS 管的漏极连接所述第二读取线。

15 4、如权利要求 3 所述的存储单元，其特征在于，所述第一 MOS 管为 NMOS 管且所述第二 MOS 管为 PMOS 管；或，所述第一 MOS 管为 PMOS 管且所述第二 MOS 管为 NMOS 管。

5、一种静态随机存储器，其特征在于，所述静态随机存储器包括：多个存储单元；

所述存储单元包括锁存器，所述锁存器提供第一存储位；所述存储单元还包括第一 MOS 管；

20 所述第一 MOS 管的栅极连接所述第一存储位，所述第一 MOS 管的源极连接第一读取线，所述第一 MOS 管的漏极连接第二读取线；在第一状态下，所述第一读取线为读取字线，所述第二读取线为读取位线；在第二状态下，所述第二读取线为读取字线，所述第一读取线为读取位线；

所述多个存储单元构成行列数相同的矩形的存储阵列；

25 所述存储阵列中同一行的所述存储单元连接相同的所述第一读取线；

所述存储阵列中同一列的所述存储单元连接相同的所述第二读取线。

6、如权利要求 5 所述的静态随机存储器，其特征在于，所述第一 MOS 管为 NMOS 管或 PMOS 管。

30 7、如权利要求 6 所述的静态随机存储器，其特征在于，所述锁存器还提供第二存储位；所述存储单元还包括第二 MOS 管；所述第二 MOS 管的栅极连接所述第二存储位，所述第二 MOS 管的源极连接所述第一读取线，所述第二 MOS 管的漏极连接所述第二读取线。

8、如权利要求 7 所述的静态随机存储器，其特征在于，所述第一 MOS 管为 NMOS 管且所述第二 MOS 管为 PMOS 管；或，所述第一 MOS 管为 PMOS 管且所述第二 MOS 管为 NMOS 管。

35 9、如权利要求 5 至 8 中任一项所述的静态随机存储器，其特征在于，每个所述存储单元与控制信号相连接；

当所述控制信号为第一序列时，将所述存储单元视为所述第一状态；

当所述控制信号为第二序列时，将所述存储单元视为所述第二状态。

10、如权利要求 9 所述的静态随机存储器，其特征在于，所述第一序列的长度为 1bit；

所述第二序列的长度为 1bit；所述第一序列为 0 且所述第二序列为 1，或，所述第一序列为 1 且所述第二序列为 0。

11、如权利要求 9 或 10 所述的静态随机存储器，其特征在于，所述静态随机存储器还包括：

5 第一解码器、第二解码器、第一字线驱动器、第二字线驱动器、第一读出放大器、第二读出放大器和反相器；

所述控制信号连接所述第一解码器的使能端、所述第一字线驱动器的使能端和所述第一读出放大器的使能端；

10 所述第一解码器的输入端输入地址值，所述第一解码器的第一输出端输出行号，所述第一解码器的第二输出端输出列号；所述第一解码器的第一输出端连接所述第一读出放大器的控制端，所述第一读出放大器的输入端连接所述第一读取线；所述第一解码器的第二输出端连接所述第一字线驱动器的控制端，所述第一字线驱动器的输出端连接所述第二读取线，所述第一读出放大器的控制端用于控制所述第一读出放大器对至少一个输入端的数据进行放大处理，所述第一字线驱动器的控制端用于控制所述第一字线驱动器的至少一个  
15 输出端输出第一逻辑状态；

所述控制信号连接所述反相器的输入端，所述反相器的输出端连接所述第二解码器的使能端、所述第二字线驱动器的使能端和所述第二读出放大器的使能端；

20 所述第二解码器的输入端输入地址值，所述第二解码器的第一输出端输出行号，所述第二解码器的第二输出端输出列号；所述第二解码器的第一输出端连接所述第二读出放大器的控制端，所述第二读出放大器的输入端连接所述第二读取线；所述第二解码器的第二输出端连接所述第二字线驱动器的控制端，所述第二字线驱动器的输出端连接所述第一读取线，所述第二读出放大器的控制端用于控制所述第二读出放大器对至少一个输入端的数据进行放大处理，所述第二字线驱动器的控制端用于控制所述第二字线驱动器的至少一个  
25 输出端输出所述第一逻辑状态。

12、如权利要求 9 或 10 所述的静态随机存储器，其特征在于，所述静态随机存储器还包括：

解码器、字线驱动器、读出放大器、与所述存储阵列的行数相同数目个第一选择器、与  
30 所述存储阵列的列数相同数目个第二选择器；

所述解码器的输入端输入地址值，所述解码器的第一输出端输出行号，所述解码器的  
30 第二输出端输出列号；所述解码器的第一输出端连接所述字线驱动器的控制端，所述字线驱动器的控制端用于控制所述字线驱动器的至少一个输出端输出第一逻辑状态，所述解码器的第二输出端连接所述读出放大器的控制端，所述读出放大器的控制端用于控制所述读出放大器对至少一个输入端的数据进行放大处理；

所述控制信号连接所述第一选择器和所述第二选择器的控制端；

35 所述第一选择器的第一端口连接所述第一读取线，所述第一选择器的第二端口连接所述第二读取线，所述第一选择器的第三端口连接所述字线驱动器的输出端；其中，所述第一选择器的控制端用于控制所述第一选择器的第一端口与所述第一选择器的第三端口  
40 联通，或所述第一选择器的第二端口与所述第一选择器的第三端口联通；

所述第二选择器的第一端口连接所述第二读取线，所述第二选择器的第二端口连接所

述第一读取线，所述第二选择器的第三端口连接所述读出放大器的输入端；其中，所述第二选择器的控制端用于控制所述第二选择器的第一端口与所述第二选择器的第三端口联通，或所述第二选择器的第二端口与所述第二选择器的第三端口联通。

- 5 13、一种存储单元，其特征在于，包括锁存器、写 MOS 管、写字线、写位线、第一读取线 and 第二读取线，所述锁存器提供第一存储位和第二存储位，所述写位线通过所述写 MOS 管与所述第一存储位和所述第二存储位相接，所述写字线与所述写 MOS 管的栅极相连以控制所述写 MOS 管的导通和关断，所述存储单元还包括第一 MOS 管，所述第一 MOS 管的栅极连接所述第一存储位，所述第一 MOS 管的源极连接所述第一读取线，所述第一 MOS 管的漏极连接所述第二读取线。

10

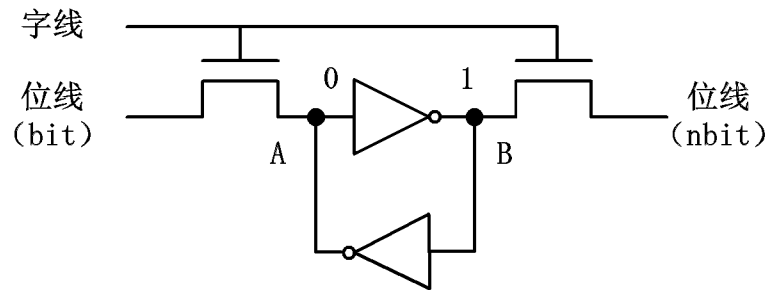


图 1

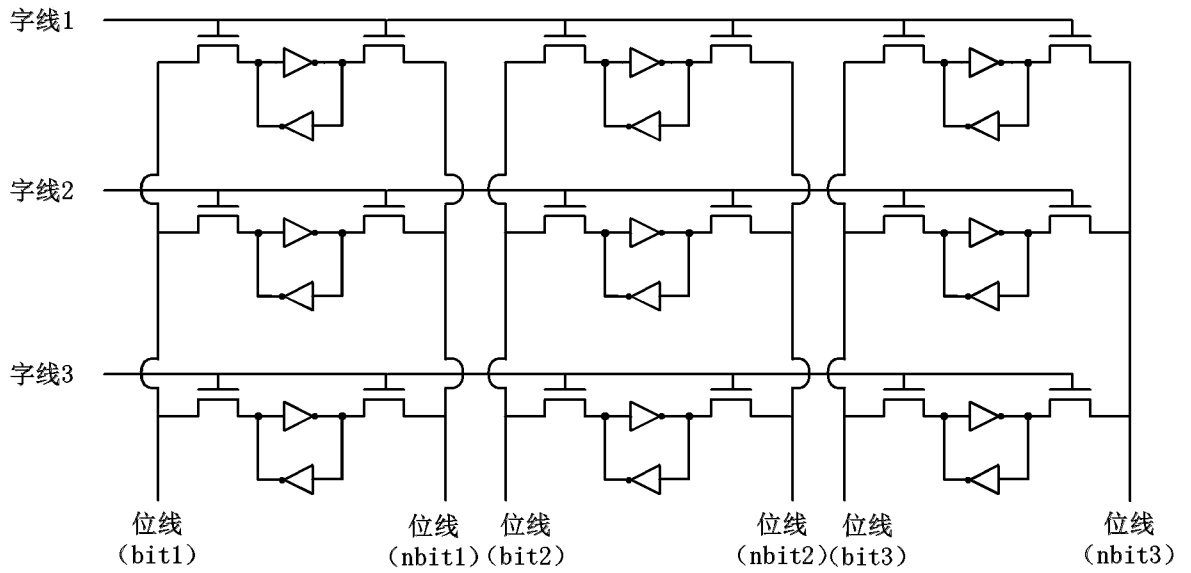


图 2

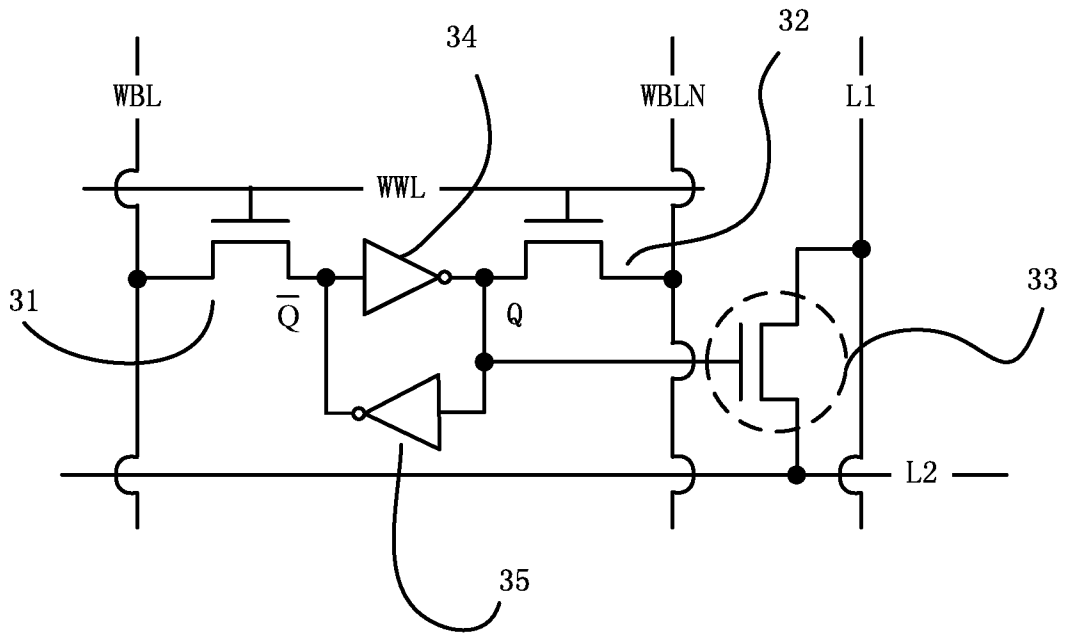


图 3

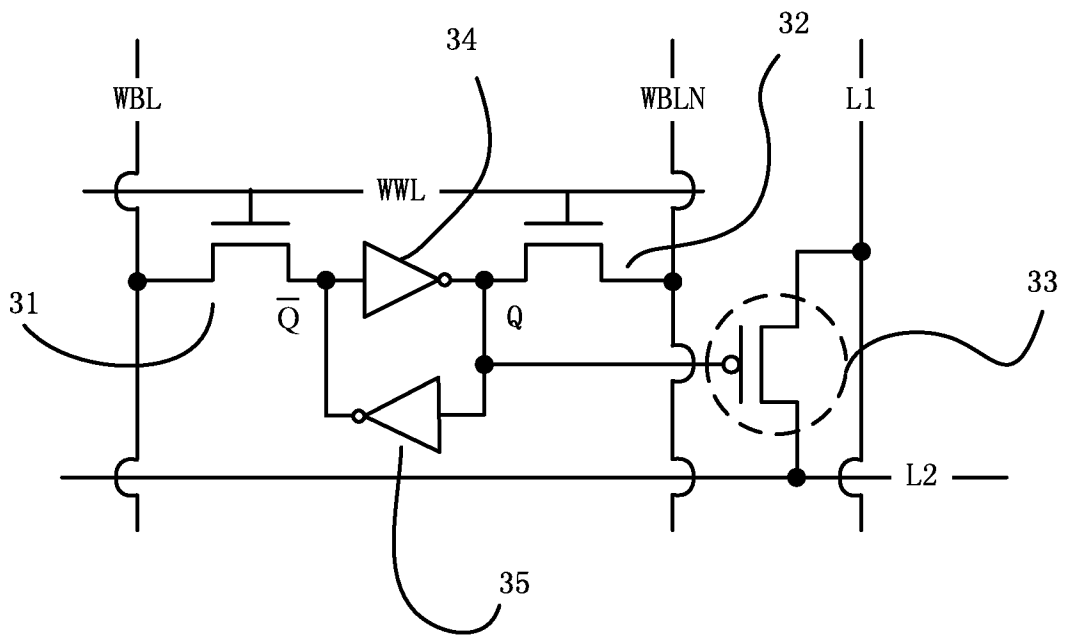


图 4

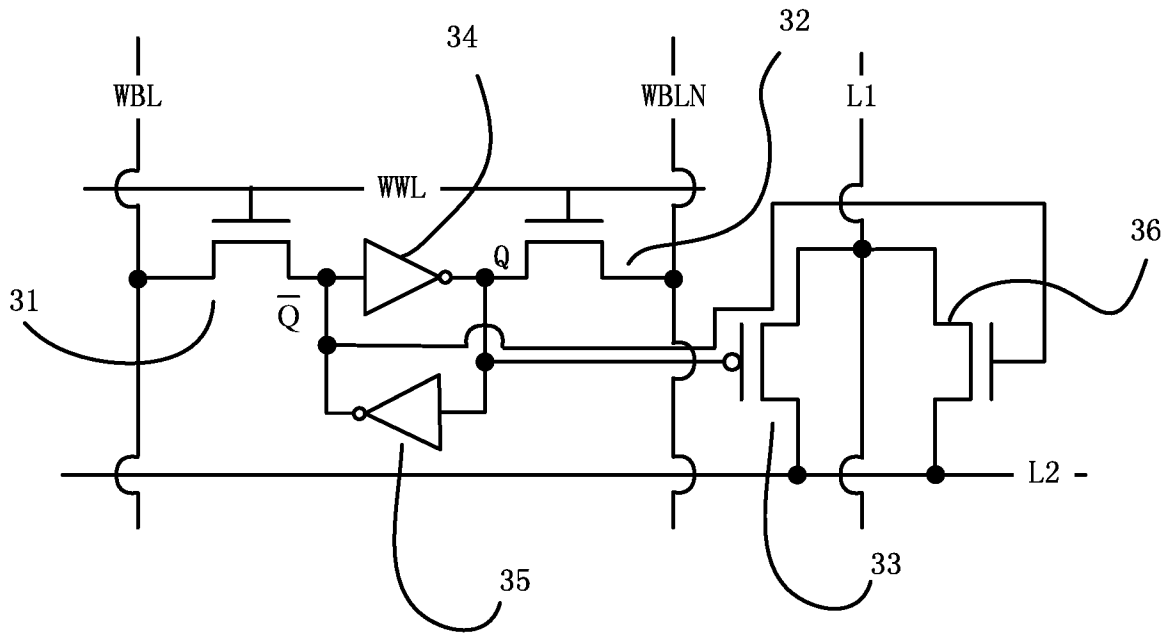


图 5

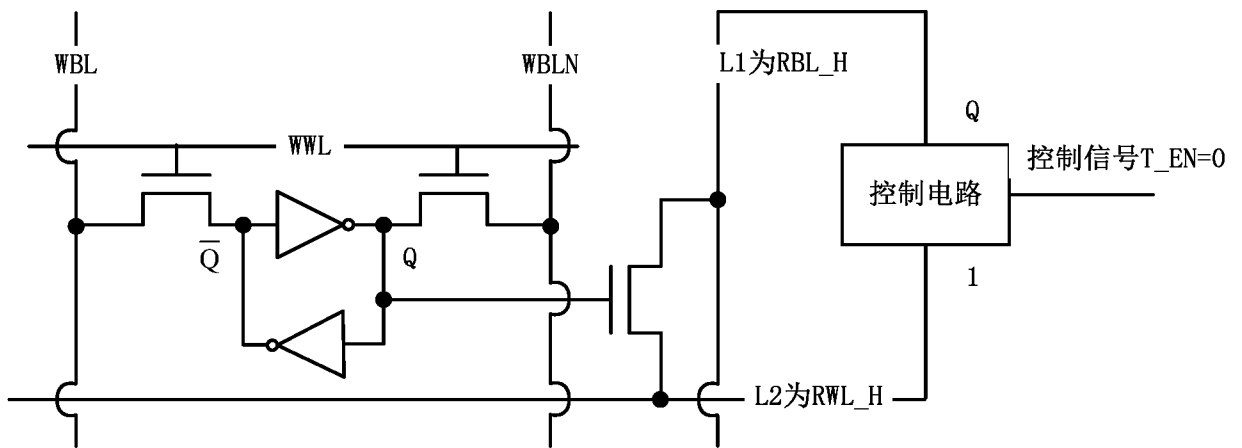


图 6

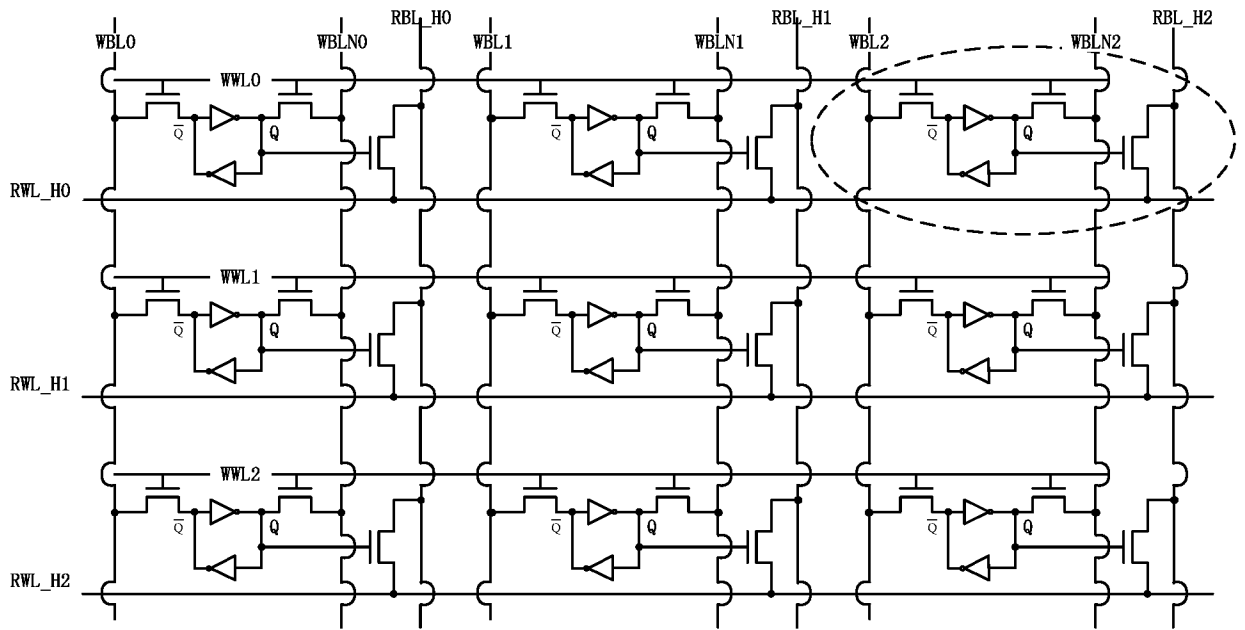


图 7

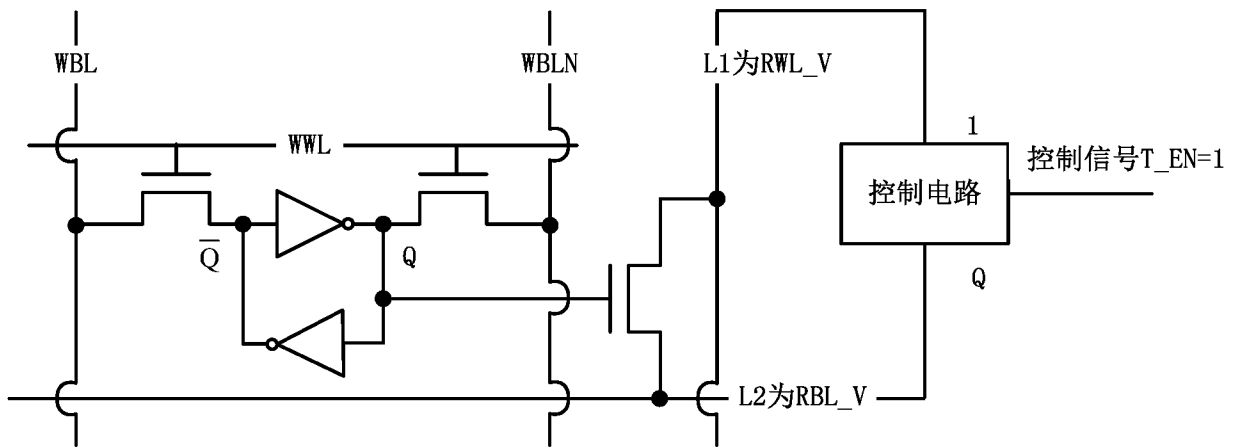


图 8

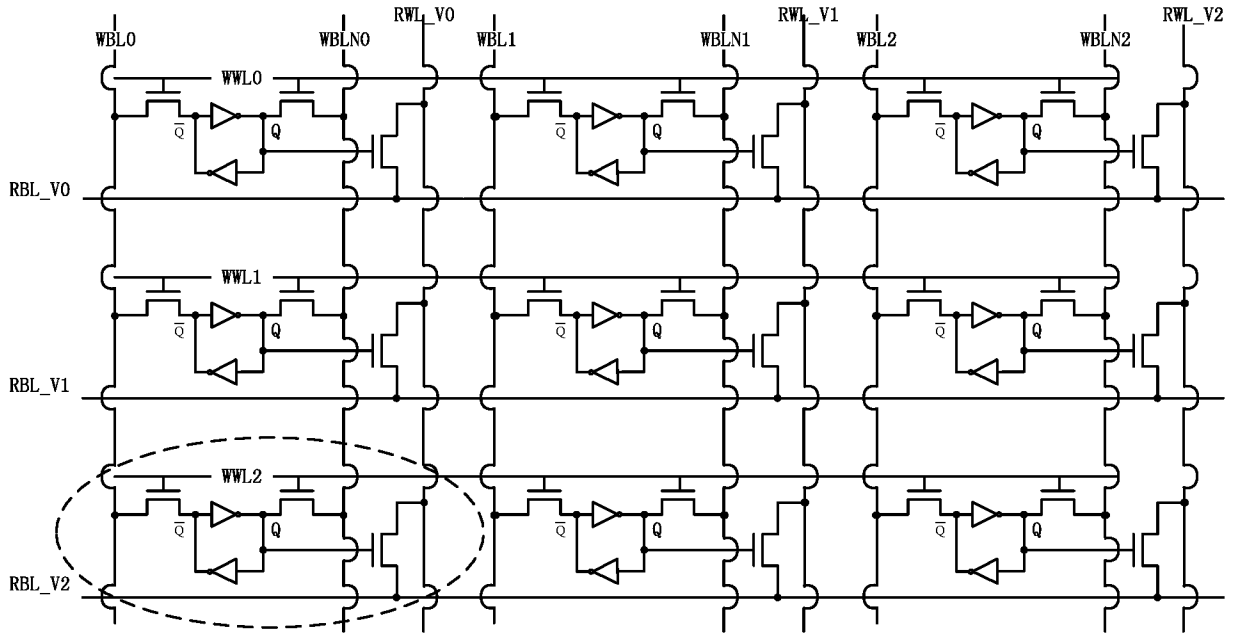


图 9

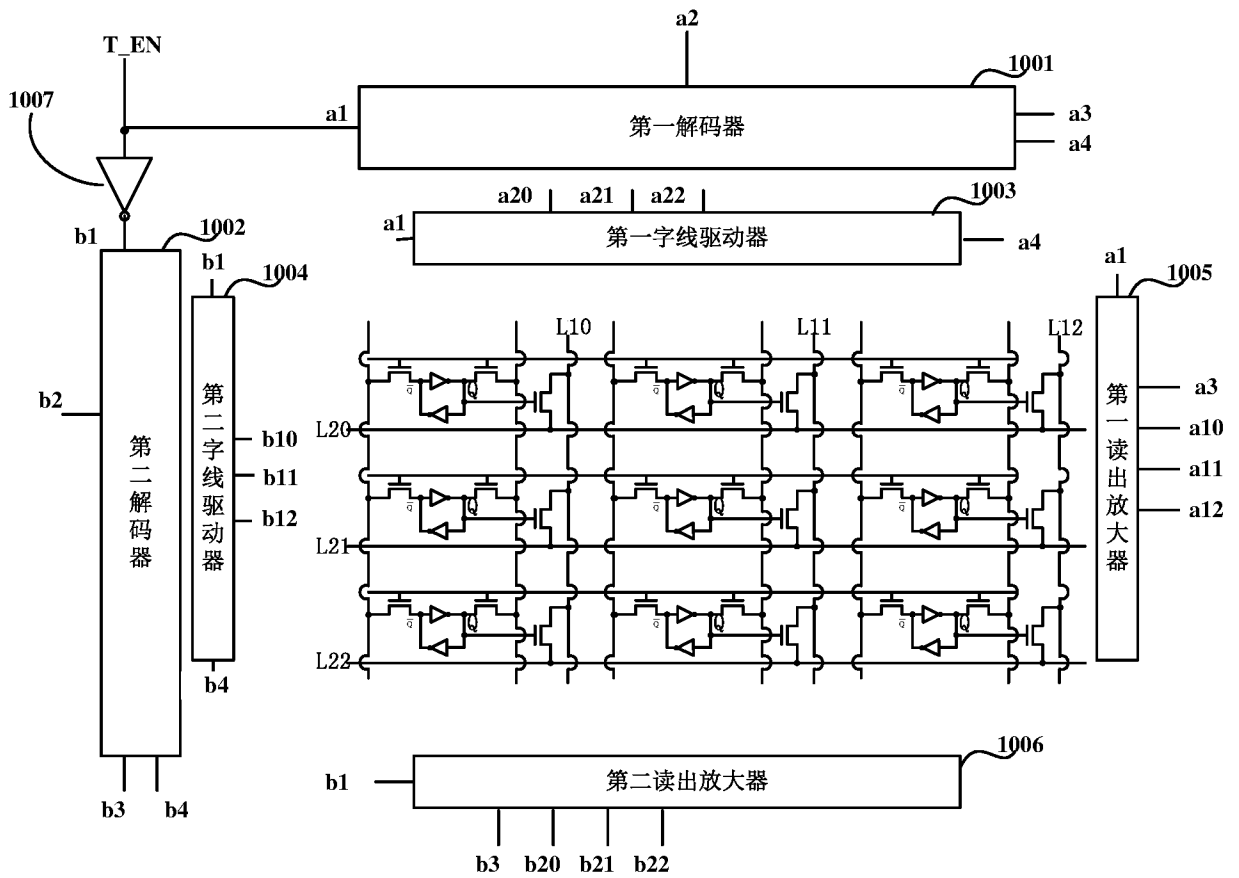


图 10

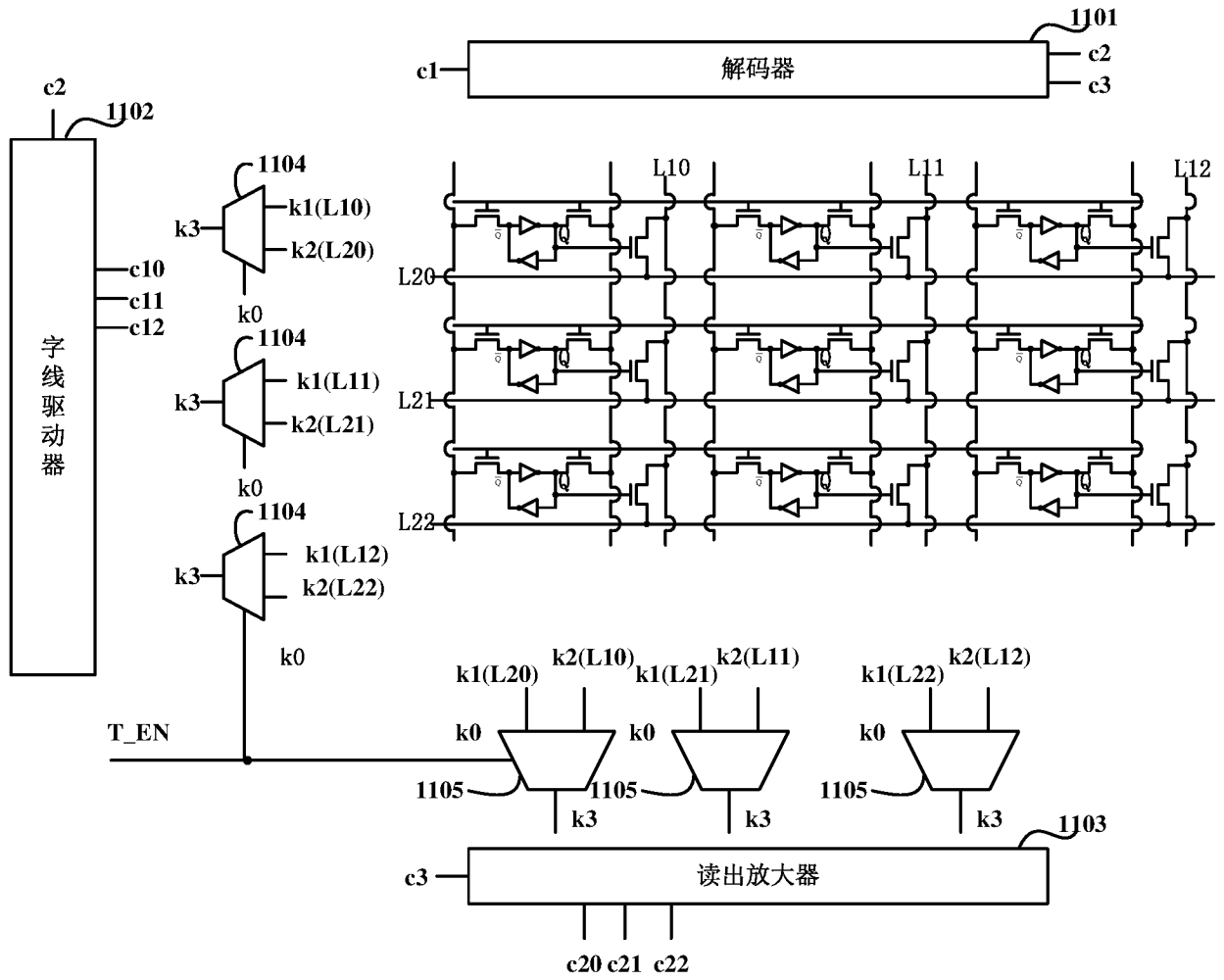


图 11

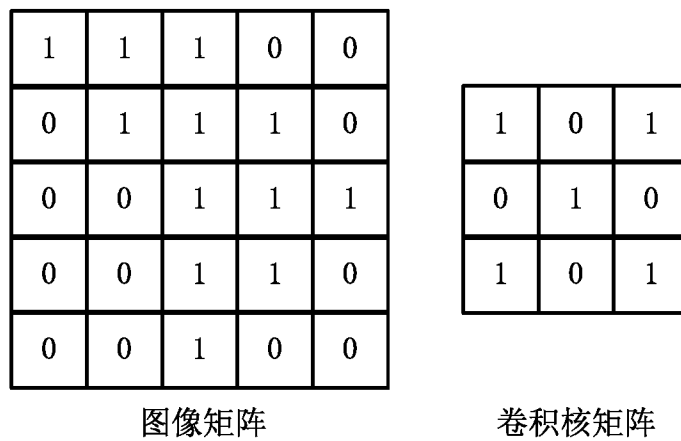


图 12

1 ×1	1 ×0	1 ×1	0	0
0 ×0	1 ×1	1 ×0	1	0
0 ×1	0 ×0	1 ×1	1	1
0	0	1	1	0
0	0	1	0	0

图像

4		

卷积特征

图 13

# INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CN2018/084100

## A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/48 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: 存储, 静态, 锁存器, 晶体管, 读取位, 字线, memory, static 3w state, flip 3w latch, transistor, bit

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 101385088 A (MICRON TECHNOLOGY INC.) 11 March 2009 (11.03.2009), description, page 3, paragraph 1 to page 11, the second paragraph from the bottom	1-13
A	CN 1178988 A (SONY CORPORATION) 15 April 1998 (15.04.1998), entire document	1-13
A	US 2008101144 A1 (MACRONIX INTERNATIONAL CO., LTD.) 01 May 2008 (01.05.2008), entire document	1-13

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

<p>Date of the actual completion of the international search</p> <p style="text-align: center;">27 June 2018</p>	<p>Date of mailing of the international search report</p> <p style="text-align: center;">25 July 2018</p>
<p>Name and mailing address of the ISA</p> <p>State Intellectual Property Office of the P. R. China</p> <p>No. 6, Xitucheng Road, Jimenqiao</p> <p>Haidian District, Beijing 100088, China</p> <p>Facsimile No. (86-10) 62019451</p>	<p>Authorized officer</p> <p style="text-align: center;">WANG, Xiaofei</p> <p>Telephone No. (86-10) 53961389</p>

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.  
PCT/CN2018/084100

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101385088 A	11 March 2009	TW 200741721 A	01 November 2007
		KR 20080103563 A	27 November 2008
		IT RM20060074 A1	16 August 2007
		US 2010085807 A1	08 April 2010
		US 2008266953 A1	30 October 2008
		US 2007189071 A1	16 August 2007
		WO 2007095217 A1	23 August 2008
CN 1178988 A	15 April 1998	JP H1064256 A	06 March 1998
		US 5818765 A	06 October 1998
		KR 98018716 A	05 June 1998
US 2008101144 A1	01 May 2008	TW 200822122 A	16 May 2008
		CN 101169973 A	30 April 2008
		JP 2008108408 A	08 May 2008

<p><b>A. 主题的分类</b></p> <p>G11C 11/418(2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>														
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G11C</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNPAT, WPI, EPODOC, CNKI: 存储, 静态, 锁存器, 晶体管, 读取位, 字线, memory, static 3w state, flip 3w latch, transistor, bit</p>														
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 101385088 A (美光科技公司) 2009年 3月 11日 (2009 - 03 - 11) 说明书第3页第1段-第11页倒数第2段</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>CN 1178988 A (索尼公司) 1998年 4月 15日 (1998 - 04 - 15) 全文</td> <td>1-13</td> </tr> <tr> <td>A</td> <td>US 2008101144 A1 (MACRONIX INTERNATIONAL CO., LTD.) 2008年 5月 1日 (2008 - 05 - 01) 全文</td> <td>1-13</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 101385088 A (美光科技公司) 2009年 3月 11日 (2009 - 03 - 11) 说明书第3页第1段-第11页倒数第2段	1-13	A	CN 1178988 A (索尼公司) 1998年 4月 15日 (1998 - 04 - 15) 全文	1-13	A	US 2008101144 A1 (MACRONIX INTERNATIONAL CO., LTD.) 2008年 5月 1日 (2008 - 05 - 01) 全文	1-13
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求												
A	CN 101385088 A (美光科技公司) 2009年 3月 11日 (2009 - 03 - 11) 说明书第3页第1段-第11页倒数第2段	1-13												
A	CN 1178988 A (索尼公司) 1998年 4月 15日 (1998 - 04 - 15) 全文	1-13												
A	US 2008101144 A1 (MACRONIX INTERNATIONAL CO., LTD.) 2008年 5月 1日 (2008 - 05 - 01) 全文	1-13												
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>														
<p>* 引用文件的具体类型:</p> <p>“A” 认为不特别相关的表示了现有技术一般状态的文件</p> <p>“E” 在国际申请日的当天或之后公布的在先申请或专利</p> <p>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</p> <p>“O” 涉及口头公开、使用、展览或其他方式公开的文件</p> <p>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</p> <p>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</p> <p>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</p> <p>“&amp;” 同族专利的文件</p>														
<p>国际检索实际完成的日期</p> <p>2018年 6月 27日</p>	<p>国际检索报告邮寄日期</p> <p>2018年 7月 25日</p>													
<p>ISA/CN的名称和邮寄地址</p> <p>中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088</p> <p>传真号 (86-10)62019451</p>	<p>受权官员</p> <p>王晓飞</p> <p>电话号码 86-(10)-53961389</p>													

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2018/084100

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	101385088	A	2009年 3月 11日	TW	200741721	A	2007年 11月 1日
				KR	20080103563	A	2008年 11月 27日
				IT	RM20060074	A1	2007年 8月 16日
				US	2010085807	A1	2010年 4月 8日
				US	2008266953	A1	2008年 10月 30日
				US	2007189071	A1	2007年 8月 16日
				WO	2007095217	A1	2008年 8月 23日
CN	1178988	A	1998年 4月 15日	JP	H1064256	A	1998年 3月 6日
				US	5818765	A	1998年 10月 6日
				KR	98018716	A	1998年 6月 5日
US	2008101144	A1	2008年 5月 1日	TW	200822122	A	2008年 5月 16日
				CN	101169973	A	2008年 4月 30日
				JP	2008108408	A	2008年 5月 8日