公告本

90年7月13日 修正補充

申請日期	89、2、21
案號	89102938
類別	H03L 7/06

（以上各欄由本局填註）

A4
C4

469702 TW3809

發明 新型 專利說明書

一、發明新型名稱	中文	時脈產生電路 (90年7月13日修正)
	英文	CLOCK GENERATING CIRCUIT
二、發明創作人	姓名	丸川昭二
	國籍	日本
	住、居所	愛媛縣西條市飯岡1122-11
三、申請人	姓名（名稱）	松下電器產業股份有限公司 （松下電器產業株式會社）
	國籍	日本
	住、居所（事務所）	大阪府門真市大字門真1006番地
	代表人姓名	森下洋一

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

469702

90年 13日 修正 補充

A6
B6

（由本局填寫）

承辦人代碼：	
大　　類：	
IPC分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，☑有　☐無主張優先權

日本

1999年　2月22日特願平11-42742　號

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

90年7月13日 修正補充

五、發明說明(1)

(技術領域)

本發明係關於產生使用於記錄媒體之信號再生之時脈信號之時脈產生電路。

(背景技術)

近來，極爲盛行使用所謂局部響應最大或然率(partial response maximum likelihood, PRML)之信號處理於數位記錄再生裝置之資料再生信號處理上。此資料再生信號處理係以數位進行信號處理，時脈產生電路自身亦從以往之類比相位鎖定迴路(phase locked loop, PLL)改變爲數位 PLL。PRML 雖然逐漸導入硬碟驅動器(hard disk drive, HDD)，但尚未導入光碟裝置。HDD 上使用之時脈產生電路在 HDD 上使用無礙，但使用於光碟裝置上則有問題。

例如，在 CD(Compact disk)或 DVD(digital Versatile disk)等上，碟自身雖被作成定直線速度(constaut linear velocity, CLV)，但實際上被要求用定角速度(constaut angnlar velocity, CAV)再生，或在轉軸轉速到達 CLV 以前即讀取資料之無亂變(jitter)之再生。結果，CD, DVD 相較於 HDD 需具備對廣大之頻率範圍連續施予 PLL 之性能。

CD 或 DVD 等之光碟中，以往係使用依據類比比較器之 2 值判別器來判定資料至今。另外，執行判別所用之時序脈衝以往係藉類比 PLL 來產生。這些信號處理

五、發明說明(2)

一般係用類比進行，故稱爲類比前導通道(analog-lead-channel)。另外，於最近之 HDD 等之資料記錄機器之資料判定上已導入所謂 PRM 之信號處理方式。PRML 方式係以數位值判定資料，信號處理也是藉數位進行，故稱爲數位前導通道(digital-lead-channel)。數位前導通道上執行判別所用之時序脈衝係藉數位 PLL 來產生。

下面將說明以往 HDD 等使用之數位 PLL 之例。第 15 圖係示出具備以往之數位 PLL 系統之時脈產生電路 1000 之再生裝置之構成之方塊圖。

時脈產生電路 1000 具備主 PLL(master PLL)1100，相位比較器 4，迴路濾波器 5，微控制用數位／類比轉換器 6，及從電壓控制振盪器(slave voltage controlled oscillator)1106，主 PLL 1100 係具備 1/N 分頻器 1101，相位比較器 1102，迴路濾波器 1103，主電壓控制振盪器 1104，及 1/M 分頻器 1105。

讀取頭 2 係從記錄媒體 1 讀出類比信號。

類比／數位轉換器 3 係爲與時脈產生電路 1000 供給之時脈信號同步，將被讀出之類比信號轉換爲類比信號，並以此數位資料作爲再生信號輸出至再生電路(未圖示)，和時脈產生電路 1000 之相位比較器 4。

相位比較器 4 係與時脈產生電路 1000 產生之採樣時脈信號同步，抽出數位信號之相位誤差，並將之輸至

五、發明說明(3)

迴路濾波器 5。

迴路濾波器 5 對相位誤差進行濾波，並轉換爲數位振盪指令信號後輸出至微控制用數位／類比轉換器 6。

微控制用數位／類比轉換器 6 係將數位振盪指令信號轉換成與數位振盪指令信號成比例之類比電壓之類比振盪指令信號，然後將之輸至從電壓控制振盪器 1106。

由於從電壓控制振盪器 1106 之振盪範圍廣，爲產生完全鎖定之時脈，振盪頻率之設定係採兩段控制。亦即，主 PLL 1100 設定從電壓控制振盪器 1106 之振盪範圍之粗頻率，微控制用數位／類比轉換器 6 係執行頻率之微調。

1/N 分頻器 1101 係將參考時脈施予 N 分頻，相位比較器 1102 係將 N 分頻之參考時脈與由 1/M 分頻器 1105M 分頻之信號之相位合併以構成 PLL 合成器 (synthesiser)。1/M 分頻器 1105 係將主電壓控制振盪器 1104 輸出之信號施予 M 分頻。

迴路濾波器 1103 係將相位比較器 1102 輸出之信號進行濾波並將之輸出至電壓控制振盪器 1104 和從電壓控制振盪器 1106。

HDD 之旋轉速度係一定，線速愈往外週愈高。在這樣之狀況下爲提高線記錄密度，HDD 係採取所謂區位元記錄法(zone bit recording)。區域位元記錄法係將碟分割成幾個區域，改變記錄速率之記錄方法。亦即，

五、發明說明(4)

愈往外週之區域記錄速率愈高，反之愈低，導致時脈產生電路輸出之時脈信號之中心頻率需配合區域而改變。因此，主 PLL 1100 改變 N，M 之參數；控制主電壓控制振盪器 1104 之振盪頻率，設定從電壓控制振盪器 1106 之中心頻率。

亦即，主 PLL 1100 粗設定(粗控制)從電壓控制振盪器 1106 之振盪頻率使之接近被再生之信號之中心頻率，接著，藉微控制用數位／類比轉換器 6 產生完全鎖定於再生信號之時脈(微控制)。

又，日本專利特開平 7-78422 號公報揭示使用延遲線從 A/D 轉換後之數位資料作成相位誤差信號之時脈抽出電路。

但是，以往之數位 PLL 系統在相控制之切換點上 PLL 無法連接運作，此爲其缺點。

以往之 PLL 系統，如像 HDD 那樣以 CAV(角速度一定)執行區域位元記錄而以 CAV 讀出之情形係無問題。但是，如 DVD 等光碟，以 CLV (線速度一定)記錄之資料藉 CAV 讀出之 CVA 再生，或在轉軸到達 CLV 速度以前即進行讀出之無亂變之再生等之情形中，再生信號之中心頻率會連續變化，而 PLL 也須在中心頻率變化範圍內連續不斷地追隨。但是，往例之數位 PLL 並無法連續地追隨。亦即，往例之數位 PLL 系統粗控制之切換點變成不連續點，無法維持 PLL 之連續性。

五、發明說明(5)

往例之數位 PLL 系統須改變合成器之分頻比 N, M 俾進行頻率之粗調。改變 N, M 時在時機上難於同時切換 N, M 參數，即使能同時切換 N , M 參數，中心頻率在切換時除了大移動也同時失去振盪相位之連續性。在粗調切換之中心頻率移動之結果，變成執行微調之 PLL 無法控制，相位鎖定不同步。相位鎖定一旦不同步，則無法產生時脈，而資料再生也就不可期。

這樣子，使用於 HDD 上之以往數位 PLL 即使應用於 DVD 等之光碟，具有 PLL 無法在 CAV 再生或 CLV 之無亂變再生時必要之寬廣頻率範圍上連續運作之缺點。

本發明係爲解決上述問題而被創作出者，其目的係提供能連續在寬廣頻率範圍上執行鎖定之時脈產生電路。

(發明之揭示)

爲達成上述目的，本發明之時脈產生電路具備下面之構成。亦即

係爲產生用於記錄媒體之信號再生上之時脈信號之時脈產生電路，具備有：藉自記錄媒體讀出之類比信號轉換成數位信號抽出相位誤差信號之相位比較器；執行相位誤差信號之濾波的迴路濾波器；將以迴路濾波器濾波後之信號轉換成類比信號之微控制用數位／類比轉換器；偵測以迴路濾波器濾波後之信號是否超出預先設定範圍，或低於設定範圍，或在設定範圍內之範圍偵測器；經迴路濾波器濾波後之信號若超出上述範圍時，及

五、發明說明(6)

低於該範圍時則產生調變基準信號之單調增減器；將調變基準信號轉換成脈衝串之脈衝寬調變器；對預先設定之頻率設定值和脈衝寬調變器轉換之信號施予加算之加法器；將加法器得出之信號轉換成類比信號之粗控制用數位／類比轉換器；將粗控制用數位／類比轉換器之類比信號之高頻成份截斷之低通濾波器；將微控制用數位／類比轉換器輸出類比信號和通過低通濾波器之類比信號予以加算之類比加法器；及電壓控制振盪器，藉範圍偵測器檢測出以迴路濾波器濾波後之信號若超過上述範圍，或低於該範圍時則以與類比加法器得出之信號成比例之頻率產生時脈，若以迴路濾波器濾波後之信號被範圍偵測器檢測出係在上述範圍內時則以與微控制用數位／類比轉換器得出之信號成比例之頻率來產生時脈信號。

上述脈衝寬調變器能用△Sigma 調變而構成。

依本發明之時脈產生電路，藉範圍偵測器檢測微控制用數位／類比轉換器之輸入超範圍，藉單調增減器，脈衝寬調變處理，能以高於粗控制用數位／類比轉換器之解析度以控制電壓控制振盪器之輸入。例如，能提供即使用微控制用數位／類比轉換器之輸入範圍有超出之趨勢，在改變粗控制用數位／類比轉換器時 PLL 也不會不同步而能連續地進行良好之時脈產生，能連續地對寬廣頻率範圍施予鎖定之時脈產生電路，能提供涵蓋可控

五、發明說明(7)

制之全頻率範圍連續地進行時脈再生之時脈產生電路。

另外,本發明之時脈產生電路具備下述之構成。亦即,係爲產生記錄媒體信號時使用之時脈信號之時脈產生電路,具備有:從記錄媒體讀出之類比信號經轉換得出之數位信號抽出相位誤差信號之相位比較器;對相位誤差信號執行濾波之迴路濾波器;對被迴路濾波器濾波後之信號執行零內插過採樣之過採樣器;藉過採樣器對被過採樣之資料進行補間之補間器;將補間器補間後之信號轉換成多值之△Sigma調變信號的多值△Sigma調變器,將多值△Sigma調變信號轉換成類比信號之粗控制用數位/類比轉換器;將粗控制用數位/類比轉換器輸出之類比信號高頻成份截斷之低通濾波器;及以與通過低通頻濾波器之信號成比率之頻率輸出時脈信號之電壓控制振盪器。

因此,依本發明具有對迴路濾波器之信號執行零內插過採樣並執行補間,再藉多值△Sigma調變,能控制電壓控制振盪器之輸入電壓使超出數位/類比轉換器之解析度以上之優點,結果,能提供對寬廣頻率範圍執行連續鎖定之時脈產生電路。再者,不需要微控制用數位/類比轉換器,數位/類比轉換器只有粗控制用數位/類比轉換器而具有構成簡單之特徵。

另外,依本發明能從脈衝寬調變器和多值△Sigma調變器輸出平滑且安定地變化之調變信號。

五、發明說明(8)

(圖面之簡單說明)

第 1 圖係示出具備實施形態 1 之時脈產生電路 100 之記錄媒體 1 之再生裝置之一個構成方塊圖。

第 2 圖係示出相位比較器 4 之構成方塊圖。

第 3 圖係示出相位一致情形之採樣波形和採樣時脈波形。

第 4 圖係示出相位偏移情形之採樣波形和採樣時脈波形。

第 5 圖係示出迴路濾波器 5 之構成方塊圖。

第 6 圖係示出範圍偵測器 9 之構成方塊圖。

第 7 圖係示出範圍偵測器 9 之範圍之概念。

第 8 圖係示出單調增減器 10 之構成方塊圖。

第 9 圖係示出脈衝寬調變器 11 之構成方塊圖。

第 10 圖係示出範圍偵測器 9,單調增減器 10, 脈衝寬調變器 11,低通濾波器 14 之各個輸出之波形。

第 11 圖係示出具備實施形態 2 之時脈產生電路 200 之記錄媒體 1 之再生裝置之構成方塊圖。

第 12 圖係示出過採樣器 15 之構成方塊圖。

第 13 圖係示出補間器 16 之構成方塊圖。

第 14 圖係示出多值△Sigma 調變器 17 之構成方塊圖。

第 15 圖係示出具備以往之數位 PLL 系統之時脈產生電路 1000 之再生裝置之構成方塊圖。

五、發明說明(9)

(實施本發明所用之最佳形態)

(實施形態 1)

下面將參照圖面說明本發明之實施形態 1 之時脈產生電路。另外,與第 15 圖者相同之構成係以相同之符號表示。

第 1 圖係示出具備實施形態 1 之時脈產生電路 100 之 1 之再生裝置之一部份之方塊圖。

時脈產生電路 100 係具備相位比較器 4, 迴路濾波器 5, 微控制用數位/類比轉換器 6, 類比加法器 7, 電壓控制振盪器 8, 範圍偵測器 9, 單調增減器 10, 脈衝寬調變器 11、12, 粗控制用數位/類比轉換器 13, 及低通濾波器 14。

讀取頭 2 從記錄媒體偵測出類比再生信號, 並將之輸出至類比/數位轉換器 3。

類比/數位轉換器 3 係與時脈產生電路 100 所供給之時脈信號同步, 對類比再生信號採樣以轉換成數位再生信號, 根據數位再生信號輸出至產生再生信號並將之輸至再生電路(未圖示)和時脈產生電路 100 內之相位比較器 4。

相位比較器 4 係由以時脈信號之時序被採樣之數位再生信號抽出相位誤差信號並將之輸至迴路濾波器 5。

迴路濾波器 5 係用完全積分成份和比例成份之加算而構成,對相位誤差信號執行濾波,並將之輸至微控制用數

五、發明說明(10)

位／類比轉換器 6 和範圍偵測器 9。

微控制用數位／類比轉換器 6 係爲根據相位誤差細微控制振盪器所用之數位／類比轉換器，將輸入之信號轉換成類比信號並輸出至類比加法器 7。

範圍偵測器 9 具有偵測被迴路濾波器 5 濾波之信號是否不在微控制用數位／類比轉換器 6 之輸入範圍內之功能並將偵測結果輸出至單調增減器 10。

單調增減器 10 和脈衝寬調變器 11 控制，粗控制用數位／類比轉換器 13 之最小有效位元(Least significaut Bit, LSB)之變化，執行使最終輸入電壓控制振盪器 8 之輸入電壓滑順地變化所需之信號處理。單調增減器 10 係藉上下計數器(up-down counter)(後述)產生調變基準信號，脈衝寬調變器 11 係對調變基準信號施予△Sigma 調變以作爲脈衝寬調變信號。

來自脈衝寬調變器 11 之輸出係輸入加法器 12，加法器 12 係藉由加算脈衝寬調變輸出和事先設定之頻率設定值而產生粗控制用數位／類比轉換器 13 之輸入信號。

粗控制用數位／類比轉換器 13 係爲執行粗頻率控制用之數位／類比轉換器，粗控制用數位／類比轉換器 13 將數位加法器 12 之輸出轉換成類比信號並將之輸至低通濾波器 14。

低通濾波器 14 除去輸入之類比信號之高頻成份並將

五、發明說明(11)

之輸至類比加法器 7。

類比加法器 7 加算低通濾波器 14 之輸出和微控制用數位／類比轉換器 6 之輸出並將之輸至電壓控制振盪器 8。

電壓控制振盪器 8 執行與輸入電壓成比例之頻率振盪。電壓控制振盪器 8 之輸出係作爲時脈信號,不僅供給類比／數位轉換器 3，也供給其它類比／數位轉換器，數位／類比轉換器及需要時脈信號之所有數位電路。

其次將參照第 2 至第 4 圖說明相位比較器 4。

第 2 圖係示出相位比較器 4 之構成方塊圖。

相位比較器 4 係具備位準判定器 21，第 1 之 1T 遲延器 22，第 2 之 1T 遲延器 23，第 1 乘法器 24，第 2 乘法器 25,及減法器 26。

輸入相位比較器 4 之數位再生信號係輸入第 1 之 1T 遲延器 22,第 2 乘法器 25,及位準判定器 21。

第 1 及第 2 之 1T 遲延器 22，23 係執行第 1 採樣時脈時間(以下稱爲 1T)之遲延。

位準判定器 21 執行對應局部響應型之位準判定，並將位準判定信號 QV[k]輸至第 2 之 1T 遲延器 23 和第 1 乘法器 24。

第 1 乘法器 24 執行被遲延 1T 之數位再生信號 V[k-1]

五、發明說明(12)

和位準判定信號 QV[k]之乘算，並輸出結果 QV[k]×V[k-1]。

第 2 乘法器 25 執行被遲延 1T 之位準判定信號 QV[k-1]和數位再生信號 V[k]之乘算，並輸出結果 QV[k-1]]×V[k]。

第 1 及第 2 乘法器 24，25 之輸出係輸入減法器 26，減法器 26 算出相位誤差信號 QV[k-1]×[k]-QV[k]×V[k-1]並輸出。

第 3 及第 4 圖係示出用於說明相位比較器 4 相位誤差偵測法則之信號波形。

類比／數位轉換器 3 係藉時脈信號之時序對再生類比信號進行採樣。因此，相位若一致時類比／數位轉換器 3 供給之值從正到負，負到正變化之點(越零點)係與採樣之點一致。相位誤差之基本原理係關於偵測出本來應位在越零點之採樣點但卻偏離該越零點之偏移量。如第 3 圖所示若相位一致時相位誤差則爲零。

第 4 圖係示出相位偏移情形之採樣波形和採樣波形之時脈波形。

相位一旦偏移後採樣點和越零點則會偏離。相位誤差係利用上述之位準判定值求出採樣點和越零點之偏離。

第 5 圖係示出迴路濾波器 5 之構成方塊圖。

迴路濾波器 5 具備第 1 加法器 27，1T 遲延器 28，第 1 係數乘法器(GB)29，第 2 係數乘法器(GA)30，及第 2

五、發明說明(13)

加法器 31。

輸入迴路濾波器 5 之相位誤差信號係輸入第 2 係數乘法器 30 和第 1 加法器 27。

第 1 加法器 27 加算輸入之相位誤差信號和 1T 遲延器 28 輸出之 1T 遲延信號。

1T 遲延器 28 係將加法器 27 輸出之信號遲延 1T，並將之輸至第 1 係數乘法器 29 和第 1 加法器 27。

迴路濾波器 5 執行相位誤差信號之完全積分系統和比例系統之加算處理。亦即，第 1 係數乘法器 29 設定完全積分系統之增益，第 2 係數乘法器 30 則設定比例系統之增益。

第 2 加法器 31 加算第 1 及第 1 係數乘法器 29，30 之輸出作爲迴路濾波器之信號而輸出。迴路濾波器 5 之輸出因含有完全積分系統之加算成份，故其能得出之值理論上係無限，若持續輸出一定之誤差信號時迴路濾波器 5 之輸出則持續增加。但是，實際上，輸出相位誤差之微控制用數位／類比轉換器 6 之解析度係有限，通常，例如，爲 8 位元之程度。假設係爲 8 位元程度作微控制用的情形，頻率控制範圍約爲正負 5%。

第 6 圖係示出範圍偵測器 9 之構成方塊圖。

範圍偵測器 9 具備第 1 及第 2 比較器 32，33 和上下控制器 34。

輸入範圍偵測器 9 之迴路濾波器信號係輸入第 1，第

五、發明說明(14)

2比較器32，33。

第1比較器32係比較事先設定之範圍設定值之頂值和迴路濾波器信號，並將比較結果輸入上下控制器34。

第2比較器33係比較事先設定之範圍設定值之底值和迴路濾波器信號，並將比較結果輸入上下控制器34。

上下控制器34根據輸入之比較結果，產生上昇及下降信號，並將之輸至單調增減器10。

再者，頂部範圍及底部範圍之設定值只要設定使迴路濾波器5之輸出係表示不是利用粗控制用數位／類比轉換器13之控制，而能藉微控制用數位／類比轉換器6產生時脈信號之範圍即可。

第7圖係示出範圍偵測器9之範圍之概念圖。

第7圖上之微控制用數位／類比轉換器6之解析度係定爲8位元，微控制用數位／類比轉換器6之輸入範圍係爲-128至127。另外，自輸入範圍內事先設定頂值和底值。

上下控制器34一旦自第1比較器32收到迴路濾波器信號超出頂部範圍設定值之結果後即輸出上升信號，而自第2比較器33收到迴路濾波器信號低於底部範圍設定值之結果後即輸出下降信號。第1比較器32之比較結果係在頂部範圍設定值之下，且，第2比較器33之比

較結果係在底部範圍設定值之上時上下控制器 34 不動作，藉此，從單調增減器 10 一直到低通濾波器 14 之各構成皆不動作。這種情形，供給至電壓控制振盪器 8 之信號則係微控制用數位／類比轉換器 6 根據迴路濾波器 5 之輸出所產生之信號。

第 8 圖係示出單調增減器 10 之構成方塊圖。

從範圍偵測器 9 輸出之上昇信號及下降信號係輸入觸發產生器 35。

觸發產生器 35 接收上昇信號和下降信號將觸發信號輸入上下計數器 36。

上下計數器 36 收到觸發信號後在一定之期間內朝上或朝下計數輸入之基準時脈，並根據被計數之基準時脈產生調變基準信號。

第 9 圖係示出使用△Sigma 調變之脈衝寬調變器 11 之構成方塊圖。另外，脈衝寬調變器之構成有各式各樣，但本實施形態 1 係使用△Sigma 調變以執行脈衝寬調變。

脈衝寬調變器 11 係具備減法器 37,加法器 38，第 1 之 1T 遲延器 39,量子化器 40,及第 2 之 1T 遲延器 41。

從單調增減器 10 輸出之調變基準信號係輸入至減法器 37。

減法器 37 係自調變基準信號減去被第 2 之 1T 遲延器 41 遲延 1T 之量子化器 40 之信號之饋返信號。

五、發明說明(16)

加法器 38 係將減法器 37 輸出之減算值加上被 1T 遲延器 39 遲延 1T 之加法器 38 之輸出之饋返信號。

量子化器 40 係將加法器 38 輸出之加算值量子化成之值。

藉根據上述之△Sigma 調變，調變基準信號被轉換成脈衝串列。

第 10 圖係示出範圍偵測器 9,單調增減器 10，脈衝寬調變器 11,低通濾波器 14 之各個輸出波形，由上依序爲範圍偵測器 9 輸出之上昇信號，範圍偵測器 9 輸出之下降信號，單調增減器 10 輸出之調變基準信號，脈衝寬調變器 11 輸出之調變信號，低通濾波器 14 輸出之低頻濾波器輸出信號之波形。

從第 10 圖也可知曉，低通濾波器之輸出信號係以高於粗控制用數位／類比轉換器 13 之 1LSB 之解析度慢慢使電壓變化，結果減少電壓控制振盪器 8 之輸入電壓在時間上之變化百分比。

若輸入電壓控制振盪器 8 之輸入電壓在時間上之變化百分比不減少時電壓控制振盪器 8 之振盪頻率即會急劇變化，以微控制用數位／類比轉換器 6 構成之迴路係無法追隨,導致 PLL 不同步。假設，藉範圍偵測器 9 輸出之上昇信號及下降信號直接遞昇或遞降粗控制用數位／類比轉換器 13 時粗控制用數位／類比轉換器 13 之 1LSB 相當之電壓則變化，電壓控制振盪器 8 之振盪頻率相

五、發明說明(17)

當於粗控制用數位／類比轉換器 13 之 1LSB 之頻率會急劇變化,因此以微控制用數位／類比轉換器 6 構成之迴路則無法追隨終至導致 PLL 不同步。

爲避免這樣之頻率急劇變化，本實施形態 1 藉設置單調增減器 10,脈衝寬調變器 11,以高於粗控制用數位／類比轉換器之解析度來控制電壓控制振盪器 8 之輸入電壓,和減少電壓控制振盪器 8 之輸入在時間上之變化百分比。因此,粗控制用數位／類比轉換器 13 之範圍即使變化,仍能避免微控制用數位／類比轉換器 6 之輸入超出範圍，PLL 不會不同步而能連續地產生良好之時脈。另外，能提供對寬廣之頻率範圍可連續地鎖定之時脈產生電路,能提供涵蓋可控制之全頻寬連續地執行時脈再生之時脈產生電路。另外,依本實施形態 1，脈衝寬調變器能輸出平滑且安定地變化之調變信號。

(實施形態 2)

第 11 圖係示出具備實施形態 2 之時脈產生電路 200 之記錄媒體 1 之再生裝置之構成之方塊圖。與第 1 圖相同之構成係以相同符號表示。

讀取頭 2 自記錄媒體 1 讀出信號，並將之輸至類比／數位轉換器 3。

類比／數位轉換器 3 根據時脈產生電路 200 之分頻器 20 輸出之時脈信號將類比再生信號轉換成數位再生信號。

五、發明說明(18)

時脈產生電路 200 係具備相位比較器 4,迴路濾波器 5,過採樣器 15,補間器 16,多值△Sigma 調變器 17,粗控制用數位／類比轉換器 18,低通濾波器 19,電壓控制振盪器 8,及分頻器 20。過採樣器 15, 補間器 16,多值△Sigma 調變器 17, 及粗控制用數位／類比轉換器 18 構成過採樣系之數位區塊。

數位再生信號輸入相位比較器 4,相位比較器 4 藉時脈信號之時序自被採樣之數位再生信號抽出相位誤差信號。

迴路濾波器 5 係藉完全積分成份和比例成份之加算而構成, 用於對藉相位比較器 4 求出之相位誤差進行濾波。

過採樣器 15 對被迴路濾波器 5 濾波之相位誤差信號以既定之速率施予零內插，補間器 16 係對過採樣器 15 之輸出執行補間處理。補間器 16 係以有限脈衝響應(Finite Impulse Response, FIR)濾波器構成,執行被零內插之資料之奈奎斯特(Nyquist)補間。補間器 16 之輸出係輸入多值△Sigma 調變器 17。

多值△Sigma 調變器 17 產生配合粗控制用數位／類比轉換器 18 之量子化解析度之調變信號。

粗控制用數位／類比轉換器 18 將多值△Sigma 調變器 17 輸出之調變信號轉換成類比信號。

低通濾波器 19 係藉一次元之類比濾波器構成, 對粗

五、發明說明(19)

控制用數位／類比轉換器 18 輸出之類比信號執行濾波。

電壓控制振盪器 8 係根據低通濾波器 19 之輸出，輸出過採樣之時脈信號。電壓控制振盪器 8 輸出之過採樣之時脈信號係輸分頻器 20,過採樣系之△Sigma 之過採樣器 15,補間器 16,多值△Sigma 調變器 17, 及粗控制用數位／類比轉換器 18。

類比／數位轉換器 3,相位比較器 4,迴路濾波器 5 之構成係與實施形態 1 者相同。

第 12 圖係示出過採樣器 15 之構成方塊圖。

過採樣器 15 係具備選擇器 42, N 位元計數器 44, 及速率轉換器 43。

選擇器 42 接收迴路濾波器 5 輸出之 T 速率之相位誤差信號,零資料, N 位元計數器 44 輸出之選擇信號。N 位元計數器 44 之 N 係表示過採樣比, 計數器 44 係根據過採樣比 N 產生選擇信號, 以控制選擇器 42 上之信號之選擇。選擇器 42 係根據 N 位元計數器 44 之選擇信號對相位誤差信號執行零內插過採樣。例如, N=4 之情形, 變成 data1、0、0、0、data2、0、0、0、data3、0、0、0、----那樣之資料串列。

速率轉換器 43 藉過採樣時脈閂定選擇器 42 之輸出, 亦即零內插資料, 作爲過採樣相位誤差信號而輸出。

五、發明說明(20)

第 13 圖係示出補間器 16 之構成方塊圖。

補間器 16 具備四個 T/N 遲延器 45、46、47、48 和五個乘法器 49、50、51、52、53。但是，T/N 遲延器和乘法器之個數並不限定於前述個數。

過採樣器 15 輸出之過採樣相位誤差信號係輸入第 1 T/N 遲延器 45 和第 1 單調增減器 49。第 1 T/N 遲延器 45 之輸出係輸入第 2 T/N 遲延器 46 和第 2 乘法器 50，第 2 T/N 遲延器 46 之輸出係輸入第 3 T/N 遲延器 47 和第 3 乘法器 51，第 3 T/N 遲延器 47 之輸出係輸入第 4 T/N 遲延器 48 和第 4 乘法器 52,第 4 T/N 遲延器 48 之輸出係輸入第 5 乘法器 53。第 1 至第 5 乘法器 49、50、51、52、53 之輸出係輸入加法器 54,加法器 54 則輸出 K 位元之補間信號。K 係表示加法器 54 輸出之資料之位元數。

這裡，第 1 及第 5 乘法器 49、53 之乘算係數 a，第 2 及第 4 乘法器 50、52 之乘算係數 b，及第 3 乘法器 51 之乘算係數 c，分別爲奈奎斯特(Nyquist)之補間常數,例如藉下列方程式得出:

$$a=Sin(\pi/(2\times N))/(\pi/(2\times N)$$

$$b=Sin(\pi/(1\times N))/(\pi/(1\times N)$$

$$c=1$$

第 14 圖係示出多值△Sigma 調變器 17 之構成。

多個△Sigma 調變器 17 係具備減法器 55,加法器 56,

五、發明說明(21)

第 1 之 1T 遲延器 57，L 位元量子化器 58，及第 2 之 1T 遲延器 59。

減法器 55 係自補間器 16 輸出之 K 位元之補間輸出減去 L 位元調變信號被第 2 之 1T 遲延器 59 遲延後得出之饋返信號。

加法器 56 係自將減法器 55 之輸出加上加法器 56 之輸出被第 1 之 1T 遲延器 57 遲延後得出之饋返信號。加法器 56 之輸出係輸入 L 位元量子化器 58 和第 1 之 1T 遲延器 57。

L 位元量子化器 58 藉△Sigma 調變將加法器 56 之輸出，亦即 K 位元調變基準信號量子化成 L 位元。這裡，K，L 的關係爲 K>L，例如多值△Sigma 調變器 17 連接之粗控制用數位／類比轉換器 18 之解析度若係爲 8 位元時則 L=8 。這時補間器 16 輸出之輸出信號係 9 位元以上。L 和 K 之界限比係由過採樣頻率和控制頻寬之關係決定。

實施形態 2，藉過採樣器 15 將迴路濾波器 5 之輸出執行過採樣，另再藉多值△Sigma 調變器 17 將補間器 16 執行補間後之 K 位元補間輸出進行位元遞降而成 L 位元，藉此，能以高於粗控制用數位／類比轉換器 18 之解析度來控制電壓振盪器 8 之輸入電壓，即使使用粗解析度之數位／類比轉換器，也能實現引入頻率、範圍寬廣良好之時脈產生電路。另外，依本實施形態 2，能自

五、發明說明(22)

多值△Sigma調變器輸出平滑且安定地變化之調變信號。

(產業上之利用可能性)

本發明能適用於產生使用於數位記錄再生裝置之資料再生信號上之時脈信號之時脈產生電路。

符號之說明

1	記錄媒體
2	讀取頭
3	類比／數位轉換器
4	相位比較器
5	迴路濾波器
6	微控制用數位／類比轉換器
7	類比加法器
8	電壓控制振盪器
9	範圍偵測器
10	調變基準信號產生器
11	脈衝寬調變器
12	數位加法器
13	粗控制用數位／類比轉換器
14	低通濾波器
15	過採樣器
16	補間器
17	多值△Sigma 調變器
20	分頻器

90年1月3日 修正補充 A5 B5

四、中文發明摘要（發明之名稱：　　）

時脈產生電路

在相位比較器 4 抽出得自記錄媒體 1 之數位信號之相位誤差信號，接著於迴路濾波器 5 上對相位誤差信號進行進行濾波，之後利用微控制用數位／類比轉換器 6 將上述信號轉換成類比信號，藉範圍偵測器 9 偵測上述信號是否在設定範圍內，並藉單調增減器 10 產生調變基準信號，接著藉脈衝寬調變器 11 對調變基準信號進行調變，藉加法器 12 加算頻率設定值和調變基準信號，然後在粗控制用數位／類比轉換器 13 上將加算結果轉換成類比信號，接著藉低通濾波器 14 截斷類比信號之高頻成份，並於類比加法器 7 上對微控制用數位／類比轉換器 6 及從低通濾波器 14 輸出之類比信號進行加算，最後，藉電壓控制振盪器 8 根據類比加算器 7 之輸出信號產生時脈信號。藉此，可產生能連續鎖定廣範圍頻率之時脈信號。

（請先閱讀背面之注意事項再填寫本頁各欄）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

修正補充 A5 B5

四、英文發明摘要（發明之名稱：CLOCK GENERATING CIRCUIT）

The phase error signals are extracted from the digital signals obtained from a recording medium 1 by means of a phase comparator 4, the phase error signals are then filtered by a loop filter 5 and converted into analog signals through a fine controlling digital /analog converter 6, a range detector 9 is employed to detect whether the afore-said signals are within a pre-set range, a single modulation increase-decrease 10 is used to generate a modulation basic signal, the latter is then modulated by a pulse wide modulator 11, an adder 12 is used to add the frequency setting value and the modulation basic signal, the added results are converted into the analog signals via a coarse controlling digital/analog converter 13, the high frequency baud of the analog signal is chopped through a low-pass baud filter 14, the analog outputs of both the fine controlling digital/analog converter 6 and low-pass baud filter 14 are added by an analog adder 7, a voltage controlled oscillator 8 generates the clock signals based on the output signal of the analog adder 7. By means of this, it is able to generate the clock signals which can lock continuously a wide frequency range.

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

第 89102938 號「時脈產生電路」專利案

(90 年 7 月 13 日修正)

六申請專利範圍：

1.一種時脈產生電路，係產生用於記錄媒體之信號再生之時脈信號，其特徵爲具備：

自上述之記錄媒體讀出之類比信號轉換成之數位信號抽出相位誤差信號之相位比較器；

對上述相位誤差信號執行濾波之迴路濾波器；

將上述迴路濾波器濾波後之信號轉換成類比信號之微控制用數位／類比轉換器；

偵測上述迴路濾波器濾波後之信號是否超出事先設定之範圍，低於該範圍或在該範圍內之範圍偵測器；

在上述迴路濾波器濾波後之信號超出上述範圍，及低於該範圍之情形時則產生調變基準信號之單調增減器；

將上述調變基準信號轉換成脈衝串列之脈衝寬調變器；

對事先設定之頻率設定值和藉上述脈衝寬調變器轉換之信號執行加算之加法器，

將上述加法器得出之信號轉換成類比信號之粗控制用數位／類比轉換器；

將上述粗控制用數位／類比轉換器轉換之類比信號之高頻成份截斷之低通濾波器；

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

六、申請專利範圍

對上述微控制用數位／類比轉換器輸出之類比信號和通過上述低通濾波器之類比信號執行加算之類比加法器；及

上述範圍偵測器若偵測出上述迴路濾波器濾波後之信號超出上述之範圍，或低於該範圍時則以比例於上述類比加法器得出之信號之頻率產生時脈信號，而若偵測出以上述迴路濾波器濾波後之信號係在上述範圍內時則以與上述微控制用數位／類比轉換器得出之信號之頻率成比例產生時脈信號之電壓控制振盪器。

2.如申請專利範圍第 1 項之時脈產生電路，其中

上述脈衝寬調變器係以△Sigma 調變而構成。

3.一種時脈產生電路，係產生使用於記錄媒體之信號再生之時脈信號，其特徵爲具備：

自上述之記錄媒體讀出之類比信號轉換成之數位信號抽出相位誤差信號之相位比較器；

對上述相位誤差信號執行濾波之迴路濾波器；

對上述迴路濾波器濾波後之信號執行零內插過採樣之過採樣器；

對被上述過採樣器執行零內插過採樣後之資料執行補間之補間器；

將上述補間器補間後之信號轉換成多值△Sigma 調變信號之多值△Sigma 調變器；

將上述多值△Sigma 調變信號轉換成類比信號之

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

六、申請專利範圍

粗控制用數位／類比轉換器；

將上述粗控制用數位／類比轉換器輸出之類比信號之高頻成份截斷之低通濾波器；及

以與通過上低通濾波器之信號之頻率成比例產生時脈信號之電壓控制振盪器。

（請先閱讀背面之注意事項再填寫本頁）

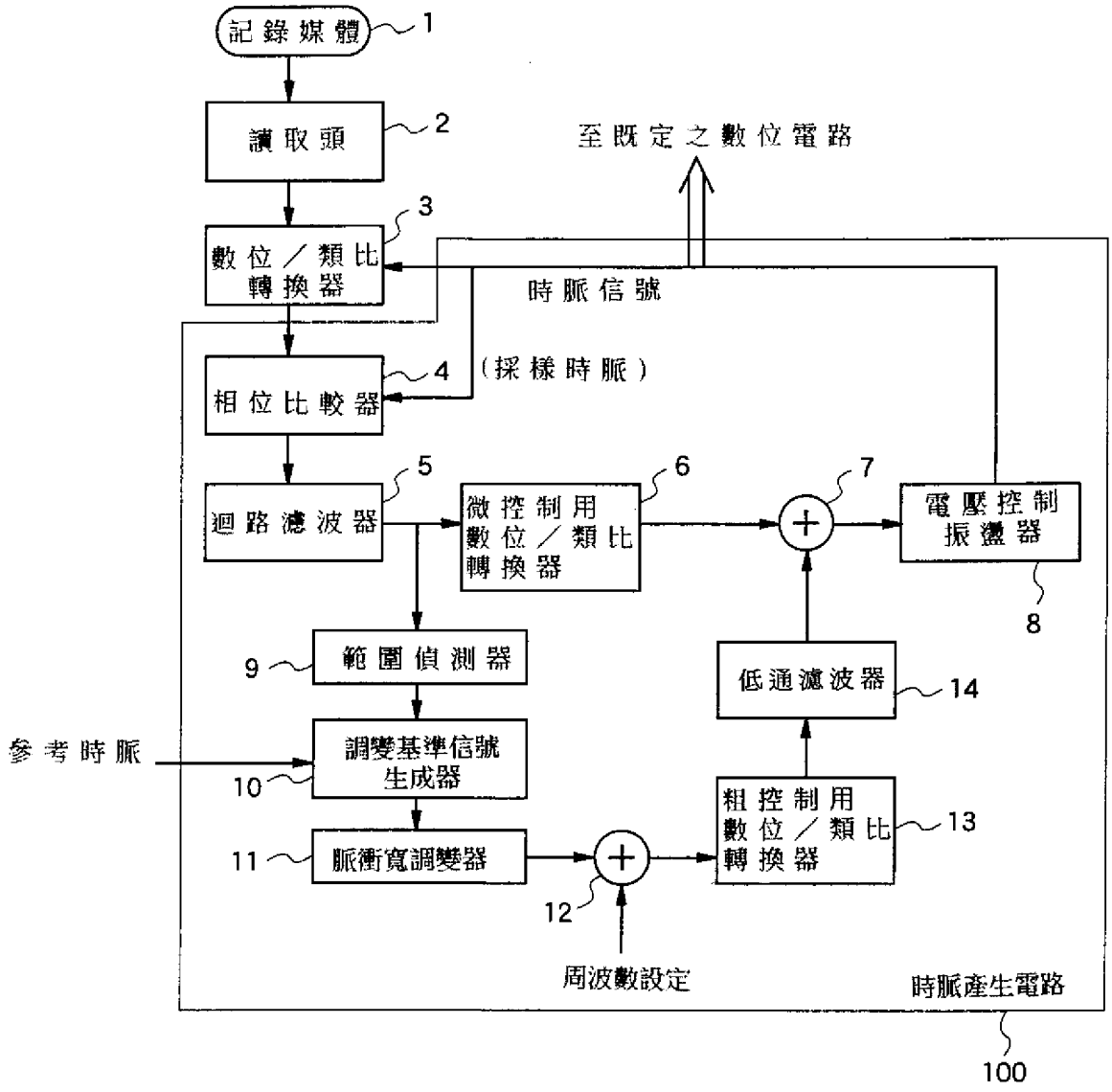
裝 訂 線

經濟部智慧財產局員工消費合作社印製

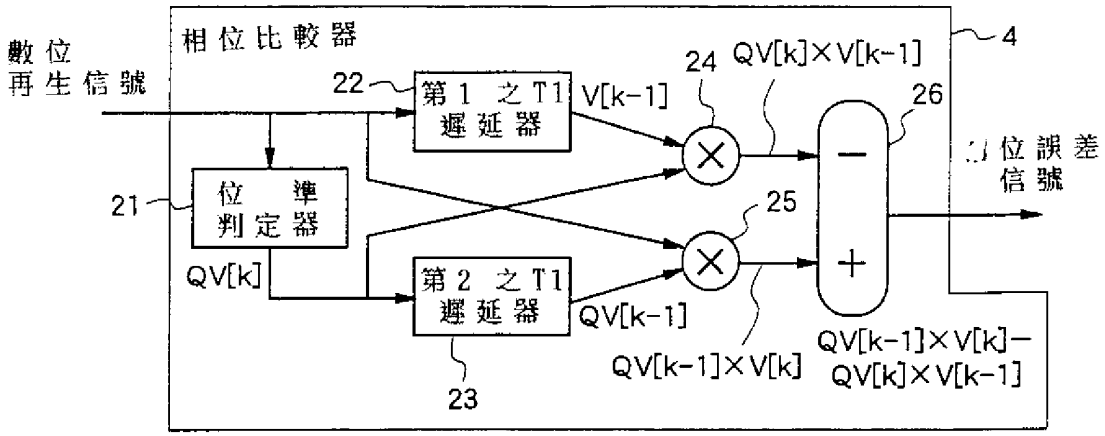
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

90年7月13日修正補充 TP13809

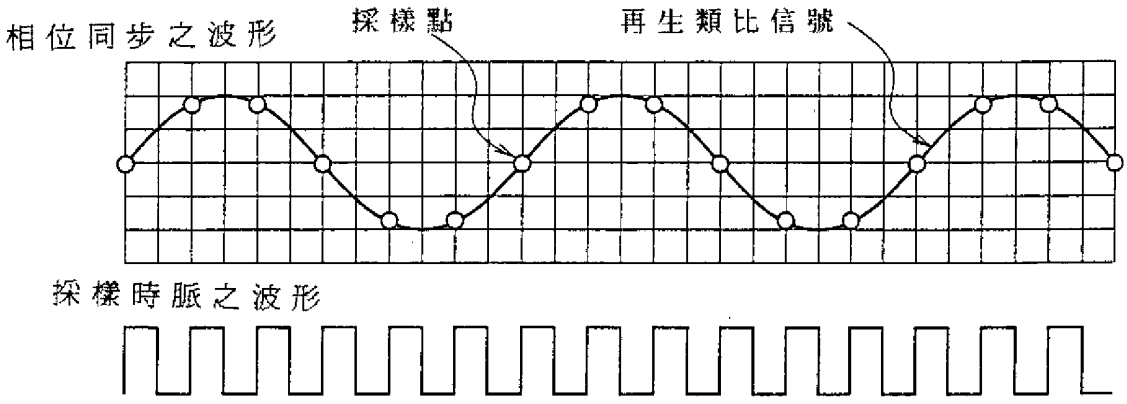
第 1 圖



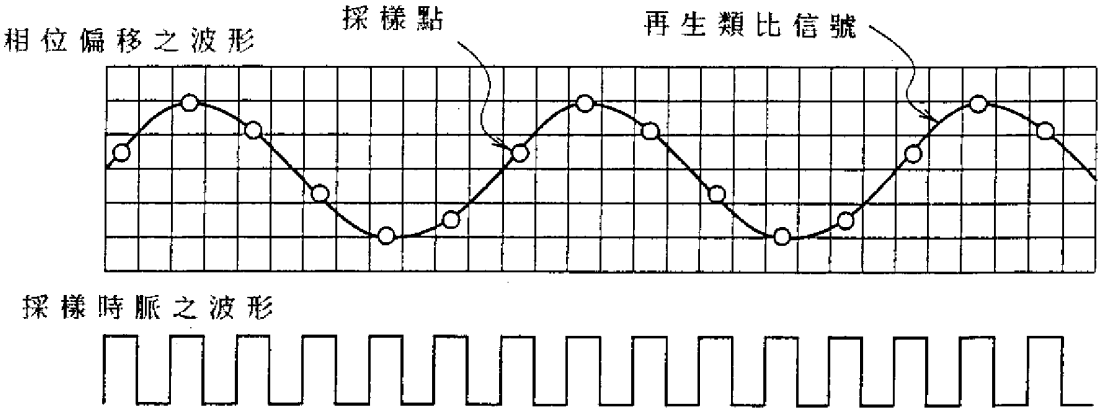
第 2 圖


相位比較器
4
數位
再生信號
22
第1 之T1
遲延器
V[k-1]
24
QV[k]×V[k-1]
26
相位誤差
信號
21
位準
判定器
25
QV[k]
第2 之T1
遲延器
QV[k-1]
23
QV[k-1]×V[k]
QV[k-1]×V[k]-
QV[k]×V[k-1]

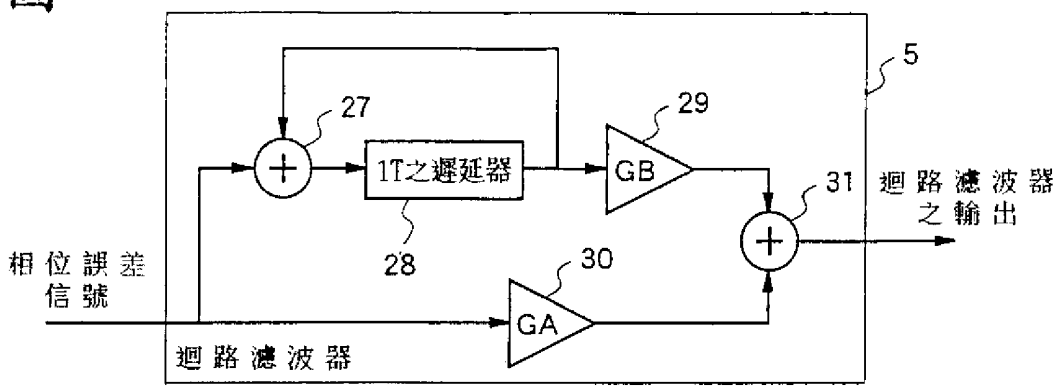
第 3 圖


相位同步之波形
採樣點
再生類比信號
採樣時脈之波形

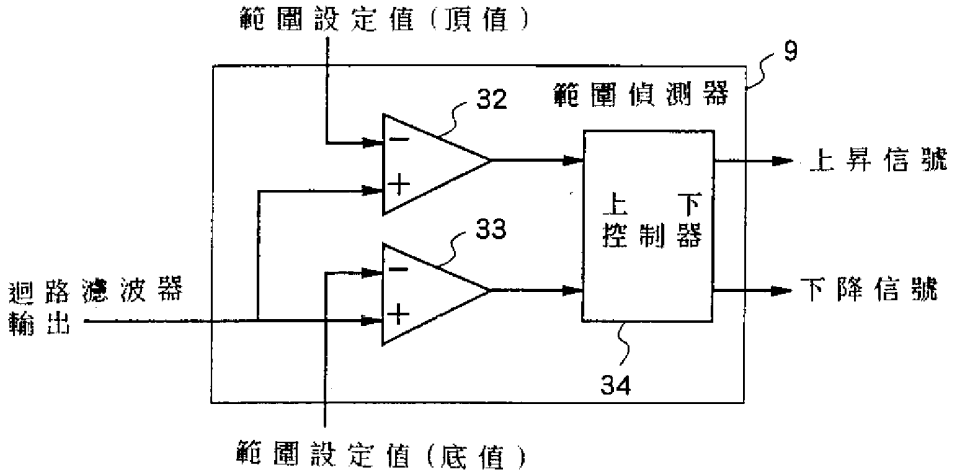
第 4 圖


相位偏移之波形
採樣點
再生類比信號
採樣時脈之波形

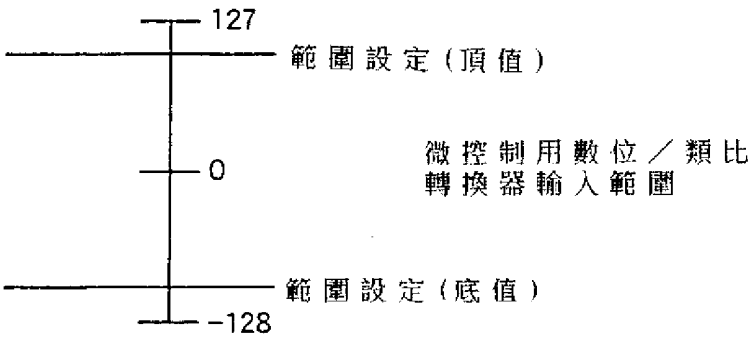
第 5 圖


5
27
29
1T之遲延器
GB
31
迴路濾波器之輸出
28
30
相位誤差信號
GA
迴路濾波器

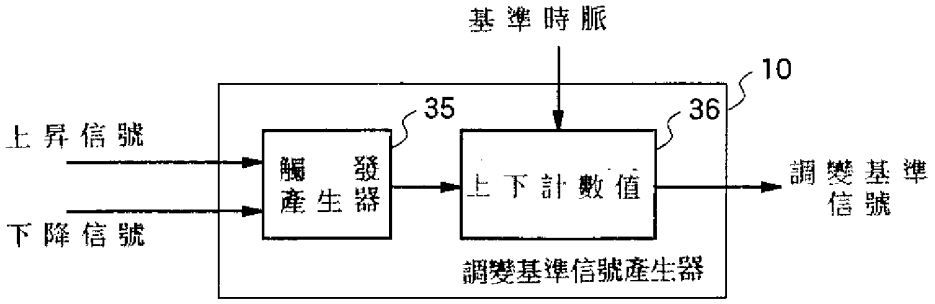
第 6 圖


範圍設定值（頂值）
9
32
範圍偵測器
上昇信號
上下控制器
33
迴路濾波器輸出
下降信號
34
範圍設定值（底值）

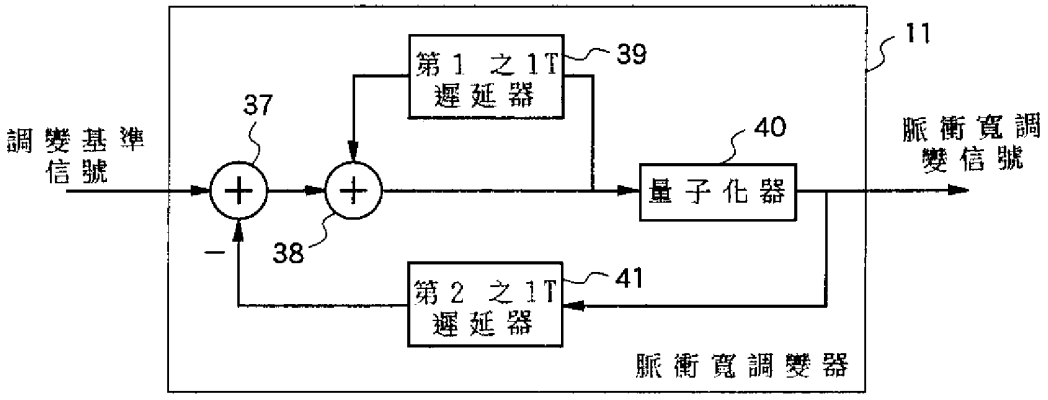
第 7 圖


127
範圍設定（頂值）
0
微控制用數位／類比轉換器輸入範圍
範圍設定（底值）
-128

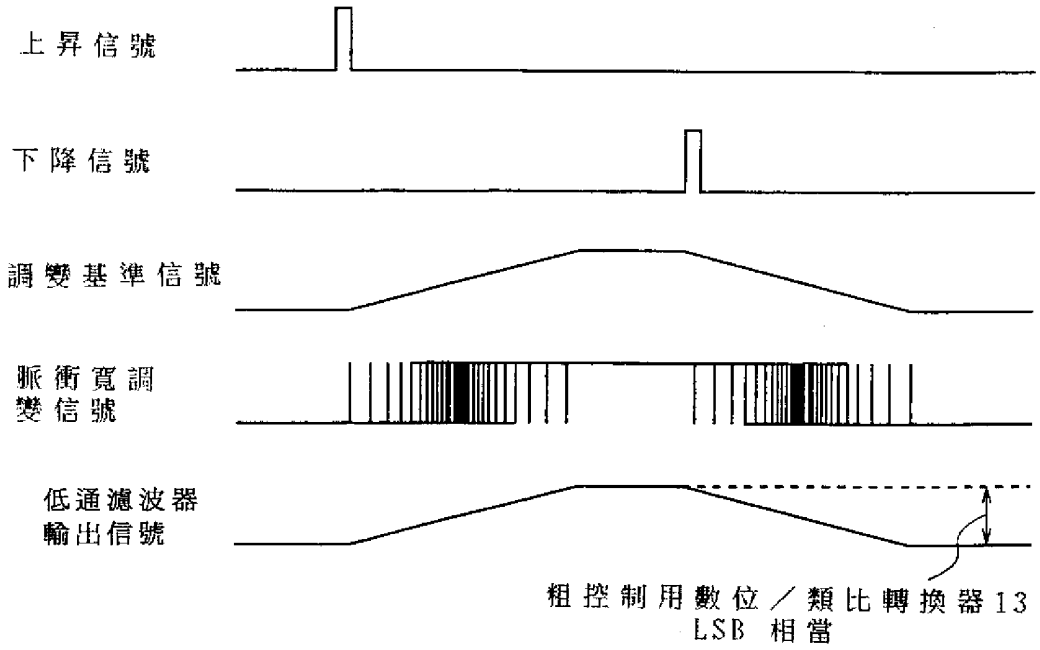
第 8 圖


基準時脈
10
35
36
上昇信號
觸發產生器
上下計數值
調變基準信號
下降信號
調變基準信號產生器

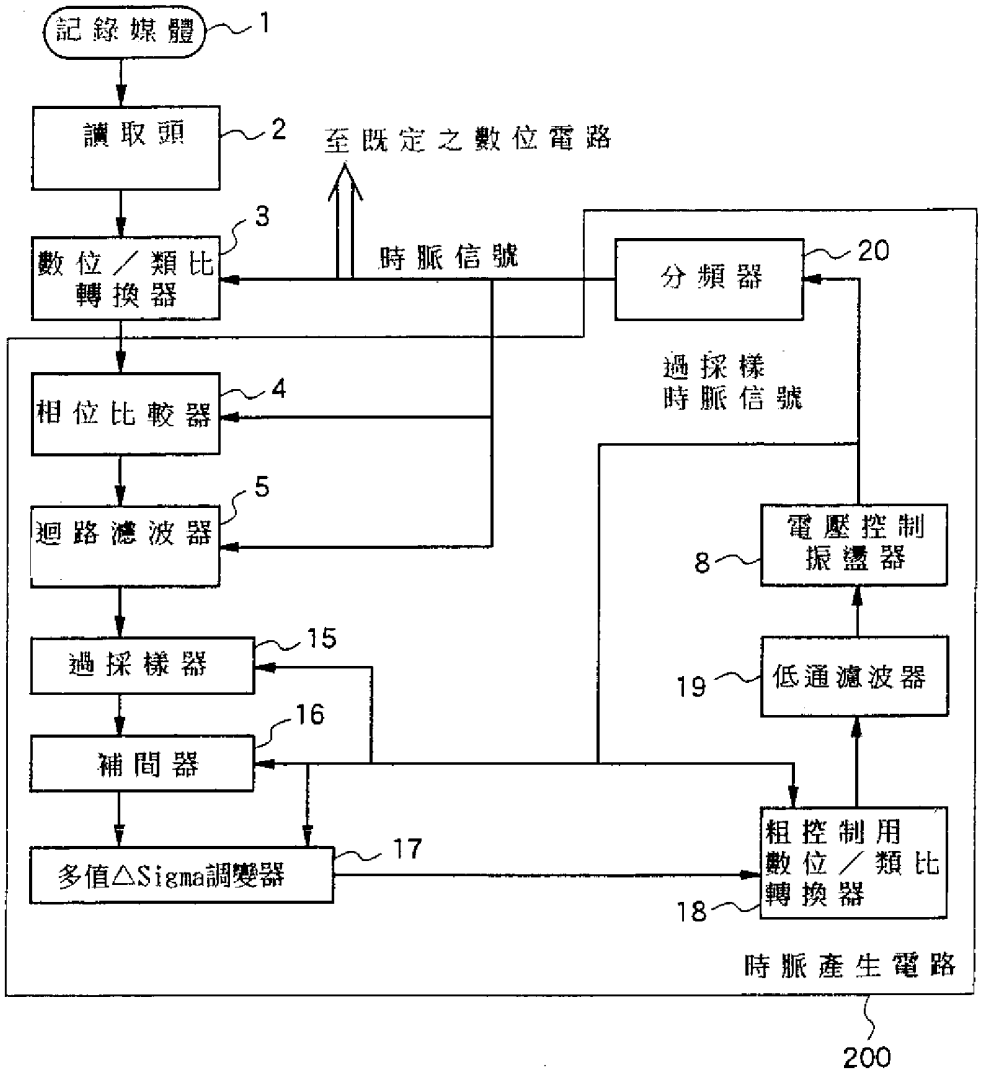
第 9 圖


11
第1之1T遲延器
39
37
40
調變基準信號
量子化器
脈衝寬調變信號
38
41
第2之1T遲延器
脈衝寬調變器

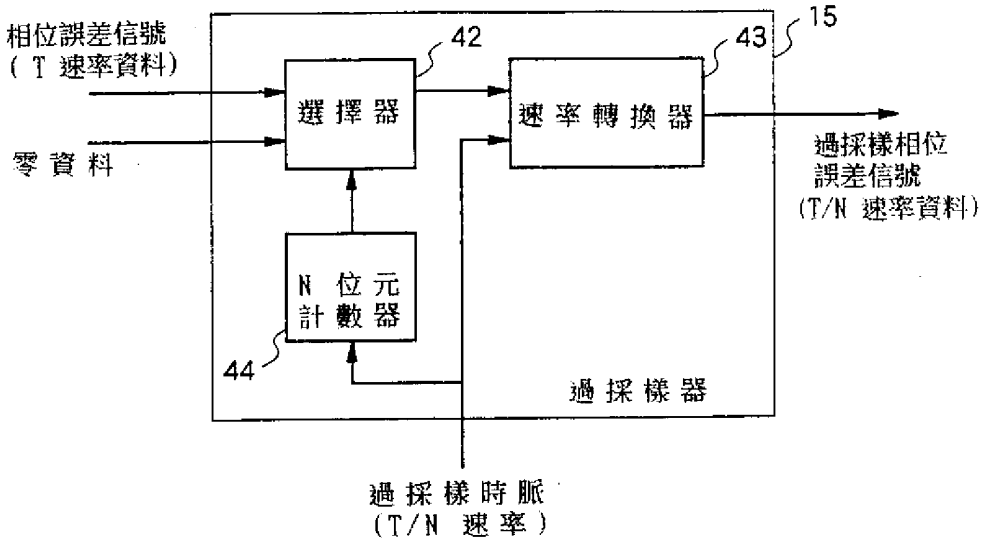
第 10 圖



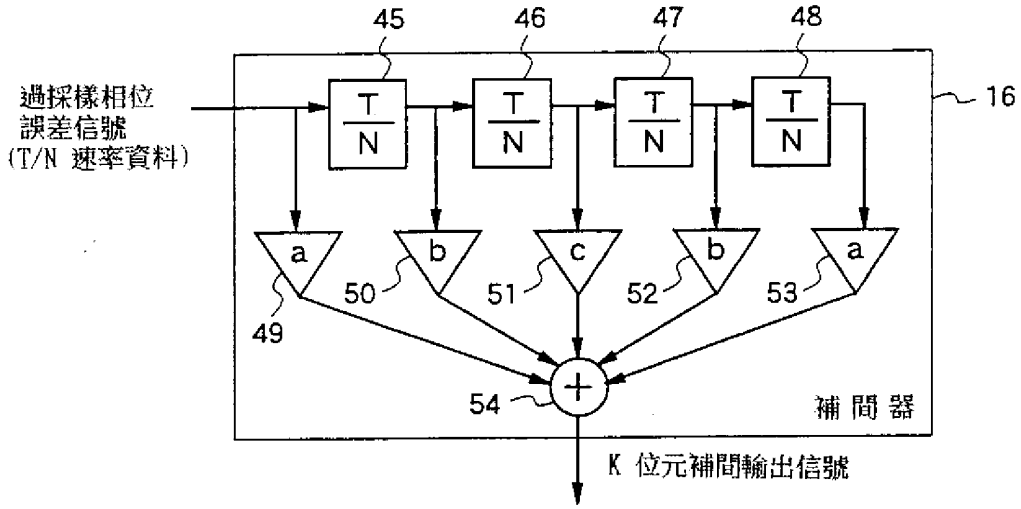
第 11 圖


記錄媒體
1
讀取頭
2
至既定之數位電路
數位／類比轉換器
3
時脈信號
分頻器
20
過採樣時脈信號
相位比較器
4
迴路濾波器
5
電壓控制振盪器
8
過採樣器
15
低通濾波器
19
補間器
16
粗控制用數位／類比轉換器
多值ΔSigma調變器
17
18
時脈產生電路
200

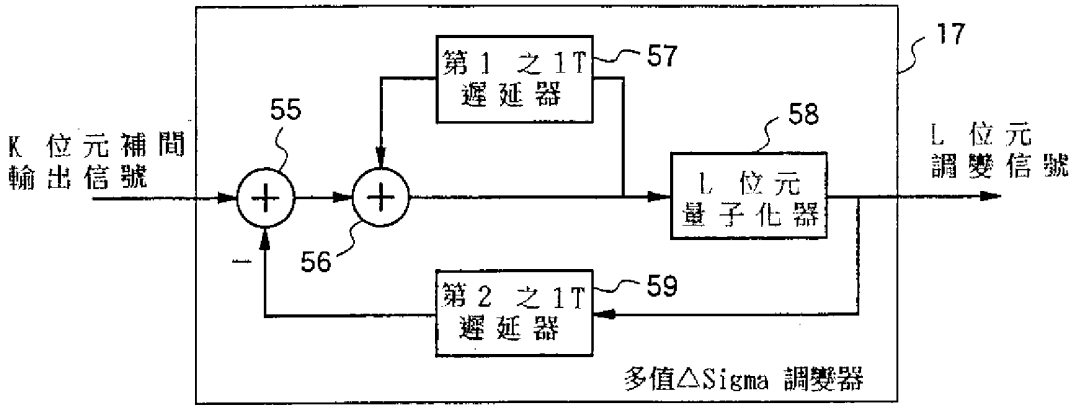
第 12 圖


相位誤差信號
(T 速率資料)
零 資 料
42
43
15
選 擇 器
速 率 轉 換 器
過採樣相位
誤差信號
(T/N 速率資料)
N 位 元
計 數 器
44
過 採 樣 器
過 採 樣 時 脈
(T/N 速 率)

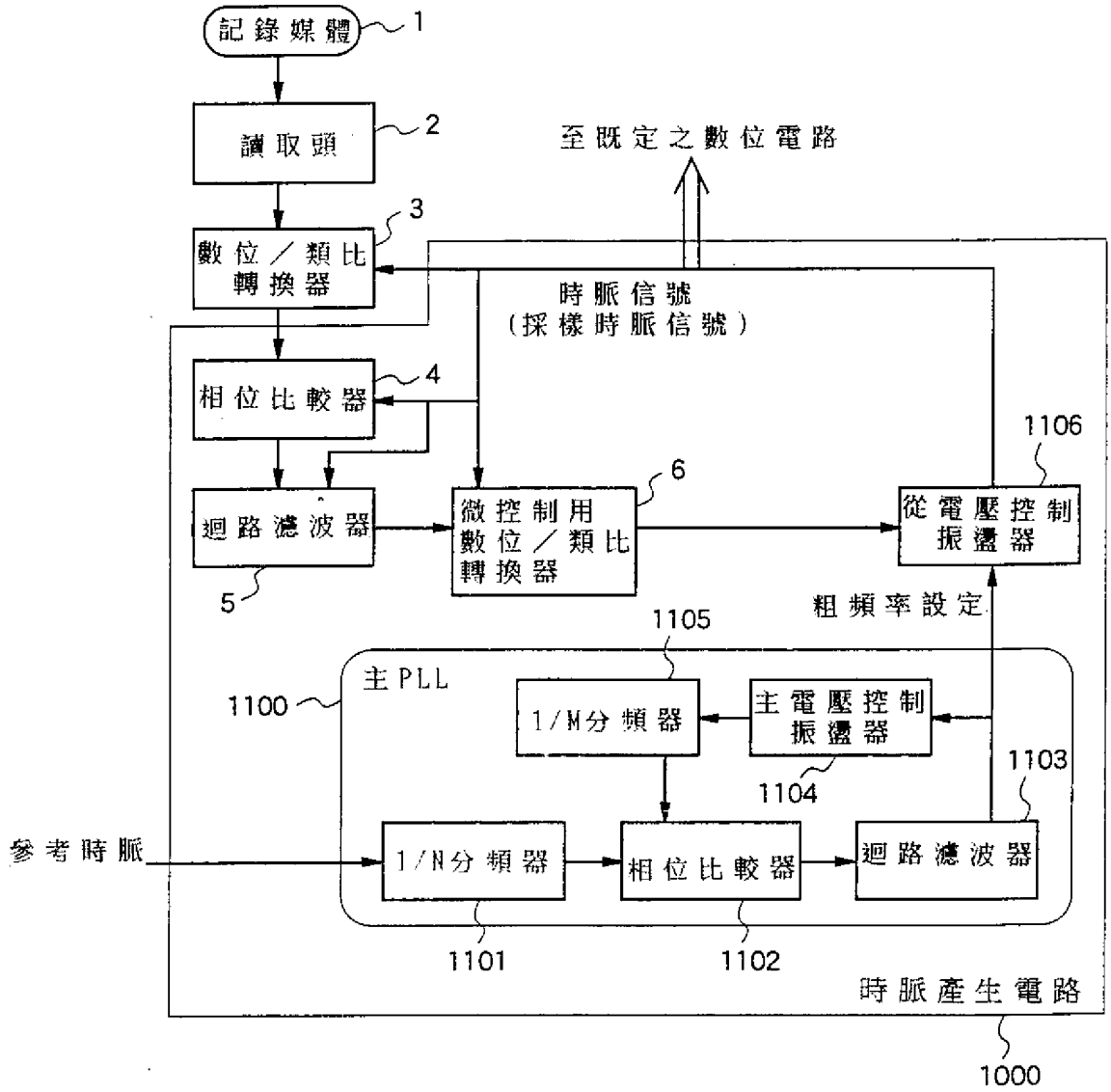
第 13 圖


45
46
47
48
過採樣相位
誤差信號
(T/N 速率資料)
T
N
16
a
b
c
b
a
49
50
51
52
53
54
補 間 器
K 位元補間輸出信號

第 14 圖


17
第 1 之 1T
遲 延 器
57
55
58
K 位 元 補 間
輸 出 信 號
L 位 元
量 子 化 器
L 位 元
調 變 信 號
56
59
第 2 之 1T
遲 延 器
多值△Sigma 調變器

第 15 圖


記錄媒體
1
讀取頭
2
至既定之數位電路
數位／類比轉換器
3
時脈信號
(採樣時脈信號)
相位比較器
4
1106
迴路濾波器
5
微控制用數位／類比轉換器
6
從電壓控制振盪器
粗頻率設定
1105
主PLL
1100
1/M分頻器
主電壓控制振盪器
1104
1103
參考時脈
1/N分頻器
相位比較器
迴路濾波器
1101
1102
時脈產生電路
1000

公告本

90年7月13日 修正補充

申請日期	89、2、21
案號	89102938
類別	H03L 7/06

（以上各欄由本局填註）

A4
C4

469702 TW3809

發明 新型 專利說明書

一、發明新型名稱	中文	時脈產生電路 (90年7月13日修正)
	英文	CLOCK GENERATING CIRCUIT
二、發明創作人	姓名	丸川昭二
	國籍	日本
	住、居所	愛媛縣西條市飯岡1122-11
三、申請人	姓名（名稱）	松下電器產業股份有限公司 （松下電器產業株式會社）
	國籍	日本
	住、居所（事務所）	大阪府門真市大字門真1006番地
	代表人姓名	森下洋一

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

裝 訂 線

469702

90年 13日 修正 補充

A6
B6

（由本局填寫）

承辦人代碼：	
大　　類：	
IPC分類：	

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，☑有　☐無主張優先權

日本

1999年　2月22日特願平11-42742　號

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

90年7月13日 修正補充

五、發明說明(1)

(技術領域)

本發明係關於產生使用於記錄媒體之信號再生之時脈信號之時脈產生電路。

(背景技術)

近來，極爲盛行使用所謂局部響應最大或然率(partial response maximum likelihood, PRML)之信號處理於數位記錄再生裝置之資料再生信號處理上。此資料再生信號處理係以數位進行信號處理，時脈產生電路自身亦從以往之類比相位鎖定迴路(phase locked loop, PLL)改變爲數位 PLL。PRML 雖然逐漸導入硬碟驅動器(hard disk drive, HDD)，但尚未導入光碟裝置。HDD 上使用之時脈產生電路在 HDD 上使用無礙，但使用於光碟裝置上則有問題。

例如，在 CD(Compact disk)或 DVD(digital Versatile disk)等上，碟自身雖被作成定直線速度(constaut linear velocity, CLV)，但實際上被要求用定角速度(constaut angnlar velocity, CAV)再生，或在轉軸轉速到達 CLV 以前即讀取資料之無亂變(jitter)之再生。結果，CD, DVD 相較於 HDD 需具備對廣大之頻率範圍連續施予 PLL 之性能。

CD 或 DVD 等之光碟中，以往係使用依據類比比較器之 2 值判別器來判定資料至今。另外，執行判別所用之時序脈衝以往係藉類比 PLL 來產生。這些信號處理

90年1月3日 修正補充 A5 B5

四、中文發明摘要（發明之名稱：　　）

時脈產生電路

在相位比較器 4 抽出得自記錄媒體 1 之數位信號之相位誤差信號，接著於迴路濾波器 5 上對相位誤差信號進行進行濾波，之後利用微控制用數位／類比轉換器 6 將上述信號轉換成類比信號，藉範圍偵測器 9 偵測上述信號是否在設定範圍內，並藉單調增減器 10 產生調變基準信號，接著藉脈衝寬調變器 11 對調變基準信號進行調變，藉加法器 12 加算頻率設定值和調變基準信號，然後在粗控制用數位／類比轉換器 13 上將加算結果轉換成類比信號，接著藉低通濾波器 14 截斷類比信號之高頻成份，並於類比加法器 7 上對微控制用數位／類比轉換器 6 及從低通濾波器 14 輸出之類比信號進行加算，最後，藉電壓控制振盪器 8 根據類比加算器 7 之輸出信號產生時脈信號。藉此，可產生能連續鎖定廣範圍頻率之時脈信號。

（請先閱讀背面之注意事項再填寫本頁各欄）
裝 訂 線
經濟部中央標準局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

修正補充 A5 B5

四、英文發明摘要（發明之名稱：CLOCK GENERATING CIRCUIT）

The phase error signals are extracted from the digital signals obtained from a recording medium 1 by means of a phase comparator 4, the phase error signals are then filtered by a loop filter 5 and converted into analog signals through a fine controlling digital /analog converter 6, a range detector 9 is employed to detect whether the afore-said signals are within a pre-set range, a single modulation increase-decrease 10 is used to generate a modulation basic signal, the latter is then modulated by a pulse wide modulator 11, an adder 12 is used to add the frequency setting value and the modulation basic signal, the added results are converted into the analog signals via a coarse controlling digital/analog converter 13, the high frequency baud of the analog signal is chopped through a low-pass baud filter 14, the analog outputs of both the fine controlling digital/analog converter 6 and low-pass baud filter 14 are added by an analog adder 7, a voltage controlled oscillator 8 generates the clock signals based on the output signal of the analog adder 7. By means of this, it is able to generate the clock signals which can lock continuously a wide frequency range.

（請先閱讀背面之注意事項再填寫本頁各欄）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

第 89102938 號「時脈產生電路」專利案

(90 年 7 月 13 日修正)

六申請專利範圍：

1.一種時脈產生電路，係產生用於記錄媒體之信號再生之時脈信號，其特徵爲具備：

自上述之記錄媒體讀出之類比信號轉換成之數位信號抽出相位誤差信號之相位比較器；

對上述相位誤差信號執行濾波之迴路濾波器；

將上述迴路濾波器濾波後之信號轉換成類比信號之微控制用數位／類比轉換器；

偵測上述迴路濾波器濾波後之信號是否超出事先設定之範圍，低於該範圍或在該範圍內之範圍偵測器；

在上述迴路濾波器濾波後之信號超出上述範圍，及低於該範圍之情形時則產生調變基準信號之單調增減器；

將上述調變基準信號轉換成脈衝串列之脈衝寬調變器；

對事先設定之頻率設定值和藉上述脈衝寬調變器轉換之信號執行加算之加法器，

將上述加法器得出之信號轉換成類比信號之粗控制用數位／類比轉換器；

將上述粗控制用數位／類比轉換器轉換之類比信號之高頻成份截斷之低通濾波器；

(請先閱讀背面之注意事項再填寫本頁)

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

90年7月13日修正補充 TP13809

第 1 圖

