



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년08월23일
(11) 등록번호 10-1975440
(24) 등록일자 2019년04월29일

- (51) 국제특허분류(Int. Cl.)
A61B 1/04 (2006.01) *A61B 1/05* (2006.01)
- (21) 출원번호 10-2013-7031594
(22) 출원일자(국제) 2012년05월14일
심사청구일자 2017년05월10일
(85) 번역문제출일자 2013년11월28일
(65) 공개번호 10-2014-0027357
(43) 공개일자 2014년03월06일
(86) 국제출원번호 PCT/US2012/037859
(87) 국제공개번호 WO 2012/155152
국제공개일자 2012년11월15일
(30) 우선권주장
61/485,426 2011년05월12일 미국(US)
(뒷면에 계속)
(56) 선행기술조사문현
EP02234387 A1

- (73) 특허권자
디피아이 신테스 프로덕츠, 인코포레이티드
미국 매사추세츠 02767-0350 레이넘 패러마운트
드라이브 325
(72) 발명자
블랑카르, 로랑
미국, 캘리포니아 91362, 웨스트레이크 벨리지,
그레이트 스모키 코트 2776
탈버트, 조슈아, 디.
미국, 유타 84121, 코튼우드 하이츠, 포트 유니언
불러바드 1763
(뒷면에 계속)
(74) 대리인
박경재

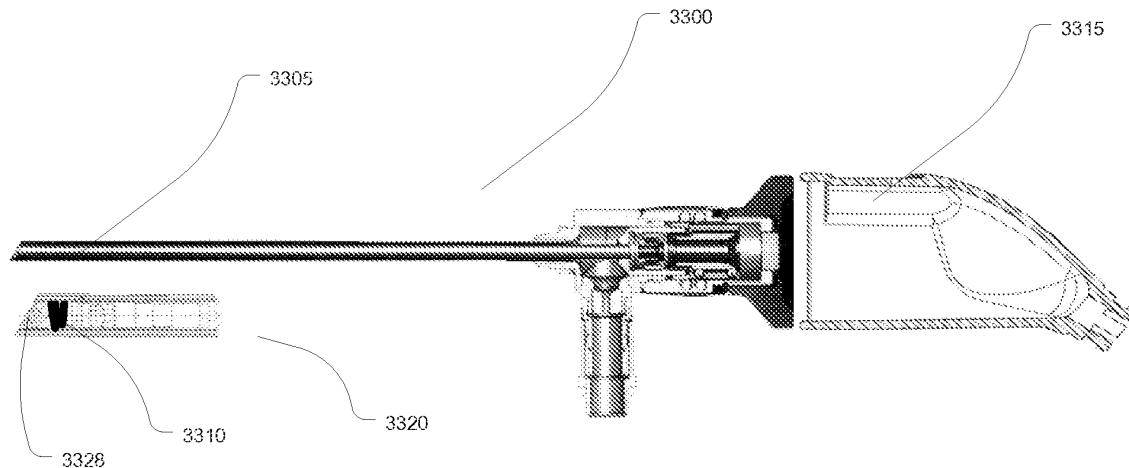
전체 청구항 수 : 총 53 항

심사관 : 이재균

(54) 발명의 명칭 내시경용 개선된 이미지 센서

(57) 요 약

적층 기관과 연관 기능부 사외에 최소한의 수직 방향 상호 접속부를 갖는 관련 회로의 배치를 위한 적층 방식을 이용하여 기관 상에 화소 어레이 에어리어를 최적화하는 하이브리드 이미징 센서의 실시예를 갖는 내시경 디바이스가 개시되어 있다. 최대화된 화소 어레이 크기/다이 크기(크기 최적화)의 실시예가 개시되고, 디지털 이미징 업계에 공통되는 특정 적용을 위해 향상된 이미지 품질, 향상된 기능, 및 향상된 품 팩터를 제공하는 최적화된 이미징 센서가 또한 개시된다. 상기 실시예는 수직 상호 접속부를 이용하는 열 또는 하위열 하이브리드 이미징 센서에서 ADC 또는 열 회로 범프를 엇갈려 배치하는 시스템, 방법 및 프로세스를 포함하며 또한 개시한다.

대 표 도 - 도31

(72) 발명자

헨리, 제리미아, 디.

미국, 유타 84121, 코튼우드 하이츠, 포트 유니언
불러바드 1763

비헤른, 도널드, 웨.

미국, 유타 84405, 사우스 오그던, 사우스 1100 이
스트 5591

(30) 우선권주장

61/485,432 2011년05월12일 미국(US)

61/485,435 2011년05월12일 미국(US)

61/485,440 2011년05월12일 미국(US)

명세서

청구범위

청구항 1

루멘(lumen); 및

상기 루멘의 원위 텁 근방에 배치된 이미징 센서;

를 포함하는 내시경 디바이스로서,

상기 이미징 센서는 :

적어도 제1 기판 및 제2 기판을 포함하는 복수의 기판들;

상기 제1 기판 상에 위치되고 복수의 화소들을 포함하는 화소 어레이로서, 상기 복수의 화소들은 복수의 화소 그룹들로 분할되는, 화소 어레이;

상기 제2 기판 상에 위치되고 복수의 회로들을 포함하는 복수의 지원 회로들로서, 상기 복수의 회로들은 복수의 회로 그룹들로 분할되고, 하나의 회로 그룹은 하나의 화소 그룹과 대응하는, 복수의 지원 회로들;

복수의 화소 버스들;

상기 제1 기판 상에 놓여 있는 적어도 1개의 화소 그룹마다 1개의 화소 버스, 및 상기 제2 기판 상에 놓여 있는 적어도 하나의 회로 그룹마다 1개의 회로 버스가 있는 복수의 회로 버스들;

을 포함하고,

상기 화소 버스들 중 각각의 적어도 일부는, 상기 대응하는 회로 버스들 중 각각의 적어도 일부, 및 1개의 화소 버스 및 대응하는 1개의 회로 버스 사이의 전기 통신을 제공하는 적어도 1개의 상호 접속부와 접쳐지고,

상기 적어도 1개의 상호 접속부는 서로 중첩되는 1개의 화소 버스와 1개의 대응하는 회로 버스 사이의 임의의 곳에 위치되는 내시경 디바이스.

청구항 2

제1항에 있어서,

상기 기판들 사이에 배치되는 복수의 상호 접속부들을 더 포함하고, 상기 복수의 상호 접속부들은 상기 화소 어레이의 화소 피치보다 큰 거리로 서로 이격되는 내시경 디바이스.

청구항 3

제1항에 있어서,

상기 제1 기판 및 상기 제2 기판이 정렬되어 있는 내시경 디바이스.

청구항 4

제1항에 있어서,

상기 제1 기판 상의 상기 화소 그룹들 중 1개의 에어리어는 상기 제2 기판 상의 상기 대응하는 회로 그룹들 중 1개의 에어리어와 동등한 내시경 디바이스.

청구항 5

제1항에 있어서,

상기 제2 기판은 상기 제1 기판과 동일한 크기인 내시경 디바이스.

청구항 6

제1항에 있어서,

상기 제1 기판 상의 상기 화소 그룹들 중 1개의 에어리어는 상기 제2 기판 상의 상기 대응하는 회로 그룹들 중 1개의 에어리어보다 큰 내시경 디바이스.

청구항 7

제1항에 있어서,

상기 제1 기판 상의 상기 화소 그룹들 중 1개의 에어리어는 상기 제2 기판 상의 상기 대응하는 회로 그룹들 중 1개의 에어리어보다 작은 내시경 디바이스.

청구항 8

제1항에 있어서,

상기 화소 그룹들 중 1개의 종횡비(aspect ratio)는 상기 회로 그룹들 중 1개의 종횡비와 동일한 내시경 디바이스.

청구항 9

제1항에 있어서,

복수의 상호 접속부들은 화소 버스를 대응하는 회로 버스에 접속하는 내시경 디바이스.

청구항 10

제1항에 있어서,

상기 화소 그룹들 중 1개의 종횡비는 상기 회로 그룹들 중 1개의 종횡비와 상이한 내시경 디바이스.

청구항 11

제1항에 있어서,

상기 회로 그룹들 중 1개의 종횡비는 상기 화소 그룹들 중 1개의 종횡비보다 폭은 4배 넓고 길이는 1/4인 내시경 디바이스.

청구항 12

제8항에 있어서,

상기 회로 그룹들 중 1개의 종횡비는 상기 화소 그룹들 중 1개의 종횡비보다 폭은 2배 넓고 길이는 1/2인 내시경 디바이스.

청구항 13

루멘;

내시경 내에 배치되는 이미징 센서;

를 포함하는 내시경으로서,

상기 이미징 센서는 :

제1 기판 및 적어도 1개의 제2 기판을 포함하는 복수의 기판들;

화소 어레이;

복수의 상호 접속부들; 및

복수의 지원 회로들;

을 포함하고,

상기 복수의 기판들 중 상기 제1 기판은 상기 화소 어레이를 포함하고,

상기 복수의 지원 회로들은 상기 제1 기판에 대해 원격으로 배치되는 적어도 1개의 상기 제2 기판 상에 배치되고,

상기 복수의 지원 회로들은 상기 제1 기판과 적어도 1개의 상기 제2 기판 사이에 배치된 복수의 상호 접속부들을 통해 상기 화소 어레이와 전기 통신되게 전기적으로 접속되고,

상기 복수의 상호 접속부들은 상기 화소 어레이의 화소 피치보다 큰 거리로 서로 이격되는 내시경.

청구항 14

제13항에 있어서,

상기 제1 기판 상에 위치되는 상기 화소 어레이는 복수의 화소열들을 포함하고, 상기 복수의 화소열들 각각은 폭이 1개의 화소이고 길이는 복수의 화소들로서 정의되는 내시경.

청구항 15

제14항에 있어서,

상기 제2 기판 상에 위치되고 복수의 회로열들을 포함하는 복수의 지원 회로들을 더 포함하고, 1개의 회로열은 1개의 화소열과 대응하고, 상기 복수의 회로열들 각각은 대응하는 화소열의 에어리어에 대응하는 에어리어를 갖는 것으로 정의되는 내시경.

청구항 16

제14항에 있어서,

복수의 버스들을 더 포함하고,

상기 제1 기판 상에 놓여 있는 적어도 1개의 화소열마다 1개의 화소열 버스, 및 상기 제2 기판 상에 놓여 있는 회로열마다 1개의 회로열 버스가 있는 내시경.

청구항 17

제16항에 있어서,

상기 화소열 버스들 중 각각의 적어도 일부는, 대응하는 회로열 버스들 중 각각의 적어도 일부, 및 1개의 화소열 버스와 1개의 대응하는 회로열 버스 사이의 전기 통신을 제공하는 적어도 1개의 상호 접속부와 중첩되고,

상기 적어도 1개의 상호 접속부는 서로 중첩되는 1개의 화소열 버스와 1개의 대응하는 회로열 버스 사이의 임의의 곳에 위치되는 내시경.

청구항 18

제13항에 있어서,

상기 이미징 센서는 이면 조사되는 내시경.

청구항 19

제13항에 있어서,

상기 화소 어레이는 상기 제1 기판의 표면을 덮는 내시경.

청구항 20

제13항에 있어서,

상기 화소 어레이는 상기 제1 기판의 표면의 25%보다 많은 부분을 덮는 내시경.

청구항 21

제13항에 있어서,

상기 제1 기판은 실리콘 재료로 이루어지는 내시경.

청구항 22

제13항에 있어서,

상기 제1 기판은 "High-Z" 반도체 재료(카드뮴 텔루라이드)로 이루어지는 내시경.

청구항 23

제13항에 있어서,

상기 제1 기판은 III-V 반도체 재료들(갈륨 비소)로 이루어지는 내시경.

청구항 24

제23항에 있어서,

상기 화소 어레이는 복수의 화소열들로 구성되고, 각각의 화소열은 복수의 화소들을 포함하고,

상기 화소 어레이 내의 상기 복수의 화소열들 각각은 공통 기점으로부터 판독되는 제1 열로부터 시작되어 버스에 판독되고, 제2 열은, 상기 제2 열에 대해 이전에 판독되었던 상기 화소열과 상이하고 상기 제2 열에 대해 후속 판독되는 상기 화소열과 상이한 제1 행으로부터 판독되는 내시경.

청구항 25

제24항에 있어서,

상기 제1 행은 이전에 판독된 화소열 및 후속 판독된 화소열의 행 위치로부터 적어도 2행 위치 떨어져 이격되는 내시경.

청구항 26

루멘;

상기 루멘의 원위 텁 근방에 배치된 이미징 센서;

를 포함하는 내시경 디바이스로서,

상기 이미징 센서는 :

적어도 제1 기판 및 제2 기판을 포함하는 복수의 기판들;

상기 제1 기판 상에 위치되고 복수의 화소들을 포함하는 화소 어레이로서, 상기 복수의 화소들은 복수의 화소 그룹들로 분할되어 각각의 화소 하위-그룹이 다른 화소 하위-그룹들로부터 전기적으로 분리되는, 화소 어레이;

상기 제2 기판 상에 위치되고 복수의 회로들을 포함하는 복수의 지원 회로들로서, 상기 복수의 회로들은 복수의 회로 그룹들로 분할되며, 상기 복수의 회로 그룹들은 회로 하위-그룹들로 분할되는, 복수의 지원 회로들;

복수의 화소 버스들;

복수의 회로 버스들;

상기 제1 기판 상에 놓여 있는 적어도 1개의 화소 하위-그룹마다 1개의 화소 버스, 및 상기 제2 기판 상에 놓여 있는 회로 하위-그룹마다 1개의 회로 버스가 있고,

상기 화소 버스들 중 각각의 적어도 일부는, 대응하는 회로 버스들 중 각각의 적어도 일부, 및 1개의 화소 버스와 1개의 대응하는 회로 버스 사이의 전기 통신을 제공하는 적어도 1개의 상호 접속부와 중첩되고,

상기 적어도 1개의 상호 접속부는 서로 중첩되는 1개의 화소 버스와 1개의 대응하는 회로 버스 사이의 임의의 곳에 위치되는 내시경 디바이스.

청구항 27

제26항에 있어서,

상기 기판들 사이에 배치되는 복수의 상호 접속부들을 더 포함하고, 상기 복수의 상호 접속부들은 상기 화소 어레이의 화소 편치보다 큰 거리로 서로 이격되는 내시경 디바이스.

청구항 28

제26항에 있어서,

상기 제1 기판 및 상기 제2 기판은 정렬되어 있는 내시경 디바이스.

청구항 29

제26항에 있어서,

상기 제1 기판 상의 상기 화소 하위-그룹들 중 1개의 에어리어는 상기 제2 기판 상의 상기 대응하는 회로 그룹들 중 1개의 에어리어와 동등한 내시경 디바이스.

청구항 30

제26항에 있어서,

상기 제2 기판은 상기 제1 기판과 동일한 크기인 내시경 디바이스.

청구항 31

제26항에 있어서,

상기 제1 기판 상의 상기 화소 하위-그룹들 중 1개의 에어리어는 상기 제2 기판 상의 상기 대응하는 회로 그룹들 중 1개의 에어리어보다 큰 내시경 디바이스.

청구항 32

제26항에 있어서,

상기 제1 기판 상의 상기 화소 하위-그룹들 중 1개의 에어리어는 상기 제2 기판 상의 상기 대응하는 회로 그룹들 중 1개의 에어리어보다 작은 내시경 디바이스.

청구항 33

제26항에 있어서,

상기 화소 하위-그룹들 중 1개의 종횡비는 상기 회로 그룹들 중 1개의 종횡비와 동일한 내시경 디바이스.

청구항 34

제26항에 있어서,

복수의 상호 접속부들은 화소 버스를 대응하는 회로 버스에 접속하는 내시경 디바이스.

청구항 35

제26항에 있어서,

상기 화소 하위-그룹들 중 1개의 종횡비는 상기 회로 그룹들 중 1개의 종횡비와 상이한 내시경 디바이스.

청구항 36

제26항에 있어서,

상기 회로 그룹들 중 1개의 종횡비는 상기 화소 하위-그룹들 중 1개의 종횡비보다 폭은 4배 넓고 길이는 1/4인 내시경 디바이스.

청구항 37

제26항에 있어서,

상기 회로 그룹들 중 1개의 종횡비는 상기 화소 하위-그룹들 중 1개의 종횡비보다 폭은 2배 넓고 길이는 1/2인 내시경 디바이스.

청구항 38

제1항에 있어서,

상기 이미징 센서는 이면 조사되는 내시경 디바이스.

청구항 39

제1항에 있어서,

상기 화소 어레이는 상기 제1 기판의 표면을 덮는 내시경 디바이스.

청구항 40

제1항에 있어서,

상기 화소 어레이는 상기 제1 기판의 표면의 25%보다 많은 부분을 덮는 내시경 디바이스.

청구항 41

제1항에 있어서,

상기 제1 기판은 실리콘 재료로 이루어지는 내시경 디바이스.

청구항 42

제1항에 있어서,

상기 제1 기판은 "High-Z" 반도체 재료(카드뮴 텔루라이드)로 이루어지는 내시경 디바이스.

청구항 43

제1항에 있어서,

상기 제1 기판은 III-V 반도체 재료들(갈륨 비소)로 이루어지는 내시경 디바이스.

청구항 44

제1항에 있어서,

상기 복수의 화소 그룹들 중 각각의 폭은 1개의 화소로서 그리고 상기 복수의 화소 그룹들 중 각각의 길이는 복수의 화소들로서 정의되는 내시경 디바이스.

청구항 45

제1항에 있어서,

각각의 화소 그룹은 에어리어를 포함하고, 각각의 회로 그룹은 에어리어를 포함하며, 상기 복수의 회로 그룹들 중 각각의 상기 에어리어는 대응하는 화소 그룹의 상기 에어리어와 대응하는 내시경 디바이스.

청구항 46

제26항에 있어서,

상기 이미징 센서는 이면 조사되는 내시경 디바이스.

청구항 47

제26항에 있어서,

상기 화소 어레이는 상기 제1 기판의 표면을 덮는 내시경 디바이스.

청구항 48

제26항에 있어서,

상기 화소 어레이는 상기 제1 기판의 표면의 25%보다 많은 부분을 덮는 내시경 디바이스.

청구항 49

제26항에 있어서,

상기 제1 기판은 실리콘 재료로 이루어지는 내시경 디바이스.

청구항 50

제26항에 있어서,

상기 제1 기판은 "High-Z" 반도체 재료(카드뮴 텔루라이드)로 이루어지는 내시경 디바이스.

청구항 51

제26항에 있어서,

상기 제1 기판은 III-V 반도체 재료들(갈륨 비소)로 이루어지는 내시경 디바이스.

청구항 52

제26항에 있어서,

상기 복수의 화소 그룹들 중 각각의 폭은 1개의 화소로서 그리고 상기 복수의 화소 그룹들 중 각각의 길이는 복수의 화소들로서 정의되는 내시경 디바이스.

청구항 53

제26항에 있어서,

각각의 화소 그룹은 에어리어를 포함하고, 각각의 회로 그룹은 에어리어를 포함하며, 상기 복수의 회로 그룹들 중 각각의 상기 에어리어는 대응하는 화소 그룹의 상기 에어리어와 대응하는 내시경 디바이스.

발명의 설명**기술 분야**

[0001]

본 개시는 일반적으로 전자기 감지 및 센서에 관한 것이며, 또한 저에너지 전자기 조건뿐만 아니라 저에너지 전자기 스루풋(throughput) 조건에 관한 것이다. 본 개시는 반드시 완전히 그리한 것은 아니지만, 특히 내시경 디바이스와의 사용을 위해 이미지 센서를 최적화하는 것에 관한 것이다.

배경기술

[0002]

이러한 대중화로 인해, 더욱더 소형의 고선명 이미징 센서에 대한 수요가 시장에서 크게 증가해 왔다. 고해상도 및 고선명은 더 많은 데이터가 비교적 작은 공간에서 이동되어야 함을 의미한다. 본 개시의 디바이스, 시스템 및 방법은 크기 및 폼 팩터를 고려한 임의의 이미징 적용에 활용될 수 있다. 본 개시에서는, 전하 결합 소자 (CCD), 또는 상보성 금속 산화막 반도체(CMOS), 또는 현재 공지된 또는 향후 공지될 수 있는 임의의 다른 이미지 센서 등의 복수의 서로 다른 유형의 이미징 센서를 이용할 수 있다.

[0003]

CMOS 이미지 센서는 일반적으로 단일 칩에, 전체 화소 어레이, 및 아날로그-디지털 컨버터 및/또는 증폭기 등의 관련 회로를 장착한다. CMOS 이미지 센서의 크기 제한으로 인해 종종 증가하는 더 많은 데이터를 점차 작은 범위 내에서 이동시키는 것이 필요로 된다. CMOS 이미지 센서의 설계 및 제조에 있어 생각되어야 할 많은 고려로 인해, 신호 처리 등의 센서와 다른 중요한 기능부 사이에서 회로간의 접촉 패드는 더욱더 소형 제조될 수 있다. 따라서, 예를 들면, 화소 어레이 에어리어를 증가시키기는 것은 A/D 변환 또는 다른 신호 처리 기능부 등의 다른 에어리어에서의 트레이드오프(trade-off)을 초래할 수 있고, 이는 관련 회로가 차지할 수 있는 에어리어의 감소 때문이다.

발명의 내용

해결하려는 과제

[0004]

본 개시의 특징 및 장점은 다음의 설명에서 제시될 것이고, 부분적으로 설명에서 밝혀지거나, 또는 적합하지 않은 실험은 배제하고 본 개시의 실시에 의해 알 수 있다. 본 개시의 특징 및 장점은 특히 첨부된 특허청구범위에서 지시되는 수단 및 조합에 의해 실현 및 달성될 수 있다.

도면의 간단한 설명

[0005]

본 개시의 특징 및 장점은 첨부된 도면과 관련하여 제시된 이후의 상세한 설명의 고려로부터 밝혀질 것이다.

도 1a는 단일 기판 상에 구성된 이미징 센서의 일 실시예의 개략도.

도 1b는 본 개시의 교시 및 원리에 따라 화소 어레이에 대한 처리 회로의 원격 배치를 나타내는 이미징 센서의 일 실시예의 개략도.

도 2는 본 개시의 교시 및 원리에 따라 복수의 기판에 설치된 이미징 센서의 일 실시예의 개략도.

도 3a는 모놀리식(monolithic) 상에 이루어진 이미징 센서의 실시예로 화소 및 폭이 1개의 화소인 지원 회로를 포함하는 복수 열을 나타내는 사시도.

도 3b는 모놀리식 상에 이루어지는 이미징 센서의 실시예로 화소 및 폭이 1개의 화소인 지원 회로를 포함하는 복수 열을 나타내는 상면도.

도 3c는 도 3a에서 취한 화소 및 지원 회로를 포함하는 단일 열의 사시도.

도 3d는 도 3b에서 취한 화소 및 지원 회로를 포함하는 단일 열의 상면도.

도 3e는 모놀리식 상에 이루어지는 이미징 센서의 실시예로 화소 및 폭이 2개의 화소인 지원 회로를 포함하는 복수 열을 나타내는 사시도.

도 3f는 모놀리식 상에 이루어지는 이미징 센서의 실시예로 화소 및 폭이 2개의 화소인 지원 회로를 포함하는 복수 열을 나타내는 실시예의 상면도.

도 3g는 본 개시의 교시 및 원칙에 따라, 제 1 기판 상의 화소 어레이 및 제 2 또는 후속 기판 상에 위치된 지원 회로를 갖는 복수의 기판 상에 설치된 이미징 센서의 실시예로 상호 접속부 및 비아가 복수의 기판을 접속하는 것을 나타내는 사시도.

도 3h는 도 3g의 복수의 기판 상에 설치된 이미징 센서의 실시예의 정면도.

도 3i는, 화소 어레이를 형성하는 복수의 화소열이 제 1 기판 상에 위치되고 복수의 회로열이 제 2 기판 상에 위치되는 복수의 기판 상에 설치되는 이미징 센서의 실시예로 1개의 화소열과 그 연관 또는 대응 회로열 사이의 전기적 접속 또는 통신을 나타내는 사시도.

도 3j는 도 3i에서 취한 단일 화소열 및 단일 회로열에서 이들간의 전기적 접속부를 나타내는 사시도.

도 3k는 도 3i 및 도 3j에서 취한 단일 화소열 및 단일 회로열에서 이들간의 전기적 접속부를 나타내는 정면도.

도 3l은 도 3i 및 도 3j에서 취한 단일 화소열 및 단일 회로열에서 이들간의 전기적 접속부를 나타내는 측면도.

도 3m은, 화소 어레이를 형성하는 복수의 화소열이 제 1 기판 상에 위치되고 복수의 회로열이 제 2 기판 상에 위치되는 복수의 기판 상에 설치되는 이미징 센서의 실시예로 복수의 화소열과 그 연관 또는 대응 회로열 사이의 복수의 전기적 접속 및 통신을 나타내는 사시도.

도 3n은, 화소 어레이를 형성하는 복수의 화소열이 제 1 기판 상에 위치되고 복수의 회로열이 제 2 기판 상에 위치되는 복수의 기판 상에 설치되는 이미징 센서의 실시예로, 회로열은 폭이 2개의 화소며 화소열의 길이의 절반이고, 복수의 화소열과 그 연관 또는 대응 회로열 사이의 복수의 전기적 접속 및 통신을 나타내는 사시도.

도 3o는 도 3n의 최우측열에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 사시도.

도 3p는 도 3n 및 도 3o에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는

정면도.

도 3q는 도 3n 및 도 3o에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 측면도.

도 3r은 도 3n의 최좌측열에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 사시도.

도 3s는 도 3n 및 도 3r에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 정면도.

도 3t는 도 3n 및 도 3r에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 측면도.

도 3u는, 화소 어레이를 형성하는 복수의 화소열이 제 1 기판 상에 위치되고 복수의 회로열이 제 2 기판 상에 위치되는 복수의 기판 상에 설치되는 이미징 센서의 실시예로 복수의 화소열과 그 연관 또는 대응 회로열 사이의 복수의 전기적 접속 및 통신을 나타내는 사시도.

도 3v는 도 3u의 최우측열에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 사시도.

도 3w는 도 3u 및 도 3v에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 정면도.

도 3x는 도 3u 및 도 3v에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 측면도.

도 3y는 도 3u의 최우측열에 인접한 좌측열에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 사시도.

도 3z는 도 3u 및 도 3y에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 정면도.

도 3aa는 도 3u 및 도 3y에서 취한 단일 화소열 및 단일 회로열에서 이들 사이의 전기적 접속을 나타내는 측면도.

도 4는 본 개시의 교시 및 원리에 따라 복수의 기판 상에 설치된 이미징 센서의 실시예를 나타내고, 또한 지원 회로의 특정 배치의 실시예를 나타내는 도면.

도 5는 본 개시의 교시 및 원리에 따라 복수의 기판 상에 설치된 이미징 센서의 실시예를 나타내고, 회로의 일부가 비교적 원격으로 배치되는 것을 지원 회로의 특정 배치의 실시예를 나타내는 도면.

도 6은 본 개시의 교시 및 원리에 따라 화소 어레이를 달리함으로써 다양한 비율의 커버리지를 갖는 제 1 기판의 실시예를 나타내는 도면.

도 7은 본 개시의 교시 및 원리에 따른 복수의 화소열을 갖는 실시예를 나타내는 도면.

도 8은 본 개시의 교시 및 원리에 따라 최적화된 화소 어레이 및 관련 또는 지원 회로가 적층되는 이미지 센서의 실시예를 나타내며 광원을 나타내는 도면.

도 9는 본 개시의 교시 및 원리에 따라 최적화된 화소 어레이 및 관련 또는 지원 회로가 적층되는 이미지 센서의 이면 조사되는 실시예를 나타내는 도면.

도 10은 본 개시의 교시 및 원리에 따라 화소 어레이가 모든 상기 지원 회로로부터 더 원격으로 위치되는 이미지 센서의 실시예를 나타내는 도면.

도 11은 본 개시의 교시 및 원리에 따라 크기를 달리한 적층 기판을 갖는 이미지 센서의 실시예를 나타내는 도면.

도 12는 각 화소열이 다른 화소열과 리드(read) 버스를 공유하지 않는 화소 아키텍처의 실시예를 나타내는 도면.

도 13은, 2개의 화소열마다 1개의 리드 버스가 있도록 리드 버스에 대해 수평 2웨이(2-way) 화소열 공유가 있는

화소 아키텍처의 실시예를 나타내는 도면.

도 14는 본 개시의 교시 및 원리에 따라 정면 조사되는 화소 어레이를 갖는 복수의 기판 상에 설치된 이미징 센서의 실시예를 나타내는 도면.

도 15는 화소 어레이가 복수의 화소를 포함하는 리드 에어리어로 분할된 이미징 센서의 실시예를 나타내는 도면.

도 16은 복수의 화소를 포함하는 리드 에어리어로 분할된 화소 어레이로부터의 데이터를 액세스하기 위한 복수의 버스의 접속부 및 복수의 기판을 갖는 이미징 센서의 실시예를 나타내는 도면.

도 17a는 본 개시의 교시 및 원리에 따라 화소 어레이 내에서 화소에 대해 상호 접속부가 이격되어 있는 화소 어레이의 실시예를 나타내는 도면.

도 17b는 본 개시의 교시 및 원리에 따라 화소 어레이 내에서 열에 대해 상호 접속부가 이격되어 있는 화소 어레이의 실시예를 나타내는 도면.

도 17c는 본 개시의 교시 및 원리에 따라 화소 어레이 내에서 에어리어에 대해 상호 접속부가 이격되어 있는 화소 어레이의 실시예를 나타내는 도면.

도 18a-도 18f는 본 개시의 교시 및 원리에 따라 화소 어레이 내에서 정의된 화소 에어리어에 대해 상호 접속부가 이격될 수 있는 화소 어레이의 실시예를 나타내는 도면.

도 19는 본 개시의 원리 및 교시에 따라 상호 접속부/범프를 이격시키는 방법을 나타내는 도면.

도 20은, 각 화소 에어리어가 전용되는 화소 에어리어 내에서 화소에 의해 생성된 데이터만을 처리하는 데 전용인 적어도 지원 회로를 가질 수 있도록 화소 에어리어 전용 지원 회로를 이용할 수 있는 실시예를 나타내는 도면.

도 21은 본 개시의 원리 및 교시의 확장성을 모식적으로 나타내는 큰 이미지 센서의 실시예를 나타내는 도면.

도 22는 본 개시의 원리 및 교시의 확장성을 모식적으로 나타내는 큰 이미지 센서의 실시예를 나타내는 도면.

도 23은, 화소 어레이를 형성하는 복수의 화소열 및 하위열이 제 1 기판 상에 위치되고 복수의 회로열이 제 2 기판 상에 위치되는 복수의 기판 상에 설치되는 이미지 센서의 실시예로, 하나의 화소열과 그 연관 또는 대응 회로열 사이의 전기적 접속 또는 통신을 나타내는 상면도.

도 24는, 본 개시의 교시 및 원리에 따라 제 1 기판 상에 위치되는 화소 어레이 및 제 2 기판 상에 위치되는 복수의 회로열을 함께 형성하는 복수의 열 및 하위열의 실시예로, 하나의 하위 화소열과 그 연관 또는 대응 회로열 사이의 전기적 접속 및 통신을 나타내는 사시도.

도 24a-도 24c는, 2개의 별개의 하위 화소열로 형성되며 각 하위 화소열이 다른 화소열 리드 버스에 부착되는 단일 화소열을 각각 나타내며, 도 24에서 취한 2개의 회로열에서 이들 사이의 전기적 접속을 나타내는 사시도, 정면도 및 측면도.

도 25는 본 개시의 교시 및 원리에 따라 제 1 기판 상에 위치되는 화소 어레이 및 제 2 기판 상에 위치되는 하나 이상의 하위 화소열에 전용인 복수의 회로열을 함께 형성하는 복수의 열 및 하위열의 실시예로, 하나의 하위 화소열과 그 연관 또는 대응 회로열 사이에 전기적 접속 및 통신을 나타내는 사시도.

도 25a는 2개의 별개의 하위 화소열로 형성되며 2개의 하위 화소열이 다른 화소열 리드 버스에 부착되는 단일 화소열을 나타내며 도 25에서 취한 회로열과 리드 버스 사이의 전기적 접속을 나타내는 사시도.

도 26은 본 개시의 교시 및 원리에 따라 제 1 기판 상에 위치되는 화소 어레이 및 제 2 기판 상에 위치되는 복수의 회로열을 함께 형성하는 복수의 열 및 하위열의 실시예로, 각각의 하위 화소열과 그 연관 또는 대응 회로열 사이에 전기적 접속 및 통신을 나타내는 사시도.

도 26a-도 26c는 2개의 별개의 하위 화소열로 형성되며 각 하위 화소열이 다른 화소열 리드 버스에 부착되는 단일 화소열을 각각 나타내며, 도 26에서 취한 2개의 회로열에서 이들 사이의 전기적 접속을 나타내는 사시도.

도 27-도 29는 본 개시의 교시 및 원리에 따라 제 1 기판 상에 위치되는 화소 어레이 및 제 2 기판 상에 위치되는 복수의 회로열을 함께 형성하는 복수의 열 및 하위열의 다양한 실시예로, 각각의 하위 화소열과 그 연관 또는 대응 회로열 사이에 전기적 접속 및 통신을 나타내는 상면도.

도 30은 본 개시의 원리 및 교시의 확장성을 모식적으로 나타내는 큰 이미지 센서를 나타내는 도면.

도 31은 본 개시의 교시 및 원리에 따라 이루어지며 이미지 센서가 루멘 내에 배치되는 내시경의 실시예를 나타내는 도면.

도 32a 및 도 32c는 본 개시의 교시 및 원리에 따라 이루어지며 루멘 내에 배치되는 이미지 센서 상의 화소 어레이의 극대화를 나타내는 도면.

도 33a, 33b, 33c는 본 개시의 교시 및 원리에 따라 내시경의 다양한 실시예 및 회로가 적층되는 순서를 나타내는 도면.

도 34는 본 개시의 교시 및 원리에 따라 이루어지며 내시경의 루멘 내에 배치되는 이미지 센서에서의 2개의 기관의 상세도.

발명을 실시하기 위한 구체적인 내용

[0006]

이하, 본 개시에 따른 원리의 이해를 도모할 목적으로, 도면에 도시된 실시예를 참조하며 이를 설명하는 데 특정 언어가 사용된다. 그럼에도, 이에 의해 본 개시 범위의 제한을 의도하는 것은 아님이 이해될 것이다. 본원에서 설명되는 본 발명의 특징의 임의의 변경 및 추가적인 변형, 및 본 개시의 원리의 임의의 추가적인 적용은 일반적으로 본 개시의 내용을 갖고 관련 분야의 숙련자에 의해 일어날 수 있으며 청구되는 개시의 범주 내에서 고려되어야 한다.

[0007]

수직 상호 접속부를 이용하는 열 또는 하위열 하이브리드 이미지 센서에서 ADC 또는 열 회로 범프를 엇갈려 배치하는 디바이스, 시스템, 방법 및 프로세스에 앞서, 구조, 구성, 프로세스 단계, 및 재료는 다소 다양할 수 있으므로, 본 개시는 본원에 개시되는 이러한 특정 구조, 구성, 프로세스 단계, 및 재료에 한정되는 것은 아님이 이해되어야 한다. 또한 본 개시의 범위는 첨부된 특허청구범위 및 그 균등물에 의해서만 제한되기 때문에 본원에서 채용되는 용어는 단지 특정 실시예를 설명하기 위한 목적으로 사용되며 제한을 의도하는 것은 아님이 이해되어야 한다.

[0008]

또한, 본 명세서 및 첨부된 특허청구범위에서 사용되는 바와 같이, 단수형 "일", "하나", 및 "그"는 문맥에서 달리 명확히 명시하지 않을 경우 복수의 참조를 포함하는 것을 유념해야 한다.

[0009]

본 개시의 내용을 설명 및 청구함에 있어, 다음의 용어가 이하 정하는 정의에 따라 사용된다.

[0010]

본원에서 사용되는 용어 "포함", "포함", "특징으로 하는" 및 그에 문법적으로 상당하는 것은 추가적인, 열거되지 않은 요소 또는 방법 단계를 배제하지 않는 포괄적이거나 비제약적인 용어이다.

[0011]

본원에서 사용되는 문구 "로 구성" 및 그에 문법적으로 상당하는 것은 청구항에서 지정되지 않은 임의의 요소 또는 단계를 제외한다.

[0012]

본원에서 사용되는 문구 "로 본질적으로 구성" 및 그에 문법적으로 상당하는 것은 기본적 및 새로운 특성 또는 청구되는 개시의 특성에 실질적으로 영향을 주지 않는 것, 및 특정 재료 또는 단계로 청구항의 범위를 제한한다.

[0013]

본원에서 사용되는 용어 "근위(proximal)"는 폭넓게 기점에 가장 가까운 부분의 개념을 말한다.

[0014]

본원에서 사용되는 용어 "원위(distal)"는 일반적으로 문맥에 따라 근위의 반대이며, 이에 따라 기점에서 먼 부분 또는 가장 먼 부분의 개념을 말한다.

[0015]

정지 영상 또는 동영상의 어느 하나인 디지털 이미징은, 이미지 데이터를 기록하는 데 사용되는 디바이스와 관련하여 많은 제약이 있다. 본원에서 논의하는 이미징 센서는 적어도 하나의 기관 상에 배치되는 화소 어레이 및 지원 회로를 포함할 수 있다. 디바이스는 보통 적용에 따라 이미징 품 팩터에 대해 실제의 및 최적의 제약 사항을 갖는다. 대부분에 적용에서, 특히 상업적 용도에서 일반적으로 크기가 제약 사항이다. 외관상 크기 제한이 최소한이라고 보이는 우주 공간 적용에서도, 크기는 여전히 문제가 되며, 이는 이미징 디바이스가 궤도로 별사되며 중력을 극복할 필요가 있기 때문이다. 또한, 특히 가전 제품에서, 이미징 디바이스/카메라에 의해 추가되는 임의의 부피는 가능한 다른 기능적 하드웨어 또는 배터리 용량/수명을 삭감하게 한다. 따라서, 크기는 이미징 센서를 사용하는 모든 적용에서 거의 항상 다루어져 하는 제약 사항이다.

[0016]

많은 경우에, 이미징 디바이스의 품 팩터가 제약된다. 화소 에어리어에 대해 횡 방향/수평 방향으로 무제한 에어리어 또는 점유 영역이 있을 수 있거나, 또는 수직 방향으로 화소 어레이 바로 뒤에 많은 공간이 있을 수 있

다. 종종 부속품으로 고려되어야 하는 것만이 화소 어레이만이 아니고, 수용해야 할 필요가 있는 지원 회로가 있다. 지원 회로는 아날로그-디지털 컨버터, 전원 회로, 전력 포집기(harvester), 증폭 회로, 전용 신호 프로세서 및 필터, 데이터 전송용 시리얼라이저 등일 수 있지만, 이에 반드시 이로 제한되는 것은 아니다. 회로 이외에도, 광학 필터 및 렌즈 등의 물리적 속성 요소가 필요할 수 있다. 상술한 모두는 이미징 디바이스의 품 팩터를 결정하고 설계할 때 고려되어야 하고, 전통적으로 업계에서는 당시의 이미지 센서를 설계할 때 지원 회로의 횡 방향 또는 수평 방향 배치를 선택했다. 그러나 오히려 횡 방향 또는 수평 방향 품 팩터보다 수직 방향에서 더 이점을 얻는 많은 적용이 있다.

[0017] 상대적 수직 방향(화소 어레이에 대해) 품 팩터를 갖는 이미징 디바이스로부터 이점을 얻는 적용의 예는 스코프의 사용을 필요로 하는 사용 분야에서 있을 것이다. 예를 들면, 산업 스코프 및 의료용 내시경은 디바이스의 루멘 내에 수용될 수 있는 이미지 센서로부터 이점을 얻을 것이다. 이러한 스코프 적용에서, 스코프의 루멘 내에 배치될 수 있는 이미지 센서는 유리할 수 있다. 루멘의 내경(원일 경우)은, 이미지 센서의 최대 직경(원)을 정의한다. 3mm 내지 15mm의 대중적인 루멘 크기에서, 내경의 제약으로 인해 품 팩터 고려 시 횡 방향에서 이미지 센서가 크게 제한됨을 이해할 것이다. 따라서, 더욱 수직 방향 구성이 유리할 수 있다.

[0018] 상술한 바와 같이 크기가 문제로 될 수 있지만, 화소 카운트 수는 특정 적용에 관계없이 업계 전반에 걸쳐 증가를 계속하고 있어, 종종 컴퓨터 모니터 또는 TV 등 기록된 후 실제 이미지를 보는 데 사용되는 매체를 넘어서고 있다. 그러나, 모든 화소가 동등하게 생성되지 않음을 이해해야 한다. 상술한 예에서는 스코프 구성은 제한된 광 적용에서 이용될 수 있다. 따라서, 광이 낮은 상황에서 잘 기능하는 스코프 기반 이미지 센서가 유리할 수 있다. 큰 화소는 단순히 그 다른 크기로 인해, 작은 화소보다 더 집광하는 능력을 갖는다. 그러나, 시장 동향은 소정의 품 팩터에서 화소 수를 늘리는 것으로 되어 왔다. 주어진 에어리어에서 논리적으로 더 많은 화소 수는 일반적으로 더 작은 화소 크기를 의미한다. 작은 화소는 광이 적을 경우 잘 작동하지 않고 전자적 혼잡으로 인해 노이즈를 만드는 단점을 갖는다. 또한, 더 많은 화소는 집광 공간에 대해 더 많은 경계 공간으로 되는 것에 상당한다. 큰 화소는 더 양호한 이미지 및 높은 이미지 품질을 만들어 내는 경향이 있으며, 이는 단순히 광 감지부 대 경계부의 큰 비율을 가지기 때문이다. 이 양쪽 문제는 현재의 작은 이미지 센서의 낮은 이미지 품질의 원인이다.

[0019] 화소 수가 소정의 공간에서 계속해서 증가하기 때문에, 화소 피치는 줄어들어 상호 접속 전기적 접촉을 위해 더 높은 정밀도를 필요로 한다. 따라서, 항상된 화소 피치를 위해 데이터 처리의 정밀도가 증가할 필요가 있으므로, 이미지 센서의 제조 비용이 증가할 수 있다. 현재 기술을 이용하여 향상된 능력을 갖는 이미지 센서를 달성할 수 있지만, 제조 중 수율이 떨어짐에 따라 비용이 증가될 수 있다.

[0020] 화소 피치 대 범프 피치의 비율에 대해 본원에 개시된 기술 및 구조체는 다음을 가능하게 한다.

[0021] · 제공되는 교대 상호 접속부, 즉 상호 접속 리던던시(redundancy)에 대한 향상된 능력으로 인해 항상된 제조 신뢰성.

[0022] · 적용 또는 사용 필드마다 비용 효율적으로 범프 피치 크기를 극대화.

[0023] · 더 큰 화소 피치를 사용하는 능력으로 인해 더 경제적인 CMOS 프로세스를 허용함.

[0024] · 보다 효율적인 범프 기술 액세스를 허용함, 즉 다수의 버스로부터 또는 화소 어레이에서 떨어져서 직접 데이터를 판독.

[0025] · 수율을 향상시키도록 CMOS 프로세스에서의 리던던시를 허용함.

[0026] · 미리 결정 또는 정의된 화소 에어리어에 로컬 ADC의 이용.

[0027] · 다수의 화소 어레이 기하 구조, 복수의 버스, 및 열 범프가 사용되는 것을 허용함.

[0028] 상기 확인되는 문제는 업계에서 몇몇 필요에 대한 기술의 현재 상태를 설명한다. 화소 수, 수직 방향 아키텍처 및 품 팩터를 통해 적절한 해상도를 가지며 제한된 공간의 제약에 있어서도 가능한 큰 화소 크기의 이미지 센서가 필요하다. 본 개시는, 기판/칩 상의 화소 어레이의 크기를 최적화하고 하나 이상의 지원 기판/칩 상에서 일반적으로 수직 구성으로 지원 회로를 원격 위치시킴으로써 이를 및 잠재적인 다른 문제에 대처하는 실시예 및 설계 방법을 고려 및 논한다.

[0029] 온칩 아날로그-디지털 컨버터(ADC), 온칩 디지털 및 아날로그 알고리즘, 온칩 복잡한 타이밍, 및 온칩 복잡한 아날로그 기능을 이용하는 고성능 이미지 센서는 다음의 이유로 인해 고품질 이미지를 제공한다(이하의 리스트

는 전체 리스트가 아닌 예시적 목적으로 주어진 것이다).

[0030] 긴 오프칩 아날로그 데이터 라인으로 인해 꽉업 노이즈 없음(온칩 ADC가 없을 경우, 아날로그 신호는 오프칩으로 보낼 필요가 있음); 디지털 변환이 데이터 경로에서 조기애 이루어지므로 낮은 시간 노이즈(노이즈를 가하게 되는 추가 증폭기, 버퍼가 없음); 복잡한 온칩 타이밍 발생기를 사용한 로컬 타이밍 최적화. 패드 수 제한으로 인해, 단순한 타이밍만이 외부 시스템을 이용하여 수행될 수 있다; I/O에 의해 저잡음이 발생된다. 온칩 시스템은 감소된 패드 수를 가능하게 하고; 고속 동작이 달성될 수 있다(더 많은 직렬 온칩 동작, 저감된 부유 용량 및 저항).

[0031] 그러나, 이러한 고품질 이미지를 제공하는 데 사용되는 정교한 기능 및 프로세스는 화소 어레이 주위에 매우 큰 에어리어를 차지하고 화소 어레이 크기 대 다이 크기의 비율을 크게 낮춘다. 상술한 ADC 및 다른 정교한 기능을 포함하는 온칩 프로세스 및 회로를 사용하는 이미징 시스템에서 화소 어레이 크기 대 다이 크기의 비율이 25% 아래인 것이 일반적이다. 따라서, 화소 어레이 대 다이 크기의 비율과 온칩 기능 사이에 트레이드오프가 있다.

[0032] 따라서, 화소 어레이 크기 대 다이 크기의 최적화된 비율을 사용할 필요가 있는 기술의 적용의 대부분은 디지털 변환(아날로그 아웃) 없이, 또는 축소된 아날로그/디지털 기능 및 낮은 단계의 아날로그 대 디지털 변환으로 커스터마이징된 이미지 센서를 사용한다. 그 경우에도, 50%를 넘는 화소 어레이 크기 대 다이 크기의 비율은 달성하기 어렵다.

[0033] 본 개시는 이미지 품질을 희생하지 않고 화소 어레이 크기 대 다이 크기의 비율을 증가시키는 시스템 및 방법을 입증 및 고려한다. 본 개시는 소정의 다이 크기를 이용하며 최대화된 화소 어레이 크기가 필요한 이미징 적용 또는 소정의 화소 어레이 크기를 이용하지만, 보다 작은 다이 크기가 필요한 경우를 고려한다.

[0034] 3차원 적층 기술의 중요한 문제의 하나는 범프 피치이다. 현재 기술은 약 50mm 내지 100mm의 범프 피치를 달성한다. 다음 3년 내지 10년 후에는 기술 개발로 인해 화소 피치와 동일하거나 거의 동일한 크기의 범위의 크기로 범프 피치가 줄어들 것이 기대된다.

[0035] 또한 적층 기판/칩 수율이 범프 피치에 직접 의존한다. 적층 기판/칩에서 가장 빈번한 불량은 2개의 상호 접속부 또는 범프 사이의 전기적 단락이다. 범프 피치는 크기 감소 및 소형화에 따라, 웨이퍼의 평탄화 사양이 엄격해야 한다. 웨이퍼 평탄화 오차를 흡수하기 위해, 상호 접속부 또는 범프는 더 높게 만들어지거나 성장되어야 한다. 그러나, 보다 높은 상호 접속부/범프의 과잉 금속은 웨이퍼 본딩 프로세스 동안 측면(들)으로 이동하는 경향이 있어, 이웃 또는 인접 범프를 단락시킬 수 있다. 완화된 웨이퍼 정렬 프로세스로 인한 높은 수율 및 저비용이 상호 접속부 또는 범프 피치를 완화시킴으로써 달성될 수 있다.

[0036] 본 개시는 범프 피치를 완화하면서 엄격한 화소에 작용하는 디바이스, 시스템, 방법을 제안한다.

[0037] 본 개시는 또한 단일 모듈리식 기판/칩 상의 화소 어레이 및 지원 회로로 달리 제조될 수 있고 화소 어레이를 모든 또는 대부분의 지원 회로로부터 분리하는 이미지 센서를 고려하고 있다. 본 개시는 3차원 적층 기술을 이용하여 함께 적층되는 적어도 2개의 기판/칩을 사용할 수 있다. 2개의 기판/칩의 첫 번째는 이미지 CMOS 프로세스를 이용하여 처리될 수 있다. 제 1 기판/칩은 전적으로 화소 어레이 또는 제한된 회로에 의해 둘러싸인 화소 어레이 중 하나로 구성될 수 있다. 두 번째 또는 후속 기판/칩은 임의의 프로세스를 사용하여 처리될 수 있고, 이미지 CMOS 프로세스로 될 필요는 없다. 제 2 기판/칩은 기판/칩 상의 매우 제한된 공간 또는 에어리어에 다양한 다수의 기능을 집적하기 위해 고밀도 디지털 프로세스이거나, 또는 예를 들면 정밀한 아날로그 기능을 집적하기 위한 혼합 모드 또는 아날로그 프로세스이거나, 또는 무선 능력을 구현하기 위한 RF 프로세스이거나, 또는 MEMS(Micro-Electro-Mechanical Systems) 디바이스를 집적하기 위해 MEMS일 수 있지만, 이에 제한되는 것은 아니다. 이미지 CMOS 기판/칩은 임의의 3차원 기술을 이용하여 제 2 또는 후속 기판/칩으로 적층될 수 있다. 제 2 기판/칩은 주변 회로로서 제 1 이미지 CMOS 칩(모노리식 기판/칩 상에 구현될 경우)에서 달리 구현되는 다수 또는 대부분의 회로를 지원할 수 있고, 이에 따라 전체 시스템 크기가 증가하는 반면 화소 어레이 크기는 일정하게 유지되며 가능한 최대한 범위에 최적화된다. 2개의 기판/칩 간의 전기적 접속은 와이어 본드, 상호 접속부, m범프 및/또는 TSV(Through Silicon Via)일 수 있는 상호 접속부를 통해 이루어질 수 있다.

[0038] 다음으로 도 1a 및 도 1b를 참조하면, 도 1a는 칩 구조의 베이스로서 단일 기판이 사용되는 모노리식 설계의 이미지 센서의 예이다. 도 1a에서 알 수 있는 바와 같이, 기판(100a)은, 전자기 에너지를 수신하여 이를 데이터로 변환하고 궁극적으로 디지털 이미지 또는 영상으로 되는 처리를 위해 해당 데이터를 지원 회로(110a, 120a, 130a)에 전하도록 구성된 화소 어레이(150a)를 포함할 수 있다. 지원 회로는 몇 가지 예를 들면, 아날로그-디지털 컨버터(110a), 증폭 회로(130a), 필터 회로, 전원 및 포집 회로(120a), 및 직렬 프로세서 등의 신호 처리 회

로를 포함할 수 있다. 지원 회로의 일부는 다른 회로보다 화소 어레이에 가까이에 위치되어 버스를 통해 화소 어레이의 각 화소에 접속될 수 있다. 예를 들면, 중폭 회로 및 디지털 변환 회로는 화소 어레이 가까이에 배치되는 것이 바람직할 수 있으며, 이는 해당 아키텍처가 데이터 스트림의 명확성을 향상시키고 시스템에 최소한의 노이즈를 도입할 수 있기 때문이다. 도 1a에서 알 수 있는 바와 같이, 이미지 센서(100a)는 이미지 센서에 대해 시장에서 일반적으로 입수 가능한 것의 개략도이다.

[0039] 도 1a는 비용과 제조의 제한으로 인해 현재 시장에서 주도적으로 사용되고 있는 화소 어레이(150a)에 대한 지원 회로의 일반적인 횡 방향 배치를 나타낸다. 화소 어레이(150a)와 동일한 또는 그와 관련한 기판 상의 지원 회로의 횡 방향 배치는 아키텍처를 단순화하고 제조 비용을 절감한다. 그러나, 단일 기판의 사용은 폼 팩터 문제 등의 일부 단점 및 제한을 가지며, 이는 상술한 바와 같이 모든 적용이 자체적으로 횡 방향 또는 수평 방향 회로 배치로 되는 것이 아니기 때문이다.

[0040] 도 1b에 도시된 바와 같이, 지원 회로(110a, 120a, 130a 등)가 제 1 기판(160)에서 제거될 경우, 더 큰 화소 어레이(150a)가 제 1 기판(160) 상에 위치될 상당한 공간이 남게 되며, 이는 더 많은 또는 큰 화소가 이용될 수 있음을 의미한다. 이미징 센서를 이용하는 전자 디바이스에 동일한 물리적 제한을 고려할 경우, 본원에 개시되는 특징들의 조합 및 기술을 이용하면 향상된 화소 해상도 또는 향상된 화소 크기가 사용 가능하게 된다. 이런 경우에, 이미지 센서 기판은 소형화될 수 있고 크기를 우선적으로 고려하고 고품질 이미지가 요구되는 더 많은 디바이스에서 사용될 수 있다. 구체적으로, 도 1b는 화소 어레이에 대해 지원 회로(110b, 120b 및 130b)를 원격으로 위치시키는 설계 개념을 나타낸다.

[0041] 도 2를 주로 참조하면, 지원 회로를 수용하는 지원 기판의 사용이 논의된다. 예시적인 이미지 센서(200)의 실시 예에서, 복수의 화소열로 형성되는 복수의 화소를 포함할 수 있는 화소 어레이(205)는 제 1 기판(210)의 표면에 위치 결정될 수 있다. 제 1 기판(210) 상에 위치되는 복수의 화소열 각각은 리드 버스(240)에 전기적으로 접속될 수 있다. 제 2 기판(220) 상에 위치되는 지원 회로에 의해 신호 처리 및 이미지 향상이 행해질 수 있다. 이 회로는, 아날로그-디지털 컨버터(228), 중폭 회로(226), 필터 회로(224), 전원 및 포집 회로(222) 등의 신호 처리 회로를 포함할 수 있으며, 이들은 제 1 기판(210) 상의 복수의 화소열과 대응하는 복수의 회로열로 형성될 수 있다. 각 회로열은 리드 버스(230) 또는 각 회로열에 대응하는 복수의 리드 버스와 전자 통신하는 복수의 지원 회로로 구성될 수 있다. 즉, 신호 처리 회로는 제 2 기판 또는 지원 기판(220) 상에 위치될 수 있다. 이어서 제 2 기판(220) 상의 복수의 회로열 각각은, 리드 버스(230, 240)가 중첩 또는 겹치되는 물리적 경로를 따라 어디든지 위치될 수 있는 솔더 범프, 솔더 볼 또는 비아 등의 상호 접속부를 통해 제 1 기판(210) 상에 위치되는 대응 화소열에 전자적으로 접속될 수 있다. 또한, 복수의 2차 기판의 이용을 고려하고 그 각각의 기판이 이미지 센서에 대해, 이미지 센서의 원하는 기능에 의존하여 지원 회로의 임의의 순서 또는 조합으로 임의의 필요한 회로를 수용하는 것은 본 개시의 범주 내에 있다.

[0042] 도 3a 내지 도 3f에 나타낸 바와 같이, 이미지 센서(300a)는 일반적으로 모놀리식 기판(310a) 상에 모두 배치될 수 있는 아날로그-디지털 컨버터(317a), 중폭기(315a), 필터(314a) 및 클록(316a)을 포함할 수 있는 지원 회로(370a) 및 화소 어레이(350a)를 포함할 수 있다. 도 3a 및 도 3b에서, 모놀리식 이미지 센서가 사시도 및 상면도로 각각 나타나 있다. 화소 어레이(350a)는 복수의 화소열로 구성될 수 있으며, 복수의 화소열(352a) 각각은 복수의 개별 화소를 포함한다. 지원 회로(370a)는 복수의 회로열(356a)을 포함할 수 있으며, 회로열(356a) 각각은 대응 화소열(352a)을 지원하는 회로를 포함한다. 도면에 도시된 바와 같이, 모놀리식 회로열(356a)은 각각 폭이 1개의 화소이며, 대응하는 화소열에 대해 로컬 위치된다. 도면은, 화소열마다의 하나의 리드 버스가 단지 이미지 센서의 일측의 대응하는 열의 회로에 전기적으로 접속되는 비공유 화소의 화소 어레이를 나타낸다. 대응하는 회로가 실시예에서 하나의 화소 폭이지만, 후술하는 지원 회로의 다른 구성이 이 개시의 범위 내에서 고려되어 이미지 센서 설계 옵션을 향상시키는 데 이용될 수 있음을 이해할 것이다.

[0043] 이하 도 3c 및 도 3d를 참조하면, 복수의 화소 및 단일 회로열(356a)을 포함하는 단일 화소열(352a)이 사시도 및 상면도로 각각 나타나 있다. 또한, 도면에 도시된 단일 화소열(352a) 및 대응하는 회로열(356a)이 도 3a 및 도 3b에 나타난 이미지 센서(300a)에서 취해진 것이고 단일 회로열(356a)에 전기적으로 접속되는 단일 화소열(352a)를 단순히 나타낸 것임이 이해될 것이다.

[0044] 도 3e 및 도 3f는 모놀리식 기판 상에 이루어진 이미징 센서(300a)의 실시예로 화소 및 지원 회로를 포함하는 복수의 열을 나타내는 사시도 및 상면도를 도시한다. 도 3a 및 도 3b와 대조적으로, 도 3e 및 도 3f는 폭이 2개의 화소인 지원 회로를 나타낸다. 도면에서, 교대 화소열(352a)이 화소열(352a) 양단에 위치되는 대응하는 회로에 관목됨을 알 수 있다. 이러한 구성은 대응하는 회로열(356a)에 어리어의 종횡비의 변화를 제공한다. 버스

(330a)가 화소 어레이(350a)의 교대 단부에 판독되므로, 회로열(356a)은 2개의 화소 폭일 수 있다. 도 3b 및 도 3f에 나타난 센서를 대조하면, 도 3b에 나타난 화소열(352a)은 하나의 화소 폭당 6개의 화소(유닛) 길이의 종횡비(6/1)를 가지며 회로열(356a)은 비슷한 종횡비를 갖는다. 반대로, 도 3f에 나타난 이미지 센서는 하나의 화소 폭당 6개의 화소(유닛) 길이의 종횡비를 갖는 화소열(352a)을 가지며 회로열(356a)은 2개의 화소 폭 및 3개의 화소 길이의 종횡비(2/3)를 갖는다.

[0045] 그에 반해, 모놀리식 기판에 설치된 이미지 센서(300a)(도 3a 내지 도 3f에 도시)의 동일 기능은, 모놀리식 기판 또는 칩보다 훨씬 작은 치수(적어도 횡 방향이며 훨씬 작은 에어리어 및 품 팩터를 가짐)를 갖는 이미징 센서(300)에 공급 및 제공될 수 있다. 이하 도 3g 내지 도 3aa를 참조하면, 제 1 기판(310) 상에 배치될 수 있는 화소 어레이(350)를 포함할 수 있는 이미징 센서(300)를 논하는 한편, 지원 회로(370)의 전체는 제 2 기판(311) 및 제 3 기판(312) 등의 하나 이상의 지원 기판에 원격으로 위치될 수 있다(화소 어레이(350) 및 제 1 기판(310)에 대해).

[0046] 이미지 센서가 복수의 기판 상에 설치 및 제조될 수 있음을 유념한다. 복수의 기판 각각은 서로 적층 구성 또는 형태로 위치될 수 있으며, 여기서 모든 지원 기판은 화소 어레이(350)를 포함하는 제 1 기판(310) 뒤에서, 이미지화되는 오브젝트에 대해 적층 또는 정렬된다. 적층 기판의 각각은 솔더 범프 또는 솔더 볼, 비아 또는 전기 통신의 다른 형태 등의 상호 접속부(321)를 통해 전기적으로 접속될 수 있다. 또한, 상호 접속부(321)는 본 개시의 범위에서 일탈하지 않고 동일하거나 다른 기판 상의 다양한 회로에 전기 신호를 전하기 위한 임의의 공지 수단 또는 방법을 포함할 수 있음이 이해될 것이다.

[0047] 도 3g, 3i, 3m, 3n, 및 3u에서, 이미지 센서(300)의 화소 어레이(350) 및 다양한 지원 회로(370)를 포함하는 복수의 기판 각각은 적층체에서 동일한 크기일 수 있어서, 복수의 기판은 적층체 내에 실질적으로 정렬될 수 있다. 일 실시예에서, 제 1 기판(310) 및 복수의 후속 지원 기판(311)은 실질적으로 정렬 적층될 수 있어서 복수의 통신열이 실질적으로 동일한 길이 및 폭의 다층 적층체로 형성된다.

[0048] 다른 실시예에서, 품 팩터가 이를 가능하게 할 경우, 서로 다른 길이 및 폭을 갖는 서로 다른 크기의 기판이 사용되고, 적층체가 바람직할 수 있음을 유념한다. 더 다수의 고려와 함께, 방열 및 노이즈 등의 고려가 적층 구성의 설계 시에 감안될 수 있다. 예를 들면, 일 실시예에서, 증폭 회로 등의 고온 회로는 적층체 내의 지원 기판 중 하나의 돌출부 상에 위치될 수 있다(도 11에 매우 양호하게 도시됨).

[0049] 화소 어레이(350)가 복수의 화소행 및 복수의 화소열로 형성될 수 있음을 유념한다. 각 화소열(352)은 1개의 화소 폭 및 AV@ 화소 길이인 선형 품 팩터로 복수의 화소를 포함할 수 있다. 또한 각 화소열(352)은 일반적으로 화소 편치와 같은 폭 및 센서 설계에 의해 사전 결정되는 길이를 갖는 에어리어 값을 가짐을 유념한다. 그에 반해, 본원에서 언급되는 회로열(356)은, 화소 어레이(350)를 포함하는 제 1 기판(310)을 제외하고, 대응하는 화소열(352)에 전용이고 전기적 접속하거나, 또는 그와 전기적 통신하는 적어도 하나의 지원 회로(370)를 포함하는 기판 상에 할당된 공간이다. 화소열(352)이 차지하는 공간은 화소열(352)과 대응하는 회로열(356)이 차지하는 공간과 동일하거나 거의 동일할 수 있음이 이해될 것이다. 따라서, 제 2 또는 지원 기판(311)은 복수의 회로열(356)을 포함할 수 있고, 여기서 각 회로열(356)은, 대응하는 화소열(352)이 제 1 기판(310) 상에 에어리어를 가지는 것과 실질적으로 동일하거나 비슷한 점유 에어리어를 제 2 기판(311) 상에 포함한다.

[0050] 또한, 각 화소열(352)은 제 1 기판(310) 상의 리드 버스(330)와 전자 통신하거나 할 수 있으며, 회로열(356)은 제 2 기판(311) 상의 리드 버스(340)와 전자 통신하거나 전자 통신할 수 있다. 2개의 전술한 버스(330, 340)는 도 3g 내지 도 3aa에 도시되는 바와 같이 2개의 버스(330, 340)에 의해, 또는 그 내에, 중첩되거나 그 사이에 생성된 경로를 따라 어디든지 위치되는 적어도 하나의 상호 접속부(321)에 의해 전기적 접속될 수 있다. 일 실시예에서, 복수의 상호 접속부(321)가, 단일 화소열(352)을 대응하는 단일 회로열(356)에 접속하는 데 이용될 수 있다. 이러한 실시예에서, 사용되는 다수의 상호 접속부(321)의 리던던시는 향상된 제조 수율 또는 향상된 기능을 제공할 수 있다.

[0051] 본원에서 언급되는 바와 같이, 기판 상의 에어리어의 일반적인 형태를 말하는 데 종횡비가 이용된다. 예를 들면, 4개의 화소 단위 폭 및 5개의 화소 단위 길이로 정의되는 에어리어는 4/5 또는 5/4의 종횡비를 갖는다. 용어 종횡비는 에어리어의 형태가 중요하다고 생각되는 상황을 총칭하여 나타내는 데 사용될 수 있다. 예를 들면, 종횡비의 개념은 다른 기판 상에 위치되는 2개의 대응하는 에어리어의 종횡비의 차이를 나타내는 데 사용될 수 있다. 도 3g-도 3aa에 나타낸 화소열(352) 및 회로열(356)의 종횡비가 서로 동일하거나 다를 수 있고, 화소열(352) 및 그 대응하는 회로열(356)의 풋프린트의 에어리어가 실질적으로 동일하거나 동등할 수 있음을 유념해야 한다. 서로 다른 종횡비의 몇 가지 예를 도 3g 내지 도 3aa에 도시하지만, 이 개시의 원리는 임의 수의 종횡

비 구성에 적용될 수 있음을 유념한다. 그러나, 도면에 나타낸 바와 같이, 회로열(356) 풋 프린트 및 점유 에어리어는 화소열(352)의 풋 프린트 및 점유 에어리어와 실질적으로 동일하거나 동등하다. 제조 기술이 향상되거나 설계 파라미터가 변함에 따라, 다소의 에어리어가 회로열(356)의 지원 회로(370)에 필요해질 수 있다.

[0052] 구체적으로 도 3g 및 도 3h를 참조하면, 증폭기, 필터, 클록 또는 이미지 센서를 지원하는 데 필요한 다른 회로를 포함할 수 있는 지원 회로(370)가 제 2 기판(311) 등의 하나 이상의 지원 기판 상에 모두 배치될 수 있다. 그러나 이러한 회로가 제 2 기판(311), 또는 제 3 기판 등의 하나 이상의 기판들 상에 분산될 수 있음이 이해될 것이다. 또한, 아날로그-디지털 컨버터는 지원 기판의 하나에 원격으로 위치될 수 있다. 지원 회로(370)의 순서 및 위치는 변경될 수 있고 필요에 따라 지원 기판의 어느 것에 배치될 수 있음이 이해될 것이다.

[0053] 도면에서 알 수 있는 바와 같이, 각 화소열(352)은 제 1 기판(310) 상의 하나의 리드 버스(330)와 연관되어 전기적으로 접속될 수 있는 한편, 회로열(356) 각각은 u빔프(321a) 및 비아(321b)(도 3h에 매우 양호하게 도시됨) 모두를 포함할 수 있는 하나 이상의 상호 접속부(321)에 의해 지원 기판(311) 상의 하나의 리드 버스(340)와 연관되어 전기적으로 접속될 수 있다. 적어도 하나의 상호 접속부(321)는 도시된 바와 같이 제 1 기판(310) 상의 화소열 버스(330)를 지원 기판(311) 상의 회로열 버스(340)에 접속하는 데 사용될 수 있다. 도 3i, 3j, 31, 3o, 3q, 3r, 3t, 3v, 3x, 3y 및 3aa에서 점선 화살표는, 상호 접속부(321)가 대응하는 화소열(352) 및 회로열(356)마다 2개의 리드 버스(330, 340)의 중첩 경로를 따라 어디든지 위치될 수 있음을 나타낸다.

[0054] 이하 도 3i 내지 도 3m을 참조하면, 복수의 기판 상에 설치된 이미징 센서(300)의 실시예의 다양한 뷰가 도시되어 있다. 도 3i 및 도 3m은 제 1 기판(310) 상에 화소 어레이(350)를 형성하는 복수의 화소열(352) 및 제 2 기판(311) 상의 복수의 회로열(356)(지원 회로(370)를 나타냄)을 나타낸다. 도시된 바와 같이, 회로열(356)은 폭이 1개의 화소이고 회로열(356)이 연관되는 화소열(352)과 직접 대응하는 화소 길이의 AN@ 수일 수 있다. 도면은 각 화소열(352)과 회로열(356)의 연관 회로(370) 사이의 접속의 예를 나타낸다. 또한, 도면은 화소열(352)마다 하나의 리드 버스(330) 및 회로열(356)마다 하나의 리드 버스(340)를 나타내고, 회로열(356)의 연관 회로(370)는 하나의 화소열 폭이다.

[0055] 본원에서 상술한 바와 같이, 각 화소열(352)은 하나의 화소열 버스(330)에 전기적으로 연관 또는 접속되고, 각 회로열(356)은 하나의 회로열 버스(340)에 전기적으로 연관 또는 접속될 수 있다. 도 3j 내지 도 31은 도 3i에 도시된 복수의 화소열(352) 및 복수의 회로열(356)로부터 분리된 단일 화소열(352) 및 단일 회로열(356)의 사시도, 정면도 및 측면도를 각각 나타낸다. 도 3j 내지 도 31은 또한 하나 이상의 상호 접속부(321)를 이용하여 화소열(352) 및 회로열(356)의 버스(330 및 340) 사이의 전기적 접속을 나타낸다. 버스(330 및 340)는 하나 이상의 상호 접속부(321)를 사용하여 전기적으로 접속될 수 있는 한편, 도면에서는, 상호 접속부(321)가 본 개시 사상 또는 범위에서 일탈하지 않고 버스(330 및 340)의 중첩 경로를 따라 어디든지 배치될 수 있음을 나타내고 있다.

[0056] 이하 도 3n 내지 도 3t를 참조하면, 복수의 기판 상에 설치된 이미징 센서(300)의 실시예의 다양한 뷰를 나타내고 있고, 화소 어레이(350)를 형성하는 복수의 화소열(352)은 제 1 기판(310) 상에 위치되고 복수의 회로열(356)은 제 2 기판(311) 상에 위치된다. 본 실시예에서, 회로열(356)은 폭이 2개의 화소 또는 2개의 화소열일 수 있다. 이 예에서, 각 화소열(352)과 대응하는 회로열(356)의 연관 회로(370) 사이의 접속은 화소열(352) 및 회로열(356)마다 하나의 리드 버스(330, 340)일 수 있다. 이 도면에서 알 수 있는 바와 같이, 제 1 기판(352) 상의 화소열(352)에 의해 소비되는 에어리어는 대응하는 회로열(356)에 의해 소비되는 에어리어에 대응한다. 이러한 대응은 기판, 예를 들면 310 및 311의 직접적인 오버레이를 가능하게 해서 회로열(356)의 지원 회로(370)가 그들이 지원하는 화소열(352)과 직접 적층된다.

[0057] 또한 이러한 구성에서 화소열(352)의 종횡비는 회로열(356)의 종횡비와 실질적으로 동일하지만, 이러한 종횡비의 등식은 더 후술하는 바와 같이 필수적인 것이 아님을 유념한다. 도 3m에서 알 수 있는 바와 같이, 화소열은 1개의 화소열 폭 및 6개의 화소 길이여서, 종횡비가 1/6이다. 회로열은 또한 동일한 1/6의 종횡비이다. 이에 반해, 도 3n은, 회로열 종횡비가 화소열 종횡비의 2배 폭이지만 길이는 절반만이어서, 지원 회로를 배치시키는 데 가능한 더 많은 사용 가능 풋프린트를 제공한다. 또한, 도 3m 및 도 3n 모두에서, 화소열(352) 및 회로열(356)의 에어리어는 종횡비가 다름에도 서로 실질적으로 동등하다.

[0058] 도 3n은 또한 기판 사이의 종횡비를 달리하여 버스 접촉점의 유연성을 허용할 수 있는 방법을 나타낸다. 실시예에서는, 회로열 버스(340)는 회로열(356)의 에어리어를 더 균일하게 차지하도록 일반적인 Au@ 형태로 설계되어서, 전체 회로열(356)에 걸쳐 상호 접속부(321)를 접속하기 위한 옵션을 제공한다. 화소열 버스(330)는 일반적으로 u 형상이 아니지만, 회로열 버스(340)는 일반적으로 u 형상일 수 있어서, 동일한 회로열(356)이, 도 3o 및

도 3r의 2개의 서로 다른 화소열 구성으로 이용될 수 있다. u 형상의 회로열 버스(340)의 제 1 레그는 제 1 화소열(352)의 리드 버스(330)에 중첩될 수 있고(도 3o에 도시됨) u 형상의 회로열 버스(340)의 제 2 레그는 다음의 인접하는 화소열(352)의 리드 버스(330)에 중첩될 수 있다(도 3r에 도시됨). 도 3o 및 도 3r은 도 3n의 화소어레이(350)에서 취한 화소열(352)을 나타낸다. 도 3o 및 도 3r은 회로열(356) 풋프린트 내에 위치 결정되는 상호 접속부(321)에 대해 세 개의 옵션을 나타낸다. 도 3q에 도시된 바와 같이, 회로열(356)의 종횡비가 2배의 폭으로 나타나지만 대응하는 화소열(352)의 길이가 1/2이므로, 상호 접속부(321) 위치 옵션은 화소열(352) 길이의 부분에 대해서만 이용 가능함을 유념한다. 도 3p는, 복잡한 버스 형상에 대해, 지원하는 화소열(352)의 폭이 2배인 회로열(356)에서 버스(340)를 따라 2개의 상호 접속 위치 경로 옵션이 있을 수 있음을 나타내고 있다. 도 3p는 u 형상의 회로열 버스(340)의 제 1 레그의 제 1 화소열(352)의 리드 버스(330)에의 중첩의 정면도를 나타내고 상호 접속부(321)를 다음의 인접하는 화소열(352)에 위치시키는 도 3r 및 도 3s에 도시된 바와 같이 버스(340)의 최내측 부분과 대조적으로 상호 접속부(321)를 위치시키는 버스(340)의 최외측 부분을 이용한다. 도 3r은 도 3n 또는 도 3o에 도시된 제 1 화소열(최우측 화소열)에 대해 좌측에 위치되는 다음 화소열(352)을 나타낸다. 도 3r에 나타난 제 2 화소열(352)의 버스(330)는 도시된 바와 같이 버스(340)의 제 2 레그에 전기적으로 접속될 수 있다. 회로열(356)의 풋프린트는 2/3의 종횡비를 가지므로, 화소열 버스(330)의 회로열 버스(340)에의 중첩은 회로열 버스(340)의 제 2 레그가 일반적으로 u 형상인 것을 요해서, 도 3r 및 도 3s에 나타낸 다음 화소열(352)에 대해 버스(330 및 340)의 자연적인 매칭 또는 중첩을 허용할 수 있음을 유념한다.

[0059]

도 3u는 복수의 기판(300) 상에 설치된 이미징 센서(300)의 실시예의 사시도를 나타내고, 여기에서 화소 어레이(350)를 형성하는 복수의 화소열(352)은 제 1 기판(310) 상에 위치되고 복수의 회로열(356)은 제 2 기판(311) 상에 위치되고, 회로열(356)은 폭이 4개의 화소이지만, 또한 1/4의 길이이다. 이 도면은 또한 복수의 화소열(352)과 회로의 연관 또는 대응하는 회로열(356) 사이의 복수의 전기적 접속 및 통신 경로를 나타낸다.

[0060]

도 3v는 전기적 접속을 나타내는 도 3u의 최우측 열에서 취한 단일 화소열(352) 및 단일 회로열(356), 및 아키텍처를 수용하는 예시적인 버스 구성의 사시도를 나타낸다. 이 도면에서 알 수 있는 바와 같이, 실시예는 대응하는 회로열(356)(및 연관 버스(340))와의 최소한의 오버레이부를 갖는 화소열(352)(및 연관 버스(330))을 포함할 수 있다. 즉, 기판 사이에 매우 작은 버스 중첩이 요구된다. 그러나, 도 3u에 나타내는 바와 같이, 기판 레벨에서 중첩이 있을 수 있다.

[0061]

도 3w는 도 3v에서 취한 단일 화소열(352) 및 단일 회로열(356)의 정면도로 그들간의 전기적 접속을 나타낸다. 이 도면에서 알 수 있는 바와 같이, 버스 중첩의 횡 방향 작은 부분만이 화소열(352)을 회로열(356)에 접속하는데 필요하다.

[0062]

도 3x는 도 3v에서 취한 단일 화소열(352) 및 단일 회로열(356)의 측면도로 그들간의 전기적 접속을 나타낸다. 이 도면에서 알 수 있는 바와 같이, 일부 실시예에서 하나 이상의 상호 접속부(321)가 사용될 수 있고, 이 도면은 또한 상호 접속부(321)의 배치가 버스(330 및 340)의 중첩을 따라 어디든지 있을 수 있음을 나타낸다. 도 3y는 도 3u의 최우측 열(356)의 인접하는 좌측의 열에서 취한 단일 화소열(352) 및 단일 회로열(356)의 사시도로 그들간의 전기적 접속을 나타낸다. 도 3z는 도 3y에서 취한 단일 화소열(352) 및 단일 회로열(356)의 정면도로 그들간의 전기적 접속을 나타낸다. 도 3v 및 도 3y는 도 3u의 화소 어레이(350)에서 취한 화소열(352)을 나타낸다. 도 3v 및 도 3y는 회로열(356) 풋프린트 내에 위치 결정되는 상호 접속부(321)에 대한 2개의 옵션을 나타낸다. 도 3aa에 나타낸 바와 같이, 회로열의 종횡비가 대응하는 화소열(352)보다 넓지만 짧기 때문에, 상호 접속 위치 옵션은 화소열(352) 길이의 일부에 대해서만 이용 가능하다. 도 3z는 복잡한 버스 형상에 대해, 지원하는 화소열(352)의 4배의 폭 및 1/4의 길이를 갖는 회로열(356)에서 버스(340)를 따라 4개의 상호 접속 위치 경로 옵션이 있을 수 있음을 나타내고 있다. 따라서, 회로열(356)의 종횡비가 화소열(352)의 종횡비와 다르지만, 각각의 풋프린트의 에어리어가 실질적으로 동일 또는 동등함을 알 수 있다. 제조 기술이 향상되거나 설계 파라미터가 변경됨에 따라, 다소의 에어리어가 회로열(356)의 지원 회로에 필요할 수 있다.

[0063]

도 3v 및 도 3w는 제 1 화소열 리드 버스(330)와 회로열 리드 버스(340)의 제 1 레그의 중첩을 나타낸다. 도 3y는 도 3v에 나타난 화소열에 대해 인접하는 다음 화소열을 나타낸다. 회로열(356)의 풋프린트가 4/2의 종횡비를 가지므로, 화소열 버스(330)의 회로열 버스(340)에의 중첩은 회로열 버스(340)의 제 2 레그가 이에 따라 형성되는 것을 요해서 도 3y 및 도 3z에 나타난 다음 화소열(352)에 대해 버스(330 및 340)의 자연적인 매칭 또는 중첩을 허용함을 유념한다. 도 3aa는 도 3y에서 취한 단일 화소열 및 단일 회로열의 측면도로 그들 사이의 전기적 접속을 나타낸다.

[0064]

화소열 각각은 화소 설계 및 아키텍처에 영향을 미칠 수 있는 현재의 조건에 의존하여 리드 버스에 대해 공유

또는 비공유될 수 있음이 이해될 것이다. 도 12 및 도 13에는 화소 아키텍처의 2개의 예가 도시된다. 도 12는 각 화소열이 다른 화소열과 리드 버스를 공유하지 않는 화소 아키텍처를 나타낸다. 이 예에서 화소열마다 하나의 리드 버스만이 있을 경우의 비공유 화소 아키텍처를 나타낸다. 반대로, 도 13에는 수평 방향의 2웨이 화소 공유를 나타낸다. 도 13은 2개의 화소열마다 하나의 리드 버스만이 있다. 화소열마다 리드 버스의 수는, 본원에서 논의되는 3차원 적층 실시예에서 화소 어레이(350)가 제 1 기판 상에 최적화되고 제 2 또는 지원 기판 상에 위치되는 대부분의 지원 회로로부터 분리되는 실시예에서 중요한 고려 사항일 수 있음을 유념한다. 복수의 화소 열이 회로열 내의 지원 회로의 세트에 대응하게 하는 개시의 범위 내에 있음을 유념한다. 예를 들면, 일부 지원 회로의 처리 능력은 화소열에 의해 생성된 데이터에 의해 필요로 하는 것보다 클 수 있기 때문에, 복수의 화소 열은 회로열에 대응할 수 있다. 반대의 경우도 본원에서 고려되며, 특정 실시예에서 복수의 회로열은 화소 어레이의 단일 화소열에 대응할 수 있다.

[0065] 상술한 특정 프로세스 및 구현의 실시예에서, 2개의 기판/칩 사이에 위치되는 u빔프 등의 상호 접속부를 통해 접속이 행해질 수 있다. 2개의 기판/칩의 두 금속층이 서로 대향할 수 있으므로, 이면측 조사는 화소 어레이(제 1 칩의 정면 측은 제 2 칩의 정면 측에 본딩될 수 있음)를 포함하는 CMOS 이미지 센서 칩에 필요해질 수 있다. 실시예에서, 제 1 기판/칩과 제 2 기판/칩 사이에 열(352, 356)마다 사용되는 하나의 상호 접속부만이 있을 수 있다. 실시예에서, 2개 이상의 접속부가 열(352, 356)마다 사용될 수 있고 리던던시 목적(프로세스 수율)을 위해 사용될 수 있다. 종래 기술(도 3a 내지 도 3f에 나타낸 바와 같이 모놀리식 CMOS 이미지 센서)에 비해, 리드 버스는 화소 어레이의 에지에서 끊어질 수 있으며, 제 2 기판/칩에서 복제될 수 있다. 이어서 범프는 열 내의 임의의 개소(anywhere)에서 2개의 버스를 접속할 수 있다. u빔프 등의 더 많은 상호 접속부가 2개 이상의 기판/칩 사이의 전력 분재 또는 다른 신호(예를 들면, 수직 방향 디코더)를 위해 필요로 될 수 있음이 이해될 것이다.

[0066] 이하, 도 4를 참조하면, 이면 조사를 사용하는 복수의 기판 상에 설치된 당해 화소 어레이 및 지원 회로를 갖는 이미지 센서의 실시예가 도시된다. 이 도면에서 알 수 있는 바와 같이, 화소 어레이(450)는 제 1 기판(452) 상에 배치될 수 있다. 제 1 기판(452)은 광 전송 특성을 제어하기 위해 실리콘이나 다른 재료로 형성될 수 있다. 솔더 볼, 범프 또는 비아(421)는 하나의 기판을 다른 기판에 전기적으로 접속하는 데 사용될 수 있다. 적층된 이미지 센서의 실시예는 제 1 기판(452) 상에 화소 어레이(450)를 포함할 수 있다. 화소 어레이(450)는 제 1 기판(452)의 제 1 표면(451)의 적어도 40%를 포함할 수 있다. 이면 조사형 구성에서, 화소 어레이(950)는 도 9에 도시된 바와 같이 상기 제 1 기판(952)의 이면에 배치될 수 있다. 또한, 이면측 조사형 구성에서, 기판(452)은 그를 통한 광전송을 제어하기 위하여 박형으로 될 수 있다. 이면 조사를 이용하는 실시예에서, 제 1 기판은 주로 실리콘 재료로 이루어질 수 있거나, 또는 제 1 기판은 주로 "High-Z" 반도체 재료(예를 들면, 카드뮴 텔루라이드)로 이루어질 수 있거나, 또는 제 1 기판은 주로 III-V 반도체 재료(예를 들면, 갈륨 비소)로 이루어질 수 있다.

[0067] 일 실시예에서, 화소 어레이(450)는 제 1 기판(452)의 제 1 표면(451)의 대 부분을 포함할 수 있다. 이러한 실시예에서, 화소 어레이(450)는 상기 제 1 표면(451)의 임위의 부분에 놓여 있거나 위치될 수 있다. 필요한 경우 제 1 표면(451)의 나머지 공간은 보조 회로의 배치를 위해 사용될 수 있다. 보조 회로는 화소 어레이의 중앙 배치가 현실적이지 않는 크기로 될 수 있는 상황이 발생할 수 있다.

[0068] 이하 도 5를 참조하면, 적어도 일부의 지원 회로 및 컴포넌트가 소정의 목적을 위해 작용하도록 다른 지원 회로 및 컴포넌트로부터 원격으로 위치되는 실시예를 논한다. 일부 적용에서, 특정 보조 프로세서가 화소 어레이로부터 더 원격으로 위치되는 것이 원해질 수 있다. 예를 들면, 내시경 등의 의료 범위에서, 필요한 지원 회로 모두를 포함하는 데 화소 어레이 주위에 충분한 공간이 없을 수 있다. 이러한 경우에, 기판(510)을 포함하는 화소 어레이는 이미지 센서(500) 내의 다른 지원 기판으로부터 떨어져 이격되어 원격으로 위치될 수 있다.

[0069] 일 실시예에서, 기판(510)을 포함하는 화소 어레이, 기판을 포함하는 화소 어레이에 대해 원격으로 위치되는 지원 기판(520)에 인접 또는 가까이에 있을 수 있다. 지원 기판(520)은 그 위해 증폭기 회로를 포함할 수 있는 한편, 다른 지원 회로는, 이격된 지원 기판(520)이 화소 어레이 기판(510)으로부터 멀리 위치되는 것보다 화소 어레이 기판(510)으로부터 더 멀리 이격되어 다른 기판(530) 상에 더 원격으로 위치될 수 있다. 일 실시예에서, 더 원격으로 위치되는 기판(530)은 와이어 비어(522)에 의해 이미지 센서(500)에서 다른 기판에 접속될 수 있거나, 또는 다른 기판 및 회로와 무선으로 통신할 수 있다. 인접한 기판은 범프 또는 솔더 볼(521)을 통해 서로 접속될 수 있다. 화소 어레이 및 다른 회로가 경시적으로 더 효율적으로 되어도 기판을 포함하는 화소 어레이가 모든 다른 지원 회로로부터 더 원격인 이미지 센서를 제공하는 것은 본 개시 범위 내이다. 이러한 회로는 도 10에 도시되어 있으며, 기판(1010)을 포함하는 화소 어레이, 신호 처리 회로 및 전원 회로 등의 지원 회로를 각

각 포함하는 지원 기판(1020, 1030, 1040)으로부터 비아(1022)를 통해 더 원격으로 위치된다.

[0070] 일 실시예에서, 이미지 센서의 화소 어레이는 제 1 기판(570)의 이용 가능한 표면 에어리어의 큰 비율을 지배할 수 있다. 도 6에서 알 수 있는 바와 같이, 다양한 크기의 화소 어레이(572, 574, 576)(점선으로 나타냄)가 개시에 의해 고려되고 개시된 설계 범위 내에 포함된다. 화소 어레이(576)는, 화소 어레이(576)가 제 1 기판(570)의 큰 비율을 포함하지만, 기판(570)의 대 부분을 포함하지는 않을 수 있는 구성을 개략적으로 나타낸다. 화소 어레이(576)는 대부분의 에어리어가 아니지만 이용 가능한 에어리어의 큰 비율을 포함해서, 지원 회로의 적어도 일부는 제 1 기판(570) 상에 위치될 수 있다.

[0071] 화소 어레이(574)는 화소 어레이(576 및 572)와 별개의 구성을 개략적으로 나타내고, 화소 어레이(574)는 제 1 기판(570)의 약 절반을 포함한다. 화소 어레이(572)는 화소 어레이(576 및 574)와 별개의 구성을 개략적으로 나타내고, 화소 어레이는 제 1 기판(570)의 완전히 대부분을 덮는다. 최적화 프로세스가 적용, 기능 또는 목적으로 따른 제약 내에서 작용하면서 가장 최선의 이미지 및 이미지 품질을 제공하는 화소 어레이 사이즈를 찾는 것을 허용할 수 있음은 상기 논의에서 분명할 것이다. 따라서, 고정된 제 1 기판 사이즈를 갖는 이미지 센서를 갖는 적용에서도, 제 1 기판 상에 위치되는 화소 어레이에 의해 차지되는 표면 에어리어의 비율은 제 1 기판에서 이용 가능한 총 표면 에어리어의 비율과 다르며 많은 다른 비율을 포함할 수 있다.

[0072] 따라서, 화소 어레이가 차지할 수 있는 표면 에어리어는 제 1 기판의 일 면의 전체 표면 에어리어의 약 25% 내지 약 99%의 범위 내일 수 있거나, 또는 제 1 기판의 일 면의 전체 표면 에어리어의 약 40% 내지 약 99%의 범위 내일 수 있거나, 제 1 기판의 일 면의 전체 표면 에어리어의 약 50% 내지 약 99%의 범위 내일 수 있거나, 제 1 기판의 일 면의 전체 표면 에어리어의 약 60% 내지 약 99%의 범위 내일 수 있거나, 제 1 기판의 일 면의 전체 표면 에어리어의 약 70% 내지 약 99%의 범위 내일 수 있거나, 제 1 기판의 일 면의 전체 표면 에어리어의 약 90% 내지 약 99%의 범위 내일 수 있음이 이해될 것이다. 상술한 범위 내의 모든 비율은 본 개시의 범위 내인 것으로 의도됨을 이해할 것이다. 또한, 제 1 기판의 일 면의 전체 표면 에어리어의 약 25% 내지 약 99%의 범위 내인 모든 하위 범위는 본 개시의 범위 내인 것으로 의도됨을 이해할 것이다.

[0073] 이면 조사형 화소 어레이의 특성으로 인해, 상술한 기판 표면은 이면 조사형 화소 어레이를 포함하는 이미지 센서와 상관 없을 수 있다. 따라서, 이면 조사형 적용에서, 기판 표면은 제거되거나 화소 어레이와 일체로 형성될 수 있다.

[0074] 화소 어레이 범위 또는 표면 에어리어는 화소 어레이가 놓이는 기판의 총 표면 에어리어의 약 40% 내지 약 70%의 범위 내일 수 있고, 이러한 경우에 이미지 센서의 설계에서 축소 없이 일부 지원 회로를 위치시킬 수 있다. 실시예에서, 발광 회로가 사용 시에 광을 제공하기 위해 제 1 기판 상에 일부 공간을 차지할 수 있다. 많은 적용에서, 치수가 매우 엄격하며 가장 엄격하게 제약될 경우, 최적화된 이미징 센서는 90% 이상, 실질적으로 제 1 기판의 표면 에어리어의 전체를 포함할 수 있다. 기판에 추가되는 것이 아니고 집적 회로를 내부에 갖는 화소 어레이를 고려하는 것은 이 개시의 범위 내에 있는 것임을 유념한다.

[0075] 도 7에는, 복수의 화소열을 갖는 이미지 센서의 실시예가 나타나 있다. 이 도면에서 알 수 있는 바와 같이, 이미지 센서(700)는, 기판(715) 또는 이미지화되는 오브젝트에 대해 수직 또는 달리 적층될 수 있는 복수의 기판과 전기적으로 통신하는 제 1 이미지 센서(710) 및 제 2 이미지 센서(711)를 포함할 수 있다. 일 실시예에서, 지원 회로는 상술한 바와 같이 후속 또는 지원 기판 상에 원격으로 위치될 수 있다. 이러한 구성은 3차원 이미지 캡처에 바람직할 수 있으며, 2개의 화소 어레이가 사용 시 떨어져 설정될 수 있다. 다른 실시예에서, 제 1 화소 어레이 및 제 2 화소 어레이에는, 제 1 화소 어레이가 제 2 화소 어레이와 괴장 전자기 방사가 다른 범위에 전용인 전자기 방사의 괴장의 범위를 수신하는 데 전용일 수 있다.

[0076] 도 14 및 도 15에는, 이미지 센서(1500)를 위한 지원 회로(1520)가 하나 이상의 제 2 또는 지원 기판(1554)(도 14 참조) 상에 위치되어 제 1 기판(1552)(도 15 참조) 상에 최적화된 화소 어레이(1510)로부터 데이터를 검색하는 실시예가 도시되어 있고, 이 기판들은 적층된 구성으로 구성될 수 있다(도 14 및 도 15 조합). 도면에서 알 수 있는 바와 같이, 화소 어레이(1510)는, 제 1 기판(1552) 상에 위치될 수 있고 하나 이상의 접속부로 하나 이상의 후속 또는 지원 기판(1554)(도 14)에 놓여 있을 수 있는 지원 회로(1520)에 전기적으로 접속될 수 있다. 도 14 및 도 15에 도시된 실시예에서, 화소 어레이(1510)는 복수의 화소열(1550a-f)로 구성될 수 있다. 화소열(1550a-f) 각각은 복수의 개별 화소로 구성될 수 있고 화소열(1550a-f)은 대응하는 화소열 버스(1551)를 통해 판독될 수 있다. 전체 화소 어레이(1510) 내의 화소열(1550)마다 하나의 리드 버스(1551)가 있을 수 있음이 이해될 것이다. 복수의 개별 화소(1526)는 복수의 어레이(1510) 내에 개별 화소(1526)의 위치를 나타내거나 정의

하는 열(y축) 및 행(x축)으로 형성될 수 있음을 유념한다.

[0077] 도면에 도시된 바와 같이, 복수의 화소열 리드 버스(1551) 각각은 도 15의 1550a, 1550b, 1550c, 1550d, 1550e, 및 1550f 등의 소정의 또는 정의된 화소열(1550)에 대한 전기적 접속을 제공할 수 있다. 이러한 실시예에서, 소정의 또는 정의된 화소열, 예를 들면 1550a 내의 화소(1526)로부터 수집된 데이터는 회로열 리드 버스(1516)(도 14 참조) 및/또는 하나 이상의 접속부(1521)를 통해 하나 이상의 제 2의 후속 또는 지원 기판(1554) 상에 위치되는 지원 회로(1520)에 전송될 수 있다. 회로(1520)는 지원 기판(1554)의 어느 일측에 위치될 수 있고, 전기 접촉이 기판 재료에 배치되며 기판을 관통하는 비아를 통해 용이하게 이루어질 수 있다. 후속 기판(1554)은 복수의 회로열을 포함할 수 있고, 각 회로열은 복수의 회로(1520), 및 이미지 센서(1500) 내의 회로열의 다양한 회로(1520)를 전기적으로 접속하는 버스(1516)를 포함한다. 화소열 버스(1551)를 회로열 버스(1516)에 접속하는 데 이용될 수 있는 상호 접속부(1521) 사이의 간격은 화소열(1550a-f)에 대해 상호 접속부(1521)를 엇갈리게 함으로써 도면에서 증가되어 있음을 유념한다. 기판(1554) 상에 도시된 접선은 제 1 기판(1552) 상의 화소열(1550)에 의해 소비되는 에어리어에 대응하는 기판 상의 에어리어를 나타낸다.

[0078] 일 실시예에서, 임의의 주어진 화소열(1550)에 대한 지원 회로(1520)는 제 2 기판 상에 위치되는 대응하는 에어리어 내에 배치되는 이미지 센서(1500)를 설계하는 것이 바람직할 수 있다. 또한, 일 실시예에서, 하나 이상의 전용 지원 회로(1520)가 화소열 또는 에어리어(1550)마다 사용될 수 있어서, 각 화소열(1550a-1550f)은, 지원 회로가 전용인 화소열(1550a-1550f)에 의해 나타나는 해당 소정의 또는 정의된 화소열 내의 화소(1526)에 의해 생성된 데이터만을 처리하는 데 전용인 적어도 하나의 지원 회로(1520)를 갖는다. 예를 들면, 각 화소열 에어리어(1550a-1550f)는 연관된 화소열(1550) 내로부터 연관된 화소(1526)로부터 판독된 아날로그 데이터를 변환하는데 전용인 전용 아날로그-디지털 변환 회로를 가질 수 있다. 전용 회로의 이 근접 및 직접적인 연관은 이미지 센서(1500) 내의 디지털 신호 처리를 단순화하는 데 사용되어서 이미지 센서(1500) 내의 타이밍 및 직렬 프로세스를 크게 단순화할 수 있다. 이러한 특징은 이미지 센서(1500)의 열 발생 및 에너지 소비를 제어하는 데 사용될 수도 있다.

[0079] 도 16을 주로 참조하면, 내부에 리드 버스 구성을 갖는 다수의 기판 이미지 센서(1600)가 도시되어 있다. 이 도면에서 알 수 있는 바와 같이, 기판(1652)은 화소 어레이(1610)를 포함 수 있으며, 복수의 화소열 리드 버스를 통해 지원 기판(1654 및 1656)에 전기적으로 접속될 수 있다. 이미지 센서 아키텍처는, 하나 이상의 후속 기판(1654 및 1656) 상에 지원 회로를 위치시킴으로써 크게 단순화될 수 있다. 후속 기판(1654 및 1656)은 제 1 기판(1652) 뒤지만 가까이 근접되어 있을 수 있다. 지원 회로(1622 및 1663)는, 도시된 바와 같이 수직 방향의 구성으로 기판의 적층을 가능하게 하기 위해 후속 기판(1654 및 1656) 상에 배치될 수 있다. 관통 기판 비아는 임의의 기판을 통해 전면-후면 연통을 가능하게 하는 데 사용될 수 있다. 적층체의 제 2 기판(1654)은 제 1 기판(1652) 상에 위치된 화소열(1650)에 전용이며 그들과 전기적으로 접속되는 보조 회로를 포함할 수 있다. 제 3 기판(1654)은 제 2 기판 상의 지원 회로(1622)에 전용일 수 있는 추가적인 데이터 처리 회로(1663)를 포함할 수 있고, 제 2 기판에서의 복수의 지원 회로로부터 데이터를 처리하는 것을 목적으로 할 수 있다. 제 3 기판(1656) 상의 회로(1663)는 제 1 기판(1652) 상의 특정 화소열(1650)에 전용일 수 있거나, 복수의 화소열(1650)로부터 프로세스 데이터에 전용일 수 있다. 즉, 제 3 기판(1656) 상에 위치되는 회로(1663)는 제 2 기판(1654) 상의 특정 회로(1662) 또는 제 1 기판(1652) 상의 특정 화소열(1650)에 직접 대응할 수 있다. 각 기판은 모든 기판 상의 회로를 전기적으로 접속하는 적어도 하나의 버스를 포함할 수 있음을 유념한다. 따라서, 기판 각각의 버스(1623a-1623c)는, 기판 사이에 배치되는 상호 접속부(1621)가 버스(1623a-1623c) 간의 전기적 접속을 일으키도록 중첩될 수 있다.

[0080] 도면에서 알 수 있는 바와 같이, 제 1 기판(1652) 상에 위치된 화소열(1650)은, 화소열(1650) 내에 전략적으로 위치된 하나 이상의 상호 접속부(1621) 또는 버스 시스템(1623a-1623c)의 배치에 의한 직접 화소열 판독을 통해 하나 이상의 지원 기판(1654, 1656) 상에 위치된 지원 회로에 전기적으로 접속될 수 있다. 이미지 센서(1600)를 구성하는 복수의 기판(1652, 1654, 및 1656) 각각은 자신의 버스 또는 버스 시스템(1623a, 1623b, 및 1623c)을 각각 포함할 수 있다. 따라서, 버스(1623) 각각을 함께 접속해서 기판의 하나의 층으로부터 다음 층까지 근간의 버스 시스템(1630)을 형성하는 것이 유리할 수 있다. 예를 들면, 본원에 개시된 바와 같이 최적화된 화소 어레이(1610)를 포함하는 제 1 기판(1652)은, 중첩된 버스 시스템(1623)의 경로를 따라 어디든지 위치될 수 있는 접속부(1621) 및 소정의 또는 정의된 화소열(1650) 내에 위치된 접속부(1621)의 이용을 통해 제 2의 후속 기판(1654) 상에 놓여 있는 지원 회로(1622)에 접속될 수 있다.

[0081] 도시된 바와 같이, 제 1 상호 접속부(1621)는 제 1 화소열(1650) 및 화소열 버스(1623a)를 제 2 기판(1654) 상에 위치된 제 2 버스 또는 버스 시스템(1623b) 및 지원 회로(1622)에 직접 연결하는 데 사용될 수 있는 한편,

제 2 상호 접속부(1621b)는 제 2 기판(1654) 상에 있는 제 2 버스 또는 버스 시스템(1623b)을 제 3 기판(1656) 상에 있는 제 3 버스(1623c)에 연결하는 데 이용될 수 있다. 또한 도 16에 나타낸 바와 같이, 근간의 버스 시스템(1630)은 제 1 및 제 2 기판(1652 및 1654)을 넘어 확장될 수 있으며, 모든 기판이 근간의 버스 시스템(1630)을 통해 전기적으로 접속될 때까지 제 2 기판(1654)을 제 3 기판(1656) 등에 계속해서 전기적으로 접속할 수 있다. 모든 기판이 함께 전기적으로 접속될 때까지, 제 2 기판(1654) 상에 위치된 버스(1623b)는 제 3 기판(1656) 상에 위치될 수 있는 제 3 버스(1623c)에 접속될 수 있다. 따라서, 소정의 또는 정의된 화소열(1650)은, 복수의 기판 상에 위치된 각각의 버스(1623a-1623c)를 통해 제 2 기판(1654) 상에 원격으로 있을 수 있는 지원 회로(1622) 또는 제 3 기판(1656) 상에 원격으로 있을 수 있는 지원 회로(1663)와 전기적으로 통신할 수 있다.

[0082] 단일 상호 접속부(1621)가 복수의 화소를 포함하는 열(1650)을 판독하는 데 사용될 수 있으므로, 상호 접속부 간격 또는 폐치는 화소 어레이(1610)의 화소 폐치보다 상당히 클 수 있음을 유념한다.

[0083] 사용 중에, 화소 어레이 상의 개별 화소에 의해 생성된 데이터는 지원 회로에 의해 처리되어야 하며, 이에 따라 각 화소(1726)는 제 2 기판(1754) 상의 지원 회로(1770)에 전자적으로 접속되어야 한다. 이상적으로 각 화소는 동시에 판독되어서 글로벌 셔터를 생성할 수 있다. 이하 도 17a를 참조하면, 글로벌 셔터 등의 이미지 디바이스로부터의 데이터를 판독하는 능력은 제조 공차의 범핑 폐치로 인해 실제로 달성하는 것이 매우 곤란한 화소(1726)마다 하나의 상호 접속부(1724)가 있을 것을 요하는 것이 이해될 것이다. 도 17b는 화소(1726)가 열(1728)에 형성되고, 범프 폐치가 수평 방향으로 동일하게 남아 있는 상황을 나타낸다. 약 5mm의 범프 폐치가 해당 크기에 가까운 화소에 필요로 되고, 반면 본원에 개시된 상호 접속 엇갈림 및 3차원 적층 기술을 활용하는 것은 실제 제조에서 약 20mm 내지 약 200mm의 범프 폐치를 허용할 수 있다. 따라서 또한 3차원 적층 기술을 사용하는 매우 높은 프레임 레이트 롤링형 셔터가 상당한 향상으로 고려될 수 있다. 롤링 셔터의 경우에, 화소(1726)마다 하나의 상호 접속부/범프(1724) 대신에 화소열(1728)마다 하나의 상호 접속부/범프(1724)가 필요해진다.

[0084] 도 17a는 화소(1726)마다 하나의 범프(1724)를 이용하는 범핑 구성 또는 방식을 나타내며, 이는 글로벌 셔터 동작을 근사시킨다. 이 구성에서, 범프 폐치는 X축 및 Y축 또는 방향 모두에서 화소 폐치와 동등하거나 거의 동등할 수 있다.

[0085] 도 17b는 화소열(1728)마다 하나의 상호 접속부/범프(1724)를 이용한 범핑 구성 및 방식을 나타낸다. 이 구성은 롤링 셔터 작동에서 사용될 수 있다. 이 범프 폐치 구성 또는 방식은 수직 방향만의 도 17a의 범프 폐치에 비해 더 완화되어 있다. 그러나, 이 구성에서 범프 폐치는 여전히 적어도 화소 폐치와 동일한 한 방향 또는 치수일 것이 필요함을 유념한다. 도 17b는, 각각 복수의 화소(1726)로 구성되는 복수의 열(1728)을 나타내고 있다. 각 화소열은 도시된 바와 같이 이격되어 Y 방향(y축)으로 이어질 수 있고 폭이 1개의 화소일 수 있다. 화소의 각 열은 각 열(1728)의 일단에서 단일 접속점을 통해 판독될 수 있다. 이러한 구성은 칩 아키텍처를 단순화하지만, 상호 접속부가 인접 상호 접속부와 접촉해서는 안되고 이에 따른 크기로 되어야 해서 횡 방향(수평 방향)으로의 화소간의 거리가 지속적으로 범프(상호 접속부) 폐치를 제한하므로, 엄격한 공차가 여전히 유지되어야 한다.

[0086] 도 17c는 도 17a 또는 도 17b에 나타낸 것보다 훨씬 더 완화된 범핑 구성을 나타낸다. 이 도면에서, 열(1728)의 교대의 반대측 단부에 상호 접속부(1724)의 제 2 세트를 추가 또는 도입함으로써, 범프 폐치는 완화되고 상호 접속부/범프(1724)의 절반이 화소 어레이(1710)의 각 측에서 처리될 수 있다. 도 17c에서 알 수 있는 바와 같이, 상호 접속부의 제 2 세트는 상호 접속부의 제 1 세트와 조합되어 사용될 수 있고, 데이터의 절반이 화소 어레이(1710)의 각 측에서 처리 또는 판독되게 이용될 수 있다. 이러한 구성은 적어도 일차원에서의 화소 폐치에 비해, 범프 폐치(상호 접속부)의 크기를 거의 2배로 허용할 수 있으므로, 이미지 센서(1700)의 제조 비용을 크게 낮춘다. 실시예에서, 화소열마다(1728) 하나 이상의 상호 접속부 또는 범프(1724)가 활용되어서 데이터는 화소열(1728)의 어느 단부에서 판독될 수 있다.

[0087] 도 18a-도 18f는 기판/칩 상에 위치 결정되는 엇갈린 상호 접속부 또는 범프(1824)를 갖는 화소 어레이(1810)의 실시예 및 구성을 나타낸다. 상술한 바와 같이, 화소열(1828)마다 하나의 리드 버스가 있으며 회로열마다 하나의 리드 버스가 있고, 또한 리드 버스가 열의 상부로부터 열의 하부까지 있으므로, 상호 접속부/범프(1824)는 열 내의 버스의 중첩된 경로를 따라 어디든지 위치될 수 있다. 범핑 폐치를 완화하기 위해, 범프 거리는, 다음 열에서 다음 열 범프(1824) 위 또는 아래로(Y 방향으로) 시프트시킴으로써 범프 폐치 거리가 열간에 증가될 수 있다.

[0088] 예를 들면, 화소 폐치가 약 5mm일 수 있고 화소열은, 예를 들면 약 2mm 내지 약 15mm 길이 사이의 임의의 길이일 수 있음이 이해되어야 한다. 범프 폐치는 화소 폐치의 함수이어서, 화소 폐치는 이상적인 범프 폐치의 결정

요인일 수 있음을 유념한다. 예를 들면, 약 100mm의 원하는 범프 피치가 있다고 상정하면, 제 1 상호 접속부 또는 범프(1824)를 배치시키는 것은 제 1 열의 상부에서 시작해서 100mm만큼 다음 열 상호 접속부 또는 범프 아래로 시프트시킴으로써 달성될 수 있다. 라인의 20번째 열에 상호 접속부 또는 범프가 화소열의 하부에 위치될 때 까지 모든 다른 범프는 마찬가지로 위치된다. 그 때, 21번째 열의 상호 접속부 또는 범프는 다시 화소열의 상부에 위치될 수 있다. 이어서, 이 동일한 패턴이 화소 어레이의 끝까지 반복될 수 있다. 수평으로 상호 접속부 및 범프는 $20\text{열} \times 5\text{mm} = 100\text{mm}$ 로 분리될 수 있다. 이 예에서, 모든 범프는, 화소 피치가 약 5mm일 경우에도, 100mm 이상으로 분리될 수 있다. 이어서 수율을 위해 리던던시가 화소열에 도입될 수 있다. 예를 들면, 모든 열의 범프는 2배로 될 수 있다(즉, 2개의 리드 버스가 2개의 상호 접속부 또는 범프에 의해 달성됨). 이 기술은 크게 적층 수율을 증가시키고 전반적인 프로세스의 비용을 낮춘다.

[0089] 도 18a에서 알 수 있는 바와 같이, 화소(1826)의 제 1 열(1828)은 제 1 상호 접속부(1824a)를 통해 전기적으로 액세스될 수 있다. 실시예에서, 제 2 화소열(1830)은, 상기 제 1 상호 접속부(1824a)에 대해 엇갈린 구성으로 제조 시에 위치 결정되는 제 2 상호 접속부(1824b)를 통해 전기적으로 액세스될 수 있다. 도시된 바와 같이, 제 2 상호 접속부(1824b)의 위치 또는 배치는, 양쪽 X 및 Y 치수 또는 방향으로 제 1 상호 접속부(1824b)의 위치로부터(및 임의의 다른 상호 접속부(1824)로부터) 떨어져 적어도 2개의 화소의 폭일 수 있다. 이어서 제 3 상호 접속부(1824c)는, 화소 어레이(1810)를 가로질러 N개의 상호 접속부(1824)에 대해 제 3 화소열 등에서 마찬가지로 위치 결정될 수 있다. 이러한 구성은 화소 피치의 적어도 3배인 상호 접속부 피치에 대해 마련된다. 또한, 상호 접속부 피치의 개인은 표준 조건의 화소 피치의 3배보다 훨씬 클 수 있음이 이해되어야 한다. 그러나, 상호 접속부 피치의 개인은 상술한 화소 피치의 적어도 3 배일 수 있음이 이해될 것이다.

[0090] 마찬가지로, 더 큰 상호 연결 이득이 열 단위 기반 접속이 아닌 에어리어 기반 간격으로 이루어질 수 있다(도 3m, 도 3n 및 도 3u에 관련하여 도면 및 논의를 참조하면, 6/1의 화소열 종횡비, 및 6/1(도 3m) 및 3/2(도 3n)의 회로열 종횡비, 8/1의 화소열 종횡비 및 2/4의 회로열 종횡비(도 3u)가 도시됨). 이것은 후속 기판에 대한 적접 관독의 이용 또는 더 많은 버스 구조의 추가로 달성될 수 있다. 어느 하나의 구성에서, 상호 접속 피치는 다음과 같이 설명될 수 있다

$$\text{Interconnect_Pitch} = \sqrt{(N \cdot \text{PixelPitch}_X)^2 + (M \cdot \text{PixelPitch}_Y)^2}$$

[0091]

[0092] 여기에서 N은 X 방향에서 2개의 인접한 상호 접속부 사이의 화소 수이고, M은 Y방향에서 2개의 인접한 상호 접속부 사이의 화소 수이다. 복수의 상호 접속부 각각은 범프일 수 있고, 범프간 거리는 폭이 2개의 화소보다 크거나, 폭이 4개의 화소보다 크거나, 폭이 8개의 화소보다 클 수 있음이 이해된다.

[0093]

많은 적용에서, X 방향의 N x 화소 피치는 Y 방향의 M x 화소 피치와 동등하다. 도 18b-도 18f에 도시된 바와 같이, 추가적인 반복을 통해 상술한 프로세스를 추정함으로써 더 큰 화소 어레이(1810)가 수용 또는 설계될 수 있다. 도 18b는 중첩 실리콘 기판 적층체를 나타낸다. 도면에서, 화소 어레이로 구성되는 제 1 기판(1852)은 지원 회로를 포함하는 지원 기판(1854)에 오버레이되어 나타난다. 제 1 화소열(1881)에 대해 지원 회로를 위치시키는 데 이용 가능한 에어리어가 점선으로 윤곽이 나타나고 단순화 및 논의를 위해 부호가 부여된다. 회로열의 실제 에어리어가 점선으로 나타나 있지 않지만, 화소열의 에어리어에 대해 더 크거나 더 작거나 같을 수 있음이 이해될 것이다. 상술한 바와 같이, 지원 회로 에어리어는 대응하는 화소열의 에어리어에 직접 상관된다. 각 화소열은 1개의 화소 폭 및 64개의 화소 길이일 수 있고 화소열의 상부에서 하부에 있는 하나의 리드 버스를 가질 수 있다. 도 18b에서, 지원 회로 배치에 이용 가능한 에어리어는 도면에서 굵은 수직선으로 나타낸 바와 같이 1개의 화소 유닛 폭 및 64 화소 유닛 길이와 동등할 수 있다. 따라서, 도 18b의 기판 사이의 상호 접속부(1824)는 해당 열을 관독하기 위해 64개의 화소 유닛 에어리어 내의 어딘가에 있어야 하며, 이는 화소열 리드 버스 및 회로열 리드 버스가 64개의 화소의 경로를 따라 중첩되어서 상호 접속부(1824)가 리드 버스를 접속하기 위해 해당 64 화소를 따라 어디든지 위치될 수 있기 때문이다.

[0094]

또한, 화소열 리드 버스와 지원 회로 리드 버스가 중첩되는 경우에만 상호 접속이 일어날 수 있으므로, 대응하는 화소열을 관독하기 위해 상호 접속 범위는 1개의 화소 폭 및 64개의 화소 길이(이 예에서)이며, 연결될 화소열과 지원 회로 사이의 교차부이다.

[0095]

도 18b의 지원 회로의 예시적인 종횡비는 1/64로 예시되어 있음을 유념한다. 해당 에어리어 내에 상호 접속부(1824)를 위치 또는 배치하는 다수의 옵션이 있을 수 있고, 이어서 궁극적인 위치는 상호 접속부 간에 원하는

간격이 가능하도록 설계자에 의해 선택될 수 있다. 예를 들면, 도 18b-도 18f에 최선으로 도시된 바와 같이, 상호 접속부 또는 범프(1824)가 엇갈린 구성의 실시예에서, 화소(1826)의 그룹마다 하나의 상호 접속부 또는 범프(1824)가 있을 수 있음이 이해될 것이다.

[0096] 또한, 다양한 리드 버스 아키텍처가 원하는 적용에 의존하여 사용될 수 있음을 유념한다. 상술한 바와 같이, 더 큰 전용 지원 회로가 각 상호 접속부(1824)를 통해 데이터 판독을 처리하는 데 채용될 수 있다. 각 상호 접속부/범프(1824)의 위치의 엇갈림은 또한 화소 어레이(1810) 내의 화소의 그룹 또는 각 에어리어에 대해 지원 회로를 위해 훨씬 큰 공간을 제공할 수 있다.

[0097] 또한 도 18b 내지 도 18f에 나타낸 바와 같이, 다른 지원 회로 종횡비를 갖는 동일한 기본 센서에 대해 많은 최적의 엇갈림 구성이 발견되었음을 유념한다. 최적의 구성은, 각 화소열에의 지원 회로의 할당 패턴 및 화소열과 지원 회로 사이의 교차점의 범위 내에 상호 접속점의 위치를 다양화함으로써 알아낼 수 있다. 또한, 도 18b 내지 도 18f에 도시된 모든 상호 접속점이 서로 떨어지는 거리가 7화소보다 커짐을 유념한다.

[0098] 도 18c에서, 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로 나타낸 바와 같이, 2개의 화소 유닛 폭 및 32개의 화소 유닛 길이와 동등할 수 있다. 따라서, 기판(1852 및 1854) 사이의 상호 접속부는, 해당 열을 판독하기 위해 64 화소 유닛 에어리어 내의 어딘가에 있어야 한다. 이 예에서의 지원 회로 에어리어의 종횡비는 2/32임을 유념한다. 각 화소열은 1개의 화소 폭 및 64개의 화소 길이이거나 그러할 수 있고 화소열의 상부로부터 하부까지 있는 하나의 리드 버스를 가질 수 있다. 상호 접속부를 위치시킬 개소의 선택은 해당 에어리어 내에서 많은 옵션을 가지며 상호 접속부 간의 원하는 공간을 허용하도록 선택될 수 있다. 또한, 화소열 리드 버스 및 지원 회로 리드 버스가 중첩되는 개소에서만 상호 접속부가 위치될 수 있으므로, 대응하는 화소열을 판독하기 위해 상호 접속부 범위는 1개의 화소 폭 및 32개의 화소 길이(이 예에서)이며 접속될 화소열과 지원 회로 사이의 교차점이다.

[0099] 도 18d에서, 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로서 나타낸 바와 같이 4개의 화소 유닛 폭 및 16개의 화소 유닛 길이에 동등할 수 있다. 따라서, 기판 사이의 상호 접속부는, 대응하는 화소열을 판독하기 위해 64개의 화소 유닛 에어리어 내의 어딘가에 있어야 한다. 이 예에서 지원 회로 에어리어의 종횡비는 4/16임을 유념한다. 각 화소열은 1개의 화소 폭 및 64개의 화소 길이이거나 그러할 수 있고 화소열의 상부로부터 하부까지 있는 하나의 리드 버스를 가질 수 있다. 상호 접속부를 위치시키는 개소의 선택은 해당 에어리어 내에 많은 옵션을 갖고 상호 접속부간의 원하는 간격을 허용하도록 선택될 수 있다.

[0100] 또한, 화소열 리드 버스 및 지원 회로 리드 버스가 중첩되는 개소에서만 상호 접속부가 위치될 수 있으므로, 대응하는 화소열을 판독하기 위해 상호 접속부 범위는 1개의 화소 폭 및 16개의 화소 길이(이 예에서)이며 접속될 화소열과 지원 회로 사이의 교차점이다.

[0101] 도 18e에서, 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로서 나타낸 바와 같이 8개의 화소 유닛 폭 및 8개의 화소 유닛 길이에 동등할 수 있다. 따라서, 기판(1852 및 1854) 사이의 상호 접속부(1824)는, 대응하는 화소열을 판독하기 위해 64 화소 유닛 에어리어 내의 어딘가에 있어야 한다. 이 예에서 지원 회로 에어리어의 종횡비는 8/8임을 유념한다. 각 화소열은 1개의 화소 폭 및 64개의 화소 길이이거나 그러할 수 있고 화소열의 상부로부터 하부까지 있는 하나의 리드 버스를 가질 수 있다. 상호 접속부를 위치시키는 개소의 선택은 해당 에어리어 내에 많은 옵션을 갖고 상호 접속부간의 원하는 간격을 허용하도록 선택될 수 있다.

[0102] 또한, 화소열 리드 버스 및 지원 회로 리드 버스가 중첩되는 개소에서만 상호 접속부가 위치될 수 있으므로, 대응하는 화소열을 판독하기 위해 상호 접속부 범위는 1개의 화소 폭 및 8개의 화소 길이(이 예에서)이며 접속될 화소열과 지원 회로 사이의 교차점이다.

[0103] 도 18f에서, 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로서 나타낸 바와 같이 16개의 화소 유닛 폭 및 4개의 화소 유닛 길이에 동등할 수 있다. 따라서, 기판 사이의 상호 접속부는, 대응하는 화소열을 판독하기 위해 64개의 화소 유닛 에어리어 내의 어딘가에 있어야 한다. 이 예에서 지원 회로 에어리어의 종횡비는 16/4임을 유념하며, 이 예는 본원에 개시된 이를 방법 및 장치가 제공할 수 있는 유연성을 나타낸다. 각 화소열은 1개의 화소 폭 및 64개의 화소 길이이거나 그러할 수 있고 화소열의 상부로부터 하부까지 있는 하나의 리드 버스를 가질 수 있다. 상호 접속부를 위치시키는 개소의 선택은 해당 에어리어 내에 많은 옵션을 갖고 상호 접속부간의 원하는 간격을 허용하도록 선택될 수 있다.

[0104] 또한, 화소열 리드 버스 및 지원 회로 리드 버스가 중첩되는 개소에서만 상호 접속부가 위치될 수 있으므로, 대응하는 화소열을 판독하기 위해 상호 접속부 범위는 1개의 화소 폭 및 4개의 화소 길이(이 예에서)이며 접속될

화소열과 지원 회로 사이의 교차점이다.

[0105] 또한 화소열에 대한 지원 회로의 연관 패턴은 도 18b 내지 도 18f와는 다를 수 있으며 이러한 연관은 궁극적으로 서로 떨어진 상호 접속부의 최적의 거리를 제공할 수 있음을 유념한다. 예를 들면, 상호 접속부는 적어도 2개의 화소 폭 떨어지거나, 4개의 화소 폭 떨어지거나, 8개의 화소 폭 떨어지거나, 그 이상 서로 떨어져서 최적으로 배치될 수 있다. 설계자는, (1) 열마다 화소수, 및 (2) 회로 종횡비 및 위치의 2개의 자유도에 의거하여 상호 접속부가 서로 떨어져서 배치될 수 있는 거리를 최적으로 판정할 수 있다. 도 18b-도 18f에 나타낸 예에서, 상호 접속부(1824)는 서로 약 8개의 화소 떨어져서 위치될 수 있다. 그러나, 다른 설계가 본 개시 사상 또는 범위에서 벗어나지 않고 실시될 수 있음이 이해될 것이다.

[0106] 예를 들면, 도 18b에 나타낸 바와 같이, 상호 접속부(1824) 각각은 길이가 8개의 화소 및 폭이 1개의 화소로 서로 떨어져서 위치될 수 있다. 회로열 각각은 폭이 1개의 화소이고 길이가 64개의 화소의 종횡비를 가지므로, 상호 접속부(1824)는 회로(1800)의 저부에 도달할 때까지 도 18b에 나타낸 바와 같이 인접하는 열에서 서로 8개의 화소 떨어져서 위치될 수 있고, 이 경우에 상호 접속부(1824)는 다음 열의 상부로 이동되고 화소 어레이(1810)의 전체 폭에 걸쳐 계속된다. 반대로, 도 18f에서, 상호 접속부(1824)는 서로 길이가 8개의 화소 및 폭이 1개의 화소 여전히 떨어져서 위치된다. 그러나, 이 예에서, 회로열 종횡비는 현재 길이가 4개의 화소이고, 폭이 16개의 화소이다. 따라서, 서로 적어도 8개의 화소 떨어지는 상호 접속부(1824)에 대해, 하나의 회로열(1856b)이 건너뛰어져야 하고, 이는 종횡비가 길이가 4개뿐인 화소이기 때문이며, 이에 상호 접속부(1824)는 최적의 간격을 유지한다. 따라서, 예를 들면, 도 18f(제 1 열(1828)의 제 1 화소)에서 화소 어레이(1810)의 왼쪽 상단의 코너에 상호 접속부(1824)를 배치하고, 이어서 다음 화소열(1830)로 이동시키고, 8개의 화소 길이 카운트다운함에 따라, 다음 상호 접속부(1824)는 제 2 회로열(1856b)을 완전히 건너뛰어서 제 3 회로열(1856c)에 배치될 수 있다. 이 패턴은 화소 어레이 전체에 걸쳐 사용될 수 있다. 이어서, 제 2의 건너뛴 회로열(1856b)은 제 9 화소열에 배치되는 상호 접속부(1824a)에 의해 화소 어레이에 접속되고 이 패턴이 모든 건너뛰는 회로열에 대해 반복된다. 따라서, 도시된 바와 같이, 최적의 상호 접속 간격이 달성될 수 있고 다양한 회로 설계를 본 개시의 범위에서 일탈하지 않고 포함할 수 있다.

[0107] 다시 도 7을 참조하면, 기판(715) 또는 복수의 기판과 전기 통신하는 제 1 이미지 센서(710) 및 제 2 이미지 센서(711) 이외에, 본원에서 상술한 엇갈린 상호 접속부를 갖는 구성으로 될 수 있는 복수의 화소를 갖는 이미징 센서의 실시예를 나타내고 있다. 이러한 구성은 3차원 이미지 캡처에 바람직할 수 있으며, 2개의 화소 어레이는 사용 시 떨어져 설정될 수 있다. 다른 실시예에서, 제 1 화소 어레이 및 제 2 화소 어레이는 전자기 방사 파장의 소정의 범위를 수신하는 데 전용될 수 있고, 제 1 화소 어레이는 제 2 화소 어레이와 다른 파장의 전자기 방사의 범위에 전용이다.

[0108] 도 19는 제 1 기판 상에의 화소 어레이의 최적화와 관련된 설계 및 테스트 방법을 나타낸다. 단계는 이미징 센서의 제조에 이용 가능한 공차를 결정하는 것일 수 있다. 이어서 설계가 처리되고 범프 피치가 특정 기준에 대해 판정될 수 있다. 이어서, 시뮬레이션된 시험 센서는 시험 및 판독되고, 필요할 경우 재설계될 수 있다.

[0109] 도 20은 주어진 화소 에어리어에 대해 적어도 하나의 전용 지원 회로를 갖는 실시예를 나타낸다. 복수의 전용 지원 회로(2060a-2060f)는 본 발명의 원리에 따라 이미징 디바이스(2000)에서 사용될 수 있고 화소 어레이(2010)에 대해 적충될 수 있다. 화소 어레이(2010)는 복수의 화소 에어리어(2050)를 포함할 수 있다. 2050a-2050f 등의 복수의 화소 에어리어 각각은 전용 회로(2060)가 이용되는 주어진 소정의 또는 정의된 화소 에어리어(2050) 내의 복수의 화소(2026)에 의해 생성된 데이터만을 처리하는 데 전용인 적어도 하나의 지원 회로(2060)를 포함할 수 있다. 예를 들면, 각 화소 에어리어(2050)는 연관된 화소 에어리어(2050) 내에서 연관 화소(2026)로부터 판독된 아날로그 데이터를 변환하는 데 전용인 전용 디지털-아날로그 변환 회로를 가질 수 있다. 이 전용 회로의 근접 및 직접적인 연관은 이미지 센서 내의 디지털 신호 처리를 단순화하는 데 이용될 수 있어서 이미지 센서 내의 타이밍 및 직렬 프로세스를 크게 단순화한다. 이러한 특징은 이미지 센서 내의 열 생성 및 에너지 소비를 제어하는 데 사용될 수 있다.

[0110] 도 21에는, 본 개시의 원리 및 교시의 확장성을 나타내는 모식적으로 큰 이미지 센서를 나타낸다. 각 화소열은 1개의 화소 폭 및 128개의 화소 길이이거나 그라할 수 있다. 이것은 본 개시의 교시를 나타내기 위해 일례로 선택되었지만, 열 길이에 대해 임의 수의 화소가 가능하며 본 개시 범위에서 일탈하지 않고 사용될 수 있음을 유념한다. 또한 열 길이에 대한 화소 수는 짹수 또는 홀수일 수 있고 2의 거듭제곱일 필요는 없음을 유념한다. 이 도면에서 알 수 있는 바와 같이, 지원 회로 배치에 이용 가능한 에어리어는 도면에서 굵은 수직선으로 나타낸 바와 같이, 4개의 화소 유닛 폭 및 16개의 화소 유닛 길이와 동등할 수 있다. 따라서, 기판간의 상호 접속부는

64개의 화소 유닛 에어리어의 어딘가에 있어야 한다. 또한, 상호 접속부는 화소열 리드 버스와 지원 회로 리드 버스가 중첩되는 개소에만 위치될 수 있으므로, 대응하는 화소열을 판독하기 위해, 상호 접속 범위는 1개의 화속 폭 및 16개의 화소 길이(이 예에서)이며 접속될 화소열과 지원 회로 사이의 교차점이다. 이 예에서 지원 회로 에어리어의 종횡비는 4/16임을 유념한다. 상호 접속부를 위치시킬 개소의 선택은 해당 에어리어 내에 많은 옵션을 가지며 상호 접속부간의 원하는 간격을 허용하도록 선택될 수 있다. 도면에 도시하는 바와 같이, 이 개시의 방법을 반복함으로써, 최신의 이미징 센서 기술도 이러한 방법으로 사용될 수 있다. 또한 큰 어레이 구성에 대해 더 많은 유연성(예를 들면 화소열 병렬 처리)을 허용하도록 임의의 주어진 화소열에 대해 복수의 상호 접속부(2516 및 2518)가 있을 수 있음을 유념한다.

[0111] 도 22에는, 본 개시의 원리 및 교시의 확장성을 나타내는 모식적으로 큰 이미지 센서를 나타낸다. 각 화소열은 1개의 화소 폭 및 128 화소 길이이거나 일 수 있다. 이것은 본 개시의 교시를 나타내기 위해 일례로 선택되었지만, 열 길이에 대해 임의 수의 화소가 가능하며 본 개시 범위에서 일탈하지 않고 사용될 수 있음을 유념한다. 또한 열 길이에 대한 화소 수는 짹수 또는 홀수일 수 있고 2의 거듭제곱일 필요는 없음을 유념한다. 이 도면에서 알 수 있는 바와 같이, 지원 회로 배치에 이용 가능한 에어리어는 도면에서 굵은 수직선으로 나타낸 바와 같이, 2개의 화소 유닛 폭 및 32개의 화소 유닛 길이와 동등할 수 있다. 따라서, 기판간의 상호 접속부는 64개의 화소 유닛 에어리어의 어딘가에 있어야 한다. 또한, 상호 접속부는 화소열 리드 버스와 지원 회로 리드 버스가 중첩되는 개소에만 위치될 수 있으므로, 대응하는 화소열을 판독하기 위해, 상호 접속 범위는 1개의 화속 폭 및 16개의 화소 길이(이 예에서)이며 접속될 화소열과 지원 회로 사이의 교차점이다. 지원 회로 에어리어의 종횡비는 2/32임을 유념한다. 상호 접속부를 위치시킬 개소의 선택은 해당 에어리어 내에 많은 옵션을 가지며 상호 접속부간의 원하는 간격을 허용하도록 선택될 수 있다. 도면에 도시하는 바와 같이, 이 개시의 방법을 반복함으로써, 최신의 이미징 센서 기술도 이러한 방법으로 사용될 수 있다. 또한 큰 어레이 구성에 대해 더 많은 유연성(예를 들면 화소열 병렬 처리)을 허용하도록 임의의 주어진 화소열에 대해 복수의 상호 접속부(2616 및 2618)가 있을 수 있음을 유념한다. 도 21 및 도 22는 두 도면 사이의 유일한 차이점은 지원 회로의 종횡비가 변경(즉, 도 21에서 4/16 종횡비 및 도 22에서 2/32 종횡비)된 동일한 화소 어레이를 나타낸을 유념한다.

[0112] 이하 도 23을 참조하면, 열 및 하위 열을 갖는 화소 어레이(2310)에 대해 논한다. 도 23에서 알 수 있는 바와 같이, 내부에 6개의 열을 가지며, 각 열은 도시된 화소 어레이의 일부의 상부로부터 화소 어레이의 하부까지 있는 화소 어레이(2310)의 일부를 나타낸다. 현대 회로(2300)는 어레이(2310)를 형성하는 훨씬 많은 화소열(도면에서 복수의 화소가 Y 방향에 있음) 및 행(도면에서 복수의 화소가 X 방향에 있음)을 포함하는 화소 어레이(2310)를 가짐을 이해할 것이다. 본원에서는 예시의 목적 및 논의 및 단순화를 목적으로 제한된 수의 화소 열 및 행을 나타내고 있다.

[0113] 화소 어레이(2310)의 화소열(2328) 각각은 하위 열로 나뉠 수 있다. 하위 열은 화소의 전체 열보다 적고 하위 화소열 버스에 전기적으로 접속되는 열 내의 복수의 화소로서 정의될 수 있다. 따라서, 화소열(2328)마다 복수의 하위 화소열이 있을 수 있다. 하위 열 각각은, 제 1 기판 상의 하위열 버스 각각을 지원 기판 상에 위치되는 연관 또는 대응하는 회로열 버스에 전기적으로 접속하도록 2351, 2352, 2353 및 2354로서 도시된 상호 접속부 및/또는 접촉 패드를 가질 수 있다.

[0114] 적어도 하나의 화소열 버스는 화소열(2328)마다 전기적 접속을 제공하는 데 사용될 수 있다. 열(2328)은 복수의 하위열로 나뉠 수 있고, 적어도 하나의 하위 화소열 버스가 하위 화소열마다 존재한다. 하위열 버스는, 하위 화소열 및/또는 하위열 버스를 다른 하위열 및/또는 하위열 버스로부터 전기적으로 분리하는 물리적 공간 또는 간격 또는 다른 디바이스일 수 있는 디바이스(2362, 2363, 2364)에 의해 구별될 수 있다. 사용 시, 화소로부터 데이터를 롤링형 셔터 방식으로 판독될 수 있으며, 이는 하위열(도 23에서 4개의 하위열로서 도시됨) 각각의 화소 행으로부터 실질적으로 동시일 수 있다. 이러한 구성에서, 하위 화소열 리드 버스 및 회로열 리드 버스 및 버스를 함께 전기적으로 접속하는 상호 접속부를 통해 전용 회로열에 접속되는 하위열의 수로 인해 판독 시간은 실질적으로 저감될 수 있다. 따라서, 도시한 실시예에서의 판독 시간은 하위열 버스의 수에 의해 전체열(도 23에서는 4개의 하위열을 포함)에 대해 이론적으로 줄어들 수 있다(즉, 판독 속도가 증가함). 도 23에서는, 4개의 하위열 및 하위열 버스가 있어서, 판독 시간은 75% 줄어든다(속도가 4배 증가함). 하위열의 수 또는 구성에 상관없이, 롤링 셔터는 하위열 내의 각 화소를 증가 판독하는 각 하위열의 시작에서 다른 하위열을 동시에 갖는 하위열의 끝으로 열 단위로 작동할 수 있다(2351, 2352, 2353, 2354에 위치된 화소 열로부터 시작해서 화소열을 동시에 판독).

[0115] 다른 실시예에서, 열은 임의 수의 하위 열로 나뉠 수 있고, 각 하위열로의 분할(예를 들면 하위열의 추가)은 글로벌 셔터 기능에 가깝다. 도면에서 알 수 있는 바와 같이, 접촉 패드 및 상호 접속부 위치는 열마다 엇갈릴 수

있다. 도시된 바와 같이, "A"로 부호가 부여된 열로부터, "B"로 부호가 부여된 열로부터의 상호 접속부가 나타나 있다. 하위열 및 상호 접속 엇갈림의 반복은 N개의 열에 대해 가능하다.

[0116] 이하 도 24 내지 도 26c를 참조하면, 하위열 판독 기능 및 원격 위치의 지원 회로를 갖는 복수의 기판 상에 설치된 이미징 센서(2400)의 실시예의 다양한 도면이 예시된다. 도 24 및 도 26은 제 1 기판(2410, 2610) 상에 화소열(2450 및 2650)을 형성하는 복수의 화소열(2452 및 2652), 및 제 2 기판(2411, 2611) 상의 복수의 회로열(2456, 2656)(지원 회로(2470, 2670)를 나타냄)을 나타낸다.

[0117] 도 24-도 24c에 나타낸 바와 같이, 화소 어레이(2450)는 복수의 열 및 하위열(2452)로 분할될 수 있다. 열 및 하위 열의 크기는, 예를 들면 연관 회로(2470) 및 회로열(2456)의 크기에 의거할 수 있다. 예를 들면, 하위 화소열(2452)은 폭이 1개의 화소이고 "N"개의 화소 길이일 수 있고(도 24-24c에서, 하위 화소열은 1개의 화소 폭 및 6개의 화소 길이로 도시됨) 회로열(2456)은 1개의 화소 폭 및 6개의 화소 길이의 종횡비를 갖는 것으로서 나타나 있다. 하위 화소열(2452)은 회로열(2456)과 실질적으로 동일한 에어리어를 가져야 하므로, 회로열(2456)의 하위 화소열(2452)의 크기를 결정하거나 지향할 수 있음이 이해될 것이다. 하위 화소열(2452)은, 화소 리드 버스(2430)를 회로 리드 버스(2440)에 전기적으로 접속하는 상호 접속부(2424) 사이의 전기적 접속부를 통해 회로열(2456)과 직접 연관될 수 있다. 이 도면은 리드 버스(2430 및 2440)를 통해 각 하위 화소열(2452)과 그 연관 회로(2470) 사이의 연결부의 예를 나타낸다.

[0118] 이 도면은 또한 하위 화소열(2452)마다 1개의 리드 버스(2430) 및 회로열(2456)마다 1개의 리드 버스(2440)를 나타낸다. 이 실시예에서, 회로열(2456)의 연관 회로(2470)는 1개의 화소 폭 및 6개의 화소 길이이지만, 임의의 회로열 종횡비가 본 개시에 의해 이용될 수 있음이 이해될 것이다. 도 24-도 24c에서 알 수 있는 바와 같이, 열은 모두 2개의 하위열(2487, 2488)로 분할되었다. 따라서, 화소열 리드 버스(2430)는 대응하는 하위 화소열 리드 버스(2430a 및 2430b)로 제조될 수 있다. 각 하위 화소열(2487, 2488)은 우선 화소열 버스(2430a 또는 2430b)에 접속될 수 있고, 이어서 지원 회로(2470) 및 회로열(2456)에 연결될 수 있거나, 또는 각 하위 화소열(2487)은 연관 회로 버스(2440a 및 2440b)에 각각 연결되고 자신의 상호 접속부(2424a 및 2424b)를 통해 회로(2470) 및 회로열(2456)에 직접 연결된다.

[0119] 본원에서 상술한 바와 같이, 각 하위 화소열(2452)은 1개의 하위 화소열 버스(2430)에 전기적으로 연관 또는 접속될 수 있고, 각 회로열(2456)은 1개의 회로열 버스(2440)에 전기적으로 연관 또는 접속될 수 있다. 도 24a-도 24c는 도 24에 도시된 하위열(2487, 2488)로 분할된 단일 화소열(2452) 및 복수의 화소열(2452) 및 복수의 회로열(2456)로부터 분리된 2개의 연관 회로열(2456)의 사시도, 정면도 및 측면도를 각각 나타낸다. 도 24a-도 24c에 나타낸 바와 같이, 화소열마다 2개의 리드 버스(2430a, 2430b)가 있어서 열을 2개의 하위열로 분리한다. 2개의 지원 회로(하위 화소열 리드 버스마다 1개의 지원 회로). 이 구성에서, 회로열의 종횡비는 6/1이고, 또한 화소열의 종횡비는 6/1이고, 전체 화소열의 종횡비는 12/1이다.

[0120] 도 24a-도 24c는 또한 하위열 접속마다 하나 이상의 상호 접속부(2424)를 사용하여 하위 화소열(2487, 2488)의 하위 화소열 버스(2430a)와 회로열(2456) 사이의 전기적인 접속을 더 나타낸다. 하위 화소열 버스(2430a 및 2430b) 및 버스(2440a 및 2440b)가 하나 이상의 상호 접속부(2424)를 이용하여 전기적으로 접속될 수 있지만, 도면은, 상호 접속부(2424)가 본 개시의 사상 또는 범위에서 벗어나지 않고 하위 화소 버스(2430a 및 2430b) 및 버스(2440)의 중첩 경로를 따라 어디든지 위치될 수 있음을 나타내는 것이다.

[0121] 도 25 및 도 25a는 복수의 열이 자신의 버스를 각각 갖는 복수의 하위열로 분할된 대체의 실시예를 나타낸다. 그러나, 하위열은 자신의 개별 버스에 의해 단일 회로열에 접속되는 것이 나타나 있다.

[0122] 도 24-도 24c와 마찬가지로, 도 26-도 26c는 복수의 열 및 하위 열(2652)로 분할된 화소 어레이(2650)를 나타낸다. 열 및 하위 열의 크기는 예를 들면 연관 회로(2670) 및 회로열(2656)의 크기에 의거할 수 있다. 예를 들면, 하위 화소열(2652)은 폭이 1개의 화소 및 "N"개의 화소 길이일 수 있고(도 26-도 26c에서, 하위 화소열은 1개의 화소, 6개의 화소 길이인 것으로 도시되지만, 전체 열은 1개의 화소 폭 및 12개의 화소 길이로 도시됨), 회로열(2656)은 2개의 화소 폭 및 3개의 화소 길이의 종횡비를 갖는 것으로 나타나 있다. 하위 화소열(2652)이 회로열(2656)과 실질적으로 동일한 크기 및 에어리어를 가져야 하므로, 회로열(2656)의 크기 또는 에어리어는 하위 화소열(2652)의 크기를 지시하거나 지향할 수 있음이 이해될 것이다. 하위 화소열(2652)은, 화소 리드 버스(2630)를 회로 리드 버스(2640)에 전기적으로 접속하는 상호 접속부(2624) 사이의 전기적 접속을 통해 회로열(2656)과 직접 연관될 수 있다. 도면은 리드 버스(2630 및 2640)를 통해 각 하위 화소열(2652)과 그 연관 회로(2670) 사이의 접속의 예를 나타낸다.

- [0123] 도면은 또한 하위 화소열(2652)마다의 1개의 리드 버스(2630) 및 회로열(2656)마다의 1개의 리드 버스(2640)를 나타낸다. 이 실시예에서, 회로열(2656)의 연관 회로(2670)는 2개의 화소 폭 및 3개의 화소 길이이지만 본 개시에 의해 임의의 회로열 종횡비가 이용될 수 있음이 이해될 것이다. 도 26-도 26c에서 알 수 있는 바와 같이, 열은 모두 2개의 하위 열(2687, 2688)로 분할되었다.
- [0124] 따라서, 화소열 리드 버스(2630)는 대응하는 하위 화소열 리드 버스(2630a 및 2630b)로 제조될 수 있다. 각 하위 화소열(2687, 2688)은 우선 화소열 버스(2630a 또는 2630b)에 접속될 수 있고, 이어서 지원 회로(2670) 및 회로열(2656)에 연결될 수 있거나, 또는 각 하위 열(2687, 2688)은 연관 회로 버스(2640a 및 2640b)에 각각 연결되고 자신의 상호 접속부(2624a 및 2624b)를 통해 회로(2670) 및 회로열(2656)에 직접 연결된다.
- [0125] 본원에서 상술한 바와 같이, 각 하위 화소열(2652)은 1개의 하위 화소열 버스(2630)에 전기적으로 연관 또는 접속될 수 있고, 각 회로열(2656)은 1개의 회로열 버스(2640)에 전기적으로 연관 또는 접속될 수 있다. 도 26a-도 26c는 도 26에 도시된 하위열(2687, 2688)로 분할된 단일 화소열(2652) 및 복수의 화소열(2652) 및 복수의 회로열(2656)로부터 분리된 2개의 연관 회로열(2656)의 사시도, 정면도 및 측면도를 각각 나타낸다. 도 26a-도 26c에 나타낸 바와 같이, 전체 화소열에 대해 2개의 리드 버스가 있다. 그러나, 도시된 바와 같이, 2개의 리드 버스(2630a, 2630b)는 서로 전기적으로 접속되지 않은 별개의 구별되는 버스가 되어서, 열을 2개의 하위열로 분리하는 분리부 또는 디바이더가 있는 것으로 도시된다(도 11과 관련하여 상술함). 따라서, 또한 2개의 지원 회로 및 회로열 리드 버스가 있을 수 있다(하위 화소열 리드 버스마다 1개의 지원 회로 및 회로열). 이 구성에서, 회로열의 종횡비는 3/2이고, 또한 화소열의 종횡비는 6/1이고, 전체 화소열의 종횡비는 12/1이다.
- [0126] 도 26a-도 26c는 또한 하위열 접속마다 하나 이상의 상호 접속부(2624)를 사용하여 하위 화소열(2687, 2688)의 하위 화소열 버스(2630a 및 2630b)와 회로열(2656) 사이의 전기적인 접속을 더 나타낸다. 하위 화소열 버스(2630a 및 2630b) 및 버스(2640a 및 2640b)가 하나 이상의 상호 접속부(2624)를 이용하여 전기적으로 접속될 수 있지만, 도면은, 상호 접속부(2624)가 본 개시의 사상 또는 범위에서 벗어나지 않고 하위 화소 버스(2630a 및 2630b) 및 회로열 버스(2640)의 중첩 경로를 따라 어디든지 위치될 수 있음을 나타내는 것이다.
- [0127] 도 26a-도 26c는 또한 기판 사이의 종횡비를 달리하는 것이 버스 접촉점에서의 유연성을 어떻게 가능하게 하는지를 나타낸다. 실시예에서, 회로열 버스(2640)는 회로열(2656)의 에어리어를 더 균일하게 차지하도록 일반적인 Au@ 형태로 설계되어서, 전체 회로열(2656)을 통해 상호 접속부(2624)를 접속하기 위한 옵션을 제공한다. 화소열 버스(2630)는 일반적으로 u 형상이 아니지만, 회로열 버스(2640)가 일반적으로 u 형상일 수 있어서, 동일한 회로열(2656)이 2개의 인접하지만 다른 화소열 구성으로 이용될 수 있음을 유념한다. u 형상의 회로열 버스(2640a 및 2640b)가 하위 화소열(2687 및 2688)의 리드 버스(2630a 및 2630b)에 중첩될 수 있다(도 26a에 도시됨). 회로열 버스(2640a 및 2640b) 사이에 위치되는 u 형상 회로열 버스(2642)의 제 2 레그는 다음의 인접하는 화소열(2652)의 리드 버스(2630)에 중첩될 수 있다(도 26에 도시됨). 도 26a 및 도 26b는 도 26의 화소 어레이(2650)에서 취한 하위 화소열(2687 및 2688)의 단일 세트를 나타낸다. 회로열(2656)의 종횡비는 2개의 화소 폭 및 3개의 화소 길이로 예시되며, 이는 대응하는 하위 화소열(2687 및 2688)의 길이의 1/2이므로, 상호 접속부(2624) 위치 옵션은 하위 화소열 길이의 부분에만 이용 가능함을 유념한다.
- [0128] 도 26b는, 복잡한 버스 형상에 대해 지원하는 하위 화소열(2687 및 2688)의 2배의 폭을 갖는 회로열(2656) 내의 버스(2640a 및 2640b)를 따라 2개의 상호 접속 경로 옵션이 있음을 나타내고 있다. 도 26b는 u 형상 회로열 버스(2640b)의 제 1 레그의 하위 화소열(2688)의 리드 버스(2630b)에의 중첩의 정면도를 나타내고 상호 접속부(2624)를 다음의 인접하는 화소열(2652)에 위치시키는 도 26에 도시된 바와 같이 버스(2640b)의 최내측 부분과 대조적으로 상호 접속부(2624)를 위치시키는 버스(2640b)의 최외측 부분을 이용한다.
- [0129] 도 26은 도 26a 내지 도 26c에 도시된 하위 화소열(2687 및 2688)에 대해 좌측에 위치되는 다음 화소열(2652)을 나타낸다. 도 26에 나타난 다음 하위 화소열(2652)의 버스(2630)는 도시된 바와 같이 회로 버스(2640a 및 2640b) 사이에 위치될 수 있는 상이한 회로 버스(2642)에 전기적으로 접속될 수 있다. 회로열(2656)의 풋프린트는 2개의 화소 폭 및 3개의 화소 길이의 종횡비를 가지므로, 하위 화소열(2630)의 회로열 버스(2642)에의 중첩은 회로열 버스(2642)의 제 2 레그가 일반적으로 u 형상을 가지는 것을 요해서, 도 26에 나타낸 다음 하위 화소열(2652)에 대한 버스(2642) 및 그 대응하는 버스(하위열(2687)에 대해)의 자연적인 매칭 또는 중첩을 허용할 수 있음을 유념한다.
- [0130] 도 27은 엇갈리는 상호 접속부 또는 범프(2724)가 기판/칩 상에 위치 결정되는 화소 어레이(1810) 및 하위열의 실시예 및 구성을 나타낸다. 상술한 바와 같이, 화소열(2728)(또는 하위열)마다 하나의 리드 버스가 있고 회로열마다 하나의 리드 버스가 있고, 또한 리드 버스가 열의 상부로부터 열의 하부까지 있고, 또한 화소열이 각각

자신의 화소열 버스를 갖는 하위열로 분할되므로, 상호 접속부/범프(2724)는 하위 화소열 버스 및 회로열 버스의 중첩된 경로를 따라 어디든지 위치될 수 있다. 도면에서, 디바이더(2766)는 하위 화소열 및/또는 하위열 버스를 다른 하위열 및/또는 하위열 버스로부터 전기적으로 분리하는 물리적 공간 또는 간격 또는 일부 다른 디바이스일 수 있는 디바이더(2766)가 화소열 버스를 하위 화소열 버스로 분할할 수 있다.

[0131] 도 27에서 알 수 있는 바와 같이, 화소 어레이(2726)의 제 1 하위열(2728a)은 버스(2730 및 2740)에 접속되는 제 1 상호 접속부(2724a)를 통해 대응하는 회로열(2756)에 전기적으로 접속될 수 있고, 마찬가지로 제 2 하위열(2728b)은 제 2 상호 접속부(2724a)에 의해 접속될 수 있다. 실시예에서, 제 2 화소열은, 상기 제 1 열 상호 접속부에 대해 하위열 구성의 제조 중에 위치 결정되는 하위열 상호 접속부의 제 2 세트를 통해 전기적으로 액세스될 수 있다. 도시된 바와 같이, 제 2 상호 접속부의 위치 또는 배치는 양쪽 X 및 Y 치수 또는 방향으로 제 1 상호 접속부의 위치로부터 2개의 화소 폭 떨어질 수 있다. 이어서, 상호 접속부의 제 3 세트는 화소 어레이(2710)에 걸쳐 N개의 상호 접속부 세트에 대해 제 3 화소열 등에 동일한 방식으로 위치 결정될 수 있다.

[0132] 도 28은 각 열이 2개의 하위 열로 분할되어서 엇갈리도록 구성되는 화소 어레이를 나타낸다. 제 1 화소열(288 1)에 대해 지원 회로를 위치시키는 데 이용 가능한 에어리어는 상술한 바와 같이 하위 화소열 구성에 상관된다. 또한, 상술한 바와 같이, 지원 회로 에어리어는 대응하는 화소열의 에어리어에 상관된다. 도 28에서, 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로 나타낸 바와 같이, 1개의 화소 유닛 폭 및 64개의 화소 유닛 길이와 동등하다. 또한, 각 회로열은 하위열의 하나에 상관될 수 있거나, 다르게 회로열은 화소열에 대응하는 방식으로 있을 수도 있다.

[0133] 도 28에서 지원 회로 에어리어의 예시적인 종횡비는 1/64로서 나타남을 유념한다. 해당 에어리어 내에 하위열에 대한 상호 접속부를 위치 또는 배치하는 많은 옵션이 있고 이어서 궁극적인 위치는 접속부간의 원하는 간격을 허용하도록 설계자에 의해 선택될 수 있다.

[0134] 도 29에는, 개시의 원리 및 교시의 확장성을 나타내는 모식적으로 큰 이미지 센서를 나타낸다. 이 도면에서 알 수 있는 바와 같이, 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로 나타낸 바와 같이, 4 개의 화소 유닛 폭 및 16개의 화소 유닛 길이와 동등할 수 있다. 도시된 바와 같이, 큰 어레이 구성에 대해 더 많은 하위열 기능을 허용하도록 하위 화소열을 나타내는 화소열마다 복수의 상호 접속부(2916 및 2918)가 있을 수 있다. 따라서, 기판 사이의 상호 접속부는 대응하는 화소열을 판독하기 위해 하위 화소열 유닛의 어딘가에 있어야 한다. 이 예에서 지원 회로 에어리어의 종횡비가 4/16이고, 하위열 종횡비가 1/64이고, 화소열의 어스팩 크비가 1/28임을 유념한다. 따라서 화소열마다 하위 화소열이 있다. 이 예에서, 프레임 판독 시간(1 롤링 주기)은, 어레이가 분할되지 않을 경우의 절반이다. 동시에 2행 처리가 있다. 전체 화소 어레이에는 2개의 독립적인 자기 일관성 하위 어레이로서 간주될 수 있다. 이러한 실시예에서는 하위 화소열에 직접 대응하는 지원 회로에 자신을 적합하게 한다. 상호 접속부를 배치하기 위한 개소의 선택은 해당 에어리어 내에 많은 옵션을 가지며 상호 접속부간의 원하는 간격을 허용하도록 선택될 수 있다. 도면에 도시되는 바와 같이, 이 개시의 방법을 반복함으로써 최신 이미징 센서 기술이 이를 방법으로 이용될 수 있다.

[0135] 도 30에서는, 본 개시의 원리 및 교시의 확장성을 나타내는 모식적으로 큰 이미지 센서를 나타낸다. 열마다 복수의 상호 접속부(3016, 3018)는 화소열이 하위열로 분할되었음을 지시한다. 도면에서 알 수 있는 바와 같이, 하위 화소열에 대한 지원 회로 배치에 이용 가능한 에어리어는, 도면에서 굵은 수직선으로 나타낸 바와 같이, 2 개의 화소 유닛 및 32개의 화소 유닛 길이에 동등할 수 있다. 따라서, 기판 사이의 상호 접속부는, 대응하는 하위 화소열을 판독하기 위해서 64개의 화소 유닛 에어리어의 어딘가에 있어야 하나. 지원 회로 에어리어의 종횡비는 2/32임을 유념한다. 상호 접속부를 배치하는 개소의 선택은 해당 에어리어 내에 많은 옵션을 가지며, 상호 접속부간에 원하는 간격을 허용하도록 선택될 수 있다. 도면이 나타내는 바와 같이, 본 개시의 방법을 반복함으로써, 최신 이미징 센서 기술도 이를 방법으로 사용될 수 있다.

[0136] 이하 도 31을 참조하면, 이미지 센서(3310)가 루멘 내에 배치된 내시경(3300)의 실시예에 대해 설명한다. 도면에서 알 수 있는 바와 같이, 내시경(3300)은 루멘(3305) 및 핸들부(3315)를 포함할 수 있다. 루멘(3305)의 선단의 I 세부(3320)는 추가적인 논의를 위해 단면으로 나타난다. 루멘(3305)의 최원위단의 루멘의 내벽에는 외측 렌즈(3328) 또는 내시경의 선단을 밀봉하는 시일이 있다. 일부 실시예에서, 또한 추가적인 광학 소자가 프리즘 및 다른 렌즈 등으로 존재할 있다. 적절하게 구성된 이미지 센서(3310)가 또한 루멘의 원위 텁 근방에 배치되어 있다.

[0137] 도 32a 및 도 32b는 내시경의 루멘 내에 배치된 이미지 센서의 화소 어레이의 극대화를 나타낸다. 도 32a는 내시경의 루멘(3404)의 내벽에 의해 형성된 경계 내에 배치된 모놀리식형 이미지 센서(3412)를 나타내고 있다. 일

반적으로, 루멘의 내경은 의료용으로 1mm 내지 12mm 범위일 수 있다. 이미지 센서(3412)는 지원 회로(3418)에 의해 둘러싸인 화소 어레이(3415)를 나타낸다. 도면에서 알 수 있는 바와 같이, 화소 어레이는 다른 회로에 의해 크기가 매우 제한된다. 도 32b는, 상술한 바와 같이 지원 회로가 제 2 기판 상의 화소 어레이 뒤에 위치할 경우, 화소 어레이를 위해 이용 가능한 기판 공간을 나타낸다.

[0138] 도 33a, 33b, 33c는 내시경의 다양한 실시예 및 회로가 적층될 수 있는 순서를 나타낸다. 도 33a는, 아날로그-디지털 컨버터를 포함하는 기판층 앞에 적층된 화소 어레이, 다음으로 RF 전력 포집 회로, 마지막으로 증폭 회로를 갖는 실시예를 나타낸다. 이 도면에서 알 수 있는 바와 같이, 루멘(3505)의 원위단에는 시일(3507) 또는 렌즈가 있다. 각진 내시경에서, 프리즘(3509)이 또한 루멘(3505) 내에 배치될 수 있다. 보조 렌즈(3512)가 화소 어레이(3515)의 바로 앞에 놓여 있을 수 있다. 화소 어레이(3515)에 인접해서 아날로그-디지털 컨버터(3518) 또는 RF 전력 포집 회로(3520)가 있을 수 있다. 증폭 회로(3522)는 2차 처리(3525)에 앞서 신호를 강하게 하는데 사용될 수 있다. 나머지 처리는 공간이 매우 한정되지 않는 시스템을 따라 더 행해질 수 있다. 다른 실시예에서 (도 33b), 증폭 회로(3522)는 화소 어레이(3515) 옆의 위치이면서, 나머지 신호 처리가 추가적인 다운 스트림에서 행해진다. 도 33c는, 최대화된 화소 어레이(3515)이 내시경의 루멘(3505) 내에 배치되고 모든 다른 프로세스가 원격으로 행해지는 실시예를 나타내고 있다. 제 1 기판 상에 적어도 최적화된 화소 어레이를 갖는 내시경의 임의의 실시예가 본 출원의 범위 내에서 고려됨을 유념한다.

[0139] 도 34는 내시경의 루멘(3601) 내에 배치된 이미지 센서의 2개의 기판의 상세도를 나타낸다. 이 도면에서 알 수 있는 바와 같이, 제 1 기판(3602)은 상술한 바와 같이 화소열(3608)로 형성되는 복수의 화소를 포함하는 화소 어레이(3606)를 갖는다. 또한, 제 2 기판(3610)은 해당 화소열(3608)에 대응하는 회로열(3616)로 형성되는 지원 회로를 포함함을 도면에서 알 수 있다. 또한 각 화소열(3608)은, 제 2 기판(3610) 상에 회로열 버스(3622)에 중첩되는 제 1 기판(3602) 상의 각 화소열 버스(3609)를 갖고, 2개의 버스는 상술한 바와 같이 2개의 기판 사이에 배치되는 상호 접속부(3321)를 통해 전기적으로 접촉함을 유념한다. 그 루멘 배치 이미지 센서는 상술한 바와 같이 하위열 버스로 구성될 수 있고 상술한 바와 같이 상호 접속부를 엇갈려 배치한다. 상술한 기술 각각은 본 개시에 의해 내시경 이미징 디바이스와 관련하여 사용될 수 있음을 의도한다.

[0140] 본원에 개시된 구조 및 장치는 이미징 센서를 최적화하기 위한 단순한 예시임이 이해될 것이며, 3차원 적층 기술을 이용하는 이미지 센서 상의 화소 어레이를 최적화하고 본원에 개시된 것과 동일한 또는 동등한 기능을 행하는 적층체의 기판 사이의 상호 접속부를 엇갈려 배치하는 임의의 구조체, 장치 또는 시스템은 현재 공지되어 있거나 향후 이용 가능할 수 있는 이미징용 해당 구조체, 장치 또는 시스템을 포함하여 본 개시의 범위 내에 있는 것으로 의도하고 있다. 3차원 적층 기술을 이용하는 이미지 센서 상의 화소 어레이를 최적화하고 적층체의 기판 사이의 상호 접속부를 엇갈려 배치하는 수단과 동일한, 또는 동등한 기능을 가진 것은 어느 것이든 본 개시의 범위 내에 있다.

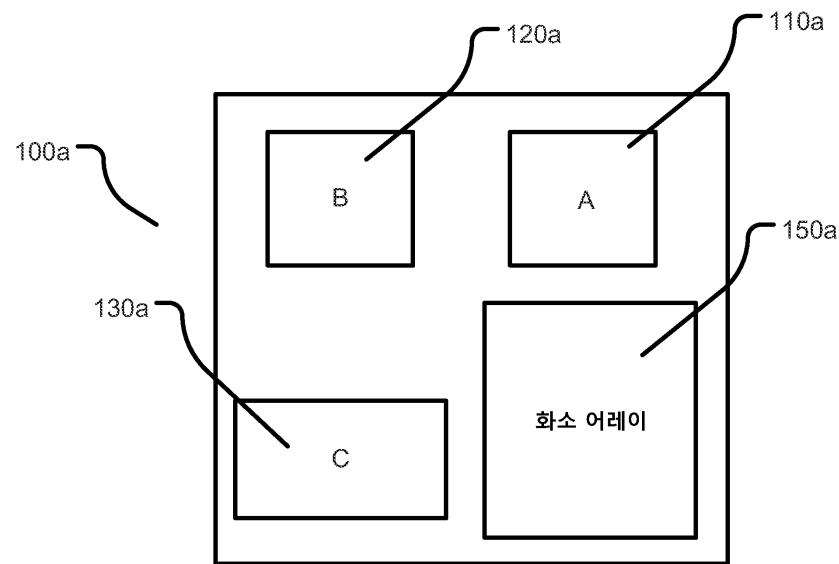
[0141] 관련 기술 분야의 당업자는 본 개시의 특징에 의해 제공되는 이점을 이해할 것이다. 예를 들면, 이는 설계 및 제조가 간단한 활상 소자에 최적화된 화소 어레이를 제공하는 개시의 잠재적인 특징이다. 본 개시의 다른 잠재적인 특징은 이러한 이미징 센서에 전체 크기에 상대적으로 큰 화소를 제공한다는 것이다. 다른 잠재적인 특징은, 3차원 적층 기술을 이용하고 적층체 내의 기판 사이에 상호 접속부를 엇갈려 배치하여 이미지 센서 상에 최적화된 화소 어레이를 제공한다는 것이다.

[0142] 전술한 상세한 설명에서, 본 개시의 다양한 특징은 본 개시를 합리화하기 위해 하나의 실시예로 모두 그룹화되거나 다른 실시예에서 논의된다. 본 개시의 방법은 청구되는 개시가 각 청구항에서 명시적으로 기술되는 것보다 많은 특징을 요구하고자 하는 의도를 반영하는 것으로 해석되어서는 안된다. 오히려, 다음의 특허청구범위가 반영하는 바에 따라, 본 발명의 양태가 단일의 전술한 개시의 실시예의 모든 특징보다 적으며 별개의 실시예에 개시된 다양한 본 발명의 특징들은 조합되어 아래에서 더 완전히 청구되는 바와 같이 그 자신의 실시예를 형성한다. 따라서, 다음의 특허청구범위는 참조에 의해 본원의 상세한 설명에 포함되며, 각 청구항은 단독으로 본 개시의 개별 실시예를 나타낸다.

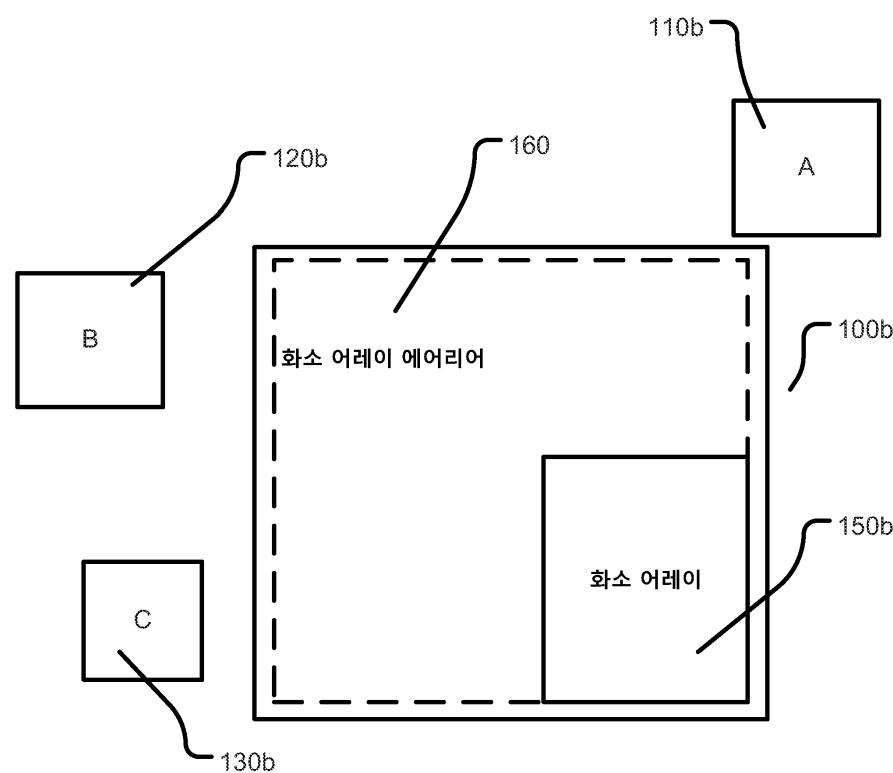
[0143] 상술한 배치는 본 개시의 원리의 적용의 예시에 불과한 것임이 이해되어야 한다. 다수의 변형 및 대체 구성이 본 개시의 사상 및 범위를 벗어나지 않고 당업자에 의해 고안될 수 있으며, 첨부된 특허청구범위는 이러한 변형 및 배치를 포함하는 것을 의도하고 있지 않다. 따라서, 본 개시는 도면에 나타나고 특수성 및 세부에 대해 상술되었지만, 제한이 아닌 예시로서 크기 변화, 재료, 형상, 형태, 작동 기능 및 방식, 조립체 및 사용을 포함하는 다수의 수정이 본원에서 제시된 원리 및 개념에서 벗어나지 않고 이루어질 수 있음을 당업자에게 명백할 것이다

도면

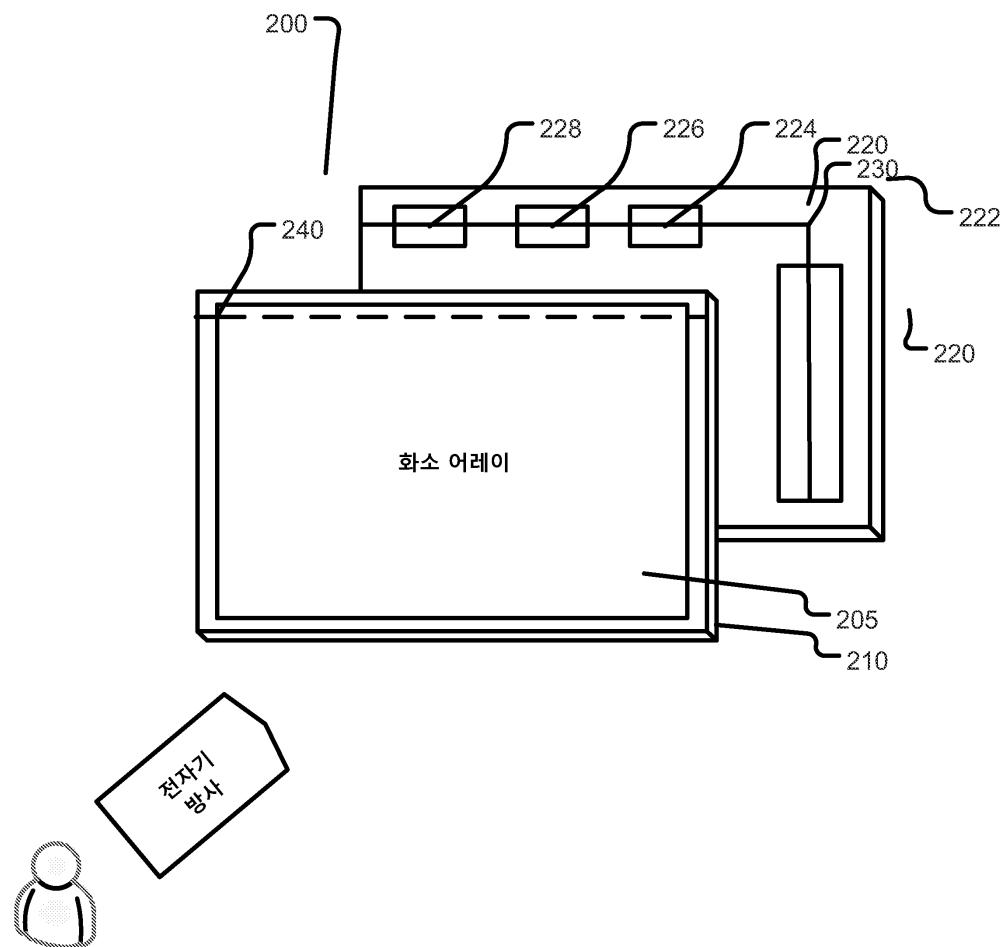
도면1a



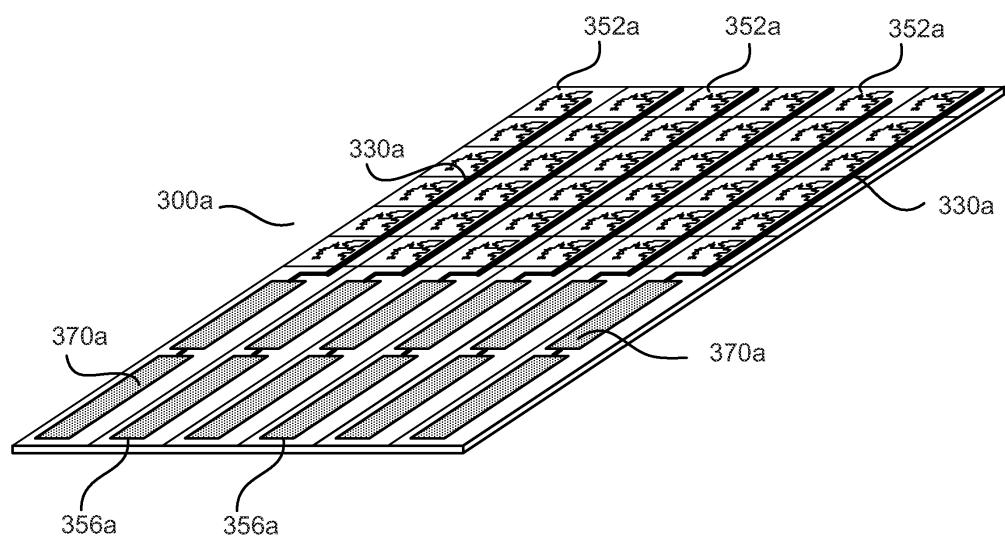
도면1b



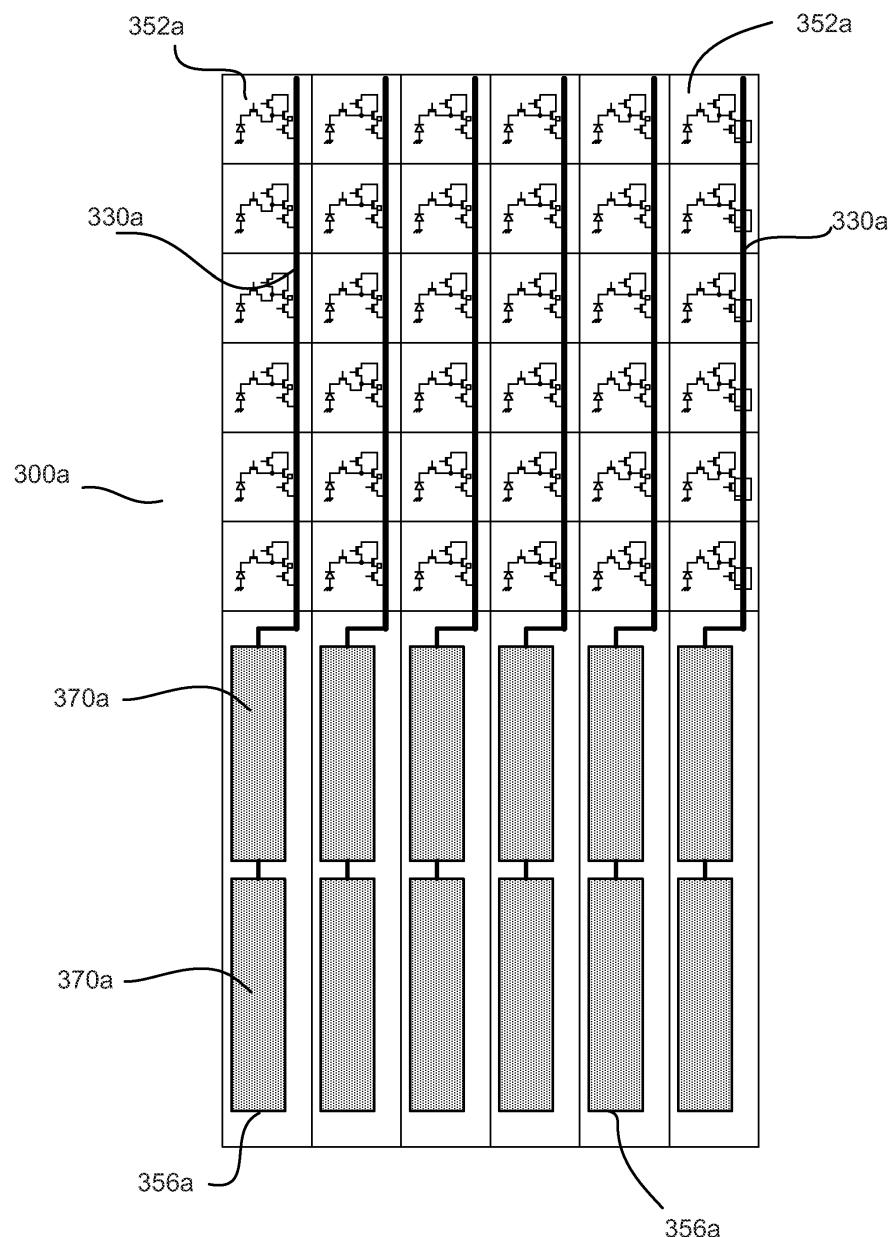
도면2



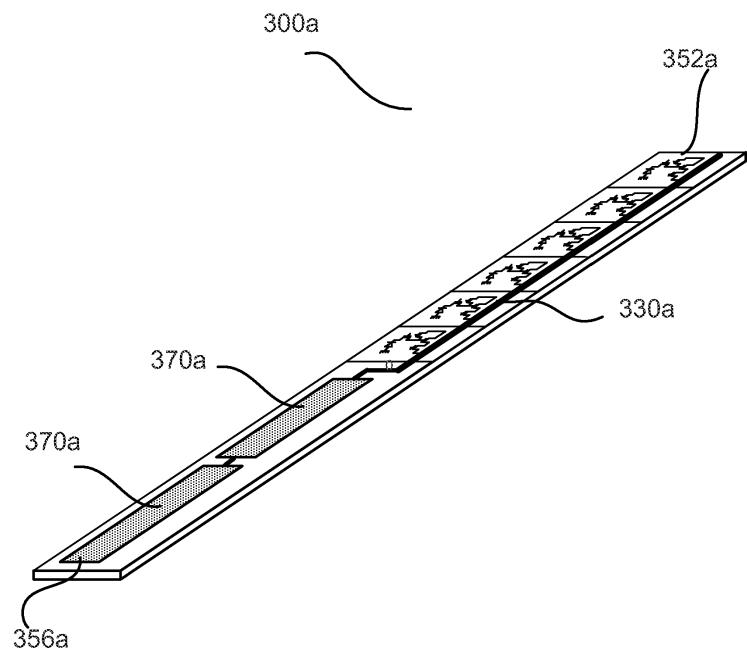
도면3a



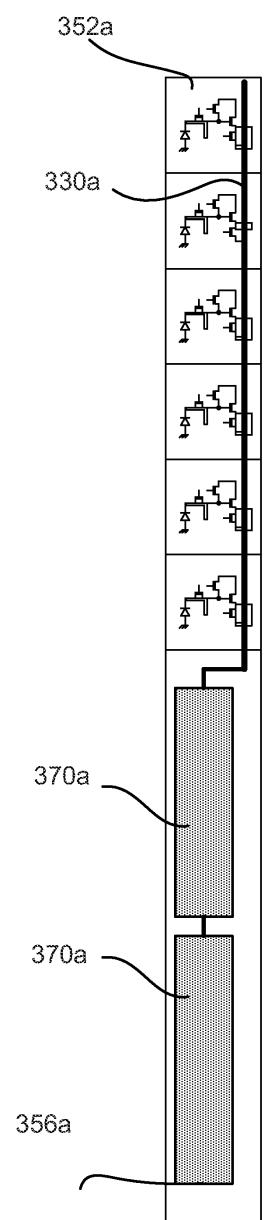
도면3b



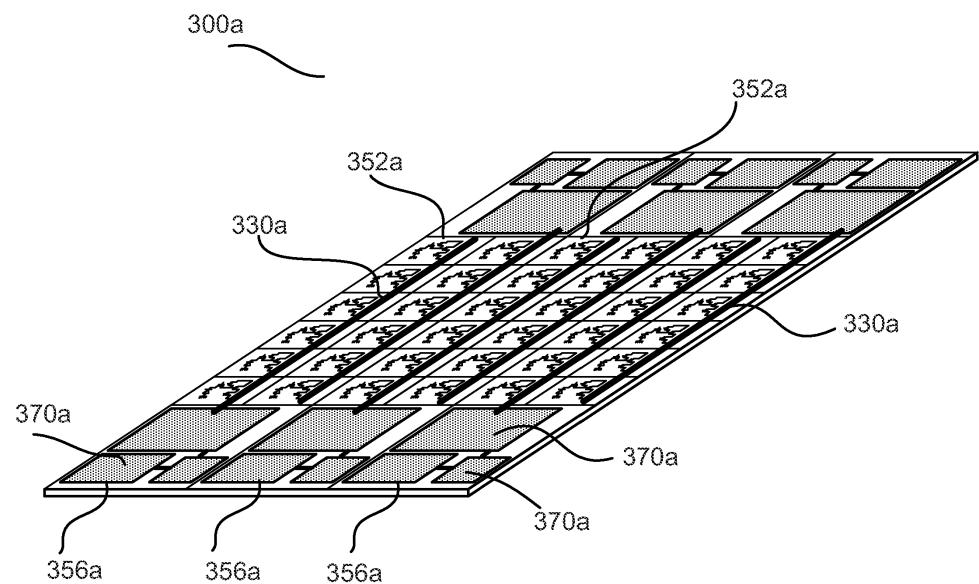
도면3c



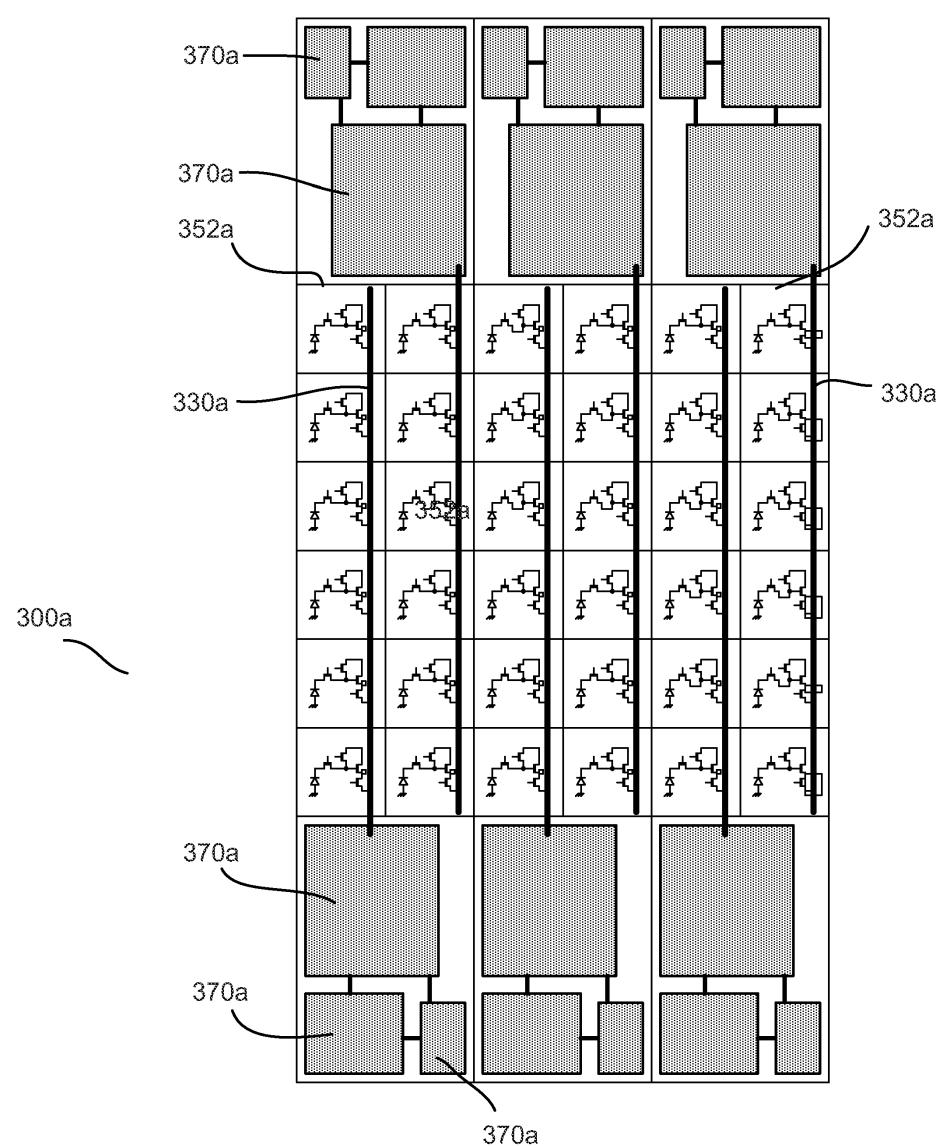
도면3d



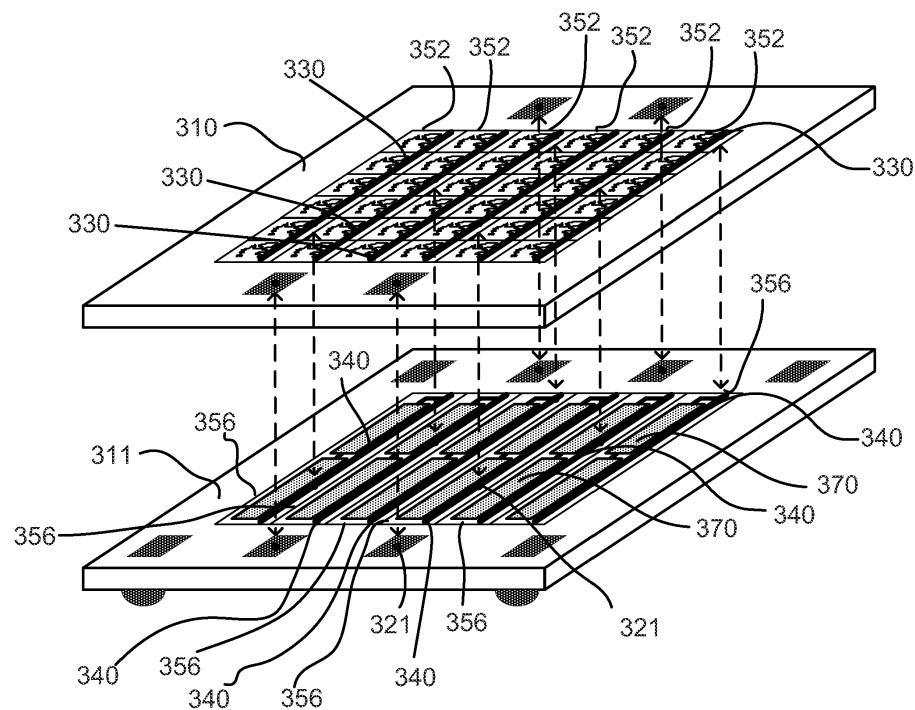
도면3e



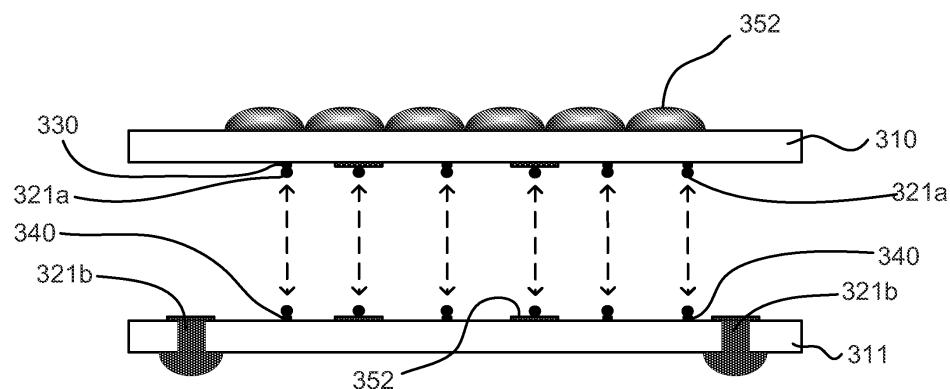
도면3f



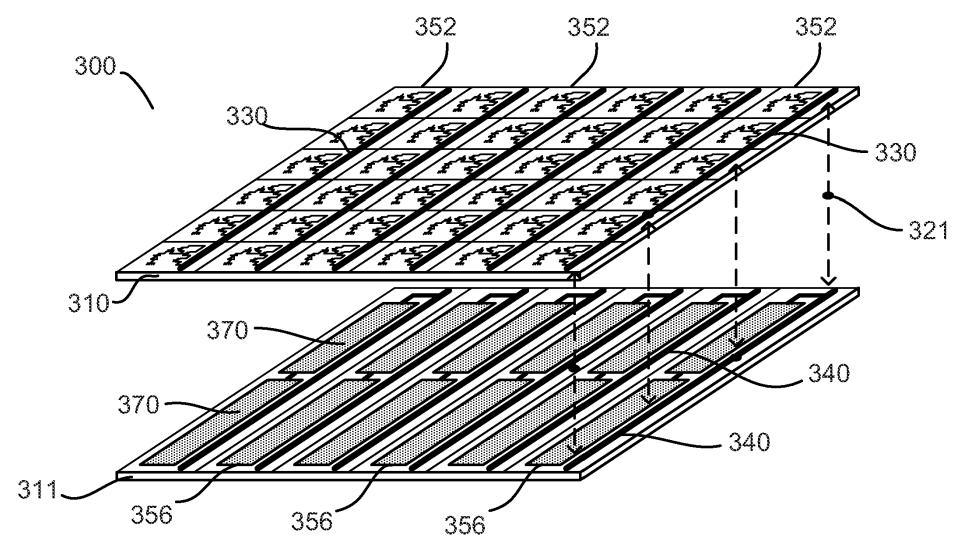
도면3g



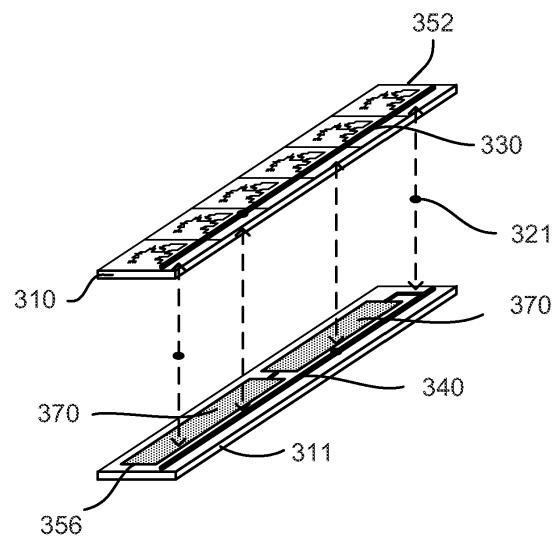
도면3h



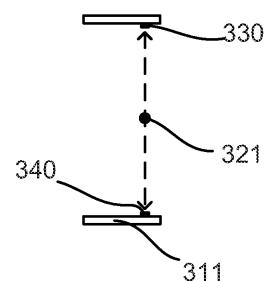
도면3i



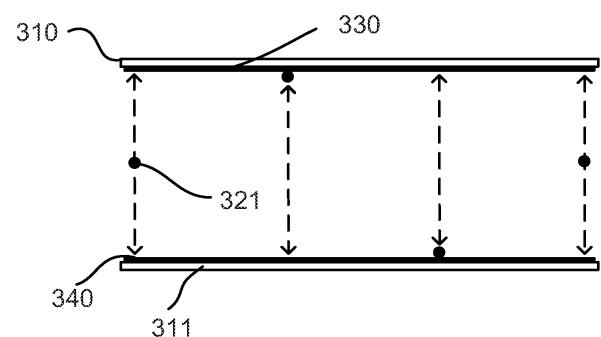
도면3j



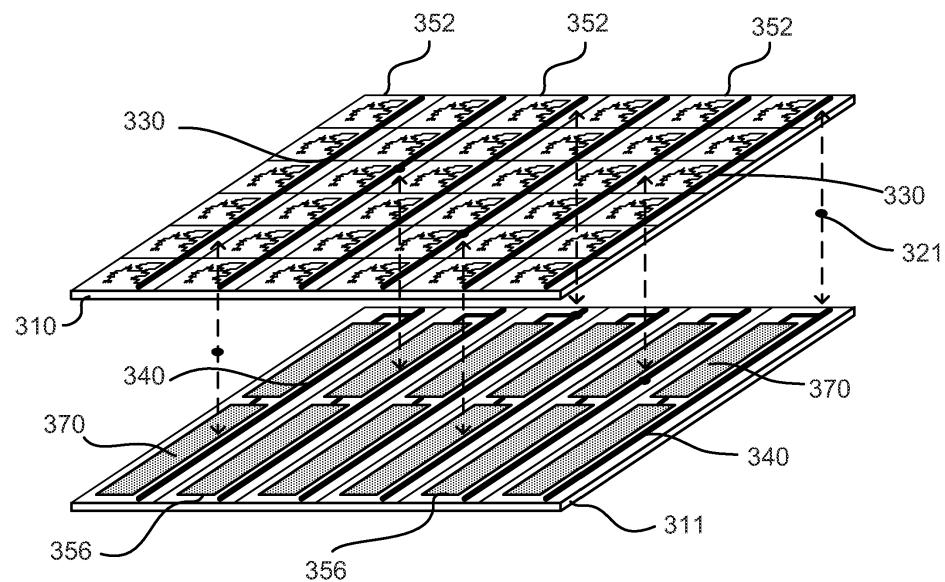
도면3k



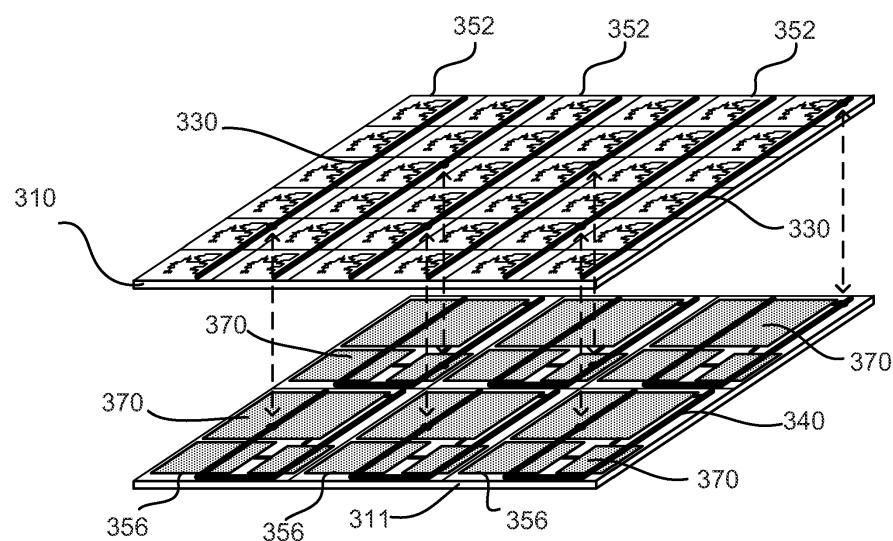
도면3l



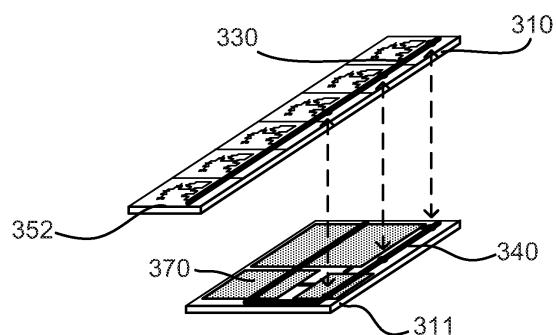
도면3m



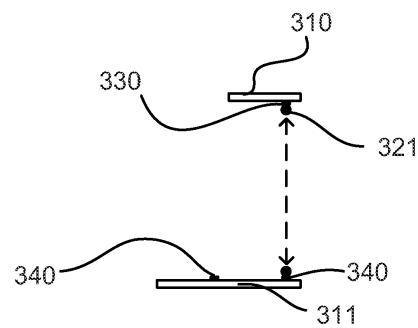
도면3n



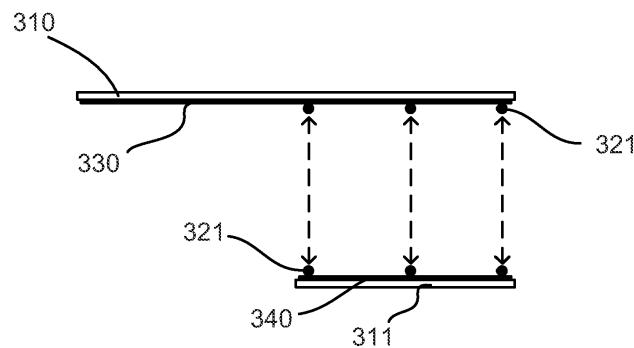
도면3o



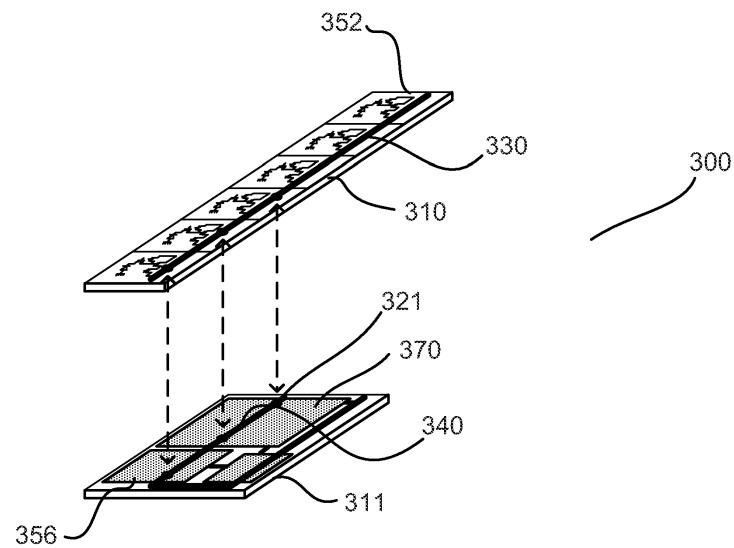
도면3p



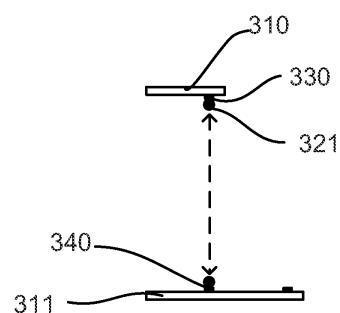
도면3q



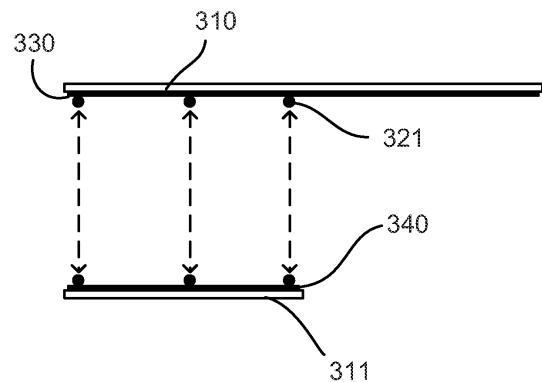
도면3r



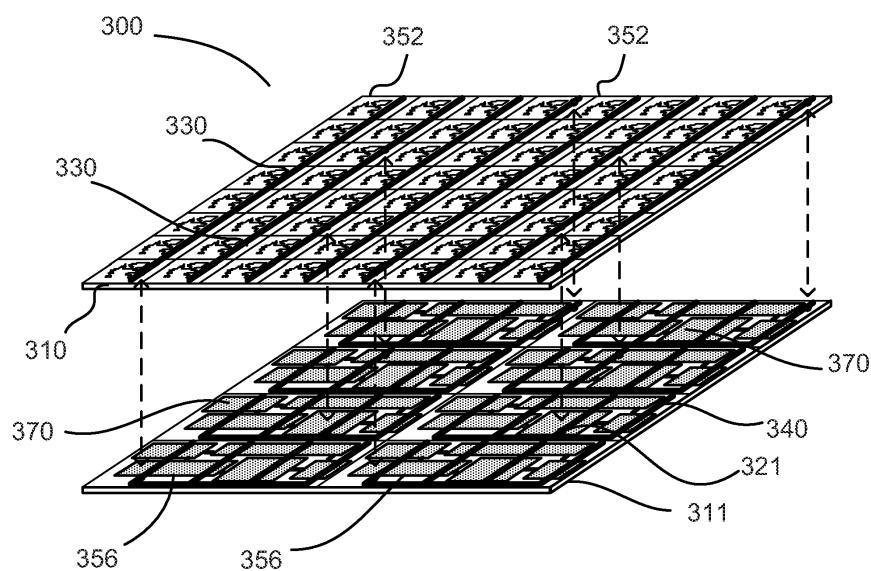
도면3s



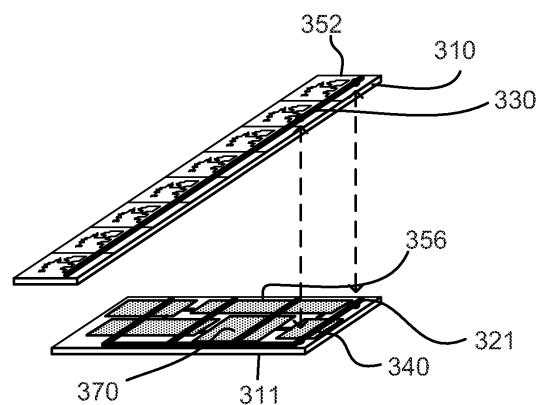
도면3t



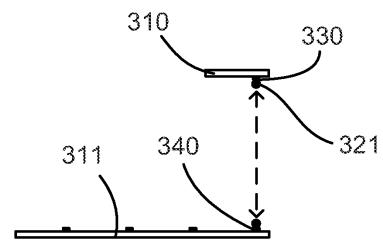
도면3u



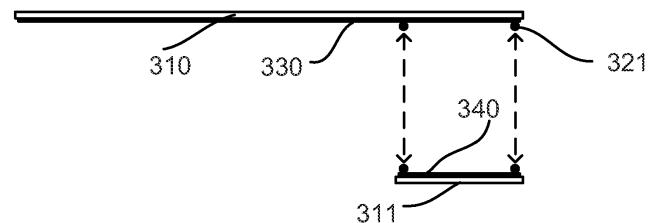
도면3v



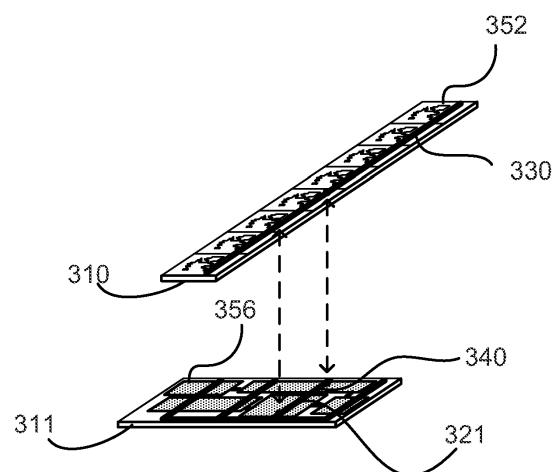
도면3w



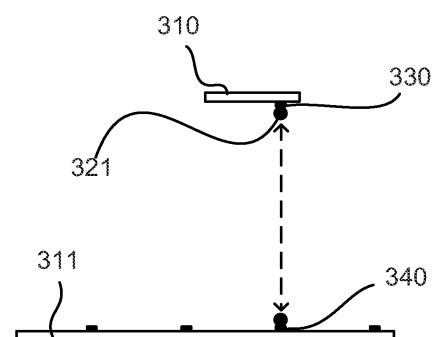
도면3x



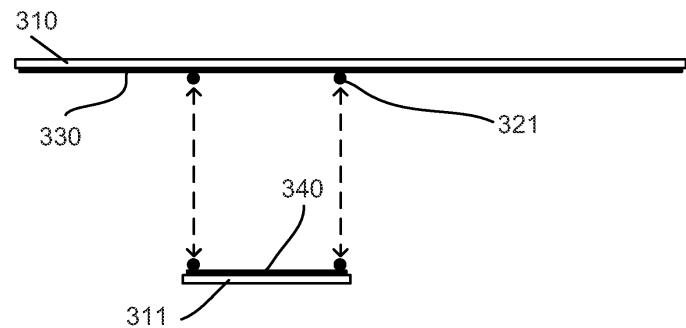
도면3y



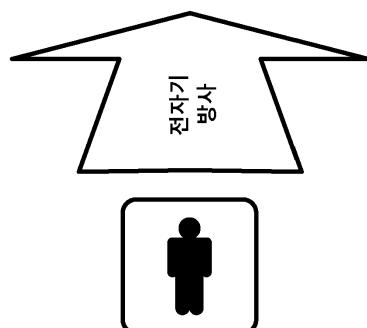
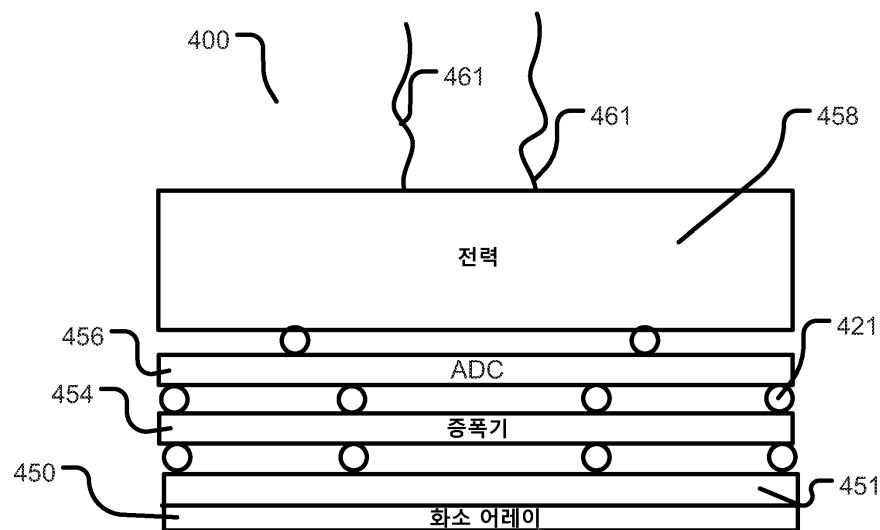
도면3z



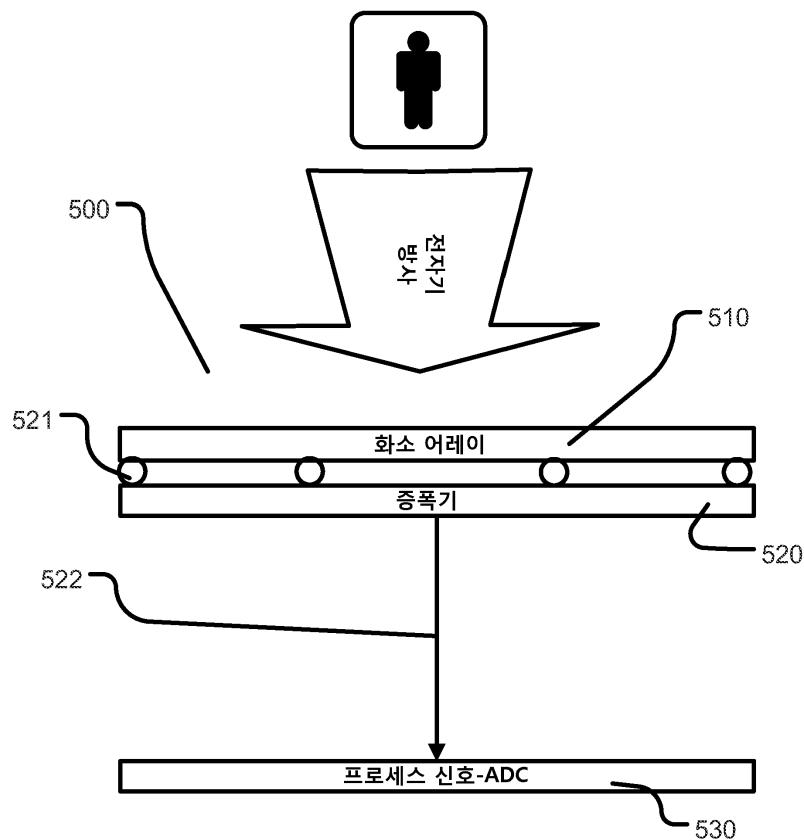
도면3aa



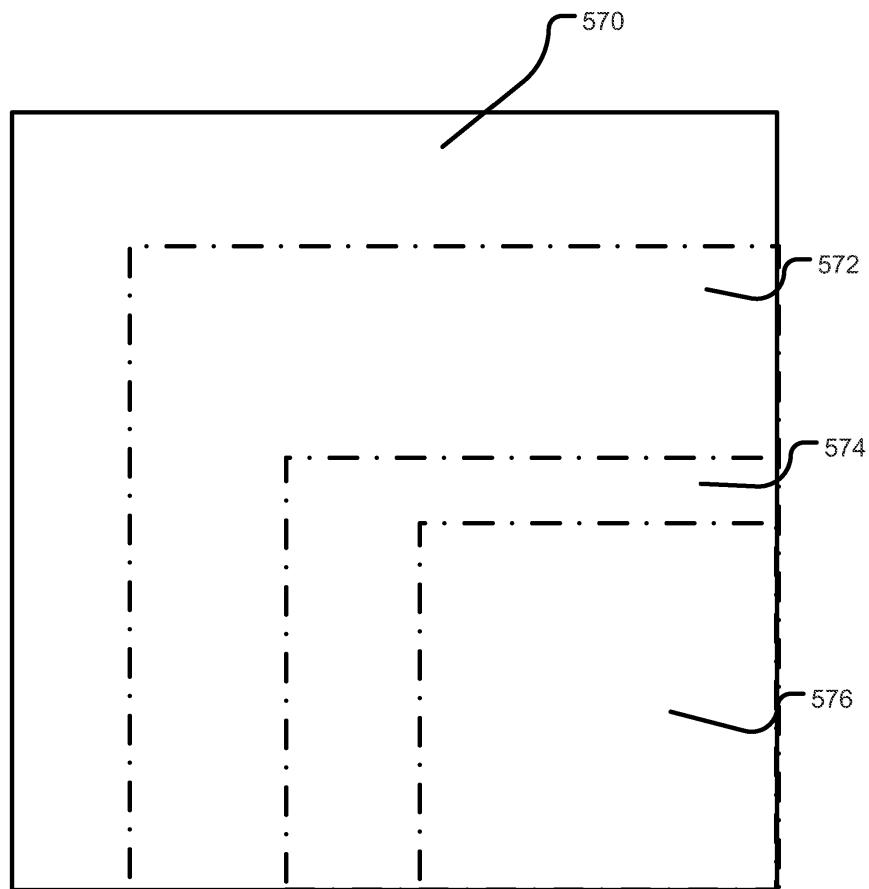
도면4



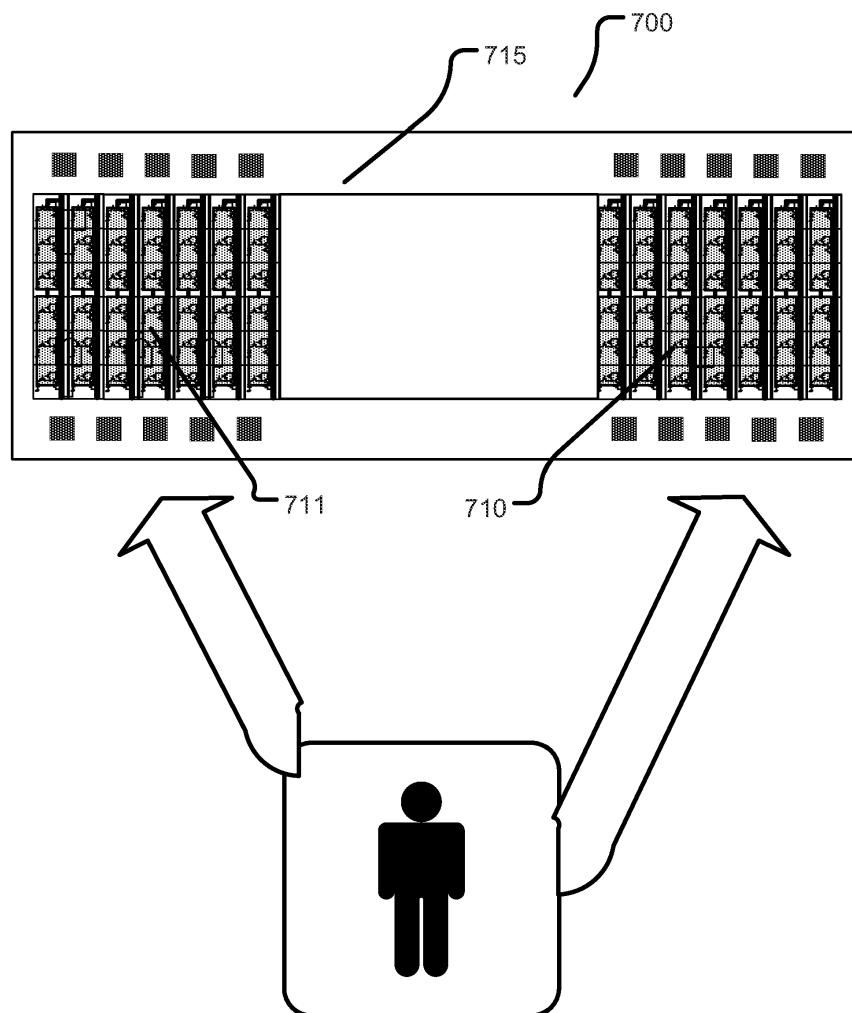
도면5



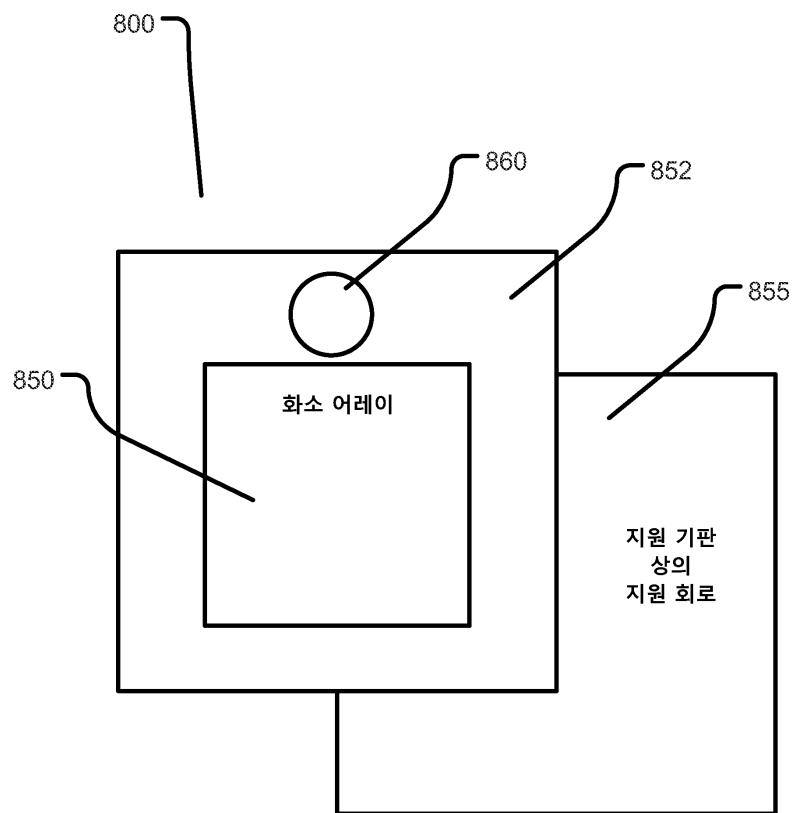
도면6



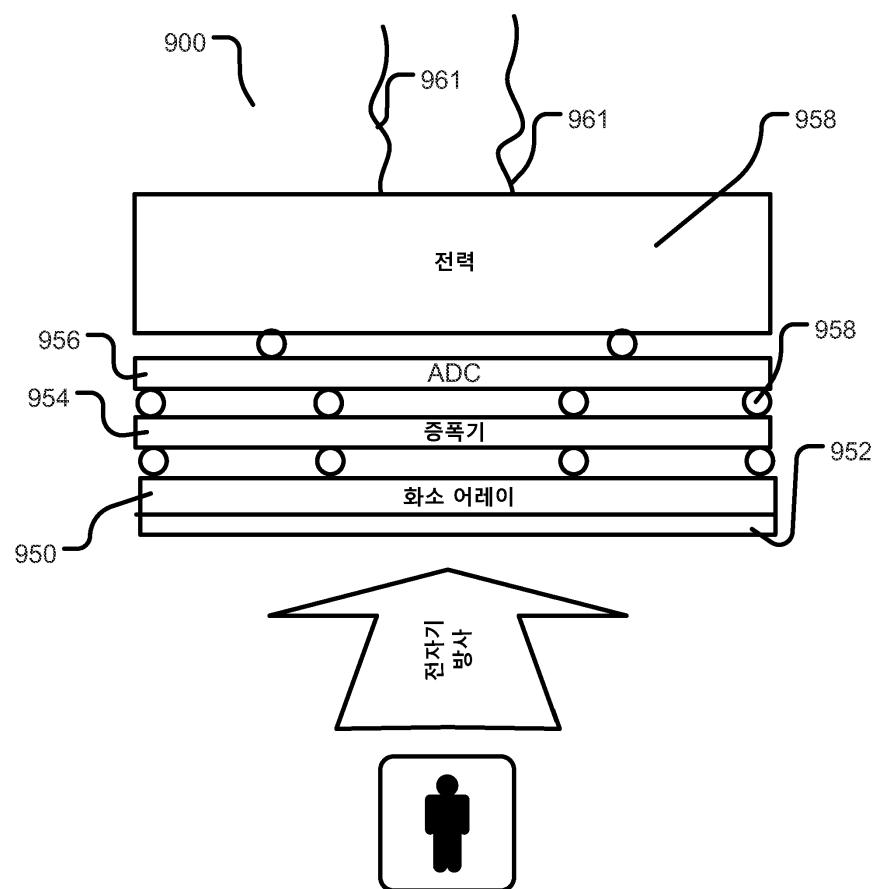
도면7



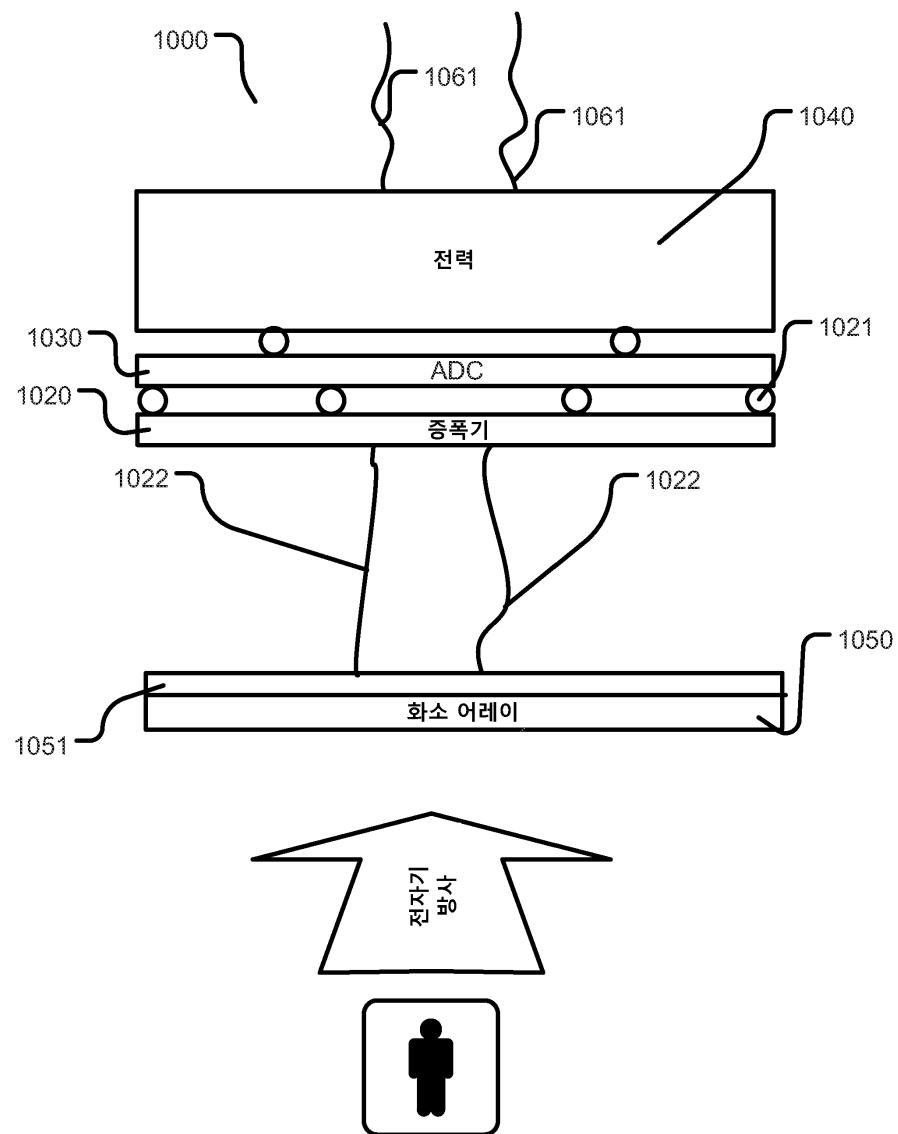
도면8



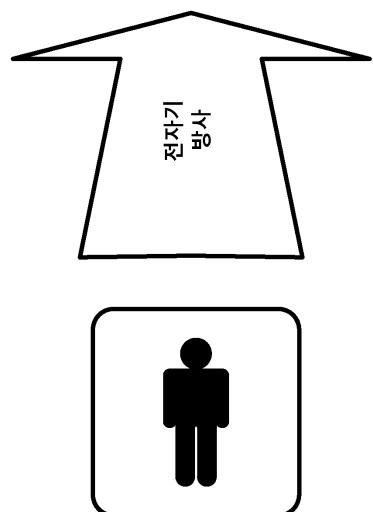
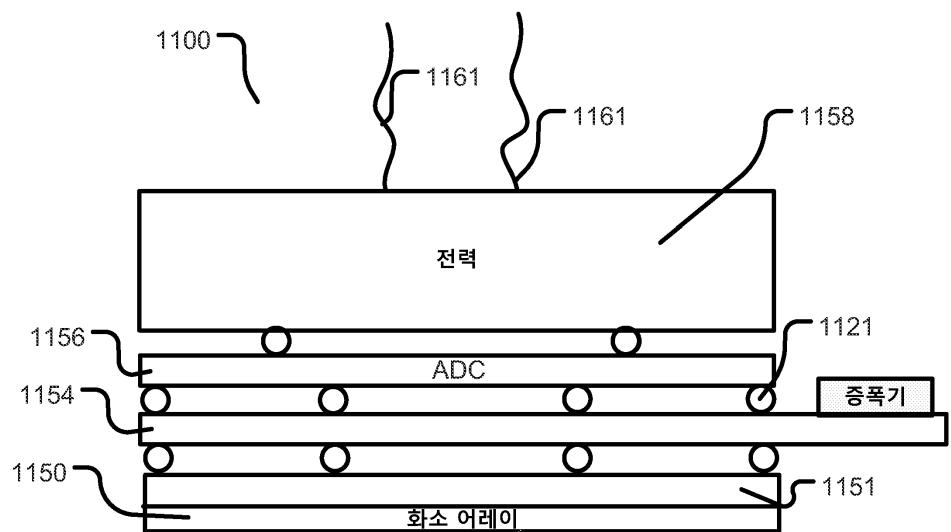
도면9



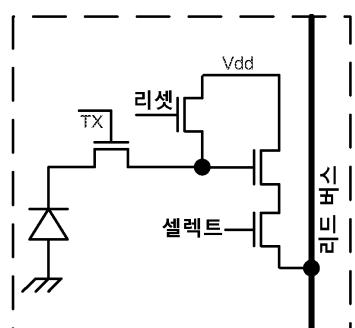
도면10



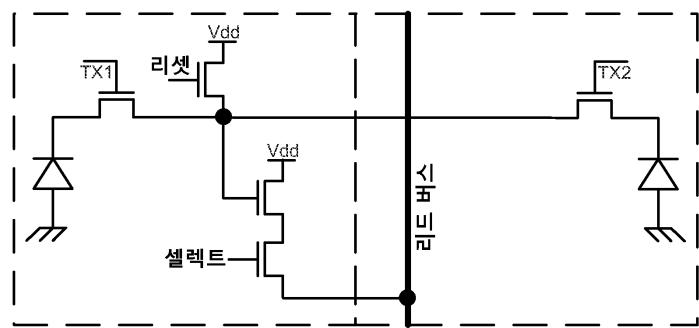
도면11



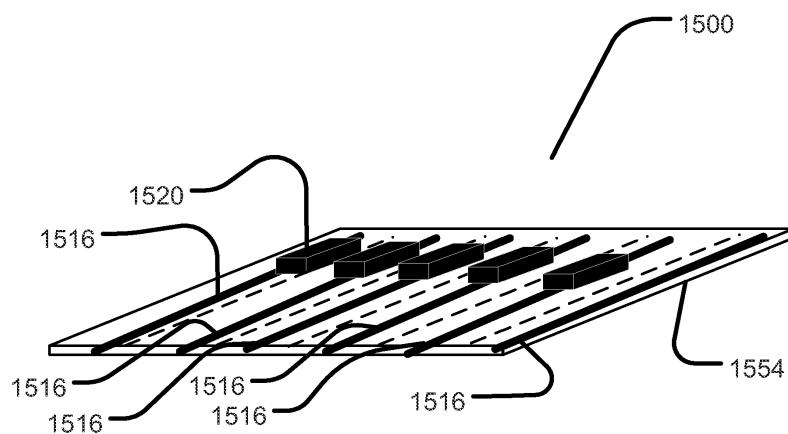
도면12



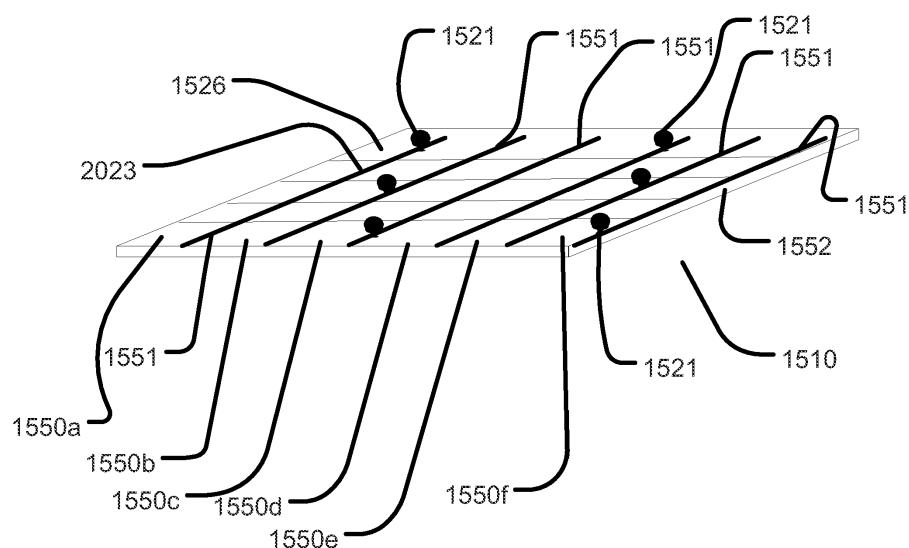
도면13



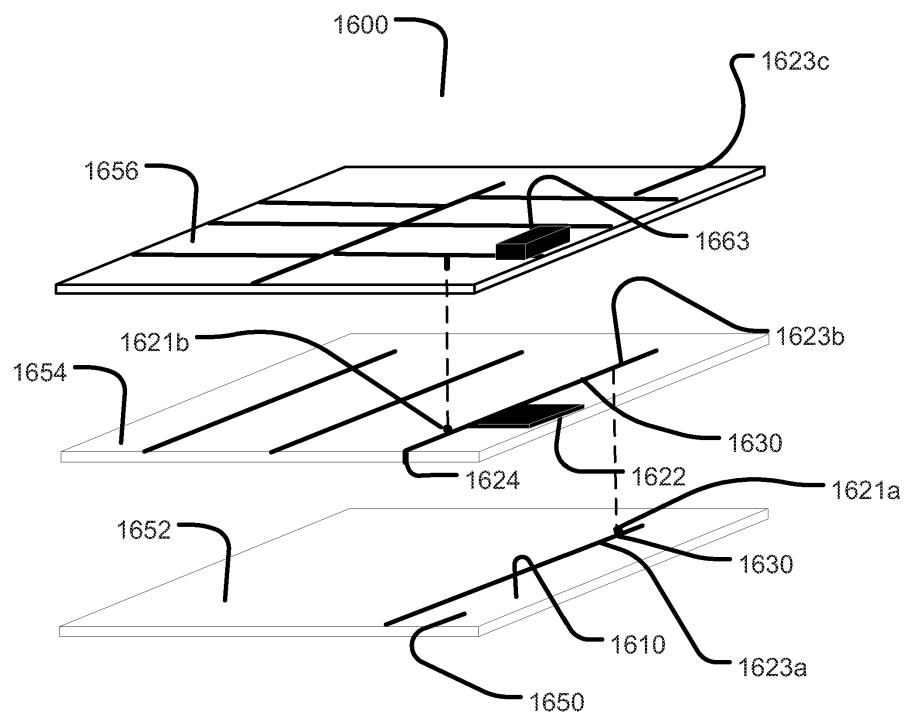
도면14



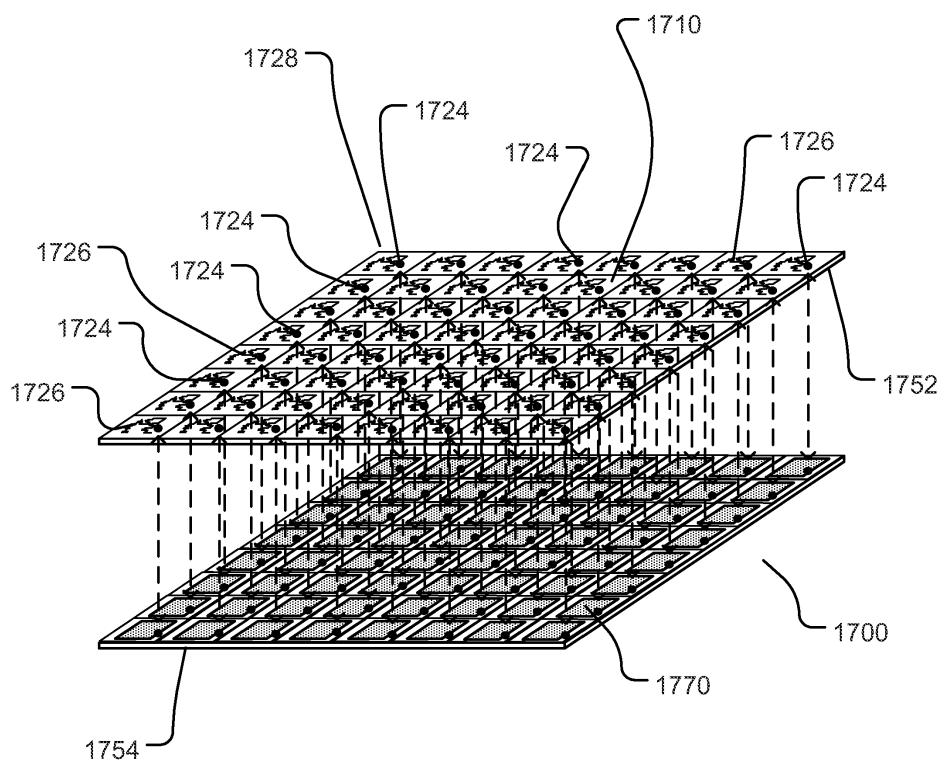
도면15



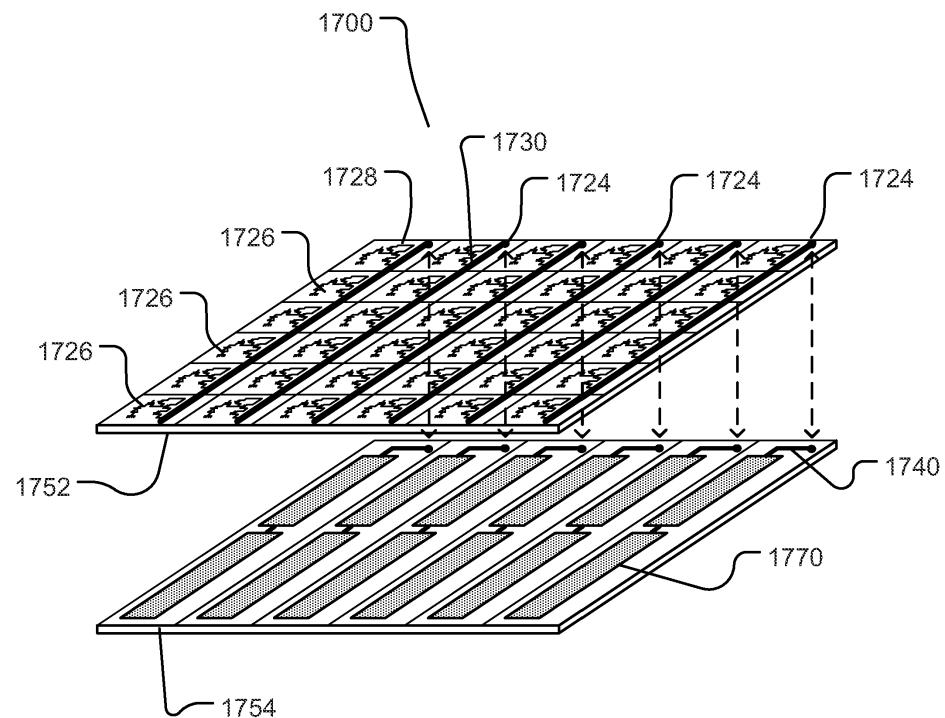
도면16



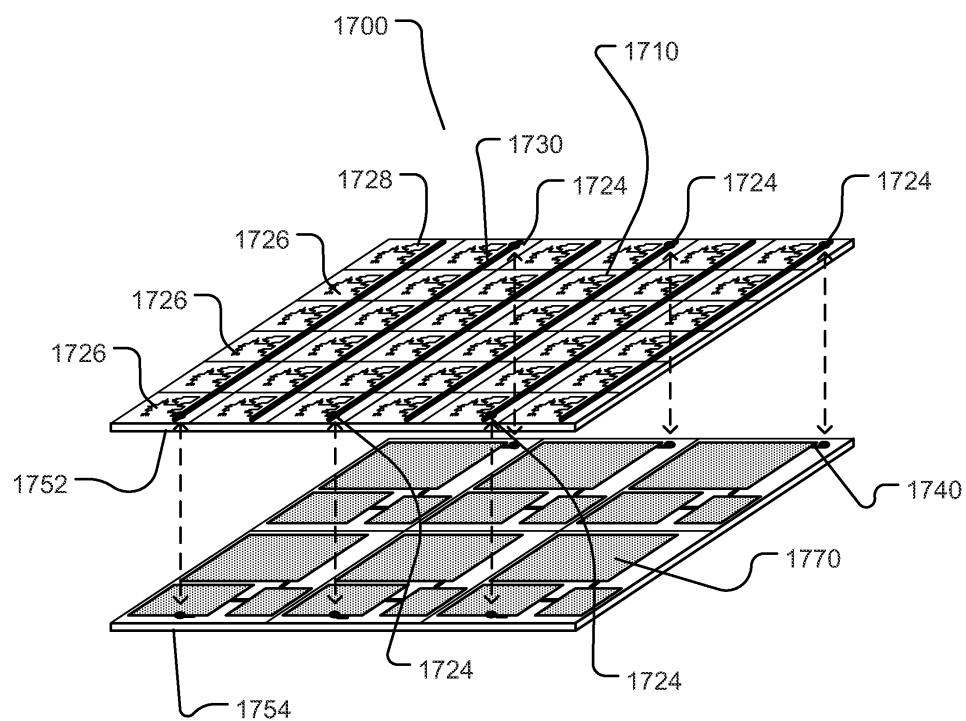
도면17a



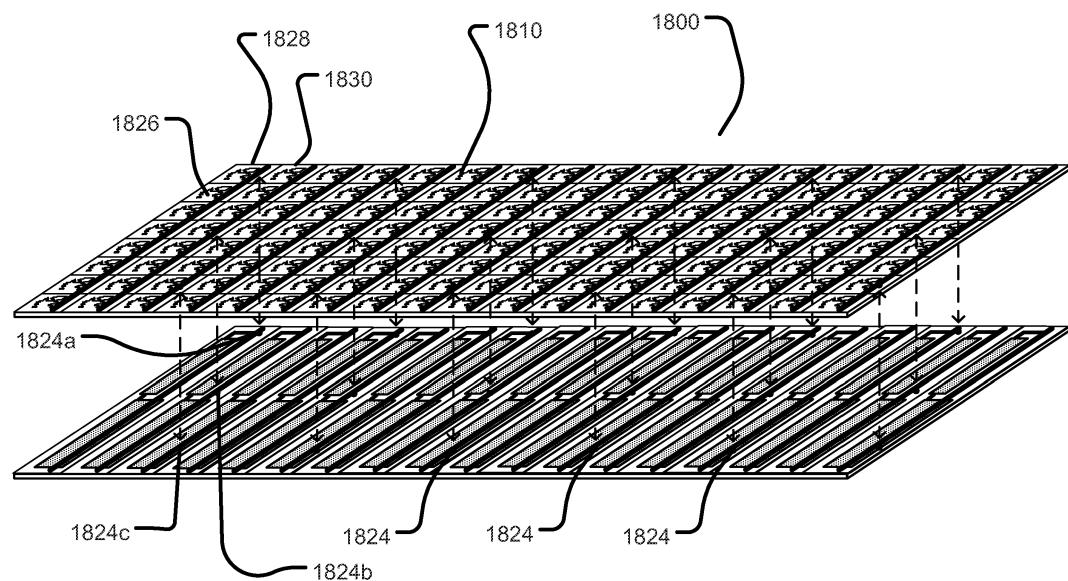
도면17b



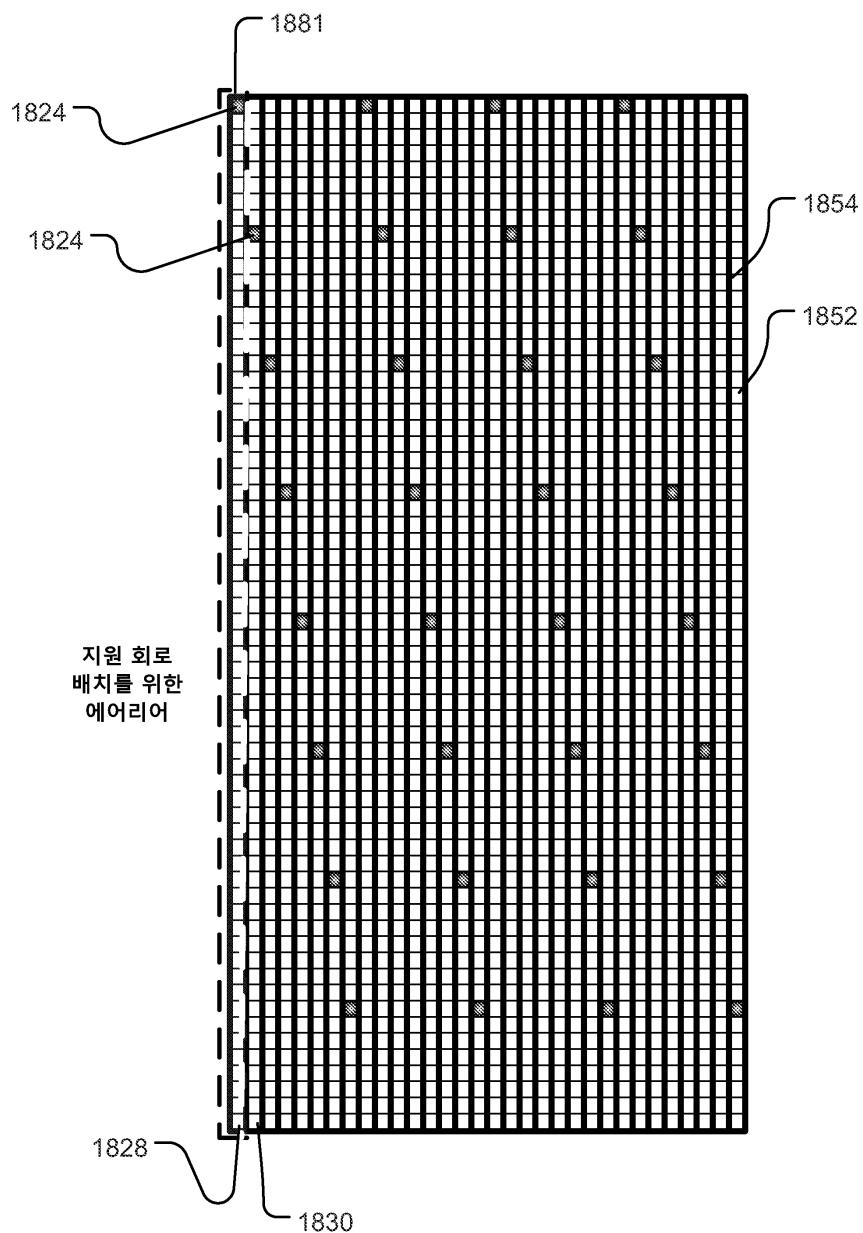
도면17c



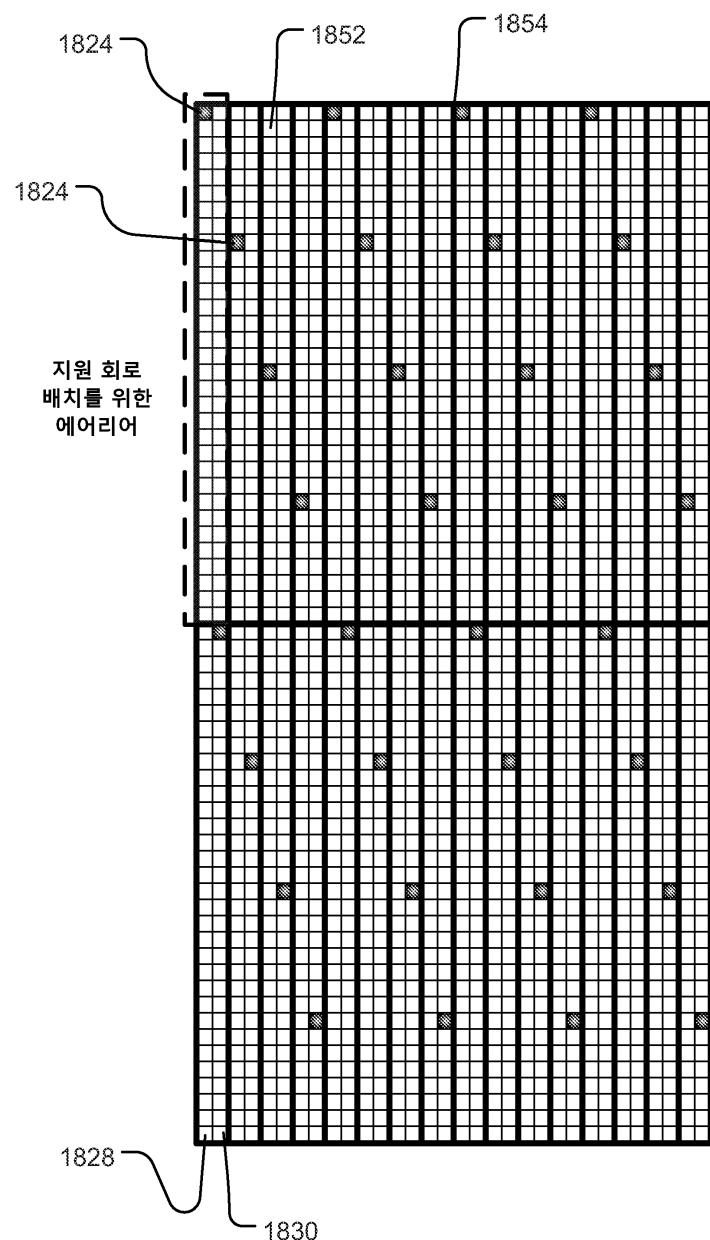
도면18a



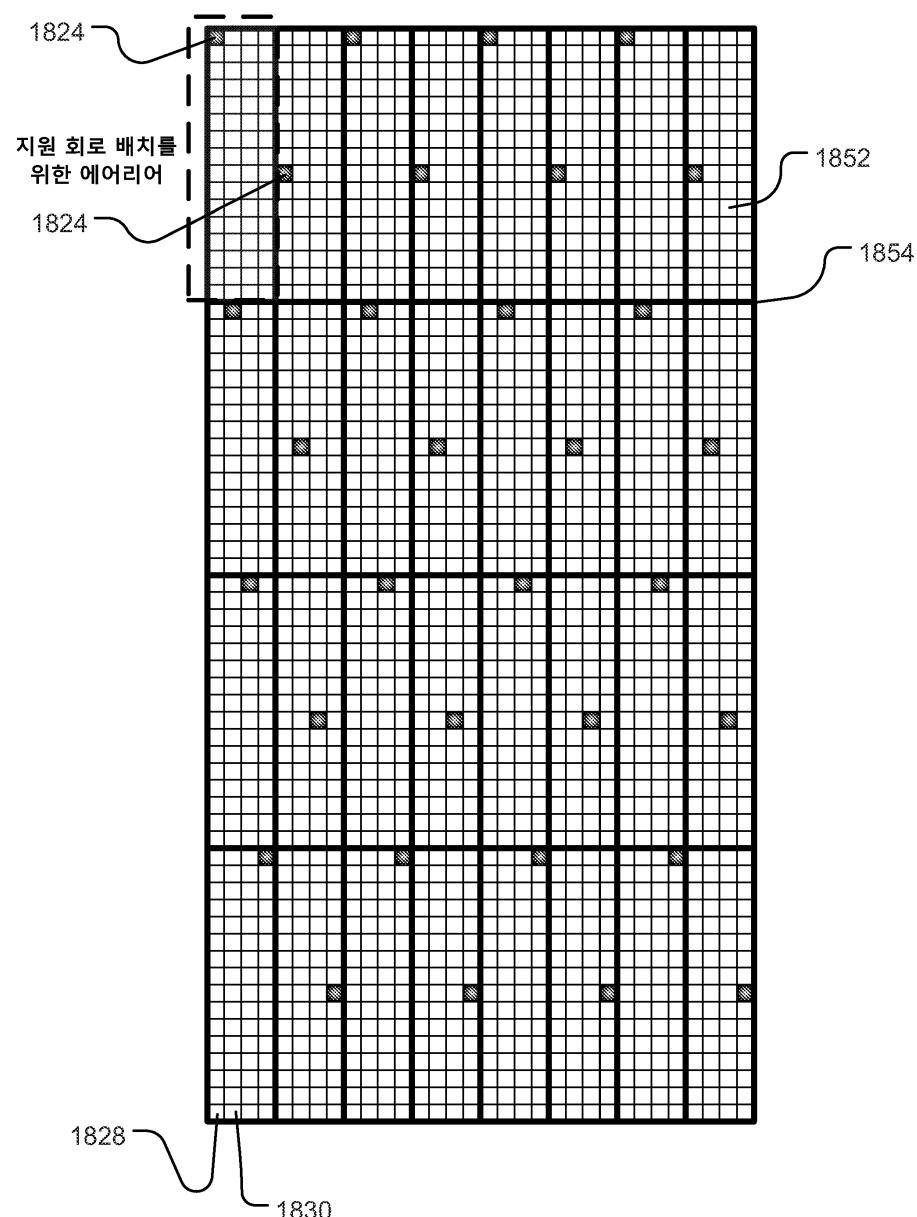
도면18b



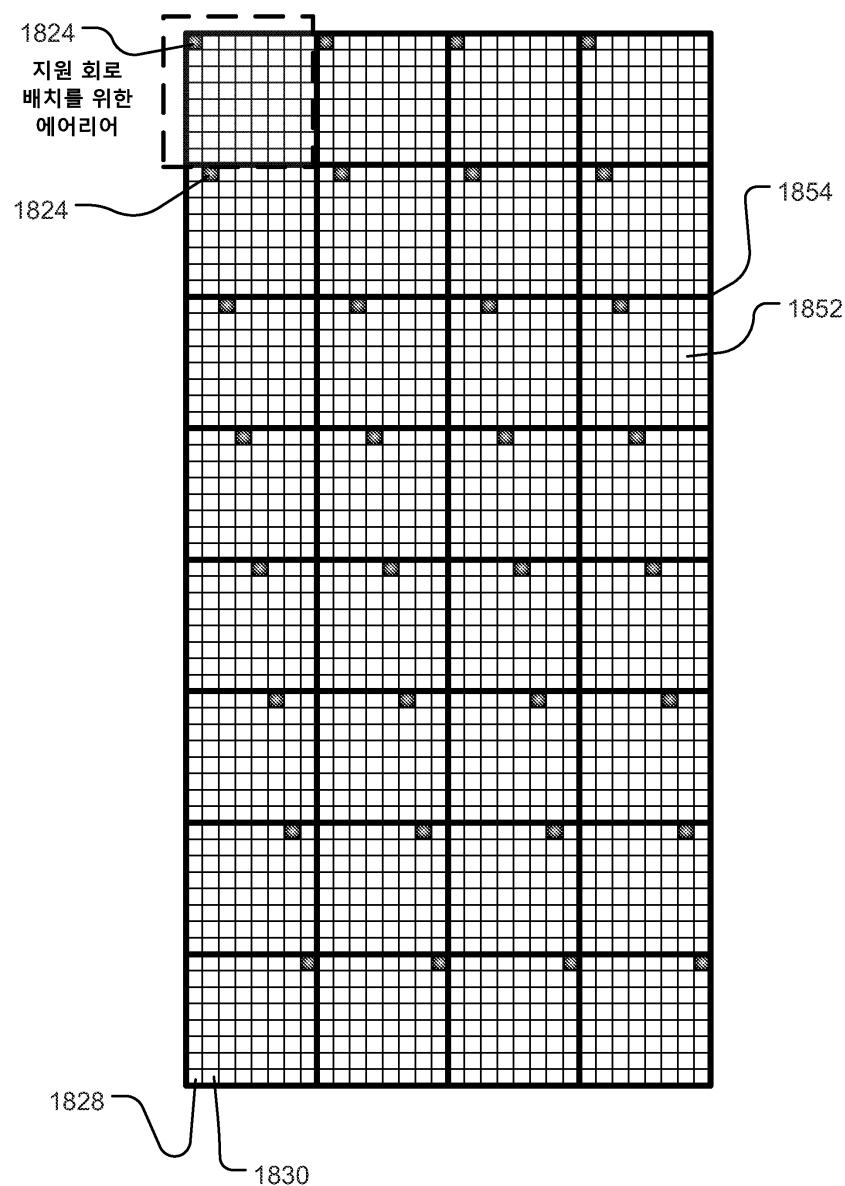
도면18c



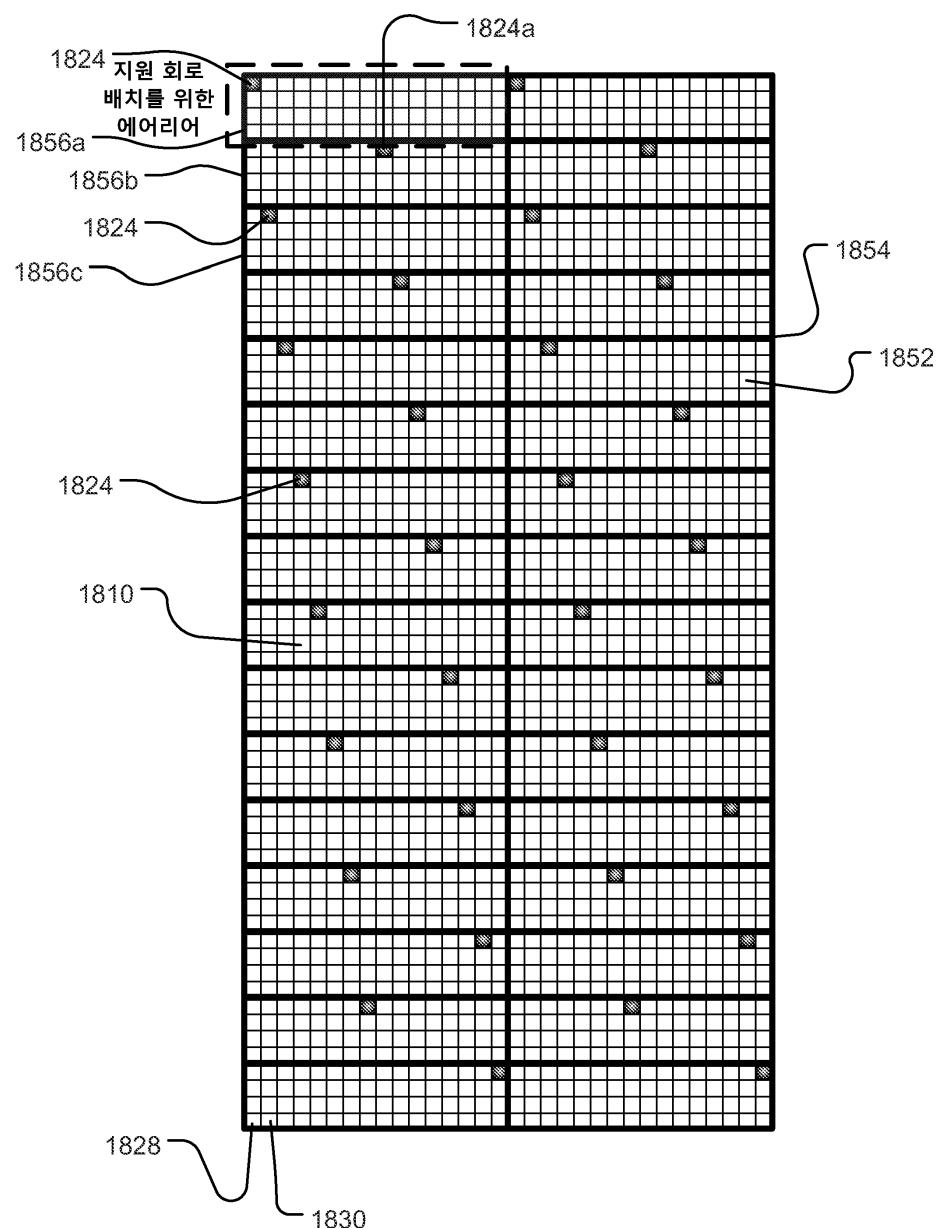
도면18d



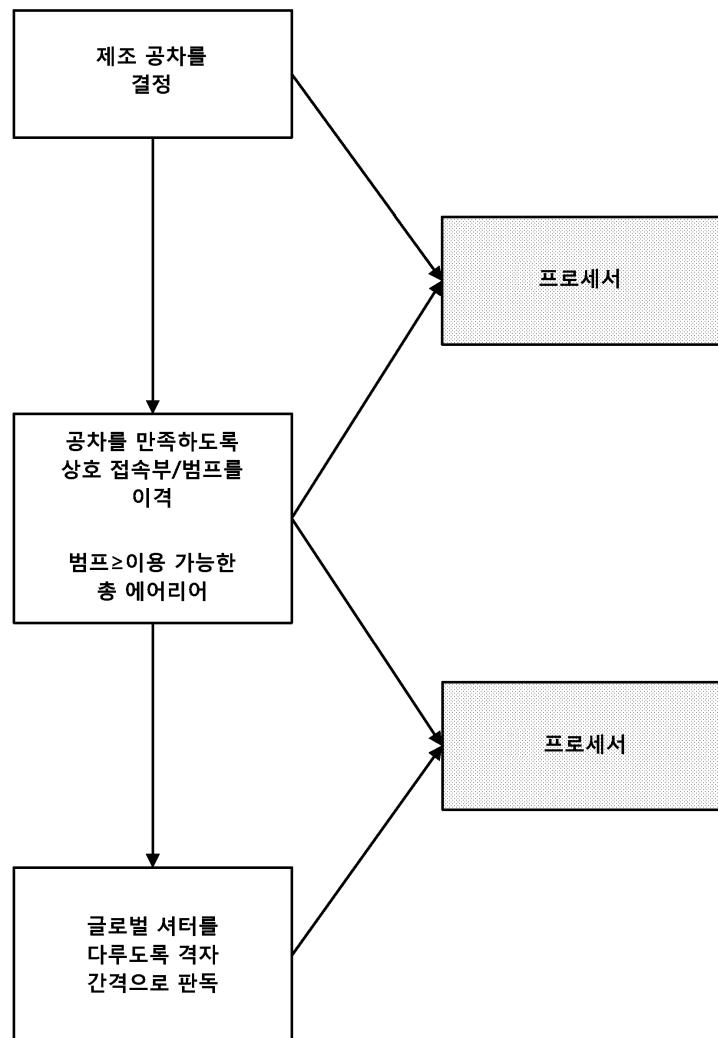
도면18e



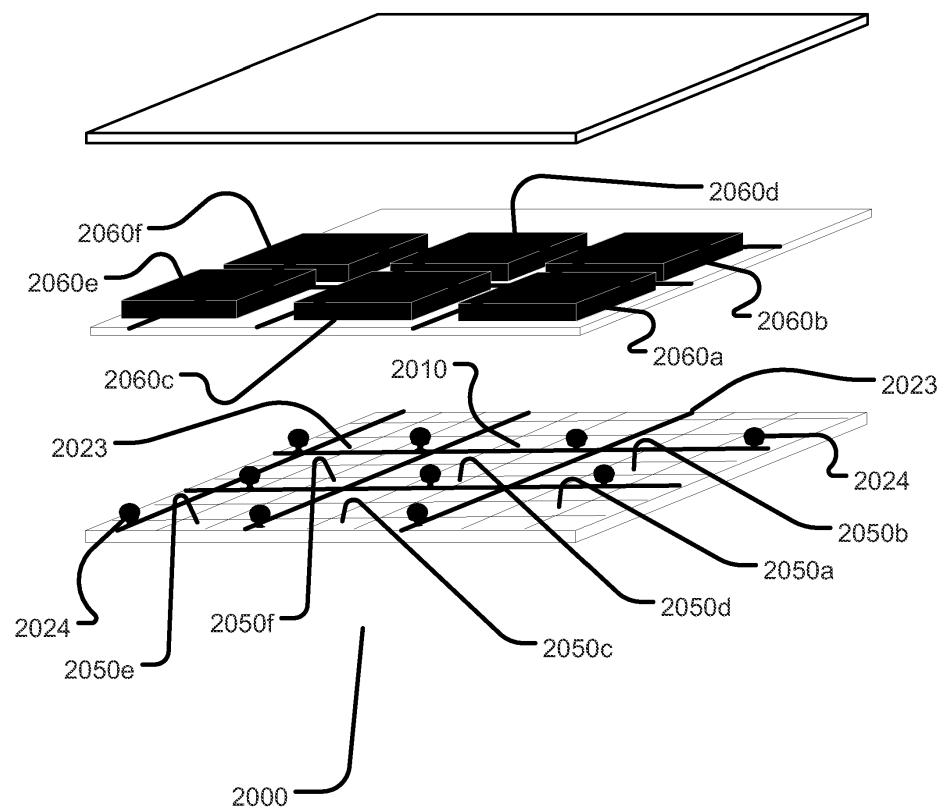
도면18f



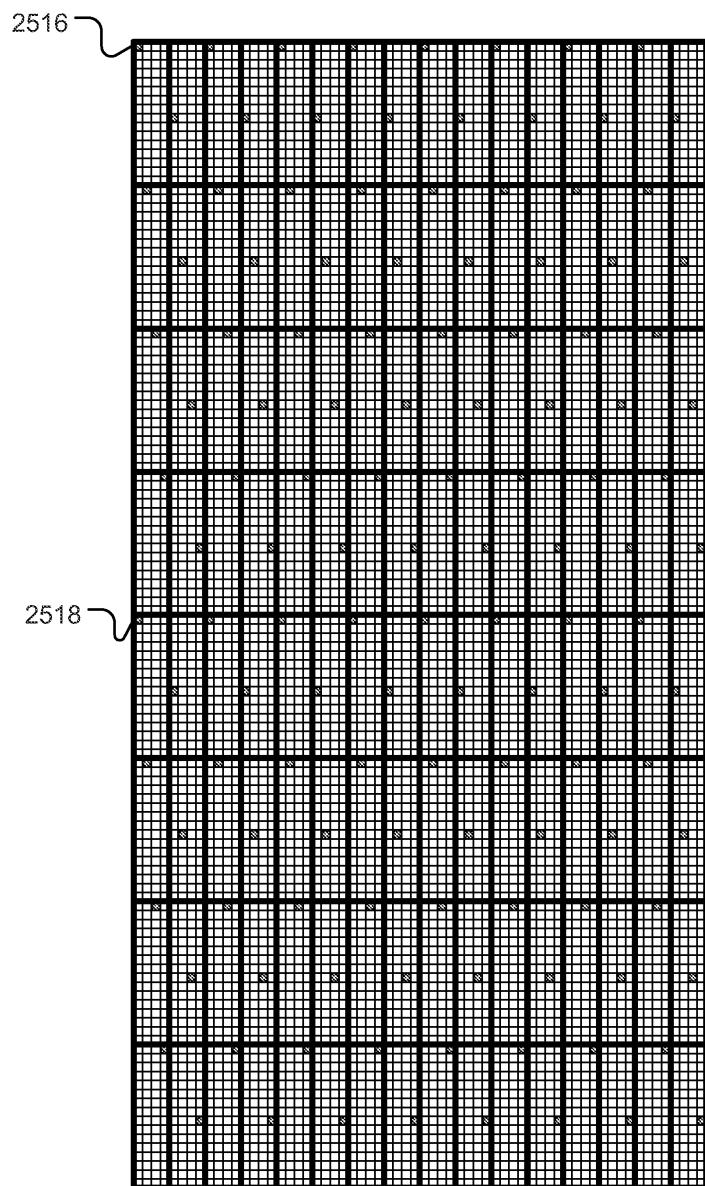
도면19



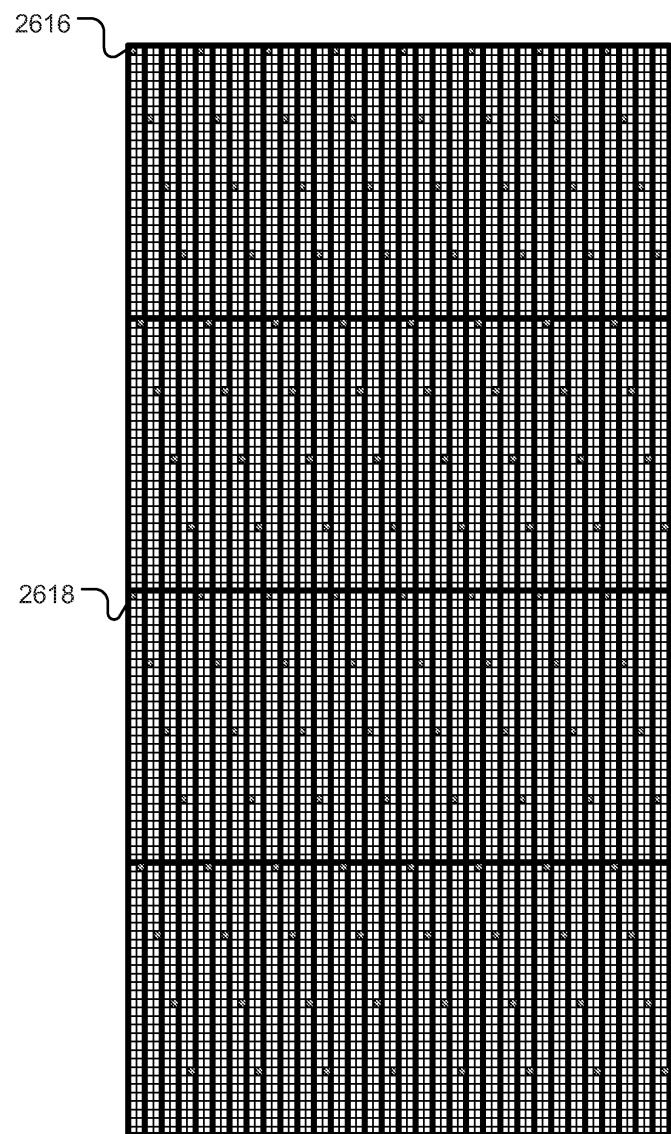
도면20



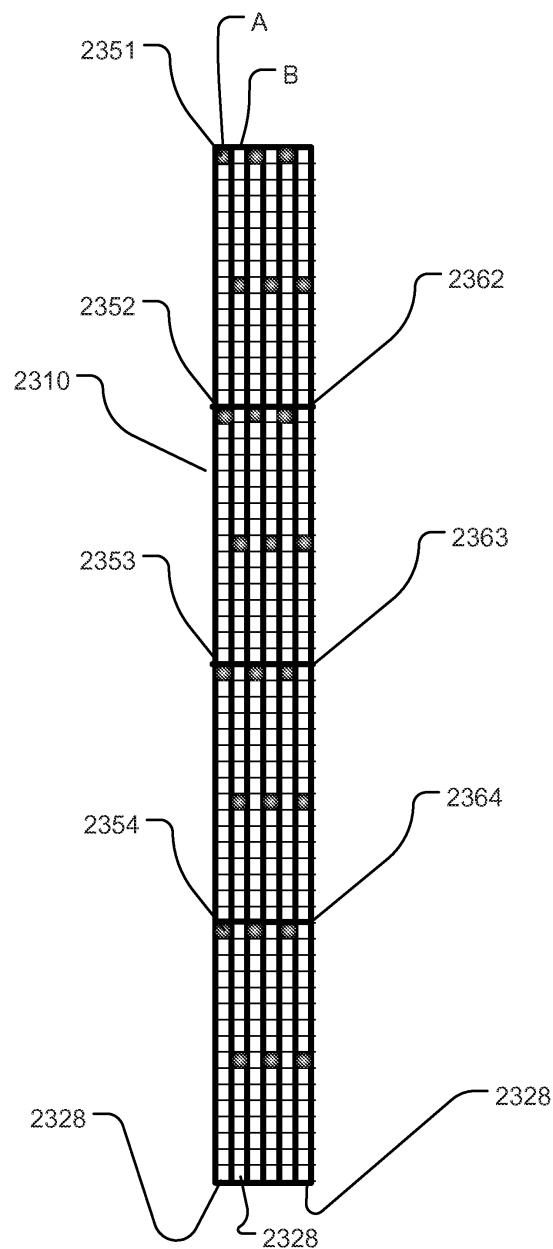
도면21



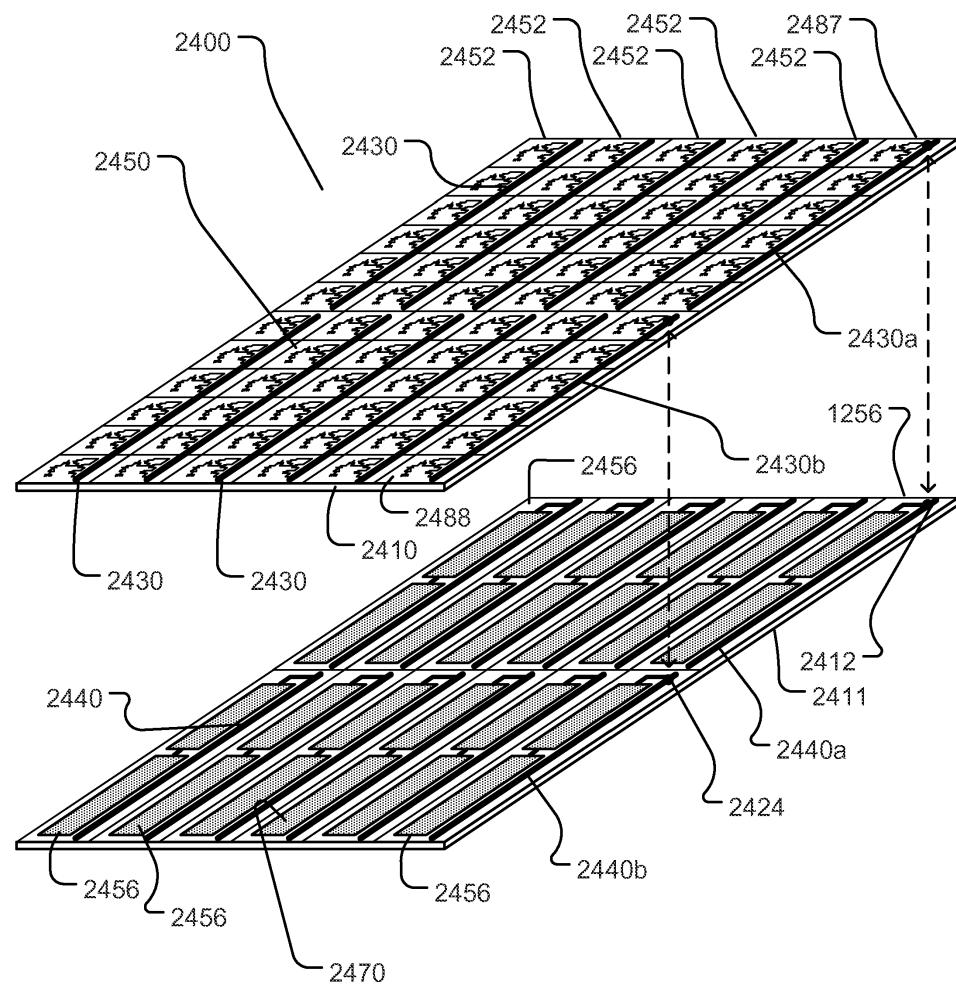
도면22



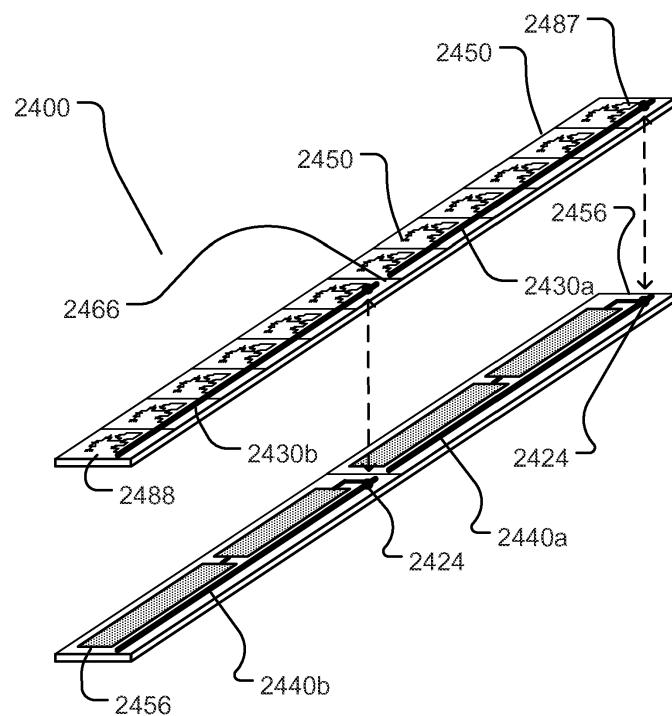
도면23



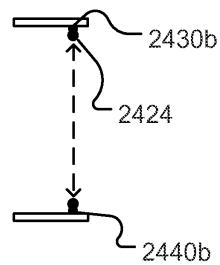
도면24



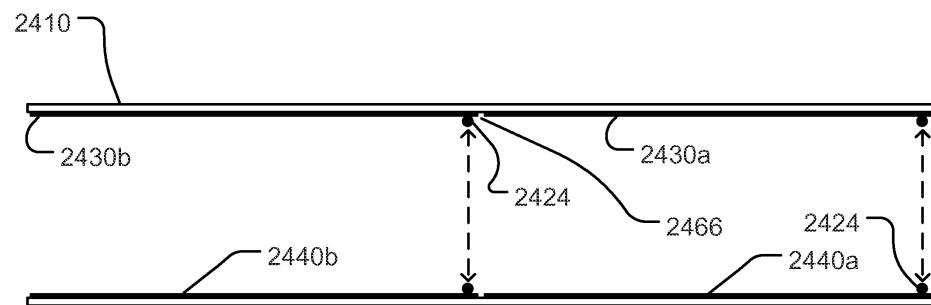
도면24a



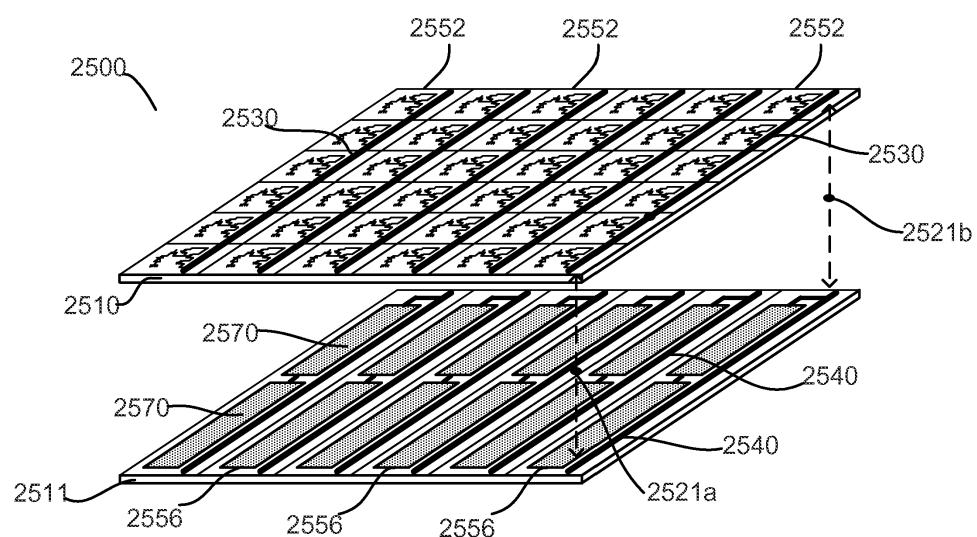
도면24b



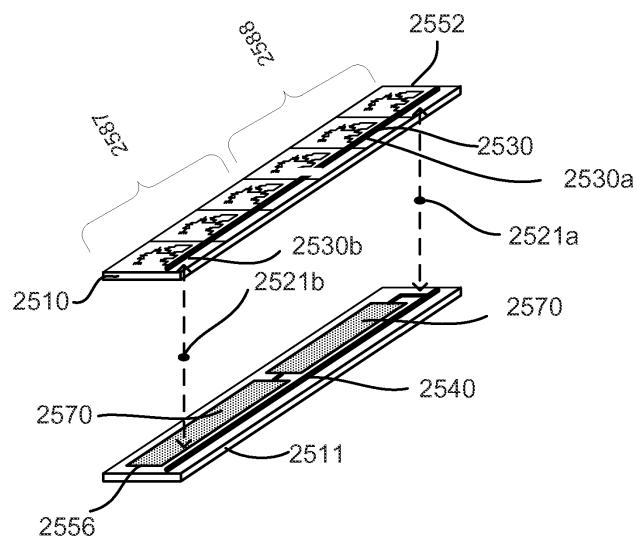
도면24c



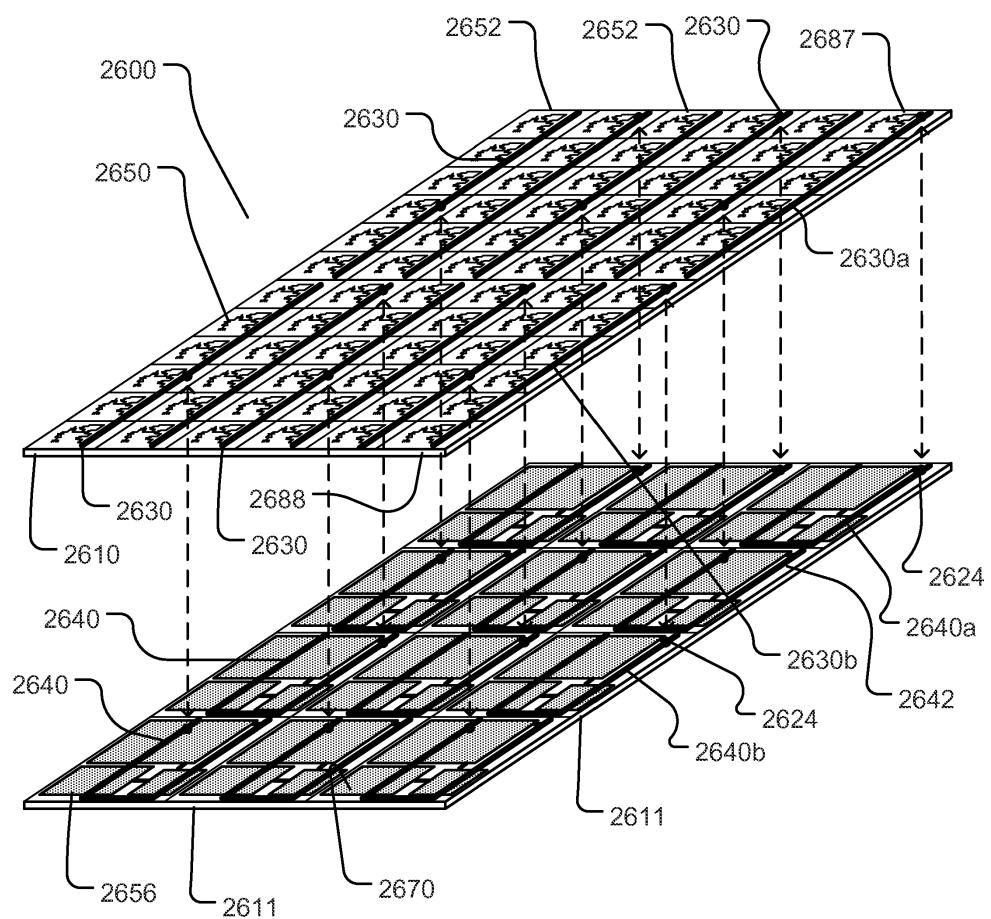
도면25



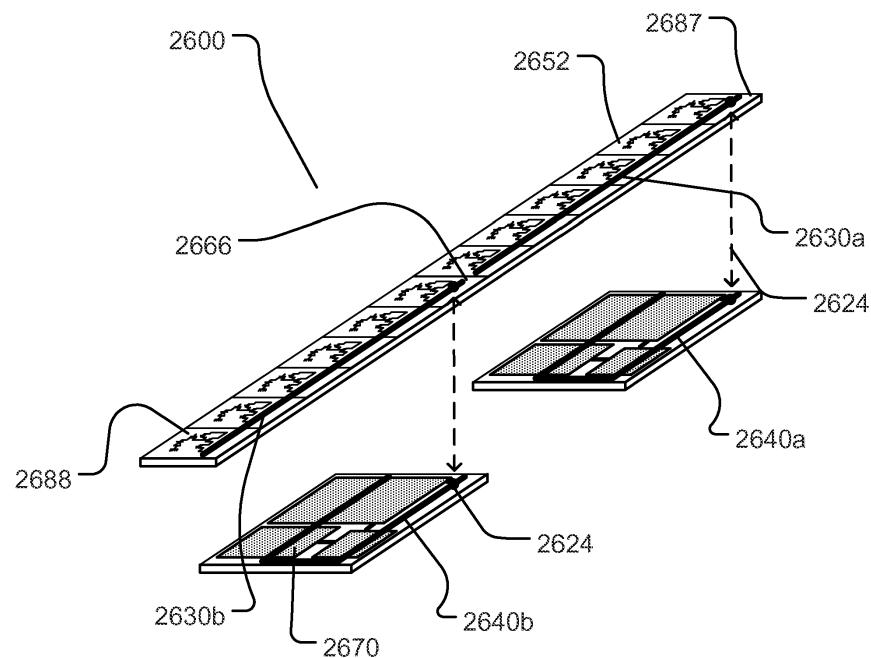
도면25a



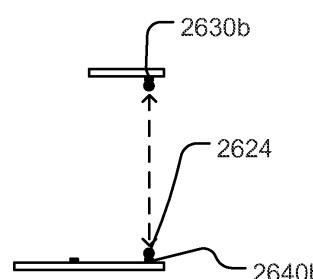
도면26



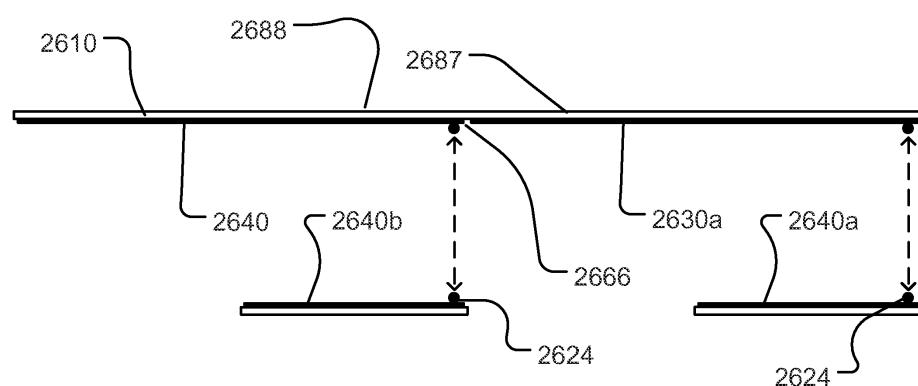
도면26a



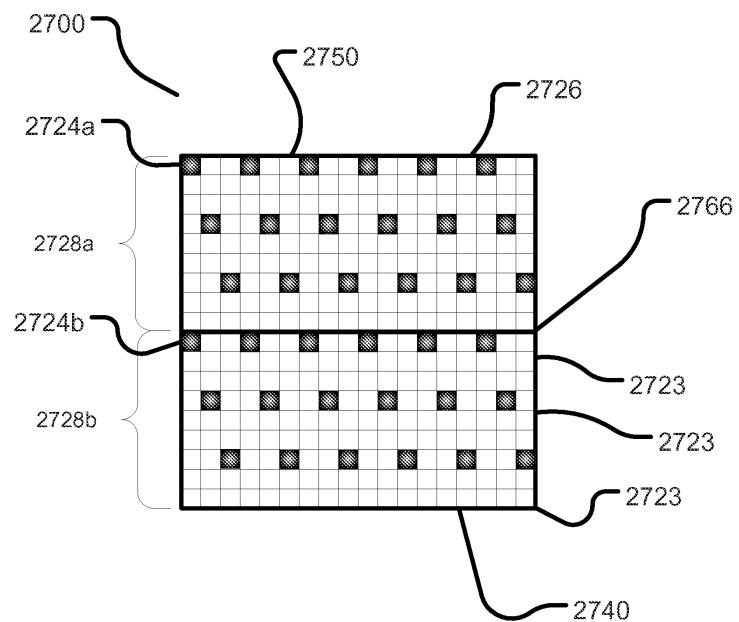
도면26b



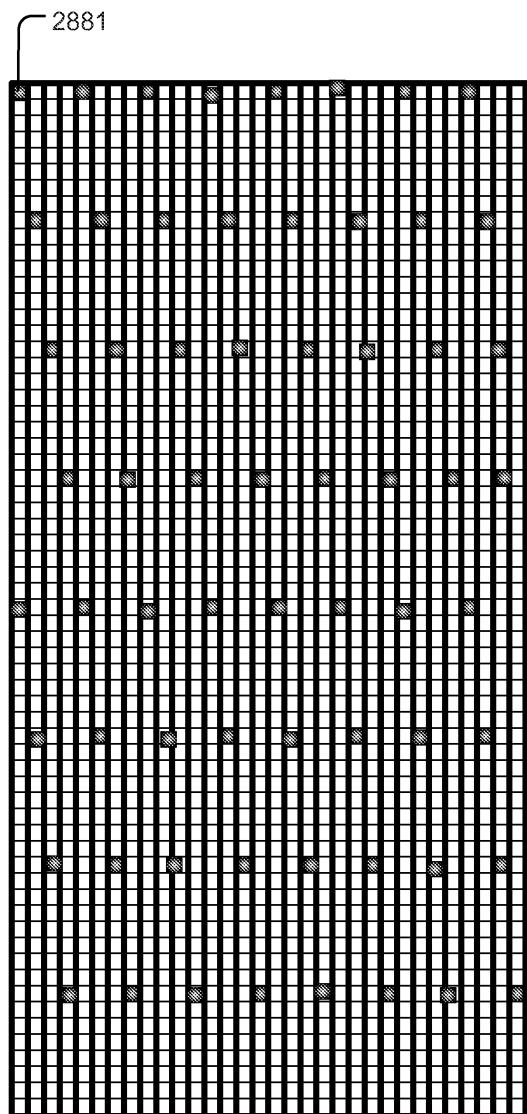
도면26c



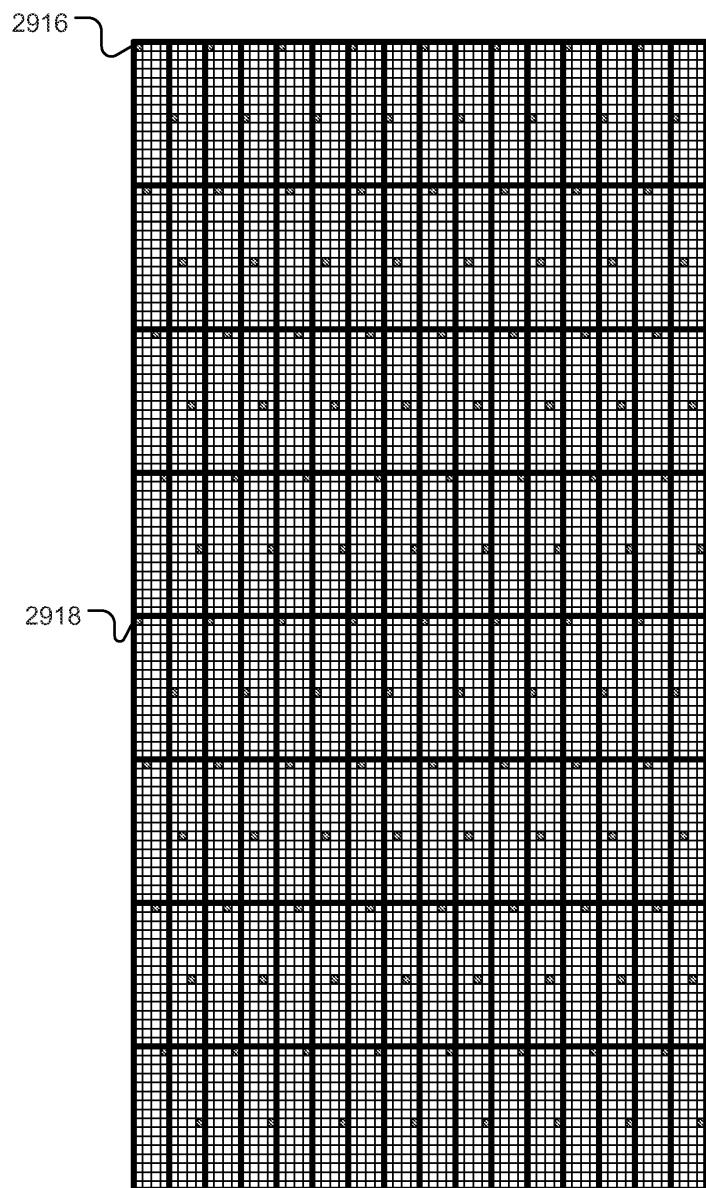
도면27



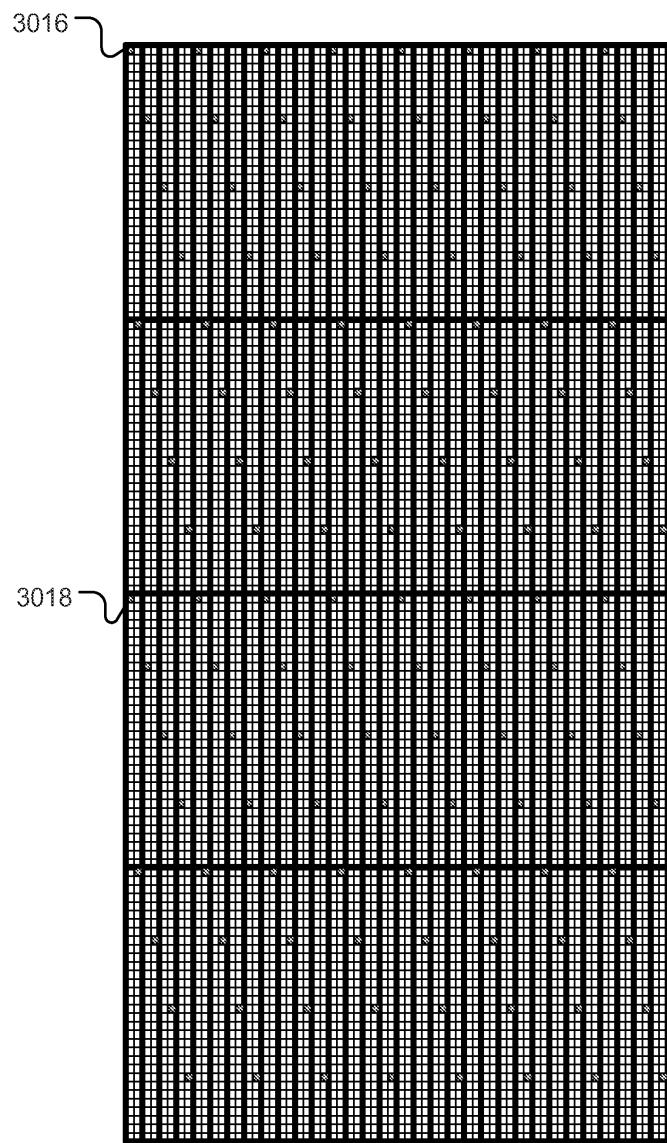
도면28



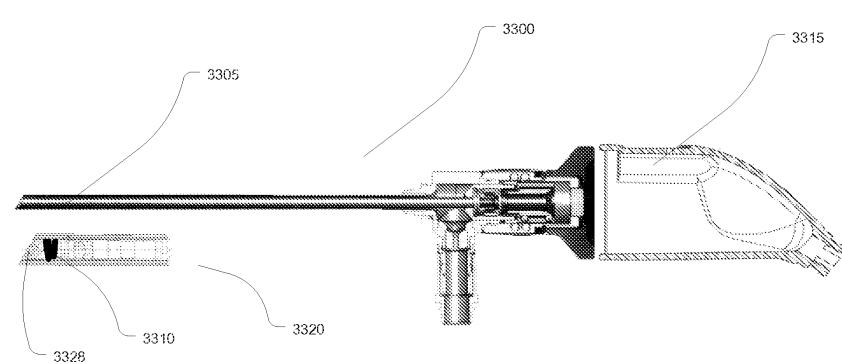
도면29



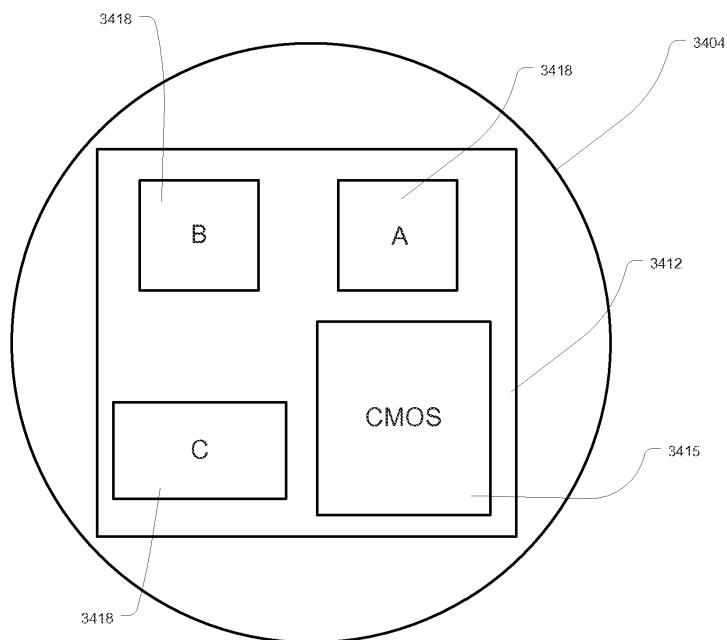
도면30



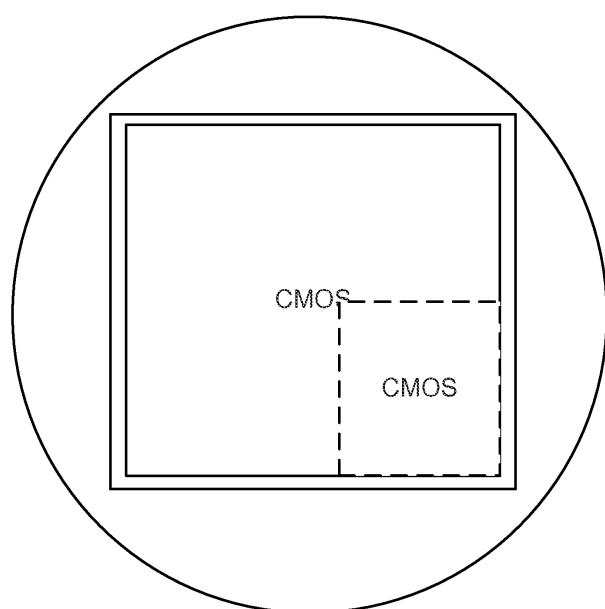
도면31



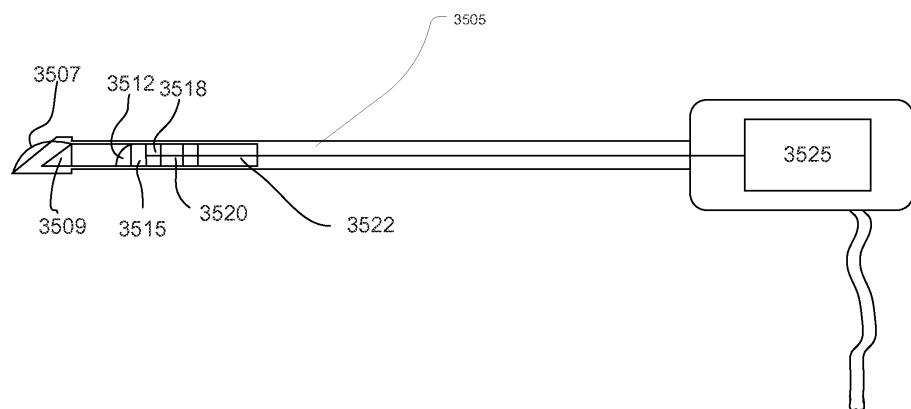
도면32a



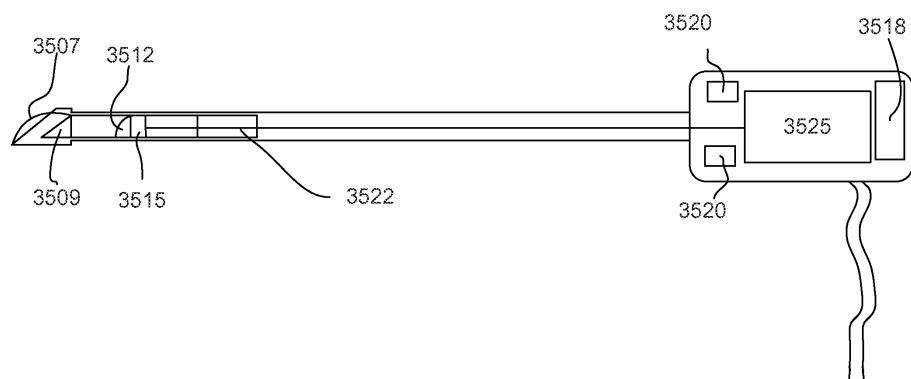
도면32b



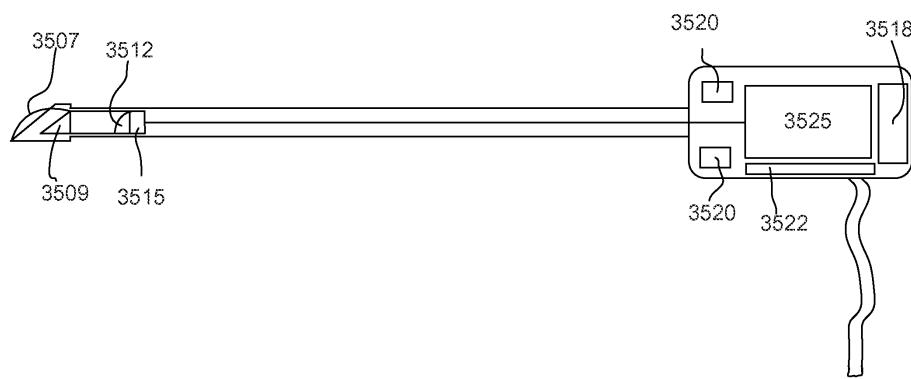
도면33a



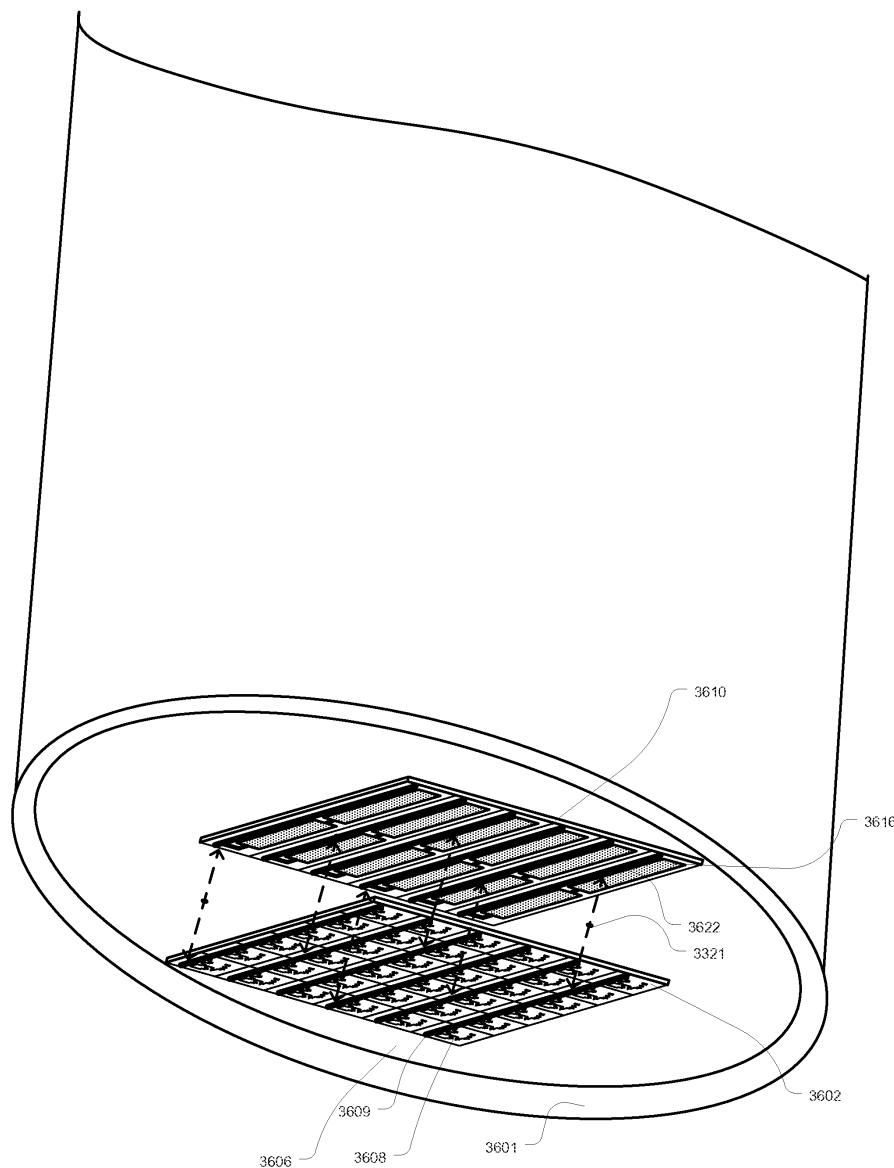
도면33b



도면33c



도면34



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 13항 5, 12, 13줄

【변경전】

제2 후속 지원 기판

【변경후】

제2 기판