



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0021797
(43) 공개일자 2020년03월02일

(51) 국제특허분류(Int. Cl.)

H01L 33/22 (2010.01) H01L 33/14 (2010.01)
H01L 33/24 (2010.01) H01L 33/38 (2010.01)
H01L 33/62 (2010.01)

(52) CPC특허분류

H01L 33/22 (2013.01)
H01L 33/14 (2013.01)

(21) 출원번호 10-2018-0097598

(22) 출원일자 2018년08월21일

심사청구일자 없음

(71) 출원인

엘지이노텍 주식회사

서울특별시 강서구 마곡중앙10로 30(마곡동)

(72) 발명자

성연준

서울특별시 중구 후암로 98 (남대문로5가)

(74) 대리인

특허법인다나

전체 청구항 수 : 총 11 항

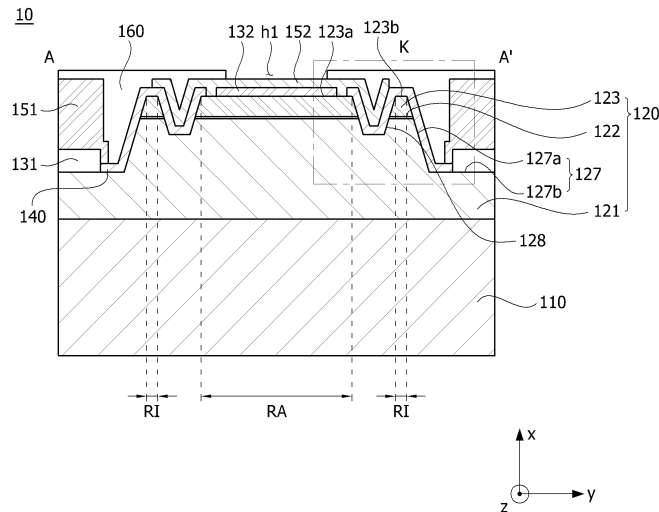
(54) 발명의 명칭 반도체 소자

(57) 요약

실시예는 기관; 상기 기관 상에 배치되는 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하는 리세스를 포함하는 발광 구조물; 상기 발광 구조물 상에 배치되고, 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극; 상기 발광 구조물 상에 배치되고, 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극; 상기 제1 전극 상에 배치되는 제1 패드; 및 상기 제2 전극 상에 배치되는 제2 패드;를 포함하고, 상기 리세스는 상기 제2 도전형 반도체층 및 상기 활성층을 활성 영역 및 비활성 영역으로 분리하고, 상기 리세스는 상기 활성 영역을 둘러싸도록 연장되어 배치되고,

상기 제2 패드는 상기 제2 전극 상에서 상기 리세스의 상부로 연장하며 배치되는 반도체 소자를 개시한다.

대표도 - 도2



(52) CPC특허분류

H01L 33/24 (2013.01)

H01L 33/38 (2013.01)

H01L 33/62 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에 배치되는 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하는 리세스를 포함하는 발광 구조물;

상기 발광 구조물 상에 배치되고, 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극;

상기 발광 구조물 상에 배치되고, 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극;

상기 제1 전극 상에 배치되는 제1 패드; 및

상기 제2 전극 상에 배치되는 제2 패드;를 포함하고,

상기 리세스는 상기 제2 도전형 반도체층 및 상기 활성층을 활성 영역 및 비활성 영역으로 분리하고,

상기 리세스는 상기 활성 영역을 둘러싸도록 연장되어 배치되고,

상기 제2 패드는 상기 제2 전극 상에서 상기 리세스의 상부로 연장하며 배치되는 반도체 소자.

청구항 2

제1항에 있어서,

상기 리세스는,

바닥면;

상기 바닥면과 연결되며 상기 활성 영역에 인접하는 내측 경사면; 및

상기 바닥면과 연결되며 상기 내측 경사면과 대향하는 외측 경사면;을 포함하고,

상기 제2 패드의 일단부는 상기 리세스의 내측 경사면 상으로 연장하며 배치되는 반도체 소자.

청구항 3

제2항에 있어서,

상기 제2 패드의 일단부는 상기 리세스의 바닥면 및 상기 리세스의 외측 경사면 상으로 연장하며 배치되는 반도체 소자.

청구항 4

제3항에 있어서,

상기 제2 패드는 상기 비활성 영역 상의 상기 제2 도전형 반도체층 상으로 연장하며 배치되고,

상기 제2 패드의 일단부는 상기 리세스와 상기 제2 도전형 반도체층의 최외측면 사이에 배치되는 반도체 소자.

청구항 5

제1항에 있어서,
상기 발광 구조물은 제1 도전형 반도체층이 노출되는 오목부를 포함하고,
상기 오목부는 상기 비활성 영역 외측에서 연장하여 배치되는 반도체 소자.

청구항 6

제1항에 있어서,
상기 리세스의 수평 방향으로의 최대 폭과 상기 비활성 영역상의 상기 제2 도전형 반도체층의 수평 방향으로 최대 폭과 폭의 비가 1:0.5 내지 1:5인 반도체 소자.

청구항 7

제1항에 있어서,
상기 제1 패드 상에 배치되는 제1 범프; 및
상기 제2 패드 상에 배치되고 상기 제1 범프와 이격 배치되는 제2 범프;를 더 포함하는 반도체 소자.

청구항 8

제5항에 있어서,
상기 제1 전극은 상기 오목부 상의 상기 제1 도전형 반도체층 상에 배치되고,
상기 제2 전극은 상기 활성 영역 상의 상기 제2 도전형 반도체층 상에 배치되는 반도체 소자.

청구항 9

제5항 또는 제8항 중 어느 하나의 항에 있어서,
상기 발광 구조물 상에 배치되는 제1 절연층을 더 포함하고,
상기 제1 절연층은 상기 활성 영역 상의 상기 제2 도전형 반도체층에서 상기 리세스 및 오목부 상의 상기 제1 도전형 반도체층 상으로 연장하며 노출되는 상기 제2 도전형 반도체층 및 상기 활성층을 덮으며 배치되는 반도체 소자.

청구항 10

제9항에 있어서,
상기 제1 절연층은 상기 제1 전극까지 연장하여 배치되는 반도체 소자.

청구항 11

제1항에 있어서,
상기 비활성 영역은 상기 리세스를 둘러싸도록 배치되고,
상기 활성 영역은 상기 제2 전극과 전기적으로 연결되고,
상기 비활성 영역은 상기 제2 전극과 전기적으로 분리되는 반도체 소자.

발명의 설명

기술 분야

[0001] 실시예는 반도체 소자에 관한 것이다.

배경 기술

[0002] GaN, AlGaN 등의 화합물을 포함하는 반도체 소자는 넓고 조정이 용이한 밴드 갭 에너지를 가지는 등의 많은 장점을 가져서 발광 소자, 수광 소자 및 각종 다이오드 등으로 다양하게 사용될 수 있다.

[0003] 특히, 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용한 발광 다이오드(Light Emitting Diode)나 레이저 다이오드(Laser Diode)와 같은 발광소자는 박막 성장 기술 및 소자 재료의 개발로 적색, 녹색, 청색 및 자외선 등 다양한 색을 구현할 수 있으며, 형광 물질을 이용하거나 색을 조합함으로써 효율이 좋은 백색 광선도 구현이 가능하며, 형광등, 백열등 등 기존의 광원에 비해, 저소비전력, 반영구적인 수명, 빠른 응답속도, 안전성, 환경 친화성의 장점을 가진다.

[0004] 뿐만 아니라, 광검출기나 태양 전지와 같은 수광 소자도 반도체의 3-5족 또는 2-6족 화합물 반도체 물질을 이용하여 제작하는 경우 소자 재료의 개발로 다양한 파장 영역의 빛을 흡수하여 광 전류를 생성함으로써 감마선부터 라디오 파장 영역까지 다양한 파장 영역의 빛을 이용할 수 있다. 또한 빠른 응답속도, 안전성, 환경 친화성 및 소자 재료의 용이한 조절의 장점을 가져 전력 제어 또는 초고주파 회로나 통신용 모듈에도 용이하게 이용할 수 있다.

[0005] 따라서, 반도체 소자는 광 통신 수단의 송신 모듈, LCD(Liquid Crystal Display) 표시 장치의 백라이트를 구성하는 냉음극관(CCFL: Cold Cathode Fluorescence Lamp)을 대체하는 발광 다이오드 백라이트, 형광등이나 백열 전구를 대체할 수 있는 백색 발광 다이오드 조명 장치, 자동차 헤드 라이트 및 신호등 및 Gas나 화재를 감지하는 센서 등에까지 응용이 확대되고 있다. 또한, 반도체 소자는 고주파 응용 회로나 기타 전력 제어 장치, 통신용 모듈에까지 응용이 확대될 수 있다.

[0006] 특히, 자외선 파장 영역의 광을 방출하는 발광소자는 경화작용이나 살균 작용을 하여 경화용, 의료용, 및 살균용으로 사용될 수 있다

[0007] 최근 자외선 발광소자에 대한 연구가 활발하나, 아직까지 자외선 발광소자는 박리와 습기에 산화되어 광 출력이 저하되는 문제가 존재한다.

발명의 내용

해결하려는 과제

[0008] 실시예는 플립칩 타입의 적색 반도체 소자를 제공한다.

[0009] 또한, 열 방출이 개선되어 신뢰성이 향상된 반도체 소자를 제공한다.

[0010] 또한, 전류 분산 효과가 우수한 반도체 소자를 제공한다.

[0011] 실시예에서 해결하고자 하는 과제는 이에 한정되는 것은 아니며, 아래에서 설명하는 과제의 해결수단이나 실시 형태로부터 파악될 수 있는 목적이나 효과도 포함된다고 할 것이다.

과제의 해결 수단

[0012] 본 발명의 실시예에 따른 반도체 소자는 기판; 상기 기판 상에 배치되는 제1 도전형 반도체층, 제2 도전형 반도체층, 및 상기 제1 도전형 반도체층과 상기 제2 도전형 반도체층 사이에 배치되는 활성층을 포함하고, 상기 제2 도전형 반도체층 및 상기 활성층을 관통하는 리세스를 포함하는 발광 구조물; 상기 발광 구조물 상에 배치되고, 상기 제1 도전형 반도체층과 전기적으로 연결되는 제1 전극; 상기 발광 구조물 상에 배치되고, 상기 제2 도전형 반도체층과 전기적으로 연결되는 제2 전극; 상기 제1 전극 상에 배치되는 제1 패드; 및 상기 제2 전극 상에 배치되는 제2 패드;를 포함하고, 상기 리세스는 상기 제2 도전형 반도체층 및 상기 활성층을 활성 영역 및 비활성 영역으로 분리하고, 상기 리세스는 상기 활성 영역을 둘러싸도록 연장되어 배치되고, 상기 제2 패드는 상기 제2 전극 상에서 상기 리세스의 상부로 연장하며 배치된다.

- [0013] 상기 리세스는, 바닥면; 상기 바닥면과 연결되며 상기 활성 영역에 인접하는 내측 경사면; 및 상기 바닥면과 연결되며 상기 내측 경사면과 대향하는 외측 경사면;을 포함하고, 상기 제2 패드의 일단부는 상기 리세스의 내측 경사면 상으로 연장하며 배치될 수 있다.
- [0014] 상기 제2 패드의 일단부는 상기 리세스의 바닥면 및 상기 리세스의 외측 경사면 상으로 연장하며 배치될 수 있다.
- [0015] 상기 제2 패드는 상기 비활성 영역 상의 상기 제2 도전형 반도체층 상으로 연장하며 배치되고, 상기 제2 패드의 일단부는 상기 리세스와 상기 제2 도전형 반도체층의 최외측면 사이에 배치될 수 있다.
- [0016] 상기 발광 구조물은 제1 도전형 반도체층이 노출되는 오목부를 포함하고, 상기 오목부는 상기 비활성 영역 외측에서 연장하여 배치될 수 있다.
- [0017] 상기 리세스의 수평 방향으로의 최대 폭과 상기 비활성 영역상의 상기 제2 도전형 반도체층의 수평 방향으로 최대 폭과 폭의 비가 1:0.5 내지 1:5일 수 있다.
- [0018] 상기 제1 패드 상에 배치되는 제1 범프; 및 상기 제2 패드 상에 배치되고 상기 제1 범프와 이격 배치되는 제2 범프;를 더 포함할 수 있다.
- [0019] 상기 제1 전극은 상기 오목부 상의 상기 제1 도전형 반도체층 상에 배치되고, 상기 제2 전극은 상기 활성 영역상의 상기 제2 도전형 반도체층 상에 배치될 수 있다.
- [0020] 상기 발광 구조물 상에 배치되는 제1 절연층을 더 포함하고, 상기 제1 절연층은 상기 활성 영역 상의 상기 제2 도전형 반도체층에서 상기 리세스 및 오목부 상의 상기 제1 도전형 반도체층 상으로 연장하며 노출되는 상기 제2 도전형 반도체층 및 상기 활성층을 덮으며 배치될 수 있다.
- [0021] 상기 제1 절연층은 상기 제1 전극까지 연장하여 배치될 수 있다.
- [0022] 상기 비활성 영역은 상기 리세스를 둘러싸도록 배치되고, 상기 활성 영역은 상기 제2 전극과 전기적으로 연결되고, 상기 비활성 영역은 상기 제2 전극과 전기적으로 분리될 수 있다.

발명의 효과

- [0023] 실시예에 따르면, 반도체 소자를 플립칩 형태로 구현할 수 있다.
- [0024] 또한, 열 방출이 개선되어 신뢰성이 향상된 발광 소자를 제작할 수 있다.
- [0025] 또한, 전류 분산 효과가 우수한 반도체 소자를 제작할 수 있다.
- [0026] 본 발명의 다양하면서도 유익한 장점과 효과는 상술한 내용에 한정되지 않으며, 본 발명의 구체적인 실시형태를 설명하는 과정에서 보다 쉽게 이해될 수 있을 것이다.

도면의 간단한 설명

- [0027] 도 1은 일 실시예에 따른 반도체 소자의 평면도이고,
 도 2는 도 1에서 AA'로 절단된 단면도이고,
 도 3a는 도 2에서 K부분의 확대도이고,
 도 3b는 도 3a에서 L부분의 확대도이고,
 도 4는 도 1에서 BB'로 절단된 단면도이고,
 도 5는 다른 실시예에 따른 반도체 소자의 평면도이고,
 도 6은 도 5에서 CC'로 절단된 단면도이고,
 도 7은 도 1의 변형예이고,
 도 8은 실시예에 따른 반도체 소자 패키지의 개념도이고,
 도 9a 내지 도 9h는 일 실시예에 따른 반도체 소자의 제조 방법을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0028] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명한다.
- [0029] 다만, 본 발명의 기술 사상은 설명되는 일부 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있고, 본 발명의 기술 사상 범위 내에서라면, 실시예들간 그 구성 요소들 중 하나 이상을 선택적으로 결합, 치환하여 사용할 수 있다.
- [0030] 또한, 본 발명의 실시예에서 사용되는 용어(기술 및 과학적 용어를 포함)는, 명백하게 특별히 정의되어 기술되지 않는 한, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 일반적으로 이해될 수 있는 의미로 해석될 수 있으며, 사전에 정의된 용어와 같이 일반적으로 사용되는 용어들은 관련 기술의 문맥상의 의미를 고려하여 그 의미를 해석할 수 있을 것이다.
- [0031] 또한, 본 발명의 실시예에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다.
- [0032] 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함할 수 있고, "A 및(와) B, C 중 적어도 하나(또는 한 개 이상)"로 기재되는 경우 A, B, C로 조합할 수 있는 모든 조합 중 하나 이상을 포함할 수 있다.
- [0033] 또한, 본 발명의 실시예의 구성 요소를 설명하는 데 있어서, 제1, 제2, A, B, (a), (b) 등의 용어를 사용할 수 있다.
- [0034] 이러한 용어는 그 구성 요소를 다른 구성 요소와 구별하기 위한 것일 뿐, 그 용어에 의해 해당 구성 요소의 본질이나 차례 또는 순서 등으로 한정되지 않는다.
- [0035] 그리고, 어떤 구성 요소가 다른 구성요소에 '연결', '결합' 또는 '접속'된다고 기재된 경우, 그 구성 요소는 그 다른 구성 요소에 직접적으로 연결, 결합 또는 접속되는 경우뿐만 아니라, 그 구성 요소와 그 다른 구성 요소 사이에 있는 또 다른 구성 요소로 인해 '연결', '결합' 또는 '접속' 되는 경우도 포함할 수 있다.
- [0036] 또한, 각 구성 요소의 "상(위) 또는 하(아래)"에 형성 또는 배치되는 것으로 기재되는 경우, 상(위) 또는 하(아래)는 두 개의 구성 요소들이 서로 직접 접촉되는 경우뿐만 아니라 하나 이상의 또 다른 구성 요소가 두 개의 구성 요소들 사이에 형성 또는 배치되는 경우도 포함한다. 또한, "상(위) 또는 하(아래)"으로 표현되는 경우 하나의 구성 요소를 기준으로 위쪽 방향뿐만 아니라 아래쪽 방향의 의미도 포함할 수 있다.
- [0037] 본 발명의 실시예에 따른 발광 구조물은 자외선 파장대의 광을 출력할 수 있다. 예시적으로 발광 구조물은 근자외선 파장대의 광(UV-A)을 출력할 수도 있고, 원자외선 파장대의 광(UV-B)을 출력할 수도 있고, 심자외선 파장대의 광(UV-C)을 출력할 수 있다. 파장범위는 발광 구조물(120)의 Al의 조성비에 의해 결정될 수 있다. 또한, 발광 구조물은 광의 세기가 서로 다른 다양한 파장의 광을 출력할 수 있고, 발광하는 광의 파장 중 다른 파장의 세기에 비해 상대적으로 가장 강한 세기를 갖는 광의 피크 파장이 근자외선, 원자외선, 또는 심자외선일 수 있다.
- [0038] 예시적으로, 근자외선 파장대의 광(UV-A)는 320nm 내지 420nm 범위의 파장을 가질 수 있고, 원자외선 파장대의 광(UV-B)은 280nm 내지 320nm 범위의 파장을 가질 수 있으며, 심자외선 파장대의 광(UV-C)은 100nm 내지 280nm 범위의 파장을 가질 수 있다.
- [0039] 도 1은 일 실시예에 따른 반도체 소자의 평면도이고, 도 2는 도 1에서 AA'로 절단된 단면도이다.
- [0040] 도 1 및 도 2를 참조하면, 일 실시예에 따른 반도체 소자(10)는 기판(110), 제1 도전형 반도체층(121), 제2 도전형 반도체층(123), 활성층(122)을 포함하고 기판(110) 상에 배치되는 발광 구조물(120)과, 발광 구조물(120) 상에 일부 배치되는 제1 절연층(140), 제1 도전형 반도체층(121)과 전기적으로 연결되는 제1 전극(131)과, 제2 도전형 반도체층(123)과 전기적으로 연결되는 제2 전극(132), 제1 전극(131) 상에 배치되는 제1 패드(151) 및 제2 전극(132) 상에 배치되는 제2 패드(152), 그리고 제1 절연층(140), 제1 패드(151) 및 제2 패드(152)를 일부 덮는 제2 절연층(160)을 포함한다.
- [0041] 먼저, 기판(110)은 반도체 소자(10)의 일측에 배치될 수 있다. 예컨대, 기판(110)은 반도체 소자(10)에서 하부에 배치될 수 있다. 기판(110)은 투광하며 절연성 기판(110)일 수 있다. 기판(110)은 Al, Si, O, Zn, Mg, Ga, P, F 중 적어도 하나로 이루어 질 수 있으며, 구체적으로 사파이어(Al_2O_3), SiC, GaN, ZnO, Si, GaP, InP 및 Ge

중 선택된 물질로 형성될 수 있으나, 발광 구조물(110)로부터 생성된 광을 투과시키는 재질이면 특별히 한정하지는 않는다.

[0042] 기판(110)에는 하부에 요철부가 형성될 수 있으며, 요철부는 텍스처 구조로 이루어져 광 추출 효율을 개선할 수 있다. 예컨대, 반도체 소자(10)는 플립형으로 기판(110)을 통해 상부로 광이 출사될 수 있으며, 기판(110)의 요철부에 의해 내부로 반도체 소자(10) 외부로 출사되는 광이 증가할 수 있다. 예컨대, 기판(110)은 외부와 접하는 경계면에서 전반사를 최소화하기 위해 1 내지 3.4 사이의 굴절률을 갖는 물질로 이루어질 수 있다. 다만, 기판(110)은 이러한 구조에 한정되는 것은 아니며 다양한 구조를 가질 수 있다.

[0043] 발광 구조물(120)은 제1 도전형 반도체층(121), 활성층(122), 및 제2 도전형 반도체층(123)을 포함할 수 있다. 이 때, 제1 도전형 반도체층(121), 활성층(122), 및 제2 도전형 반도체층(123)은 제1 방향(X 방향)으로 배치될 수 있다. 이하에서는 각 층의 두께 방향인 제1 방향(X 방향)을 수직 방향으로 정의하고, 제1 방향(X 방향)과 수직인 제2 방향(Y 방향)을 수평 방향으로 정의한다. 그리고 제3 방향(Z 방향)은 제1 방향(X 방향)과 제2 방향(Y 방향)에 모두 수직인 방향이다.

[0044] 제1 도전형 반도체층(121)은 III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제1 도펀트가 도핑될 수 있다. 제1 도전형 반도체층(121)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 GaN, AlGaN, InGaN, InAlGaN 등에서 선택될 수 있다. 그리고, 제1 도펀트는 Si, Ge, Sn, Se, Te와 같은 n형 도펀트일 수 있다. 제1 도펀트가 n형 도펀트인 경우, 제1 도펀트가 도핑된 제1 도전형 반도체층(121)은 n형 반도체층일 수 있다.

[0045] 활성층(122)은 제1 도전형 반도체층(121)과 제2 도전형 반도체층(123) 사이에 배치될 수 있다. 활성층(122)은 제1 도전형 반도체층(121)을 통해서 주입되는 전자(또는 정공)와 제2 도전형 반도체층(123)을 통해서 주입되는 정공(또는 전자)이 재결합되는 층일 수 있다. 활성층(122)은 전자와 정공이 재결합함에 따라, 전자가 낮은 에너지 준위로 천이하며, 활성층(122)이 포함하는 후술될 우물층의 밴드갭 에너지에 대응하는 파장을 가지는 빛을 생성할 수 있다. 상기 반도체 소자가 방출하는 광의 파장 중 상대적으로 가장 큰 세기를 갖는 광의 파장은 자외선일 수 있고, 상기 자외선은 상술한 근자외선, 원자외선, 심자외선일 수 있다.

[0046] 활성층(122)은 단일 우물 구조, 다중 우물 구조, 단일 양자 우물 구조, 다중 양자 우물(Multi Quantum Well; MQW) 구조, 양자점 구조 또는 양자선 구조 중 어느 하나의 구조를 가질 수 있으며, 활성층(122)의 구조는 이에 한정하지 않는다.

[0047] 제2 도전형 반도체층(123)은 활성층(122) 상에 형성되며, III-V족, II-VI족 등의 화합물 반도체로 구현될 수 있으며, 제2 도전형 반도체층(123)에 제2 도펀트가 도핑될 수 있다. 제2 도전형 반도체층(123)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질 또는 AlInN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP 중 선택된 물질로 형성될 수 있다. 제2 도펀트가 Mg, Zn, Ca, Sr, Ba 등과 같은 p형 도펀트인 경우, 제2 도펀트가 도핑된 제2 도전형 반도체층(123)은 p형 반도체층일 수 있다.

[0048] 추가적으로, 활성층(122)과 제2 도전형 반도체층(123) 사이에는 전자 차단층(미도시됨)이 배치될 수 있다. 전자 차단층(미도시됨)은 제1 도전형 반도체층(121)에서 활성층(122)으로 공급되는 전자가 활성층(122)에서 재결합하여 발광하지 않고, 제2 도전형 반도체층(123)으로 빠져나가는 흐름을 차단하여, 활성층(122) 내에서 전자와 정공이 재결합할 확률을 높일 수 있다. 전자 차단층(미도시됨)의 에너지 밴드갭은 활성층(122) 및/또는 제2 도전형 반도체층(123)의 에너지 밴드갭보다 클 수 있다.

[0049] 전자 차단층(미도시됨)은 $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 재료, 예를 들어 AlGaN, InGaN, InAlGaN 등에서 선택될 수 있으나 이에 한정하지 않는다. 전자 차단층(미도시됨)은 알루미늄 조성이 높은 제1층(미도시됨)과 알루미늄 조성이 낮은 제2층(미도시됨)이 교대로 배치될 수 있다.

[0050] 그리고 제1 도전형 반도체층(121), 활성층(122), 및 제2 도전형 반도체층(123)은 모두 알루미늄을 포함할 수 있다. 따라서, 제1 도전형 반도체층(121), 활성층(122), 및 제2 도전형 반도체층(123)은 AlGaN일 수 있다. 그러나, 반드시 이에 한정하지 않는다.

[0051] 또한, 제1 도전형 반도체층(121), 활성층(122), 및 제2 도전형 반도체층(123)이 모두 알루미늄을 포함하는 경우, 전자 차단층(미도시됨)은 알루미늄 조성이 50% 내지 90%일 수 있다. 전자 차단층(미도시됨)의 알루미늄 조성이 50% 미만일 경우 전자를 차단하기 위한 에너지 장벽의 높이가 부족할 수 있고 활성층(122)에서 방출하는 광을 전자 차단층(미도시됨)에서 흡수할 수 있고, 알루미늄 조성이 90%를 초과할 경우 반도체 소자의 전기적 특

성이 악화될 수 있다.

- [0052] 그리고 발광 구조물(120)은 제2 도전형 반도체층(123) 상에서 제1 도전형 반도체층(121)을 향하여 오목한 오목부(127) 및 리세스(128)를 포함할 수 있다. 즉, 오목부(127)는 제2 도전형 반도체층(123) 및 활성층(122)을 관통하고 제1 도전형 반도체층(121)의 일부 영역을 노출하도록 배치될 수 있다. 또한, 리세스(128)는 제2 도전형 반도체층(123) 및 활성층(122)을 관통하고 제1 도전형 반도체층(121)의 일부 영역까지 관통하도록 배치되어 제1 도전형 반도체층(121)이 노출될 수 있다. 이에 따라, 오목부(127)와 리세스(128)에 의해 제1 도전형 반도체층(121)은 일부 영역에서 노출될 수 있다.
- [0053] 오목부(127)는 제2 도전형 반도체층(123)의 상면(123a, 123b) 외측에서 반도체 소자의 외측으로 연장하여 배치될 수 있다. 예컨대, 오목부(127)는 제2 도전형 반도체층(123)의 상면의 최외측보다 외측에 배치될 수 있다. 이에 후술하는 비활성 영역(RI)에 배치될 수 있다. 그리고 오목부(127)는 경사면(127a) 및 저면(127b)을 포함할 수 있다.
- [0054] 경사면(127a)은 제2 도전형 반도체층(123)의 상면의 최외측에서 연장되고, 제2 도전형 반도체층(123)과 활성층(122)을 관통하므로 제2 도전형 반도체층(123)의 최외측면과 활성층(122)의 최외측면을 포함할 수 있다. 그리고 제2 도전형 반도체층(123)의 최외측면과 활성층(122)의 최외측면은 제2 도전형 반도체층(123)의 상면의 최외측보다 외측에 배치될 수 있다.
- [0055] 그리고 제2 도전형 반도체층(123)의 최외측면과 활성층(122)의 최외측면은 제2 도전형 반도체층(123)의 상면을 기준으로 소정의 각도로 기울 수 있다. 이러한 각도는 시각에 의한 공정에 의해 변경될 수 있다.
- [0056] 또한, 경사면(127a)은 제2 도전형 반도체층(123)의 최외측면과 활성층(122)의 최외측면을 따라 연장된 제1 도전형 반도체층(121)의 외측면을 더 포함할 수 있다. 제1 도전형 반도체층(121)의 외측면은 활성층(122)의 최외측면을 따라 소정의 높이로 연장될 수 있다.
- [0057] 그리고 오목부(127)는 경사면(127a)으로부터 연장된 저면(127b)을 포함할 수 있다. 저면(127b)은 경사면(127a)과 소정의 각도를 가지도록 배치될 수 있으며, 후술하는 제1 전극(131)이 용이하게 배치되도록 수평 방향으로 평탄한 구조를 가질 수 있다. 다만, 이에 한정되는 것은 아니다.
- [0058] 그리고 저면(127b)은 제1 도전형 반도체층(121)의 상면의 일부로, 활성층(122) 및 제2 도전형 반도체층(123)의 최외측면과 이격 배치될 수 있다.
- [0059] 또한, 오목부(127)는 후술하는 리세스(128)의 외측에 배치되어 리세스(128)를 감싸도록 배치될 수 있다.
- [0060] 또한, 리세스(128)는 발광 구조물(120)의 가장자리에 인접하게 연장되어 배치될 수 있다. 특히, 리세스(128)는 활성층(122) 또는 제2 도전형 반도체층(123)의 가장자리에 인접하게 연장 배치될 수 있다. 다시 말해, 리세스(128)는 오목부(127)의 경사면(127a)에 인접하게 연장하여 배치될 수 있다. 또한, 리세스(128)는 오목부(127)와 이격 배치될 수 있으며, 연속적으로 배치될 수 있다. 예컨대, 리세스(128)가 연속적으로 배치되는 경우, 평면(ZY 평면) 상 리세스(128)는 발광 구조물(120)에서 페루프 형태일 수 있다. 이하 페루프 형태인 경우를 기준으로 설명한다.
- [0061] 이에 따라, 발광 구조물(120)은 리세스(128)에 의해 활성 영역(RA)과 비활성 영역(RI)으로 구획될 수 있다. 여기서, 활성 영역(RA)은 발광 구조물(120)에서 리세스(128)의 내측에 위치하고, 비활성 영역(RI)은 발광 구조물(120)에서 리세스(128)의 외측에 위치할 수 있다.
- [0062] 그리고 활성 영역(RA)의 활성층(122)과 비활성 영역(RI)의 활성층(122)은 서로 이격 배치될 수 있다. 활성 영역(RA)은 내부의 활성층(122)이 제2 전극(132)에 인접하게 배치되어, 전자와 정공의 결합이 일어나는 발광 영역일 수 있다. 이와 달리, 비활성 영역(RI)은 내부의 활성층(122)이 활성 영역(RA)의 활성층(122)과 이격되고, 제2 전극(132)보다 발광 구조물(120)의 가장자리에 인접하게 배치되므로, 전자, 정공 결합이 일어나지 않는 비 발광 영역일 수 있다.
- [0063] 이러한 구성에 의하여, 발광 구조물(120)의 측면, 상면을 감싸는 제2 절연층(160)이 반도체 소자의 발광에 의한 발열, 외부의 고온, 고습, 발광 구조물(120) 간의 열팽창 계수 차이 등에 의해 박리, 크랙 등이 발생하더라도, 외부에서 발광 구조물(120)로 침투하는 수분이나 오염 물질 등이 발광 영역인 활성 영역(RA)의 활성층(122)을 산화시키지 못하게 할 수 있다.
- [0064] 구체적으로, 일 실시예에 따른 반도체 소자에서 리세스(128)는 활성 영역(RA)의 활성층(122)과 비활성 영역(RI)

I)의 활성층(122) 간의 직접적인 연결을 차단할 수 있다. 이에 따라, 발광 구조물(120)의 측벽에 인접한 비활성 영역(RI)의 활성층(122)이 전술한 박리로 인해 외부에 노출되는 경우에 비활성 영역(RI)의 활성층(122)은 노출로 인해 산화될 수 있다.

[0065] 다만, 리세스(128)에 의해 활성층(122)이 활성 영역(RA), 비활성 영역(RI) 내에 이격 배치되므로, 비활성 영역(RI)의 활성층(122)이 산화되더라도 활성 영역(RA)의 활성층(122)은 상기 산화로부터 보호될 수 있다. 즉, 리세스(128)는 외부의 습기로부터 발광 영역의 활성층(122)의 산화를 보호할 수 있다.

[0066] 특히, 반도체 소자가 자외선 광을 생성하는 경우에는 가시광을 생성하는 경우에 대비하여 활성층(122)의 에너지 밴드 갭 및 Al 농도가 증가하므로 산화에 더욱 취약할 수 있다. 이에 따라, 본 명세서에서 설명하는 반도체 소자는 자외선 광을 생성하는 경우에 신뢰성을 크게 개선할 수 있다.

[0067] 또한, 발광 구조물(120)이 자외선 광을 생성하는 경우에 높은 밴드갭 에너지를 가지므로, 발광 구조물(120)은 전류 분산 특성이 저하되고 유효 발광 영역이 감소할 수 있다.

[0068] 예를 들어, 발광 구조물(120)이 GaN 기반의 화합물 반도체로 구성되는 경우에 자외선 광을 방출하기 위해서 발광 구조물은 Al이 다량 포함된 $Al_xGa_{(1-x)}N$ ($0 \leq x \leq 1$)으로 구성될 수 있다. 여기서, Al 함량을 의미하는 x 값이 커짐에 따라 발광 구조물(120)의 저항도 커질 수 있으며, 발광 구조물(120)의 전류 분산 및 전류 주입 특성이 저하될 수 있다.

[0069] 이에 따라, 발광 구조물(120)에서 전류 스프레딩은 활성 영역(RA) 내에서 이루어질 수 있다. 이로써, 본 명세서에서 설명하는 반도체 소자(10)는 리세스(128)를 가지더라도 광 출력을 유지할 수 있다. 뿐만 아니라, 전술한 바와 같이 리세스(128)가 수분 등에 의해 산화가 이루어지는 영역을 리세스(128)의 외측 영역(예컨대, 활성 영역(RA))으로 제한하여, 유효 발광 영역(예로, 비활성 영역(RI))에 위치한 활성층(122)을 산화로부터 보호하여 광 출력을 유지할 수도 있다. 여기서, 유효 발광 영역은 최대 광 출력의 소정의 비율(예컨대, 40%) 이상의 광 출력을 갖는 영역을 의미한다.

[0070] 또한, 리세스(128)에 의해 제2 도전형 반도체층(123)의 상면은 제1 상면(123a)와 제2 상면(123b)으로 구획될 수 있다. 제1 상면(123a)은 리세스(128) 내측에 배치되고, 제2 상면(123b)은 리세스(128) 외측에 배치될 수 있다. 제1 상면(123a)과 제2 상면(123b)은 이격 배치되며, 리세스(128)에 의해 전기적으로 분리될 수 있다.

[0071] 제1 전극(131)은 메사 식각에 의해 노출된 제1 도전형 반도체층(121) 상에 배치되어 제1 도전형 반도체층(121)과 전기적으로 연결될 수 있다. 특히, 메사 식각에 의한 오목부(127)는 리세스(128)의 외측에 배치되어, 리세스(128)를 감싸도록 배치될 수 있다.

[0072] 또한, 제1 전극(131)은 비교적 원활한 전류 주입 특성을 확보하기 위해 활성층(122)의 저농도층상에 배치될 수 있다. 즉, 제1 전극(131)은 제1 도전형 반도체층(121)의 저농도층의 영역과 인접하게 배치될 수 있다. 제1 도전형 반도체층(121)의 고농도층은 Al의 농도가 높아 전류 확산 특성이 상대적으로 낮기 때문이다. 다만, 이러한 구성에 한정되는 것은 아니다.

[0073] 또한, 제1 전극(131)은 리세스(128) 외측에서 제1 도전형 반도체층(121) 상에 배치될 수 있다. 예컨대, 제1 전극(131)은 오목부(127)의 저면(127a) 상에 배치될 수 있다. 그리고 제1 전극(131)을 통해 전류가 주입되면, 발광 구조물(120)은 광을 생성할 수 있다.

[0074] 제2 전극(132)은 제2 도전형 반도체층(123) 상에 배치되고, 제2 도전형 반도체층(123)과 전기적으로 연결될 수 있다. 또한, 제2 전극(132)은 리세스(128)의 내측에 배치되므로, 활성 영역(RA)과 제1 방향으로 중첩될 수 있다.

[0075] 제1 전극(131)과 제2 전극(132)은 옴릭 전극일 수 있다. 제1 전극(131)과 제2 전극(132)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminum zinc oxide), ATO(antimony tin oxide), GZO(gallium zinc oxide), IZON(IZO Nitride), AGZO(Al-Ga ZnO), IGZO(In-Ga ZnO), ZnO, IrOx, RuOx, NiO, RuOx/ITO, Ni/IrOx/Au, 또는 Ni/IrOx/Au/ITO, Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함하여 형성될 수 있으나, 이러한 재료에 한정되는 않는다.

[0076] 제1 절연층(140)은 발광 구조물(120) 상에 배치되어, 제1 전극(131)을 활성층(122), 제2 도전형 반도체층(123) 및 제2 전극(132)로부터 절연시킬 수 있다. 또한, 제1 절연층(140)은 제2 전극(132)을 활성층(122), 제1 도전형

반도체층(121) 및 제1 전극(131)과 전기적으로 절연시킬 수 있다.

- [0077] 또한, 제1 절연층(140)은 발광 구조물(120) 상에 일부 배치되어, 제1 도전형 반도체층(121)과 제2 도전형 반도체층(122)을 일부 노출할 수 있다. 이로써, 제1 절연층(140)에 노출된 영역에 제1 전극(131) 및 제2 전극(132)이 배치될 수 있다.
- [0078] 그리고 제1 절연층(140)은 제1 전극(131) 및 제2 전극(132)이 배치되는 영역을 제외하고 반도체 소자(10)의 공정 중에 가장자리로부터 외부 습기 등이 발광 구조물(120)에 침투하는 것을 방지할 수 있다. 특히, 제1 절연층(140)은 리세스(128) 내에 배치되어 리세스(128)로 오염 물질 등이 침투하는 것을 방지할 수 있다.
- [0079] 또한, 제1 절연층(140)은 리세스(128) 내에 위치하여 활성 영역(RA)의 활성층(122)과 비활성 영역(RI)의 활성층(122) 간에 절연을 유지할 수 있다.
- [0080] 또한, 제1 절연층(140)은 SiO_2 , SixOy , Si_3N_4 , SixNy , SiOxNy , Al_2O_3 , TiO_2 , AlN 등으로 이루어진 군에서 적어도 하나가 선택되어 형성될 수 있으나, 이에 한정하지 않는다. 제1 절연층(140)은 단층 또는 다층으로 형성될 수 있다. 예시적으로 제1 절연층(140)은 Si 산화물이나 Ti 화합물을 포함하는 다층 구조의 DBR(distributed Bragg reflector)일 수도 있다. 그러나, 반드시 이에 한정하지 않고 제1 절연층(140)은 다양한 반사 구조를 포함할 수 있다.
- [0081] 또한, 제1 절연층(140)이 반사기능을 수행하는 경우, 활성층(122)에서 상부 또는 측면을 향해 방출되는 광을 상향 반사시켜 광 추출 효율을 향상시킬 수 있다.
- [0082] 그리고 제1 패드(151)는 제1 전극(131) 상에 배치될 수 있다. 구체적으로, 제1 패드(151)는 제1 전극(131)의 상면을 덮고 제1 절연층(140)의 일부를 덮도록 배치될 수 있다.
- [0083] 또한, 제1 절연층(140)은 제2 도전형 반도체층(123)의 제1 상면(123a) 상에 일부 배치될 수 있다. 그리고 제1 절연층(140)은 제2 도전형 반도체층(123)의 제1 상면(123a)에서 제1 리세스(128), 제2 상면(123b) 그리고 오목부(127)를 따라 연장 배치될 수 있다. 즉, 제1 절연층(140)은 활성 영역(RA)에서 리세스(128)를 따라 연장하여 배치될 수 있다. 그리고 제1 절연층(140)은 오목부(127)의 저면(127b)까지 연장 배치될 수 있다. 이에 따라, 제1 절연층(140)은 활성 영역(RA)과 수직 방향으로 일부 중첩될 수 있다. 또한, 제1 절연층(140)은 리세스(128)와 수직 방향으로 중첩되도록 배치되며, 비활성 영역(RI)의 일부와도 수직 방향으로 중첩되도록 배치될 수 있다. 이러한 구성에 의하여, 리세스(128)에 의해 노출된 활성층(122)으로 습기 등이 침투하는 것을 방지하면서 활성 영역(RA)의 활성층(122)에서 발생한 광이 측면으로 방출되더라도 용이하게 반사할 수 있다. 뿐만 아니라, 비활성 영역(RI)의 활성층(122)도 외부 습기 등으로부터 용이하게 보호하여, 비활성 영역(RI)의 활성층(122)과 제1 도전형 반도체층(121)을 통과하여 활성 영역(RA)의 활성층(122)으로 산화가 이동하는 현상을 방지할 수 있다.
- [0084] 그리고 제1 패드(151)는 전도성 물질로 이루어질 수 있다. 예컨대, 제1 패드(151)는 Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함할 수 있다. 다만, 이러한 재질에 한정되는 것은 아니다.
- [0085] 또한, 제2 패드(152)는 제2 전극(132) 상에 배치될 수 있다. 그리고 반도체 소자(10)의 하면으로부터 제1 패드(151)의 상면과 제2 패드(152)의 상면이 동일한 위치에 배치될 수 있다. 다만, 이러한 구성에 한정되는 것은 아니다. 즉, 제1 패드(151)와 제2 패드(152)의 두께가 조절될 수 있다. 예컨대, 제1 패드(151)의 상면과 제2 패드(152)의 상면의 높이 차이를 최소화하여, 제1 패드(151)과 제2 패드(152)을 본딩하는 경우 보이드(void) 발생을 감소시킬 수 있다.
- [0086] 특히, 제2 패드(152)는 적어도 일부가 리세스(128)와 제1 방향으로 중첩될 수 있다. 이러한 구성에 의하여, 제2 패드(152)는 박리 시에 활성 영역(RA)의 활성층(122)을 외부 습기 등으로부터 용이하게 보호할 수 있다. 뿐만 아니라, 제2 패드(152)가 리세스(128)로 연장되어 배치됨에 따라 제2 패드를 통한 열방출이 용이하므로 열에 의한 박리 현상을 용이하게 방지할 수 있다. 이에 대해서는 이하 도 3a,b에서 자세히 설명한다.
- [0087] 또한, 제2 패드(152)는 제1 절연층(140) 상에 일부 배치될 수 있다. 그리고 제2 패드(152)는 제1 패드(151)와 같이 전도성 물질로 이루어질 수 있다. 예컨대, 제2 패드(152)는 Ag, Ni, Cr, Ti, Al, Rh, Pd, Ir, Sn, In, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나를 포함할 수 있다. 다만, 이러한 재질에 한정되는 것은 아니다.
- [0088] 제2 절연층(160)은 발광 구조물(120), 제1 절연층(140), 제1 패드(151) 및 제2 패드(152) 상에 배치될 수 있다. 이러한 구성에 의하여, 제2 절연층(160)은 외부로부터 반도체 소자(10)를 보호할 수 있다.

- [0089] 구체적으로, 제2 절연층(160)은 제1 패드(151)를 일부 노출하도록 배치될 수 있다. 이에 따라, 제2 절연층(160)은 제1 패드(151)가 일부 노출되도록 제1 패드(151) 상에 일부 배치될 수 있다. 이로써, 노출된 제1 패드(151)는 외부와 전기적으로 연결될 수 있다.
- [0090] 또한, 제2 절연층(160)은 제2 패드(152)가 일부 노출되도록 제2 패드(152) 상에 일부 배치될 수 있다. 예컨대, 제2 절연층(160)은 제1 관통홀(h1)을 포함할 수 있다. 제1 관통홀(h1)은 제2 패드(152) 상에 배치되어 제2 패드(152)의 상면 일부가 노출될 수 있다. 그리고 노출된 제2 패드(152)는 외부와 전기적으로 연결될 수 있다.
- [0091] 또한, 제2 절연층(160)은 일부가 리세스(128)와 제1 방향으로 중첩될 수 있다. 이러한 구성에 의하여, 리세스(128)는 제1 절연층(140), 제2 패드(152) 및 제2 절연층(160)에 의해 보호되므로, 일 실시예에 따른 반도체 소자는 박리와 습기에 산화되어 광 출력이 저하되는 것을 방지할 수 있다.
- [0092] 또한, 제2 절연층(160)은 투명하고, 절연성 재료로 이루어질 수 있다. 예컨대, 제2 절연층(160)은 SiO_2 , SiO_x , SiO_xN_y , Si_3N_4 , Al_2O_3 , 또는 TiO_2 중 적어도 어느 하나를 포함할 수 있으나, 이러한 재질에 한정되는 것은 아니다.
- [0093] 또한, 제2 절연층(160)과 제1 절연층(140)은 서로 동일한 물질로 이루어질 수 있고, 서로 다른 물질로 이루어질 수 있다. 그리고 제1 절연층(140) 상에 제2 패드(152) 그리고 제2 절연층(160)이 배치되므로 제1 절연층(140)에 형성된 결함이 제2 절연층(160)으로 전파되기 어려워, 제2 절연층(160)은 제1 절연층(140)과 제2 절연층(160) 사이의 계면이 결함의 전파를 차폐하는 역할을 수행할 수 있다.
- [0094] 또한, 제1 절연층(140)과 제2 절연층(141)은 공정 과정에서 열에 의해 용융되어 하나의 층으로 이루어지거나, 적어도 일부 영역에서 제1 절연층(140)과 제2 절연층(141) 사이의 계면이 존재하지 않을 수 있다. 이에 따라, TEM(Transmission electron microscopy) 등을 이용하여 관찰하더라도 제1 절연층(140)과 제2 절연층(141) 사이의 계면은 적어도 일부 영역에서 하나의 층으로 보일 수 있다. 또한, 제1 절연층(140)과 제2 절연층(141)은 단일 공정으로 이루어질 수도 있다.
- [0095] 반도체 소자의 광학적, 전기적 신뢰성이 저하되거나 반도체 소자의 공정 시간이 길어짐에 따라 반도체 소자의 단가가 높아지는 문제점을 개선할 수 있다.
- [0096] 도 3a는 도 2에서 K부분의 확대도이고, 도 3b는 도 3a에서 L부분의 확대도이다.
- [0097] 도 3a를 참조하면, 리세스(128)는 최하부에 위치하는 바닥면(128b), 바닥면(128b) 내측에 배치되는 내측 경사면(128a) 및 바닥면(128b) 외측에 배치되는 외측 경사면(128c)을 포함할 수 있다.
- [0098] 바닥면(128b)은 노출된 제1 도전형 반도체층(121) 중 활성층(122) 또는 제2 도전형 반도체층(123)의 가장자리 내측에서 최하부에 위치할 수 있다.
- [0099] 그리고 내측 경사면(128a)은 바닥면(128b) 내측에 배치되며 바닥면(128b)에서 제2 도전형 반도체층(123) 상면으로 연장될 수 있다. 예컨대, 내측 경사면(128a)은 바닥면(128b)에서 제2 도전형 반도체층(123) 상면 중 제1 상면(123a)로 연장될 수 있다. 즉, 내측 경사면(128a)은 바닥면(128b)의 내측에 위치한 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)의 측면을 따라 배치될 수 있다.
- [0100] 외측 경사면(128c)은 바닥면(128b) 외측에 배치되며 바닥면(128b)에서 제2 도전형 반도체층(123) 상면으로 연장될 수 있다. 예컨대, 외측 경사면(128c)은 바닥면(128b)에서 제2 도전형 반도체층(123) 상면 중 제2 상면(123b)로 연장될 수 있다. 또한, 외측 경사면(128c)은 바닥면(128b)의 외측에 위치한 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)의 측면을 따라 배치될 수 있다. 그리고 외측 경사면(128c)은 바닥면(128b)을 기준으로 내측 경사면(128a)와 대칭으로 배치될 수 있다. 즉, 외측 경사면(128c)은 내측 경사면(128a)과 대향하며, 바닥면(128b)과 연결될 수 있다.
- [0101] 그리고, 제2 패드(152)는 리세스(128)와 제1 방향으로 적어도 일부 중첩되도록 리세스(128) 상에 배치될 수 있다. 실시예로, 제2 패드(152)는 제2 전극(132) 상에 배치되어 제2 방향으로 연장되어, 리세스(128) 외측에도 배치될 수 있다. 즉, 제2 패드(152)는 제2 도전형 반도체층(123)의 제2 상면(123b)의 최외측으로부터 이격 거리(d)를 가지면서 이격 배치될 수 있다. 예컨대, 제2 패드(152)의 일단부는 리세스(128)와 오목부(127) 사이에 배치될 수 있다 그리고 이격 거리(d)는 $3\mu\text{m}$ 내지 $7\mu\text{m}$ 일 수 있다. 상기 이격 거리(d)가 $3\mu\text{m}$ 보다 작은 경우 공정이 어렵고, 이격 거리가 $7\mu\text{m}$ 이상인 경우 저항이 증가하며 광 추출이 저하되는 문제가 존재한다.
- [0102] 이러한 구성에 의하여, 제2 패드(152)가 리세스(128) 외측으로 일부 연장되어 배치됨에 따라 제2 패드를 통한 열 방출이 용이하므로 열에 의한 팽창으로 발생하는 박리 문제를 해결할 수 있다. 그리고 제2 패드(152)는 열에

의해 제2 패드(152)가 박리되는 것을 방지하여 활성 영역의 활성층(122)을 외부 습기 등으로부터 용이하게 보호할 수 있다.

[0103] 리세스(128)의 최대 폭(W1)은 $1.5\mu\text{m}$ 내지 $4.5\mu\text{m}$ 일 수 있고, 제2 패드(152)는 리세스(128)의 최내측부로부터 제2 방향으로 최대 폭(W5)이 $2.5\mu\text{m}$ 내지 $7.5\mu\text{m}$ 일 수 있다. 즉, 리세스(128)의 최대 폭(W1)과 제2 패드(152)가 리세스(128)의 최내측으로부터 제2 방향으로 최대 폭(W5) 간의 폭의 비가 1:0.5 내지 1:5일 수 있다. 상기 폭의 비가 1:0.5보다 작은 경우에 박리가 발생하고 제2 패드를 통한 내습성 향상이 저하되는 문제가 존재한다. 또한, 상기 폭의 비가 1:5보다 큰 경우에 제2 패드에 의하여 광 출력이 저하되는 문제가 존재한다.

[0104] 또한, 상술한 바와 같이 제2 패드(152)는 리세스(128) 상부로 다양한 위치까지 연장하여 배치될 수 있다. 실시예로, 제2 패드(152)는 리세스(128)의 내측 경사면(128a)까지 연장하여 배치될 수 있다. 이에 따라, 제2 패드(152)의 일단부는 내측 경사면(128a) 상에 위치할 수 있다. 또 다른 실시예로, 제2 패드(152)는 리세스(128)의 바닥면(128b)까지 연장하여 배치될 수 있다(도 6 참조). 이에 따라, 제2 패드(152)의 일단부는 바닥면(128b) 상에 위치할 수 있다. 또 다른 실시예로, 제2 패드(152)는 내측 경사면(128a) 및 바닥면(128b)을 지나 외측 경사면(128c)까지 연장하여 배치될 수 있다. 이에 따라, 제2 패드(152)의 일단부는 외측 경사면(128c) 상에 위치할 수 있다. 뿐만 아니라, 또 다른 실시예로, 제2 패드(152)는 내측 경사면(128a), 바닥면(128b) 및 외측 경사면(128c)을 지나 비활성 영역(RI)의 제2 도전형 반도체층(123) 상부까지 연장될 수 있다. 이에 따라, 제2 패드(152)의 일단부는 비활성 영역(RI)의 제2 도전형 반도체층(123) 상부에 위치할 수 있다. 이와 같이, 본 명세서에서 설명하는 반도체 소자는 반도체 소자의 내습성, 저항 등에 대응하여 상술한 바와 같이 다양한 실시예로 구현될 수 있다.

[0105] 도 3b를 참조하면, 제1 전극(131)은 제1 도전형 반도체층(121)과 전기적으로 연결될 수 있다. 제1 전극(131)은 일면에 형성된 제1 홈(131a)을 포함할 수 있다. 일반 가시광 발광소자와 달리 자외선 발광소자의 경우 오믹을 위해 전극을 고온에서 열처리할 필요가 있다. 예시적으로 제1 전극(131) 및/또는 제2 전극(132)은 약 600°C 내지 900°C 에서 열처리할 수 있고, 이 과정에서 제1 전극(131)의 표면에는 산화막(OX1)이 형성될 수 있다. 산화막(OX1)은 저항층으로 작용할 수 있으므로 동작 전압이 상승할 수 있다.

[0106] 산화막(OX1)은 제1 전극(131)을 구성하는 물질이 산화되어 형성될 수 있다. 따라서 제1 전극(131)을 열처리하는 과정에서 제1 전극(131)을 구성하는 물질의 농도 및/또는 질량 퍼센트 등의 성분이 일정하지 못하거나, 제1 전극(131)의 표면이 다른 구성 요소에 의해 균일하지 못한 열이 가해지는 경우 산화막(OX1)의 두께는 불균일하게 형성될 수 있다.

[0107] 따라서, 실시예에 따른 제1 전극(131)은 일면에 제1 홈(131a)을 형성하여 산화막(OX1)을 제거할 수 있다. 이 과정에서 제1 홈(131a)을 둘러싸는 돌기부(131b)가 형성될 수 있다.

[0108] 제1 전극(131)을 열처리하는 과정에서 제1 전극(131)과 제2 전극(132) 사이로 노출되는 제1 도전형 반도체층(121)의 측면, 활성층(122)의 측면, 및 제2 도전형 반도체층(123)의 측면 중 적어도 일부 영역에서 산화 및/또는 부식이 발생할 수 있다.

[0109] 그러나, 실시예에 따르면, 제1 절연층(140)은 제2 도전형 반도체층(123) 상면의 일부 영역에서 연장되어 활성층(122)의 측면 및 제1 도전형 반도체층(121)의 일부 영역까지 배치될 수 있다. 또한, 제1 절연층(140)은 제1 전극(131)과 제2 전극(132) 사이에서 제1 도전형 반도체층(121)의 측면, 활성층(122)의 측면, 제2 도전형 반도체층(123)의 측면에 배치될 수 있다.

[0110] 따라서, 제1 전극(131)을 열처리시 제1 절연층(140)에 의해 제1 도전형 반도체층(121)의 측면, 활성층(122)의 측면, 제2 도전형 반도체층(123)의 측면 중 적어도 일부 영역이 부식되는 것을 방지할 수 있다.

[0111] 뿐만 아니라, 제1 절연층(140)은 리세스(128)에 의해 노출되는 반도체 구조물(120)의 각 측면을 산화로부터 보호할 수 있다.

[0112] 그리고 제1 전극(131)을 전체적으로 에칭하는 경우 인접 배치된 제1 절연층(140)까지 식각될 수 있는 문제가 있다. 따라서, 실시예는 제1 전극(131)의 일부 영역에만 에칭을 수행함으로써 테두리 영역이 잔존하여 돌기부(131b)를 형성할 수 있다. 돌기부(131b)의 상면 폭(d3)은 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 일 수 있다. 폭(d3)이 $1\mu\text{m}$ 이상인 경우 제1 절연층(140)이 식각되는 것을 방지할 수 있으며, 폭(d3)이 $10\mu\text{m}$ 이하인 경우 제1 홈의 면적이 증가하여 산화막이 제거된 영역을 증가시킴으로써 저항이 되는 표면적을 줄일 수 있다.

[0113] 예시적으로 제1 전극(131)의 일부 영역에 제1 홈(131a)을 형성하는 경우, 포토 레지스트(Photo Resist)를 배치

하고 노광 공정을 거쳐 포토 레지스트로 구성되는 마스크를 배치할 수 있다. 마스크는 상면과 하면 사이의 측면이 기관의 저면에 대하여 경사각을 가질 수 있다. 따라서 마스크의 경사각을 조절하여 제1 전극(131)의 돌기부(131b)의 일부 영역도 에칭될 수 있기 때문에 돌기부(131b) 상에 형성된 산화막(OX1)의 두께가 불균일하게 배치될 수도 있다. 경우에 따라, 제1 전극(131)의 돌기부(131b) 및 측면에 잔존하는 산화막을 일부 제거할 수도 있다.

[0114] 제1 패드(151)는 제1 전극(131)상에 배치될 수 있다. 이때, 제1 패드(151)는 제1 홈(131a)에 배치되는 제1 요철부(151a)를 포함할 수 있다. 이러한 구성에 의하면 제1 패드(151)과 제1 전극(131)의 전기적 연결이 개선되어 동작 전압이 낮아질 수 있다. 만약 제1 전극(131)에 제1 홈(131a)이 없는 경우 산화막이 제거되지 않아 제1 패드(151)과 제1 전극(131) 사이의 저항이 상승할 수 있다.

[0115] 제1 패드(151)는 제1 전극(131)의 측면을 덮을 수 있다. 따라서, 제1 패드(151)과 제1 전극(131)의 접촉 면적이 넓어지므로 동작 전압이 더 낮아질 수 있다. 또한, 제1 패드(151)이 제1 전극(131)의 측면을 덮으므로 외부에서 침투하는 수분이나 기타 오염 물질로부터 제1 전극(131)을 보호할 수 있다. 따라서, 반도체 소자의 신뢰성이 개선될 수 있다.

[0116] 제1 패드(151)는 제1 절연층(140)과 제1 전극(131) 사이의 이격 영역(d2)에 배치되는 제2 요철부(151b)를 포함할 수 있다. 제2 요철부(151b)는 제1 도전형 반도체층(121)과 직접 접촉할 수 있다. 따라서, 제1 도전형 반도체층(121)으로 주입되는 전류를 좀 더 균일하게 분산시키는 효과를 가질 수 있다. 이때, 제1 패드(151)이 제1 도전형 반도체층(121)과 직접 접하는 경우 제1 패드(151)과 제1 도전형 반도체층(121) 사이의 저항이 제1 전극(131)과 제1 도전형 반도체층(121) 사이의 저항보다 클 수 있다. 이격 영역(d2)의 폭은 약 1um 내지 10um일 수 있다.

[0117] 제1 패드(151)는 제1 절연층(140)의 상부로 연장된 제1 영역(d1)을 가질 수 있다. 따라서, 제1 패드(151)의 전체 면적이 증가하여 동작 전압이 낮아질 수 있다.

[0118] 제1 패드(151)이 제1 절연층(140)의 상부로 연장되지 않는 경우, 제1 절연층(140)의 끝단이 들떠 제1 도전형 반도체층(121)과 떨어질 수 있다. 따라서, 그 틈으로 외부의 습기 및/또는 기타 오염 물질이 유입될 수 있다. 그 결과, 제1 도전형 반도체층(121)의 측면, 활성층(122)의 측면, 제2 도전형 반도체층(123)의 측면 중 적어도 일부 영역이 부식 또는 산화될 수 있다.

[0119] 이때, 제4 영역(d4)의 전체 면적과 제1 영역(d1)의 전체 면적의 비(d4:d1)는 1:0.15 내지 1:1 일 수 있다. 제1 영역(d1)의 전체 면적은 제4 영역(d4)의 전체 면적보다 작을 수 있다. 여기서 제4 영역(d4)은 제1 절연층(140)이 제1, 제2 전극(131, 132)의 사이 영역에서 제1 도전형 반도체층(121) 상에 배치된 영역일 수 있다.

[0120] 그리고 전체 면적의 비(d4:d1)가 1:0.15 이상인 경우 제1 영역(d1)의 면적이 증가하여 제1 절연층(140)의 상부를 덮음으로써 들뜸을 방지할 수 있다. 또한, 제1 전극(131)과 제2 전극(132) 사이에 배치됨으로써 외부의 습기 또는 오염 물질의 침투를 방지할 수 있다.

[0121] 또한, 전체 면적의 비(d1:d4)가 1:1 이하인 경우에는 제1 전극(131)과 제2 전극(132) 사이 영역을 충분히 덮을 수 있는 제1 절연층(140)의 면적을 확보할 수 있다. 따라서, 제1 전극(131) 및/또는 제2 전극(132)의 열 처리시 반도체 구조물이 부식되는 것을 방지할 수 있다.

[0122] 실시 예에 따르면, 제1 전극(131)과 제2 전극(132) 사이의 영역에서 제2 절연층(160)이 제1 절연층(140) 상에 배치되므로 제1 절연층(140)에 결함이 발생한 경우에도 외부의 습기 및/또는 기타 오염 물질의 침투를 방지할 수 있다. 도 4는 도 1에서 BB'로 절단된 단면도이다.

[0123] 도 4를 참조하면, 전술한 바와 같이 제2 패드(152)는 적어도 일부가 리세스(128) 내에 배치되고, 리세스(128) 상에 제2 패드(152) 및 제2 절연층(160)이 제1 방향으로 중첩되므로, 리세스(128)로 습기 등이 침투하는 것을 용이하게 방지할 수 있다. 그리고 리세스(128) 상에 복수 개의 층 사이에 계면이 존재하여, 계면을 통해 결함이 전파되는 것을 단계적으로 차폐할 수 있다.

[0124] 또한, 제2 절연층(160)은 제1 패드(151) 일부 상에 배치되는 제2 관통홀(h2)을 포함할 수 있다. 제2 관통홀(h2)은 제1 패드(151) 상에 배치되어 제1 패드(151)의 상면 일부가 노출될 수 있고, 노출된 제1 패드(151)는 제2 관통홀(h2)을 통해 외부와 전기적으로 연결될 수 있다.

[0125] 도 5는 다른 실시예에 따른 반도체 소자의 평면도이고, 도 6은 도 5에서 CC'로 절단된 단면도이다.

- [0126] 도 5 및 도 6을 참조하면, 다른 실시예에 따른 반도체 소자(10a)는 기판, 제1 도전형 반도체층(121), 제2 도전형 반도체층(123), 활성층(122)을 포함하고 기판 상에 배치되는 발광 구조물(120)과, 발광 구조물(120) 상에 일부 배치되는 제1 절연층(140), 제1 도전형 반도체층(121)과 전기적으로 연결되는 제1 전극(131)과, 제2 도전형 반도체층(123)과 전기적으로 연결되는 제2 전극(132), 제1 전극(131) 상에 배치되는 제1 패드(151) 및 제2 전극(132) 상에 배치되는 제2 패드(152) 및 제1 패드(151) 및 제2 패드(152)를 일부 덮는 제2 절연층(160)을 포함한다. 또한, 발광 구조물(120)은 리세스(128)와 오목부(127)를 포함할 수 있다. 상술한 바와 같이, 오목부(127)와 리세스(128)는 제2 도전형 반도체층(123) 및 활성층(122)을 관통하고 제1 도전형 반도체층(121)의 일부 영역까지 관통하도록 배치되므로, 오목부(127)와 리세스(128)에 의해 제1 도전형 반도체층(121)은 일부 영역에서 노출될 수 있다.
- [0127] 또한, 다른 실시예에 따른 반도체 소자(10a)는 제2 패드(152) 및 제2 절연층(160)을 제외하고, 기판(110), 발광 구조물(120), 제1 절연층(140), 제1 전극(131), 제2 전극(132) 및 제1 패드(151)는 도 1 및 도 2에서 상술한 내용이 동일하게 적용될 수 있다.
- [0128] 또한, 상술한 바와 마찬가지로 리세스(128)는 최하부에 위치하는 바닥면(128b), 바닥면(128b) 내측에 배치되는 내측 경사면(128a) 및 바닥면(128b) 외측에 배치되는 외측 경사면(128c)을 포함할 수 있다. 그리고 오목부(127)는 상술한 바와 같이 경사면(127a)과 저면(127b)을 포함할 수 있다.
- [0129] 바닥면(128b)은 노출된 제1 도전형 반도체층(121) 중 활성층(122) 또는 제2 도전형 반도체층(123)의 가장자리 내측에서 최하부에 위치할 수 있다. 즉, 내측 경사면(128a)은 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)의 측면을 따라 배치될 수 있다. 그리고 외측 경사면(128c)은 바닥면(128b) 외측에 배치되며 바닥면(128b)에서 제2 도전형 반도체층(123) 상면으로 연장될 수 있다. 또한, 외측 경사면(128c)은 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)의 측면을 따라 배치될 수 있다. 또한, 외측 경사면(128c)은 바닥면(128b)을 기준으로 내측 경사면(128a)와 대칭으로 배치될 수 있다.
- [0130] 그리고 제2 패드(152)는 제2 전극(132) 상에 배치되어 리세스(128) 상으로 연장될 수 있다. 즉, 제2 패드(152)는 외측부가 리세스(128) 상에 위치할 수 있다. 또한, 제2 패드(152)는 제2 도전형 반도체층(123)의 제2 상면(123b)의 최외측으로부터 이격 거리(d')를 가지도록 이격 배치될 수 있다. 이러한 구성에 의하여, 제2 패드(152)는 열에 의해 제2 패드(152)가 활성 영역의 활성층(122)을 외부 습기 등으로부터 용이하게 보호할 수 있을 뿐만 아니라, 제2 패드를 통한 열 방출로 박리 현상을 방지할 수 있다.
- [0131] 도 7은 도 1의 변형예이다.
- [0132] 도 7을 참조하면, 변형예에 따른 반도체 소자(10b)는 제1 범프(171), 복수의 제2 범프(172), 제1 금속 패드(181) 및 제2 금속 패드(182), 마운팅 기판(190)을 더 포함한다.
- [0133] 범프는 제1 범프(171) 및 복수의 제2 범프(172)를 포함할 수 있다. 제1 범프(171)는 제1 패드(151)와 전기적으로 연결되도록 제1 패드(151) 상에 배치될 수 있다. 특히, 제1 범프(171)는 전술한 제2 관통홀 상에 배치될 수 있다.
- [0134] 그리고 제2 범프(172)는 제2 패드(152)와 전기적으로 연결되도록 제2 패드(152) 상에 배치될 수 있다. 그리고 제2 범프(172)는 전술한 제1 관통홀 상에 배치될 수 있으며, 복수 개일 수 있다. 다만, 이러한 개수에 한정되는 것은 아니다.
- [0135] 마찬가지로, 제1 범프(171)의 개수는 도식된 바와 같이 한 개일 수 있으나, 실시 예는 제1 범프(171)의 개수를 한정하지 않는다.
- [0136] 또한, 복수 개의 제2 범프(172)는 서로 전기적으로 공간적으로 이격된 제2-1 범프(미도시됨) 및 제2-2 범프(미도시됨)를 포함할 수 있다.
- [0137] 발광 구조물(120)과 복수의 범프 사이에 전극층이 배치될 수 있다. 즉, 전극층은 스프레드(spread)층을 포함할 수 있으나, 이러한 구성에 한정되는 것은 아니다.
- [0138] 또한, 제1 금속 패드(181) 및 제2 금속 패드(182)는 각각 전기적 전도성을 갖는 금속 물질로 이루어질 수 있다.
- [0139] 그리고 마운팅 기판(190)은 제1 금속 패드(171) 및 제2 금속 패드(172) 하부에 배치되어, 제1 금속 패드(171), 제2 금속 패드(172)를 지지할 수 있다. 마운팅 기판(190)은 기판(110)을 대향하도록 배치될 수 있다. 즉, 마운팅 기판(190)은 기판(110) 아래에 배치될 수 있다. 또한, 마운팅 기판(190)은 예를 들어 AlN, BN, 탄화규소

(SiC), GaN, GaAs, Si 등의 반도체 기판으로 이루어질 수 있으며, 이에 국한되지 않고 열전도도가 우수한 반도체 물질 또는 절연성 재료로 이루어질 수도 있다. 또한, 마운팅 기판(190)은 내부에 제너 다이오드 형태의 정전기(ESD:Electro Static Discharge) 방지를 위한 소자가 포함될 수도 있다.

- [0140] 도 8은 실시예에 따른 반도체 소자 패키지의 개념도이다.
- [0141] 도 8을 참조하면, 실시예에 따른 반도체 소자 패키지(200)는 몸체(205)와, 몸체(205)에 설치된 제1 전극층(211) 및 제2 전극층(212)과, 몸체(205)에 설치되어 상기 제1 전극층(211) 및 제2 전극층(212)과 전기적으로 연결되는 반도체 소자(10)와, 형광체(미도시)를 구비하여 상기 반도체 소자(10)를 포위하는 몰딩부재(220)를 포함할 수 있다.
- [0142] 상기 제1 전극층(211) 및 제2 전극층(212)은 서로 전기적으로 분리되며, 상기 반도체 소자(10)에 전원을 제공하는 역할을 한다. 또한, 상기 제1 전극층(211) 및 제2 전극층(212)은 상기 반도체 소자(10)에서 발생된 빛을 반사시켜 광 효율을 증가시키는 역할을 할 수 있으며, 상기 반도체 소자(10)에서 발생된 열을 외부로 배출시키는 역할을 할 수도 있다.
- [0143] 상기 반도체 소자(10)는 일 실시예에 따른 반도체 소자를 예시하고 있으나 이에 한정되는 것은 아니며, 다른 실시예에 따른 반도체 소자도 적용이 가능하다.
- [0144] 실시예에 따른 발광소자는 백라이트 유닛, 조명 유닛, 디스플레이 장치, 지시 장치, 램프, 가로등, 차량용 조명 장치, 차량용 표시장치, 스마트 시계 등에 적용될 수 있으나 이에 한정되는 것은 아니다.
- [0145] 도 9a 내지 도 9h는 일 실시예에 따른 반도체 소자의 제조 방법을 도시한 도면이다.
- [0146] 도 9a를 참조하면, 기판(110) 및 기판(110) 상에 발광 구조물(120)을 배치할 수 있다. 기판(110)은 투광성 재질을 포함할 수 있다. 예컨대, 기판(110)은 사파이어(Al₂O₃), SiC, Si, GaN, ZnO, GaP, InP, Ge, 및 Ga₂O₃ 중 어느 하나를 포함할 수 있다. 다만, 이러한 재질에 한정되지 않는다.
- [0147] 발광 구조물(120)은 기판(110) 상에 배치되는 제1 도전형 반도체층(121), 제1 도전형 반도체층(121) 상에 배치되는 활성층(122) 및 활성층(122) 상에 배치되는 제2 도전형 반도체층(123)을 포함할 수 있다. 즉, 기판(110) 상에 제1 도전형 반도체층(121), 활성층(122) 및 제2 도전형 반도체층(123)이 순차로 적층될 수 있다.
- [0148] 발광 구조물(120)은 유기금속 화학 증착법(Metal Organic Chemical Vapor Deposition; MOCVD), 화학 증착법 (Chemical Vapor Deposition; CVD), 플라즈마 화학 증착법(Plasma-Enhanced Chemical Vapor Deposition; PECVD), 분자선 성장법(Molecular Beam Epitaxy; MBE), 수소화물 기상 성장법(Hydride Vapor Phase Epitaxy; HVPE), 스퍼터링(Sputtering) 등의 방법에 의해 이루어질 수 있다.
- [0149] 도 9b를 참조하면, 발광 구조물(120)은 메사 식각(mesa etching)에 의해 오목부(127)를 포함할 수 있다. 이에 따라, 발광 구조물(120)에서 경사면(127a)은 식각에 의해 제2 도전형 반도체층(123)의 상면과 경사질 수 있다. 그리고 식각은 습식 식각 또는 건식 식각으로 이루어질 수 있으나, 이러한 방식에 한정되는 것은 아니다. 그리고 이러한 식각에 의해, 제1 도전형 반도체층(121)이 노출될 수 있다. 또한, 저면(127b)은 경사면(127a)으로부터 연장되며, 제1 도전형 반도체층(121)이 노출된 저면일 수 있다. 또한, 이러한 식각은 경사면(127a)과 저면(127b)이 발광 구조물(120)의 가장자리에 위치하도록 이루어질 수 있다.
- [0150] 도 9c를 참조하면, 발광 구조물(120)에 리세스(128)가 배치될 수 있다. 리세스(128)는 메사 식각(mesa etching)에 의해 이루어질 수 있다. 또한, 습식 식각 또는 건식 식각으로 이루어질 수 있으나, 이러한 방식에 한정되는 것은 아니다. 리세스(128)와 상술한 경사면(127a) 및 저면(127b)은 동일 공정으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.
- [0151] 그리고 이러한 식각에 의하여, 제1 도전형 반도체층(129)은 노출될 수 있다. 또한, 리세스(128)는 상술한 메사 식각이 이루어진 후에 발광 구조물(120) 가장자리에 인접하게 연장되어 이루어질 수 있다.
- [0152] 도 9d 및 도 9e를 참조하면, 제1 절연층(140)이 발광 구조물(120) 상에 배치될 수 있다. 제1 절연층(140)이 배치된 이후에 후술하는 제1 전극(131)과 제2 전극(132)이 배치되는 영역을 식각을 통해 노출할 수 있다. 그리고 제1 전극(131)과 제2 전극(132)을 형성할 수 있다.
- [0153] 즉, 식각에 의해 노출된 제1 도전형 반도체층(121) 상에 제1 전극(131)이 배치되어, 제1 전극(131)이 제1 도전형 반도체층(121)과 전기적으로 연결될 수 있다. 제1 전극(131)은 E-빔 증착법(E-beam evaporator), 열 증착법(thermal evaporator), MOCVD(Metal Organic Chemical Vapor Deposition), 스퍼터링(Sputtering) 및

PLD(Pulsed Laser Deposition)법으로 형성될 수 있으나, 이에 한정되지 않는다.

- [0154] 그리고 제2 전극(132)은 제2 도전형 반도체층(132) 상에 배치되어, 제2 도전형 반도체층(132)과 전기적으로 연결될 수 있다. 제2 전극(132)은 마찬가지로 E-빔 증착법(E-beam evaporator), 열 증착법(thermal evaporator), MOCVD(Metal Organic Chemical Vapor Deposition), 스퍼터링(Sputtering) 및 PLD(Pulsed Laser Deposition)법으로 형성될 수 있으나, 이에 한정되지 않는다. 다만, 제1 절연층(140), 제1 전극(131), 제2 전극(132)은 형성 순서가 변경될 수 있다. 또한, 제1 전극(131)과 제2 전극(132)은 동일한 공정에 의해 형성될 수 있으나, 이에 한정하지 않고 배치 순서는 다양하게 변경될 수 있다.
- [0155] 도 9f를 참조하면, 제1 패드(151)는 제1 전극(131) 상에 배치될 수 있다. 제1 패드(151)의 일부는 제1 절연층(140) 상에 배치될 수 있다. 제1 패드(151)는 제1 전극(131)과 전기적으로 연결되어, 제1 전극(131) 및 제1 도전형 반도체층(121)과 전기적 패스를 형성할 수 있다.
- [0156] 그리고 제2 패드(152)가 리세스(128) 내에 적어도 일부 배치되도록 제2 전극(132)을 상에 배치되어 제2 전극(132)을 덮을 수 있다. 또한, 제1 절연층(140)의 일부 영역 상에 배치될 수 있다. 또한, 제2 패드(152)는 제2 전극(132)과 전기적으로 연결되어 제2 전극(132) 및 제2 도전형 반도체층(123)과 전기적 패스를 형성할 수 있다.
- [0157] 도 9g를 참조하면, 제2 절연층(160)이 제1 절연층(140), 제1 패드(151) 및 제2 패드(152) 상에 배치될 수 있다. 특히, 제2 절연층(160) 연결 전극(135)이 일부 노출되도록 식각에 의하여 제2 관통홀(h2)이 형성될 수 있다. 또한, 제2 절연층(160)은 제1 패드(151) 및 제2 패드(152)의 일부 영역 상에 배치되어, 제1 패드(151)와 제2 패드(152)는 일부 노출될 수 있다. 그리고 노출된 부분에는 도 7에서 설명한 바와 같이 제1,2 범프, 마운팅 기판 등이 추가적으로 배치될 수 있다. 또한, 제1 패드(151) 및 제2 패드(152)를 배치한 이후에 복수 개의 반도체 소자를 제조하기 위해 다이싱(dicing) 공정이 이루어질 수 있다.
- [0158] 반도체 소자는 조명 시스템의 광원으로 사용되거나, 영상표시장치의 광원이나 조명장치의 광원으로 사용될 수 있다. 즉, 반도체 소자는 케이스에 배치되어 광을 제공하는 다양한 전자 디바이스에 적용될 수 있다. 예시적으로, 반도체 소자와 RGB 형광체를 혼합하여 사용하는 경우 연색성(CRI)이 우수한 백색광을 구현할 수 있다.
- [0159] 상술한 반도체 소자는 발광소자 패키지로 구성되어, 조명 시스템의 광원으로 사용될 수 있는데, 예를 들어 영상표시장치의 광원이나 조명 장치 등의 광원으로 사용될 수 있다.
- [0160] 영상표시장치의 백라이트 유닛으로 사용될 때 에지 타입의 백라이트 유닛으로 사용되거나 직하 타입의 백라이트 유닛으로 사용될 수 있고, 조명 장치의 광원으로 사용될 때 등기구나 벌브 타입으로 사용될 수도 있으며, 또한 이동 단말기의 광원으로 사용될 수도 있다.
- [0161] 발광 소자는 상술한 발광 다이오드 외에 레이저 다이오드가 있다.
- [0162] 레이저 다이오드는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다. 그리고, p-형의 제1 도전형 반도체와 n-형의 제2 도전형 반도체를 접합시킨 뒤 전류를 흘려주었을 때 빛이 방출되는 electro-luminescence(전계발광) 현상을 이용하나, 방출되는 광의 방향성과 위상에서 차이점이 있다. 즉, 레이저 다이오드는 여기 방출(stimulated emission)이라는 현상과 보강간섭 현상 등을 이용하여 하나의 특정한 파장(단색광, monochromatic beam)을 가지는 빛이 동일한 위상을 가지고 동일한 방향으로 방출될 수 있으며, 이러한 특성으로 인하여 광통신이나 의료용 장비 및 반도체 공정 장비 등에 사용될 수 있다.
- [0163] 수광 소자로는 빛을 검출하여 그 강도를 전기 신호로 변환하는 일종의 트랜스듀서인 광 검출기(photodetector)를 예로 들 수 있다. 이러한 광 검출기로서, 광전지(실리콘, 셀렌), 광 출력전 소자(황화 카드뮴, 셀렌화 카드뮴), 포토 다이오드(예를 들어, visible blind spectral region이나 true blind spectral region에서 피크 파장을 갖는 PD), 포토 트랜지스터, 광전자 증배관, 광전관(진공, 가스 봉입), IR(Infra-Red) 검출기 등이 있으나, 실시 예는 이에 국한되지 않는다.
- [0164] 또한, 광검출기와 같은 반도체 소자는 일반적으로 광변환 효율이 우수한 직접 천이 반도체(direct bandgap semiconductor)를 이용하여 제작될 수 있다. 또는, 광검출기는 구조가 다양하여 가장 일반적인 구조로는 p-n 접합을 이용하는 pin형 광검출기와, 쇼트키접합(Schottky junction)을 이용하는 쇼트키형 광검출기와, MSM(Metal Semiconductor Metal)형 광검출기 등이 있다.
- [0165] 포토 다이오드(Photodiode)는 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전

형 반도체층을 포함할 수 있고, pn접합 또는 pin 구조로 이루어진다. 포토 다이오드는 역바이어스 혹은 제로바이어스를 가하여 동작하게 되며, 광이 포토 다이오드에 입사되면 전자와 정공이 생성되어 전류가 흐른다. 이때 전류의 크기는 포토 다이오드에 입사되는 광의 강도에 거의 비례할 수 있다.

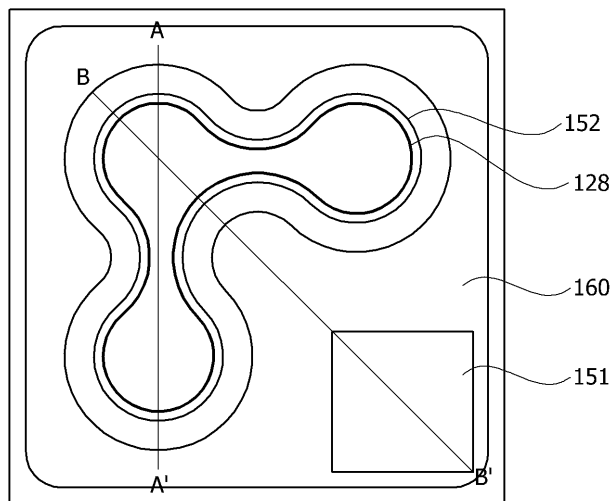
[0166] 광전지 또는 태양 전지(solar cell)는 포토 다이오드의 일종으로, 광을 전류로 변환할 수 있다. 태양 전지는, 발광소자와 동일하게, 상술한 구조의 제1 도전형 반도체층과 활성층 및 제2 도전형 반도체층을 포함할 수 있다.

[0167] 또한, p-n 접합을 이용한 일반적인 다이오드의 정류 특성을 통하여 전자 회로의 정류기로 이용될 수도 있으며, 초고주파 회로에 적용되어 발진 회로 등에 적용될 수 있다.

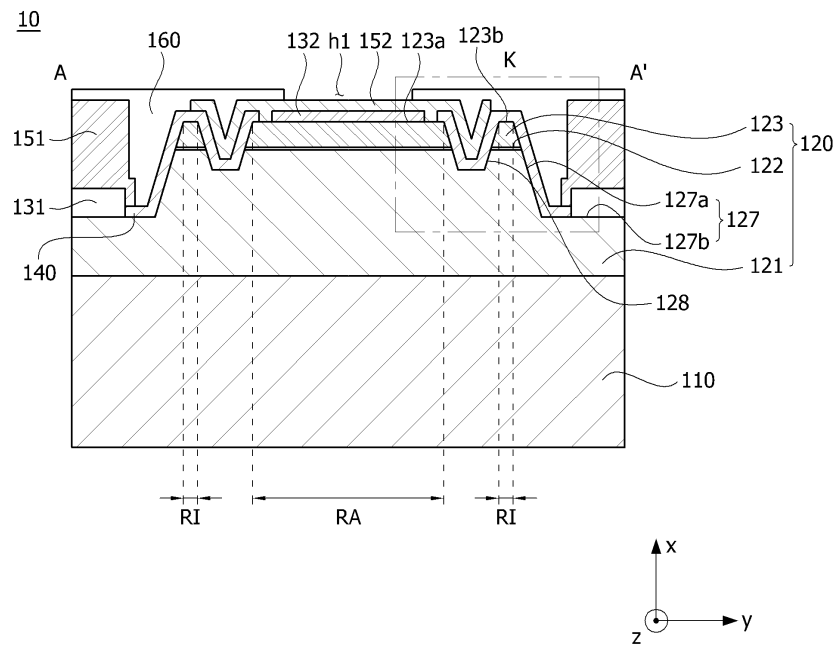
[0168] 또한, 상술한 반도체 소자는 반드시 반도체로만 구현되지 않으며 경우에 따라 금속 물질을 더 포함할 수도 있다. 예를 들어, 수광 소자와 같은 반도체 소자는 Ag, Al, Au, In, Ga, N, Zn, Se, P, 또는 As 중 적어도 하나를 이용하여 구현될 수 있으며, p형이나 n형 도펀트에 의해 도핑된 반도체 물질이나 진성 반도체 물질을 이용하여 구현될 수도 있다.

도면

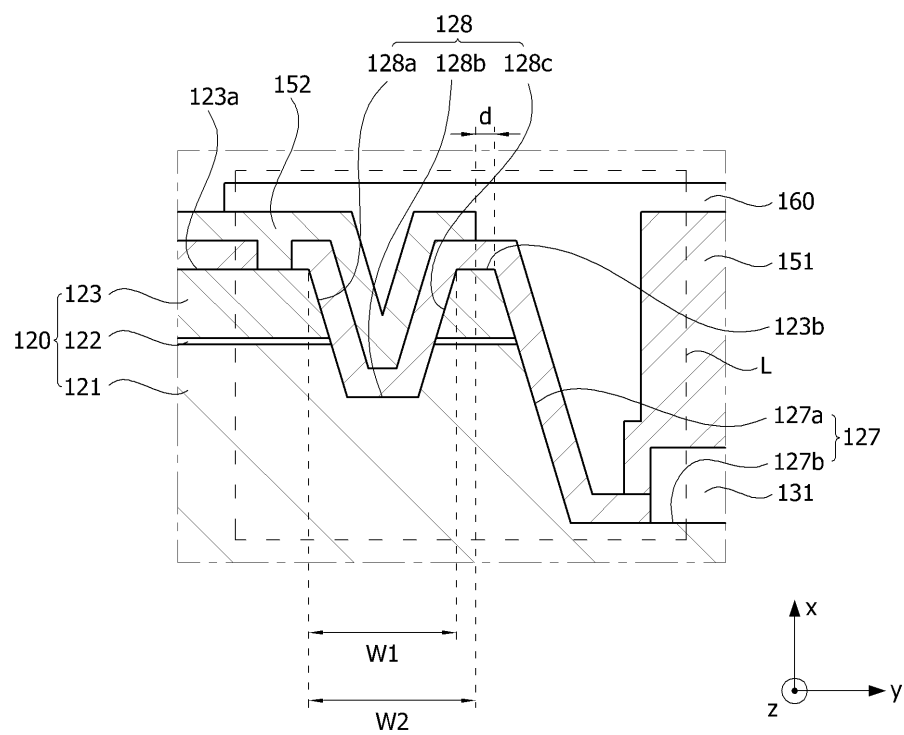
도면1



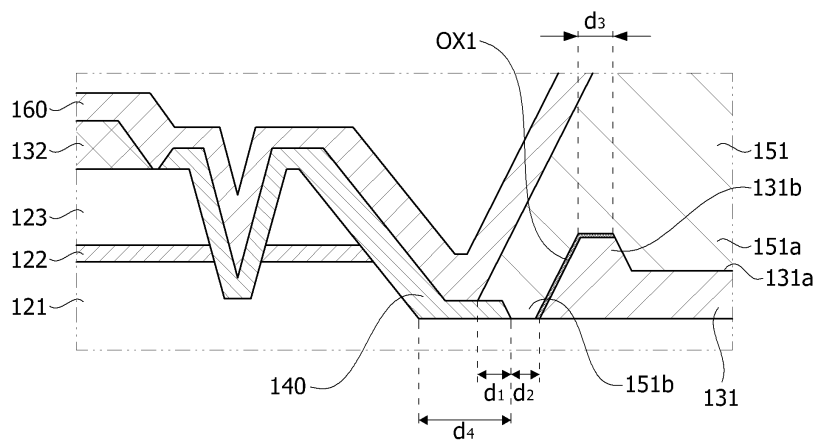
도면2



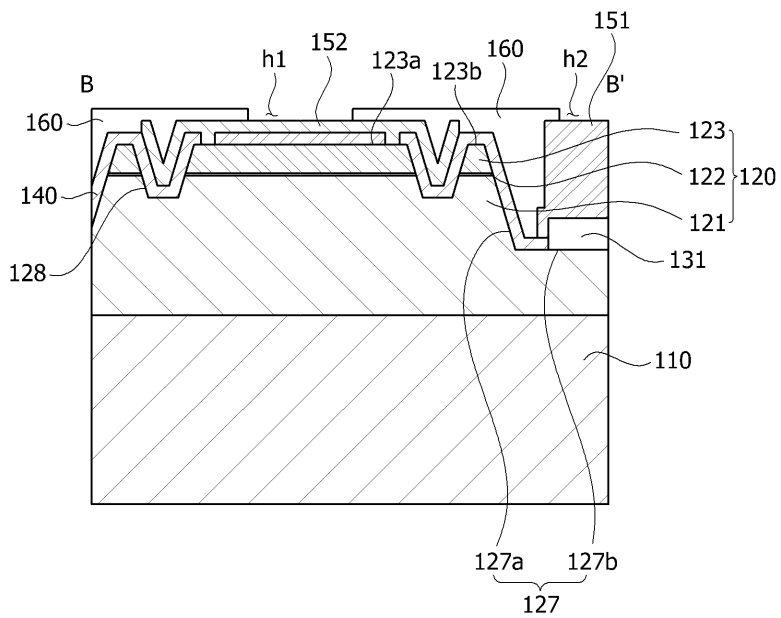
도면3a



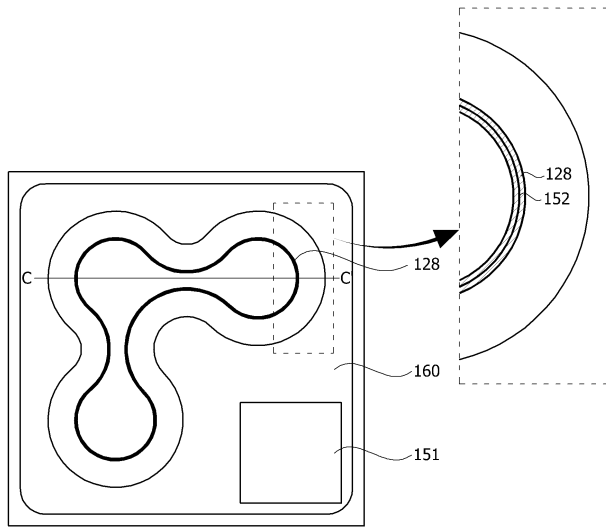
도면3b



도면4

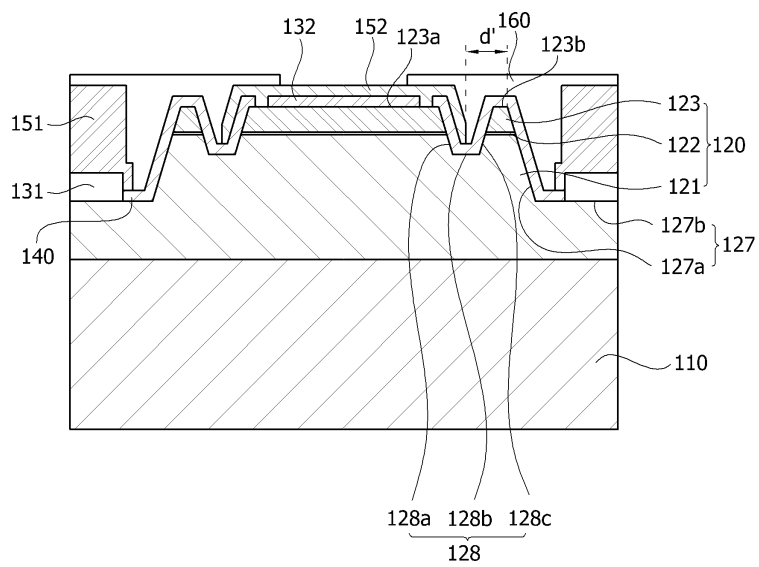


도면5



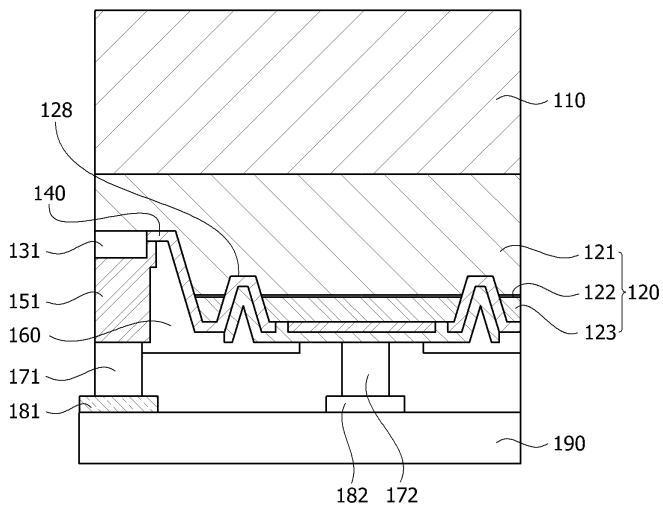
도면6

10a



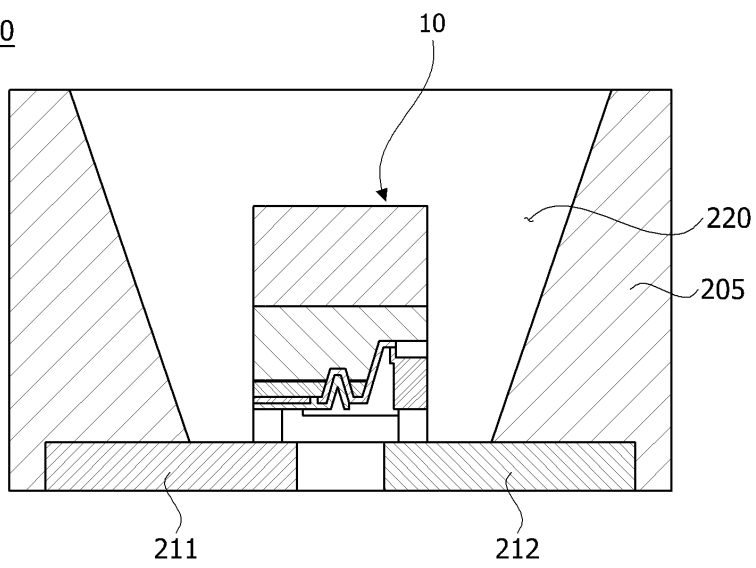
도면7

10b

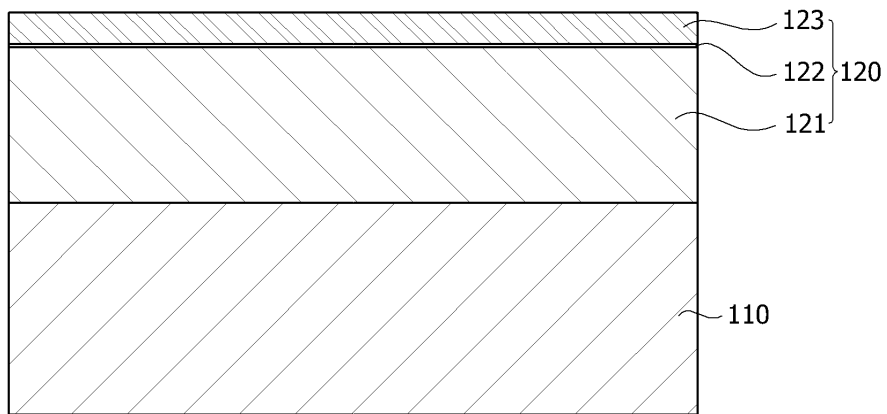


도면8

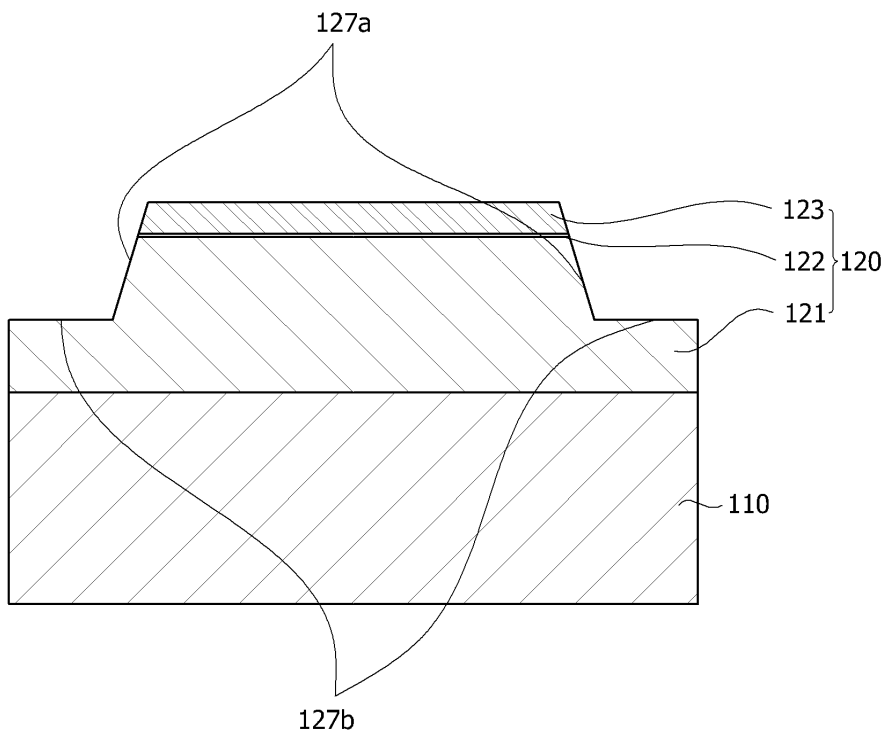
200



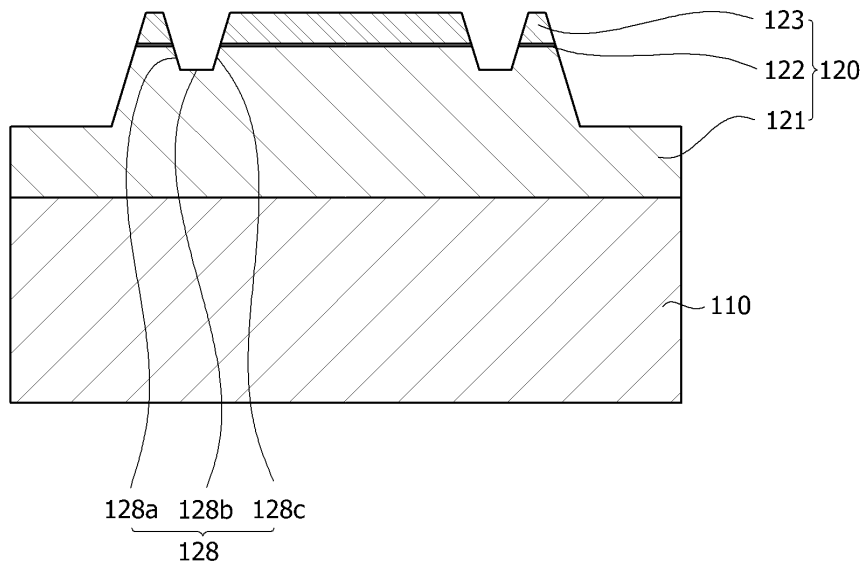
도면9a



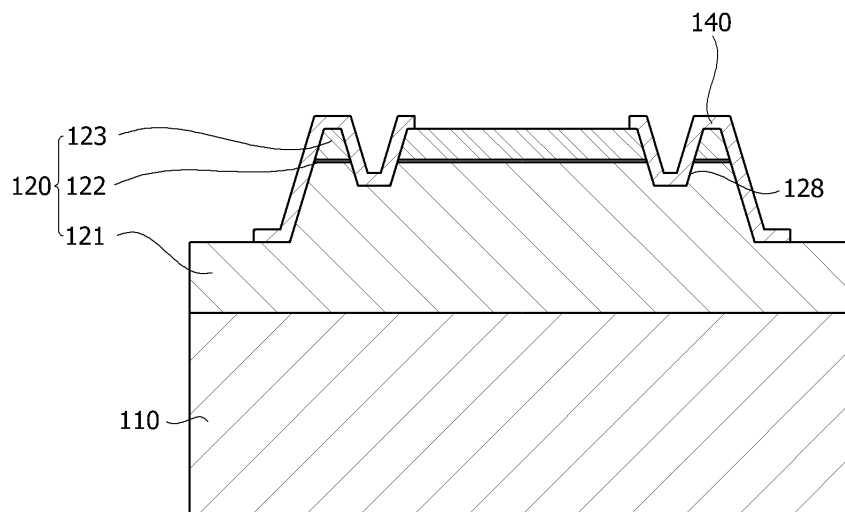
도면9b



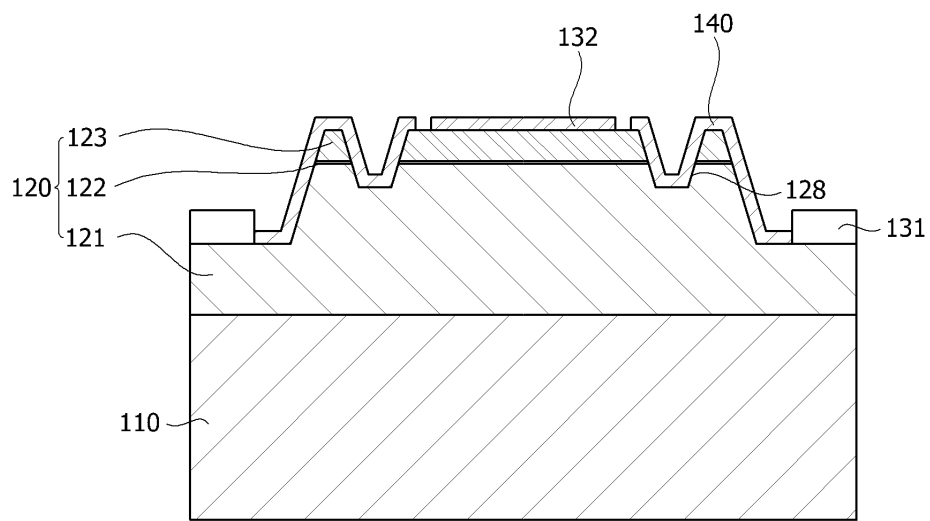
도면9c



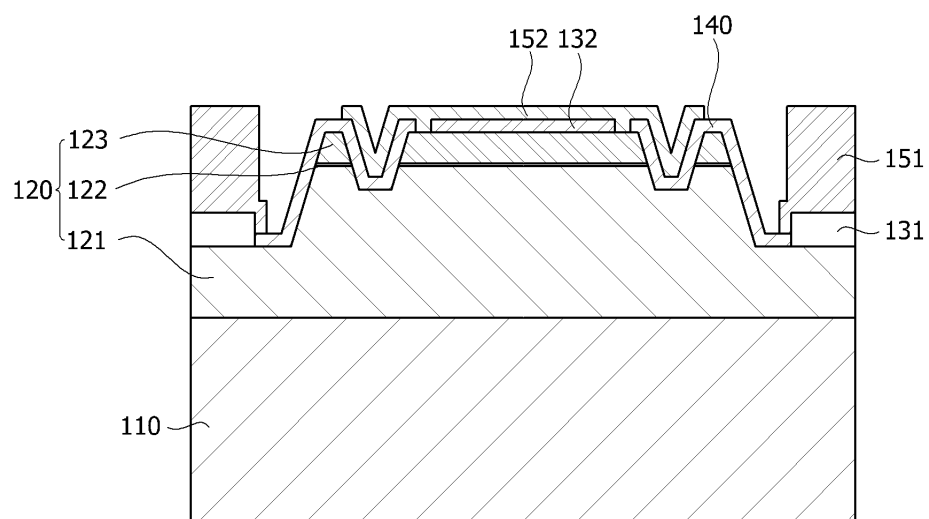
도면9d



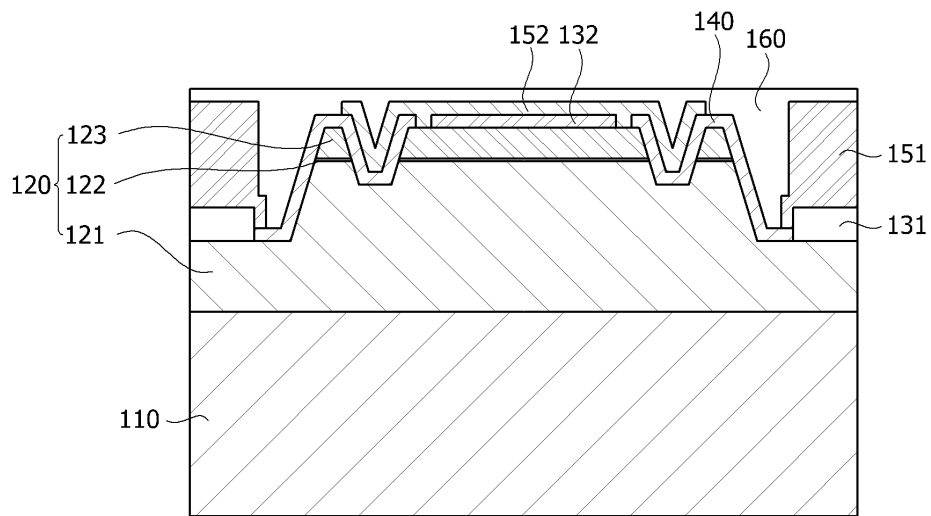
도면9e



도면9f



도면9g



도면9h

