

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

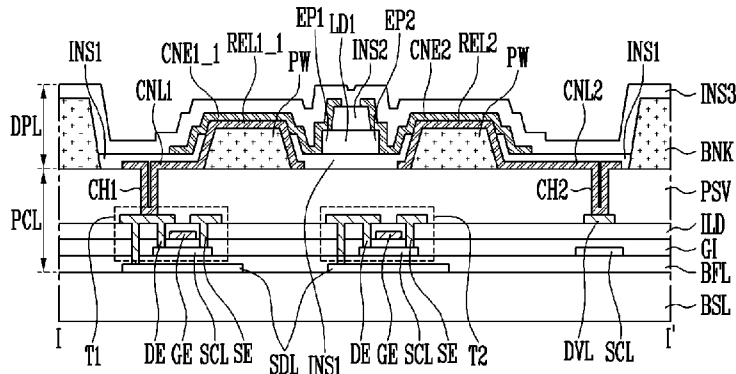
(43) 국제공개일
2020년 3월 26일 (26.03.2020) WIPO | PCT

WO 2020/059990 A1

- (51) 국제특허분류: H01L 27/12 (2006.01) H01L 33/58 (2010.01)
H01L 27/15 (2006.01) H01L 33/00 (2010.01)
H01L 33/38 (2010.01)
- (21) 국제출원번호: PCT/KR2019/003331
- (22) 국제출원일: 2019년 3월 21일 (21.03.2019)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보: 10-2018-0114339 2018년 9월 21일 (21.09.2018) KR
- (71) 출원인: 삼성디스플레이 주식회사 (SAMSUNG DISPLAY CO., LTD.) [KR/KR]; 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).
- (72) 발명자: 김대현 (KIM, Dae Hyun); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 바슈르베이더스 (BASRUR, Veidhes); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 이신홍 (LI, Xinxing); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 공태진 (KONG, Tae Jin); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 이희근 (LEE, Hee Keun); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 조현민 (CHO, Hyun Min); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 송근규 (SONG, Keun Kyu); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR). 광진오 (KWAG, Jin Oh); 17113 경기도 용인시 기흥구 삼성로 1, Gyeonggi-do (KR).
- (74) 대리인: 김두식 등 (KIM, Doo Sik et al.); 03155 서울시 종로구 종로3길 17 디타워 D2 23층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(54) Title: DISPLAY DEVICE AND MANUFACTURING METHOD THEREOF

(54) 발명의 명칭: 표시 장치 및 그의 제조 방법



(57) Abstract: A display device comprises: a base layer including a display region and a non-display region; and a plurality of pixels provided in the display region and each having a plurality of sub-pixels. According to one embodiment of the present invention, each sub-pixel may comprise a display element layer including a pixel circuit unit, a light emitting region for emitting light, and a non-light emitting region provided around the light emitting region. The display element layer may comprise: a partition provided in the light emitting region of each sub-pixel; a bank provided in the non-light emitting region of each sub-pixel and located on the same surface as the partition; first and second electrodes provided on the partition and spaced apart from each other; and at least one light emitting device provided between the first and second electrodes in the light emitting region of each sub-pixel and emitting light.

(57) 요약서: 표시 장치는, 표시 영역 및 비표시 영역을 포함한 베이스 층; 및 상기 표시 영역에 제공되며, 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 각 서브 화소는, 화소 회로부와 광을 방출하는 발광 영역 및 상기 발광 영역의 주변에 제공되는 비발광 영역을 포함한 표시 소자층을 포함할 수 있다. 상기 표시 소자층은, 각 서브 화소의 발광 영역에 제공된 격벽; 상기 각 서브 화소의 비발광 영역에 제공되며, 상기 격벽과 동일한 면상에 위치한 बैं크; 상기 격벽 상에 제공되며 서로 이격된 제1 전극과 제2 전극; 및 상기 각 서브 화소의 발광 영역에서 상기 제1 및 제2 전극 사이에 제공되며, 상기 광을 방출하는 적어도 하나의 발광 소자를 포함할 수 있다.

WO 2020/059990 A1

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 표시 장치 및 그의 제조 방법

기술분야

- [1] 본 발명은 표시 장치에 관한 것으로, 더욱 상세하게는 초소형의 발광 소자를 포함하는 표시 장치 및 그의 제조 방법에 관한 것이다.

배경기술

- [2] 발광 다이오드(Light Emitting Diode)는 열악한 환경 조건에서도 비교적 양호한 내구성을 나타내며, 수명 및 휘도 측면에서도 우수한 성능을 보유한다. 최근, 이러한 발광 다이오드를 다양한 표시 장치에 적용하기 위한 연구가 활발히 진행되고 있다.
- [3] 이러한 연구의 일환으로서, 무기 결정 구조, 일 예로 질화물계 반도체를 성장시킨 구조를 이용하여 마이크로 스케일이나 나노 스케일 정도로 작은 초소형의 발광 다이오드를 제작하는 기술이 개발되고 있다.
- [4] 발광 다이오드는 표시 패널의 화소 등을 구성할 수 있을 정도로 작은 크기로 제작될 수 있다. 발광 다이오드는 기판에서 별도로 독립 성장 시킨 후, 성장된 발광 다이오드를 분리하여 표시 패널 제작 등에 사용할 수 있다. 발광 다이오드를 표시 패널의 광원으로 사용할 경우, 복수 개의 발광 다이오드들이 표시 패널의 각 화소 내에 배치될 수 있다. 이때, 복수의 발광 다이오드들이 밀접하게 배치될 경우, 인접한 발광 다이오드들 사이에서 원치 않는 단락이 발생하여 상기 발광 다이오드들이 손상될 수 있다. 이에, 발광 다이오드의 불량이 발생할 수 있다.

발명의 상세한 설명

기술적 과제

- [5] 본 발명이 해결하고자 하는 과제는, 마스크 수를 줄여 단순한 제조 공정으로 형성된 표시 장치 및 그의 제조 방법을 제공하는 것이다.

과제 해결 수단

- [6] 본 발명의 일 실시예에 따른 표시 장치는 표시 영역 및 비표시 영역을 포함한 베이스 층; 및 상기 표시 영역에 제공되며, 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 각 서브 화소는, 화소 회로부와 광을 방출하는 발광 영역 및 상기 발광 영역의 주변에 제공되는 비발광 영역을 포함한 표시 소자층을 포함할 수 있다. 상기 표시 소자층은, 각 서브 화소의 발광 영역에 제공된 격벽; 상기 각 서브 화소의 비발광 영역에 제공되며, 상기 격벽과 동일한 면 상에 위치한 बैं크; 상기 격벽 상에 제공되며 서로 이격된 제1 전극과 제2 전극; 및 상기 각 서브 화소의 발광 영역에서 상기 제1 및 제2 전극 사이에 제공되며, 상기 광을 방출하는 적어도 하나의 발광 소자를 포함할 수 있다.

- [7] 본 발명의 일 실시예에 있어서, 상기 격벽과 상기 बैं크는 동일한 물질을 포함하며 일체로 제공될 수 있다.
- [8] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은 상기 제1 전극과 상기 발광 소자의 양측 단부 중 하나의 단부를 연결하는 제1 컨택 전극; 및 상기 제2 전극과 상기 발광 소자의 양측 단부 중 나머지 단부를 연결하는 제2 컨택 전극을 더 포함할 수 있다.
- [9] 본 발명의 일 실시예에 있어서, 상기 표시 소자층은, 상기 발광 소자와 상기 화소 회로부 사이에 제공된 제1 절연층; 및 상기 발광 소자의 상면 일부 상에 제공된 제2 절연층을 더 포함할 수 있다.
- [10] 본 발명의 일 실시예에 있어서, 상기 제1 컨택 전극과 상기 제2 컨택 전극은 동일한 층 상에 제공되며, 상기 제2 절연층 상에서 이격되어 전기적으로 서로 절연될 수 있다.
- [11] 본 발명의 일 실시예에 있어서, 상기 화소 회로부는, 상기 베이스 층 상에 제공된 적어도 하나의 트랜지스터; 및 상기 트랜지스터 상에 제공된 보호층을 포함할 수 있다.
- [12] 본 발명의 일 실시예에 있어서, 상기 보호층은 상기 격벽 및 상기 बैं크와 동일한 면 상에 제공될 수 있다.
- [13] 본 발명의 일 실시예에 있어서, 상기 보호층은 상기 격벽 및 상기 बैं크와 일체로 제공되며 동일한 물질을 포함할 수 있다.
- [14] 본 발명의 일 실시예에 있어서, 상기 표시 장치는 상기 베이스 층과 상기 트랜지스터 사이에 제공된 도전 패턴을 더 포함할 수 있다.
- [15] 본 발명의 일 실시예에 있어서, 상기 도전 패턴은 상기 베이스 층의 배면으로 유입되는 광을 차단하는 광 차단 패턴을 포함할 수 있다.
- [16] 본 발명의 일 실시예에 있어서, 상기 표시 장치는 상기 표시 소자층 상에 제공되며 상기 광을 특정 색의 광으로 변환하는 컬러 변환 입자들을 포함하는 컬러 변환층; 및 상기 컬러 변환층 상에 제공되는 기판을 더 포함할 수 있다.
- [17] 본 발명의 일 실시예에 있어서, 상기 표시 장치는 상기 표시 소자층 상에 제공되는 기판; 및 상기 표시 소자층과 상기 기판 사이에 제공된 중간층을 더 포함할 수 있다.
- [18] 본 발명의 일 실시예에 있어서, 상기 중간층은 상기 표시 소자층과 상기 기판을 합착하는 접착성 물질을 포함할 수 있다.
- [19] 본 발명의 일 실시예에 있어서, 상기 제1 전극과 상기 제2 전극은 전기적으로 분리되며, 상기 제1 및 제2 전극 중 하나의 전극은 다른 하나의 전극의 주변을 둘러싸는 형상을 가질 수 있다.
- [20] 본 발명의 일 실시예에 있어서, 상기 발광 소자는 마이크로 스케일 혹은 나노 스케일을 갖는 원 기둥 형상 혹은 다각 기둥 형상의 초소형의 발광 다이오드를 포함할 수 있다.
- [21] 상술한 실시예에 따른 표시 장치는 발광 영역과 비발광 영역을 갖는 복수의

서브 화소들을 포함한 베이스 층을 제공하는 단계; 및 상기 베이스 층 상에 상기 서브 화소들 각각의 발광 영역에서 광을 방출하는 표시 소자층을 형성하는 단계를 포함하여 제조될 수 있다. 상기 표시 소자층을 형성하는 단계는, 각 서브 화소의 발광 영역에 격벽을 형성하고, 동시에 상기 각 서브 화소의 비발광 영역에 뱅크를 형성하는 단계; 상기 격벽 상에 서로 이격된 제1 및 제2 전극을 형성하는 단계; 상기 제1 및 제2 전극 상에 각각 대응하는 전극의 상면 일부를 노출하는 제1 절연층을 형성하는 단계; 상기 제1 및 제2 전극 각각에 대응하는 정렬 전압을 인가하여 상기 제1 및 제2 전극 사이에 복수의 발광 소자들을 정렬하는 단계; 상기 발광 소자들 상에 상기 발광 소자들 각각의 양측 단부를 외부로 노출하는 제2 절연층을 형성하는 단계; 및 상기 제2 절연층 상에 제1 및 제2 컨택 전극을 형성하는 단계를 포함할 수 있다.

[22] 본 발명의 일 실시예에 있어서, 상기 제1 컨택 전극과 상기 제2 컨택 전극은 동일한 층 상에 제공되며, 상기 제2 절연층 상에서 이격되어 전기적으로 서로 절연될 수 있다.

[23] 본 발명의 일 실시예에 있어서, 상기 베이스 층을 제공하는 단계는, 상기 베이스 층 상에 적어도 하나 이상의 트랜지스터를 형성하는 단계; 및 상기 트랜지스터 상에 보호층을 형성하는 단계를 포함할 수 있다. 상기 보호층은 상기 격벽 및 상기 뱅크와 일체로 제공되며 동일한 물질을 포함할 수 있다.

[24] 본 발명의 일 실시예에 있어서, 상기 제1 전극과 상기 제2 전극은 전기적으로 분리되며, 상기 제1 및 제2 전극 중 하나의 전극은 다른 하나의 전극의 주변을 둘러싸는 형태로 제공될 수 있다.

발명의 효과

[25] 본 발명의 일 실시예에 따르면, 마스크 수를 줄여 비교적 단순한 제조 공정을 갖는 표시 장치 및 그의 제조 방법이 제공될 수 있다.

[26] 본 발명의 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

[27] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 발광 소자를 개략적으로 도시한 사시도들이다.

[28] 도 2는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 특히, 도 1a에 도시된 발광 소자를 발광원으로 사용한 표시 장치의 개략적인 평면도이다.

[29] 도 3a 내지 도 3d는 도 2의 표시 장치의 단위 발광 영역을 다양한 실시예에 따라 나타낸 회로도들이다.

[30] 도 4는 도 2에 도시된 화소들 중 하나의 화소에 포함된 제1 내지 제3 서브 화소를 개략적으로 도시한 평면도이다.

[31] 도 5는 도 4의 I~I'선에 따른 단면도이다.

[32] 도 6은 도 4의 화소에 있어서 제1 서브 화소를 다른 실시예에 따라 도시한

개략적인 평면도이다.

[33] 도 7은 도 4의 화소에 있어서 제1 서브 화소를 다른 실시예에 따라 도시한 개략적인 평면도이다.

[34] 도 8a 내지 도 8h는 도 5의 표시 장치의 제조 방법을 순차적으로 나타낸 단면도들이다.

[35] 도 9는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 도 5의 표시 장치에 컬러 변환층이 결합된 형태를 나타낸 개략적인 단면도이다.

[36] 도 10은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 도시한 것으로, 도 4의 I~I'선에 대응되는 단면도이다.

[37] 도 11a 내지 도 11g는 도 10의 표시 장치의 제조 방법을 순차적으로 나타낸 단면도들이다.

[38] 도 12는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 도 10의 표시 장치에 기판이 결합된 형태를 나타낸 개략적인 단면도이다.

발명의 실시를 위한 형태

[39] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[40] 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 발명의 명확성을 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.

[41] 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "상에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 또한, 본 명세서에 있어서, 어느 층, 막, 영역, 판 등의 부분이 다른 부분 상(on)에 형성되었다고 할 경우, 상기 형성된 방향은 상부 방향만 한정되지 않으며 측면이나 하부 방향으로 형성된 것을 포함한다.

반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

- [42] 이하, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예 및 그 밖에 당업자가 본 발명의 내용을 쉽게 이해하기 위하여 필요한 사항에 대하여 상세히 설명하기로 한다. 아래의 설명에서, 단수의 표현은 문맥상 명백하게 단수만을 포함하지 않는 한, 복수의 표현도 포함한다.
- [43] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 발광 소자를 개략적으로 도시한 사시도들이다. 도 1a 및 도 1b에 있어서, 원 기둥 형상의 발광 소자를 도시하였으나, 본 발명이 이에 한정되지는 않는다.
- [44] 도 1a 및 도 1b는 본 발명의 일 실시예에 따른 다양한 형태의 발광 소자를 나타내는 사시도들이다. 도 1a 및 도 1b에 있어서, 원 기둥 형상의 발광 소자를 도시하였으나, 본 발명이 이에 한정되지는 않는다.
- [45] 도 1a 및 도 1b를 참조하면, 본 발명의 일 실시예에 따른 발광 소자(LD)는 제1 도전성 반도체층(11)과, 제2 도전성 반도체층(13)과, 상기 제1 및 제2 도전성 반도체층(11, 13) 사이에 개재된 활성층(12)을 포함할 수 있다. 일 예로, 발광 소자(LD)는 제1 도전성 반도체층(11), 활성층(12), 및 제2 도전성 반도체층(13)이 순차적으로 적층된 적층체로 구현될 수 있다.
- [46] 본 발명의 일 실시예에 따르면, 발광 소자(LD)는 일 방향으로 연장된 막대 형상으로 제공될 수 있다. 발광 소자(LD)의 연장 방향을 길이 방향이라고 하면, 상기 발광 소자(LD)는 상기 연장 방향을 따라 일측 단부와 타측 단부를 가질 수 있다. 일측 단부에는 제1 및 제2 도전성 반도체층(11, 13) 중 하나, 타측 단부에는 제1 및 제2 도전성 반도체층(11, 13) 중 나머지 하나가 배치될 수 있다.
- [47] 발광 소자(LD)는 원 기둥 형상으로 제공될 수 있으나, 이에 한정되는 것은 아니다. 발광 소자(LD)는 길이 방향으로 긴(즉, 종횡비가 1보다 큰) 로드 형상(rod-like shape), 혹은 바 형상(bar-like shape)을 포함할 수 있다. 예컨대, 길이 방향으로의 발광 소자(LD)의 길이(L)는 그 직경보다 클 수 있다. 이러한 발광 소자(LD)는 일 예로 마이크로 스케일 혹은 나노 스케일 정도의 직경 및/또는 길이를 가질 정도로 초소형으로 제작된 발광 다이오드를 포함할 수 있다.
- [48] 다만, 발광 소자(LD)의 크기가 이에 한정되는 것은 아니며, 발광 소자(LD)가 적용되는 조명 장치 또는 자발광 표시 장치의 요구 조건에 부합되도록 발광 소자(LD)의 크기가 변경될 수도 있다.
- [49] 제1 도전성 반도체층(11)은 일 예로 적어도 하나의 n형 반도체층을 포함할 수 있다. 예컨대, 제1 도전성 반도체층(11)은 InAlGa_n, GaN, AlGa_n, InGa_n, AlN, InN 중 어느 하나의 반도체 재료를 포함하며, Si, Ge, Sn 등과 같은 제1 도전성 도펀트가 도핑된 반도체층을 포함할 수 있다. 제1 도전성 반도체층(11)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질로 제1 도전성 반도체층(11)을 구성할 수 있다.

- [50] 활성층(12)은 제1 도전성 반도체층(11) 상에 형성되며, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 본 발명의 일 실시예에 따르면, 활성층(12)의 상부 및/또는 하부에는 도전성 도펀트가 도핑된 클래드층(미도시)이 형성될 수도 있다. 일 예로, 클래드층은 AlGa_N층 또는 InAlGa_N층으로 구현될 수 있다. 그 외에 AlGa_N, AlInGa_N 등의 물질도 활성층(12)으로 이용될 수 있음을 물론이다.
- [51] 발광 소자(LD)의 양 단부에 소정 전압 이상의 전계를 인가하게 되면, 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자(LD)가 발광하게 된다.
- [52] 제2 도전성 반도체층(13)은 활성층(12) 상에 제공되며, 제1 도전성 반도체층(11)과 상이한 타입의 반도체층을 포함할 수 있다. 일 예로, 제2 도전성 반도체층(13)은 적어도 하나의 p형 반도체층을 포함할 수 있다. 예컨대, 제2 도전성 반도체층(13)은 InAlGa_N, Ga_N, AlGa_N, InGa_N, Al_N, In_N 중 적어도 하나의 반도체 재료를 포함하며, Mg 등과 같은 제2 도전성 도펀트가 도핑된 반도체층을 포함할 수 있다. 제2 도전성 반도체층(13)을 구성하는 물질이 이에 한정되는 것은 아니며, 이 외에도 다양한 물질이 제2 도전성 반도체층(13)을 구성할 수 있다.
- [53] 본 발명의 일 실시예에 따르면, 발광 소자(LD)는 상술한 제1 도전성 반도체층(11), 활성층(12), 및 제2 도전성 반도체층(13) 외에도 도 1a에 도시된 바와 같이 제2 도전성 반도체층(13) 상부에 배치되는 하나의 전극층(15)을 더 포함할 수 있다. 또한, 실시예에 따라 발광 소자(LD)는 전극층(15) 외에도 도 1b에 도시된 바와 같이 제1 도전성 반도체층(11)의 일단에 배치되는 하나의 다른 전극층(16)을 더 포함할 수 있다.
- [54] 전극층들(15, 16)은 오믹(Ohmic) 콘택 전극일 수 있으나, 이에 한정되는 것은 아니다. 전극층들(15, 16)은 금속 또는 금속 산화물을 포함할 수 있으며, 예를 들어, 크롬(Cr), 티타늄(Ti), 알루미늄(Al), 금(Au), 니켈(Ni), ITO 및 이들의 산화물 또는 합금 등을 단독 또는 혼합하여 사용할 수 있으나, 이에 한정되지 않는다.
- [55] 전극층들(15, 16) 각각에 포함된 물질은 서로 동일하거나 상이할 수 있다. 전극층들(15, 16)은 실질적으로 투명 또는 반투명할 수 있다. 이에 따라, 발광 소자(LD)에서 생성된 광은 전극층들(15, 16)을 투과하여 발광 소자(LD)의 외부로 방출될 수 있다.
- [56] 본 발명의 일 실시예에 있어서, 발광 소자(LD)는 절연성 피막(14)을 더 포함할 수 있다. 다만, 실시예에 따라, 절연성 피막(14)은 생략될 수도 있으며, 제1 도전성 반도체층(11), 활성층(12), 및 제2 도전성 반도체층(13) 중 일부만을 덮도록 제공될 수도 있다.
- [57] 절연성 피막(14)은 도 1a에 도시된 바와 같이 발광 소자(LD)의 양 단부 중 하나의 단부를 제외한 부분에 제공될 수 있다. 이러한 경우, 절연성 피막(14)은 발광 소자(LD)의 제2 도전성 반도체층(13)의 일단 측에 배치된 하나의 전극층(15)만을 노출하고, 상기 하나의 전극층(15)을 제외한 나머지 구성들의 측면을 전체적으로 둘러쌀 수 있다. 다만, 절연성 피막(14)은 적어도 발광 소자(LD)의 양 단부를 노출하며, 일 예로 제2 도전성 반도체층(13)의 일단 측에

- 배치된 하나의 전극층(15)과 더불어, 제1 도전성 반도체층(11)의 일 단부를 노출할 수 있다.
- [58] 또한, 실시예에 따라, 도 1b에 도시된 바와 같이 발광 소자(LD)의 양 단부에 전극층들(15, 16)들이 배치될 경우, 절연성 피막(14)은 전극층들(15, 16) 각각의 적어도 일 영역을 노출할 수 있다. 또는, 또 다른 실시예에서는, 절연성 피막(14)이 제공되지 않을 수도 있다.
- [59] 본 발명의 일 실시예에 따르면, 절연성 피막(14)은 투명한 절연 물질을 포함할 수 있다. 예를 들어, 절연성 피막(14)은 SiO₂, Si₃N₄, Al₂O₃ 및 TiO₂로 이루어지는 군으로부터 선택된 하나 이상의 절연물질을 포함할 수 있으나, 이에 한정되지는 않으며, 절연성을 갖는 다양한 재료가 사용될 수 있다.
- [60] 절연성 피막(14)이 상기 발광 소자(LD)에 제공되면, 활성층(12)이 도시되지 않은 제1 전극 및/또는 제2 전극과 단락되는 것을 방지할 수 있다. 또한, 절연성 피막(14)을 형성함에 의해 발광 소자(LD)의 표면 결함을 최소화하여 수명과 효율을 향상시킬 수 있다. 또한, 복수의 발광 소자들(LD)이 밀접하게 배치되는 경우, 절연성 피막(14)은 발광 소자들(LD)의 사이에서 발생할 수 있는 원치 않은 단락을 방지할 수 있다.
- [61] 상술한 발광 소자(LD)는, 다양한 표시 장치의 발광원으로 이용될 수 있다. 발광 소자(LD)는 표면 처리 과정을 거쳐 제조될 수 있다.
- [62] 도 2는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 특히, 도 1a에 도시된 발광 소자를 발광원으로 사용한 표시 장치의 개략적인 평면도이다.
- [63] 도 2에 있어서, 편의를 위하여 영상이 표시되는 표시 영역을 중심으로 상기 표시 장치의 구조를 간략하게 도시하였다. 다만, 실시예에 따라서 도시되지 않은 적어도 하나의 구동 회로부(일 예로, 주사 구동부 및 데이터 구동부) 및/또는 복수의 신호 배선들이 상기 표시 장치에 더 배치될 수도 있다.
- [64] 도 1a 및 도 2를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 기판(SUB), 기판(SUB) 상에 제공되며 적어도 하나의 발광 소자(LD)를 포함하는 복수의 화소들(PXL), 기판(SUB) 상에 제공되며 화소들(PXL)을 구동하는 구동부(미도시), 및 화소들(PXL)과 구동부를 연결하는 배선부(미도시)를 포함할 수 있다.
- [65] 표시 장치는 발광 소자(LD)를 구동하는 방식에 따라 패시브 매트릭스형 표시 장치와 액티브 매트릭스형 표시 장치로 분류될 수 있다. 일 예로, 표시 장치가 액티브 매트릭스형으로 구현되는 경우, 화소들(PXL) 각각은 발광 소자(LD)에 공급되는 전류량을 제어하는 구동 트랜지스터와 구동 트랜지스터로 데이터 신호를 전달하는 스위칭 트랜지스터 등을 포함할 수 있다.
- [66] 최근 해상도, 콘트라스트, 동작 속도의 관점에서 각 화소(PXL)마다 선택하여 점등하는 액티브 매트릭스형 표시 장치가 주류가 되고 있으나 본 발명이 이에 한정되는 것은 아니며 화소(PXL) 그룹별로 점등이 수행되는 패시브 매트릭스형 표시 장치 또한 발광 소자(LD)를 구동하기 위한 구성 요소들(일 예로, 제1 및 제2

전극 등)을 사용할 수 있다.

- [67] 기관(SUB)은 표시 영역(DA) 및 비표시 영역(NDA)을 포함할 수 있다.
- [68] 실시예에 따라, 표시 영역(DA)은 표시 장치의 중앙 영역에 배치되고, 비표시 영역(NDA)은 표시 영역(DA)을 둘러싸도록 표시 장치의 가장자리 영역에 배치될 수 있다. 다만, 표시 영역(DA) 및 비표시 영역(NDA)의 위치가 이에 한정되지는 않으며, 이들의 위치는 변경될 수 있다.
- [69] 표시 영역(DA)은 영상을 표시하는 화소들(PXL)이 제공되는 영역일 수 있다. 비표시 영역(NDA)은 화소들(PXL)을 구동하기 위한 구동부, 및 화소들(PXL)과 구동부를 연결하는 배선부의 일부가 제공되는 영역일 수 있다.
- [70] 표시 영역(DA)은 다양한 형상을 가질 수 있다. 예를 들어, 표시 영역(DA)은 직선으로 이루어진 변을 포함하는 닫힌 형태의 다각형, 곡선으로 이루어진 변을 포함하는 원, 타원 등, 직선과 곡선으로 이루어진 변을 포함하는 반원, 반타원 등 다양한 형상으로 제공될 수 있다.
- [71] 비표시 영역(NDA)은 표시 영역(DA)의 적어도 일측에 제공될 수 있다. 본 발명의 일 실시예에 있어서, 비표시 영역(NDA)은 표시 영역(DA)의 둘레를 둘러쌀 수 있다.
- [72] 기관(SUB)은 경성 기관 또는 가요성 기관일 수 있으며, 그 재료나 물성이 특별히 한정되지는 않는다. 일 예로, 기관(SUB)은 유리 또는 강화 유리로 구성된 경성 기관, 또는 플라스틱 또는 금속 재료의 박막 필름으로 구성된 가요성 기관일 수 있다. 또한, 기관(SUB)은 투명 기관일 수 있으나 이에 한정되지는 않는다. 일 예로, 기관(SUB)은 반투명 기관, 불투명 기관, 또는 반사성 기관일 수도 있다.
- [73] 화소들(PXL) 각각은 기관(SUB) 상의 표시 영역(DA) 내에 제공될 수 있다. 화소들(PXL) 각각은 영상을 표시하는 최소 단위로서 복수 개로 제공될 수 있다.
- [74] 화소들(PXL) 각각은 대응되는 스캔 신호 및 데이터 신호에 의해 구동되는 발광 소자(LD)를 포함할 수 있다. 발광 소자(LD)는 마이크로 스케일 혹은 나노 스케일 정도로 작은 크기를 가지며 인접하게 배치된 발광 소자들과 서로 병렬로 연결될 수 있다. 발광 소자(LD)는 각 화소(PXL)의 광원을 구성할 수 있다.
- [75] 또한, 화소들(PXL) 각각은 복수의 서브 화소들을 포함할 수 있다. 일 예로, 각 화소(PXL)는 제1 서브 화소(SP1), 제2 서브 화소(SP2) 및 제3 서브 화소(SP3)를 포함할 수 있다. 실시예에 따라, 제1, 제2 및 제3 서브 화소들(SP1, SP2, SP3)은 서로 다른 색상의 빛을 방출할 수 있다. 일 예로, 제1 서브 화소(SP1)는 적색의 광을 방출하는 적색 서브 화소일 수 있고, 제2 서브 화소(SP2)는 녹색의 광을 방출하는 녹색 서브 화소일 수 있으며, 제3 서브 화소(SP3)는 청색의 광을 방출하는 청색 서브 화소일 수 있다. 다만, 각 화소(PXL)를 구성하는 서브 화소들의 색상, 종류 및/또는 개수 등이 특별히 한정되지는 않으며, 일 예로 각 서브 화소가 방출하는 광의 색상은 다양하게 변경될 수 있다. 또한, 도 2에서는 표시 영역(DA)에서 화소들(PXL)이 스트라이프 형태로 배열되는 실시예를

- 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 표시 영역(DA)은 현재 공지된 다양한 화소 배열 형태를 가질 수 있다.
- [76] 구동부는 배선부를 통해 각 화소(PXL)에 신호를 제공하며, 이에 따라 각 화소(PXL)의 구동을 제어할 수 있다. 도 2는 설명의 편의를 위해 배선부가 생략되었다
- [77] 구동부는 스캔 라인을 통해 화소(PXL)들에 스캔 신호를 제공하는 스캔 구동부, 발광 제어 라인을 통해 화소(PXL)들에 발광 제어 신호를 제공하는 발광 구동부, 및 데이터 라인을 통해 화소(PXL)들에 데이터 신호를 제공하는 데이터 구동부, 및 타이밍 제어부를 포함할 수 있다. 타이밍 제어부는 스캔 구동부, 발광 구동부, 및 데이터 구동부를 제어할 수 있다.
- [78] 도 3a 내지 도 3d는 도 2의 표시 장치의 단위 발광 영역을 다양한 실시예에 따라 나타낸 회로도들이다.
- [79] 도 3a 내지 도 3d에 있어서, 제1 내지 제3 서브 화소 각각은 능동형 화소로 구성될 수 있다. 다만, 제1 내지 제3 서브 화소 각각의 종류, 구조 및/또는 구동 방식이 특별히 한정되지는 않는다. 예를 들어, 제1 내지 제3 서브 화소 각각은 현재 공지된 다양한 구조의 수동형 또는 능동형 표시 장치의 화소로 구성될 수도 있다.
- [80] 또한, 도 3a 내지 도 3d에 있어서, 제1 내지 제3 서브 화소는 실질적으로 동일 또는 유사한 구조를 가질 수 있다. 이하에서는, 편의를 위하여 제1 내지 제3 서브 화소 중 제1 서브 화소를 대표하여 설명하기로 한다.
- [81] 우선, 도 1a, 도 2, 및 도 3a를 참조하면, 제1 서브 화소(SP1)는 데이터 신호에 대응하는 휘도의 광을 생성하는 발광부(EMA)와 상기 발광부(EMA)를 구동하기 위한 화소 구동 회로(144)를 포함할 수 있다.
- [82] 실시예에 따라, 발광부(EAM)는 제1 구동 전원(VDD)과 제2 구동 전원(VSS) 사이에 병렬로 연결된 복수의 발광 소자들(LD)을 포함할 수 있다. 여기서, 제1 구동 전원(VDD)과 제2 구동 전원(VSS)은 서로 다른 전위를 가질 수 있다. 일 예로, 제1 구동 전원(VDD)은 고전위 전원으로 설정되고, 제2 구동 전원(VSS)은 저전위 전원으로 설정될 수 있다. 이때, 제1 및 제2 구동 전원들(VDD, VSS)의 전위 차는 제1 서브 화소(SP1)의 발광 기간 동안 발광 소자들(LD)의 문턱 전압 이상으로 설정될 수 있다. 발광 소자들(LD) 각각의 제1 전극(예컨대, 애노드 전극)은 화소 구동 회로(144)를 경유하여 제1 구동 전원(VDD)에 접속되고, 발광 소자들(LD) 각각의 제2 전극(예컨대, 캐소드 전극)은 제2 구동 전원(VSS)에 접속된다.
- [83] 발광 소자들(LD) 각각은 화소 구동 회로(144)에 의해 제어되는 구동 전류에 상응하는 휘도로 발광할 수 있다.
- [84] 한편, 도 3a 내지 도 3c에 있어서, 발광 소자들(LD)이 제1 및 제2 구동 전원(VDD, VSS)의 사이에 서로 동일한 방향(일 예로, 순방향)으로 병렬 연결된 실시예를 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예컨대, 다른

실시예에서는 발광 소자들(LD) 중 일부는 제1 및 제2 구동 전원(VDD, VSS)의 사이에 순방향으로 연결되고, 다른 일부는 역방향으로 연결될 수 있다. 제1 및 제2 구동 전원(VDD, VSS) 중 하나는 교류 전압의 형태로 공급될 수 있다. 이 경우, 발광 소자들(LD)은 연결 방향이 동일한 그룹 별로 교번적으로 발광할 수 있다. 또는, 또 다른 실시예에서는, 제1 서브 화소(SP1)가 단일의 발광 소자(LD)만을 포함할 수도 있다.

- [85] 본 발명의 일 실시예에 따르면, 화소 구동 회로(144)는 제1 및 제2 트랜지스터(T1, T2)와 스토리지 커패시터(Cst)를 포함할 수 있다. 다만, 화소 구동 회로(144)의 구조가 도 3a에 도시된 실시예에 한정되지는 않는다.
- [86] 제1 트랜지스터(T1; 스위칭 트랜지스터)의 제1 전극은 데이터 라인(Dj)에 접속되고, 제2 전극은 제1 노드(N1)에 접속된다. 여기서, 제1 트랜지스터(T1)의 제1 전극과 제2 전극은 서로 다른 전극으로, 예컨대 제1 전극이 소스 전극이면 제2 전극은 드레인 전극일 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 스캔 라인(Si)에 접속된다.
- [87] 이와 같은 제1 트랜지스터(T1)는, 스캔 라인(Si)으로부터 제1 트랜지스터(T1)가 턴-온될 수 있는 전압(예컨대, 로우 전압)의 스캔신호가 공급될 때 턴-온되어, 데이터 라인(Dj)과 제1 노드(N1)를 전기적으로 연결한다. 이때, 데이터 라인(Dj)으로는 해당 프레임의 데이터 신호가 공급되고, 이에 따라 제1 노드(N1)로 데이터 신호가 전달된다. 제1 노드(N1)로 전달된 데이터 신호는 스토리지 커패시터(Cst)에 충전된다.
- [88] 제2 트랜지스터(T2; 구동 트랜지스터)의 제1 전극은 제1 구동 전원(VDD)에 접속되고, 제2 전극은 발광 소자(LD)들 각각의 제1 전극에 전기적으로 연결된다. 제2 트랜지스터(T2)의 게이트 전극은 제1 노드(N1)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 제1 노드(N1)의 전압에 대응하여 발광 소자(LD)들로 공급되는 구동 전류의 양을 제어한다.
- [89] 스토리지 커패시터(Cst)의 일 전극은 제1 구동 전원(VDD)에 접속되고, 다른 전극은 제1 노드(N1)에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 제1 노드(N1)로 공급되는 데이터 신호에 대응하는 전압을 충전하고, 다음 프레임의 데이터 신호가 공급될 때까지 충전된 전압을 유지한다.
- [90] 편의상, 도 3a에서는 데이터 신호를 제1 서브 화소(SP1) 내부로 전달하기 위한 제1 트랜지스터(T1)와, 데이터 신호의 저장을 위한 스토리지 커패시터(Cst)와, 상기 데이터 신호에 대응하는 구동 전류를 발광 소자(LD)들로 공급하기 위한 제2 트랜지스터(T2)를 포함한 비교적 단순한 구조의 화소 구동 회로(144)를 도시하였다.
- [91] 하지만, 본 발명이 이에 한정되는 것은 아니며 화소 구동 회로(144)의 구조는 다양하게 변경 실시될 수 있다. 일 예로, 화소 구동 회로(144)는 제2 트랜지스터(T2)의 문턱전압을 보상하기 위한 트랜지스터 소자, 제1 노드(N1)를 초기화하기 위한 트랜지스터 소자, 및/또는 발광 소자(LD)들의 발광 시간을

제어하기 위한 트랜지스터 소자 등과 같은 적어도 하나의 트랜지스터 소자나, 제1 노드(N1)의 전압을 부스팅하기 위한 부스팅 커패시터 등과 같은 다른 회로소자들을 추가적으로 더 포함할 수 있음을 물론이다.

- [92] 또한, 도 3a에서는 화소 구동 회로(144)에 포함되는 트랜지스터들, 예컨대 제1 및 제2 트랜지스터들(T1, T2)을 모두 P타입의 트랜지스터들로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 즉, 화소 구동 회로(144)에 포함되는 제1 및 제2 트랜지스터들(T1, T2) 중 적어도 하나는 N타입의 트랜지스터로 변경될 수도 있다.
- [93] 다음으로, 도 1a, 도 2, 및 도 3b를 참조하면, 본 발명의 일 실시예에 따르면 제1 및 제2 트랜지스터들(T1, T2)은 N타입의 트랜지스터로 구현될 수 있다. 도 3b에 도시된 화소 구동 회로(144)는 트랜지스터 타입 변경으로 인한 일부 구성요소들의 접속 위치 변경을 제외하고는 그 구성이나 동작이 도 3a의 화소 구동 회로(144)와 유사하다. 따라서, 이에 대한 상세한 설명은 생략하기로 한다.
- [94] 본 발명의 일 실시예에 있어서, 화소 구동 회로(144)의 구성은 도 3a 및 도 3b에 도시된 실시예에 한정되지 않는다. 일 예로, 화소 구동 회로(144)는 도 3c에 도시된 실시예와 같이 구성될 수 있다.
- [95] 도 1a, 도 2, 및 도 3c를 참조하면, 화소 구동 회로(144)는 제1 서브 화소(SP1)의 스캔 라인(Si) 및 데이터 라인(Dj)에 연결될 수 있다. 일 예로, 제1 서브 화소(SP1)가 표시 영역(DA)의 i번째 행 및 j번째 열에 배치된 경우, 제1 서브 화소(SP1)의 화소 구동 회로(144)는 표시 영역(DA)의 i번째 스캔 라인(Si) 및 j번째 데이터 라인(Dj)에 연결될 수 있다.
- [96] 또한, 실시예에 따라, 화소 구동 회로(144)는 적어도 하나의 다른 스캔 라인에 더 연결될 수도 있다. 예를 들어, 표시 영역(DA)의 i번째 행에 배치된 제1 서브 화소(SP1)는 i-1번째 스캔 라인(Si-1) 및/또는 i+1번째 스캔 라인(Si+1)에 더 연결될 수 있다.
- [97] 또한, 실시예에 따라, 화소 구동 회로(144)는 제1 및 제2 구동 전원(VDD, VSS) 외에도 제3의 전원에 더 연결될 수 있다. 예를 들어, 화소 구동 회로(144)는 초기화 전원(Vint)에도 연결될 수 있다.
- [98] 화소 구동 회로(144)는 제1 내지 제7 트랜지스터(T1 ~ T7)와 스토리지 커패시터(Cst)를 포함할 수 있다.
- [99] 제1 트랜지스터(T1; 구동 트랜지스터)의 일 전극, 일 예로, 소스 전극은 제5 트랜지스터(T5)를 경유하여 제1 구동 전원(VDD)에 접속되고, 다른 일 전극, 일 예로, 드레인 전극은 제6 트랜지스터(T6)를 경유하여 발광 소자(LD)들의 일측 단부에 접속될 수 있다. 그리고, 제1 트랜지스터(T1)의 게이트 전극은 제1 노드(N1)에 접속될 수 있다. 이러한 제1 트랜지스터(T1)는, 제1 노드(N1)의 전압에 대응하여, 발광 소자(LD)들을 경유하여 제1 구동 전원(VDD)과 제2 구동 전원(VSS)의 사이에 흐르는 구동 전류를 제어한다.
- [100] 제2 트랜지스터(T2; 스위칭 트랜지스터)는 제1 서브 화소(SP1)에 연결된 j번째

데이터 라인(Dj)과 제1 트랜지스터(T1)의 소스 전극 사이에 접속된다. 그리고, 제2 트랜지스터(T2)의 게이트 전극은 제1 서브 화소(SP1)에 연결된 i번째 스캔 라인(Si)에 접속된다. 이와 같은 제2 트랜지스터(T2)는 i번째 스캔 라인(Si)으로부터 게이트-온 전압(일 예로, 로우 전압)의 주사 신호가 공급될 때 턴-온되어 j번째 데이터 라인(Dj)을 제1 트랜지스터(T1)의 소스 전극에 전기적으로 연결한다. 따라서, 제2 트랜지스터(T2)가 턴-온되면, j번째 데이터 라인(Dj)으로부터 공급되는 데이터 신호가 제1 트랜지스터(T1)로 전달된다.

[101] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 드레인 전극과 제1 노드(N1) 사이에 접속된다. 그리고, 제3 트랜지스터(T3)의 게이트 전극은 i번째 스캔 라인(Si)에 접속된다. 이와 같은 제3 트랜지스터(T3)는 i번째 스캔 라인(Si)으로부터 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 제1 트랜지스터(T1)의 드레인 전극과 제1 노드(N1)를 전기적으로 연결한다. 따라서, 제3 트랜지스터(T3)가 턴-온될 때 제1 트랜지스터(T1)는 다이오드 형태로 접속된다.

[102] 제4 트랜지스터(T4)는 제1 노드(N1)와 초기화 전원(Vint) 사이에 접속된다. 그리고, 제4 트랜지스터(T4)의 게이트 전극은 이전 주사선, 일 예로 i-1번째 스캔 라인(Si-1)에 접속된다. 이와 같은 제4 트랜지스터(T4)는 i-1번째 스캔 라인(Si-1)으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 제1 노드(N1)로 전달한다. 여기서, 초기화 전원(Vint)은 데이터 신호의 최저 전압 이하의 전압을 가질 수 있다.

[103] 제5 트랜지스터(T5)는 제1 구동 전원(VDD)과 제1 트랜지스터(T1) 사이에 접속된다. 그리고, 제5 트랜지스터(T5)의 게이트 전극은 대응하는 발광 제어 라인, 일 예로 i번째 발광 제어 라인(Ei)에 접속된다. 이와 같은 제5 트랜지스터(T5)는 i번째 발광 제어 라인(Ei)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.

[104] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)와 발광 소자(LD)들의 일 단부 사이에 접속된다. 그리고, 제6 트랜지스터(T6)의 게이트 전극은 i번째 발광 제어 라인(Ei)에 접속된다. 이와 같은 제6 트랜지스터(T6)는 i번째 발광 제어 라인(Ei)으로 게이트-오프 전압의 발광 제어신호가 공급될 때 턴-오프되고, 그 외의 경우에 턴-온된다.

[105] 제7 트랜지스터(T7)는 발광 소자(LD)들의 일 단부와 초기화 전원(Vint) 사이에 접속된다. 그리고, 제7 트랜지스터(T7)의 게이트 전극은 다음 단의 스캔 라인들 중 어느 하나, 일 예로 i+1번째 스캔 라인(Si+1)에 접속된다. 이와 같은 제7 트랜지스터(T7)는 i+1번째 스캔 라인(Si+1)으로 게이트-온 전압의 주사 신호가 공급될 때 턴-온되어 초기화 전원(Vint)의 전압을 발광 소자(LD)들의 일 단부로 공급한다.

[106] 스토리지 커패시터(Cst)는 제1 구동 전원(VDD)과 제1 노드(N1) 사이에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 각 프레임 기간에 제1 노드(N1)로

공급되는 데이터 신호 및 제1 트랜지스터(T1)의 문턱전압에 대응하는 전압을 저장한다.

- [107] 편의를 위하여, 도 3c에서는 제1 내지 제7 트랜지스터(T1 ~ T7) 모두를 P타입의 트랜지스터로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 화소 구동 회로(144)에 포함되는 제1 내지 제7 트랜지스터들(T1 ~ T7) 중 적어도 하나가 N타입의 트랜지스터로 변경되거나 상기 제1 내지 제7 트랜지스터(T1 ~ T7) 전부가 N타입의 트랜지스터로 변경될 수도 있다.
- [108] 실시예에 따라, 화소 구동 회로(144)는 도 3d에 도시된 바와 같이 제1 및 제2 트랜지스터(T1, T2) 이외에 제3 트랜지스터(T3)를 더 포함할 수 있다. 제3 트랜지스터(T3)는 j번째 데이터 라인(Dj)과 발광 소자들(LD) 각각의 애노드 전극 사이에 연결될 수 있다. 제3 트랜지스터(T3)의 게이트 전극은 제어 라인(CLi)에 연결되어, 상기 제어 라인(CLi)으로 제어 신호가 공급될 때 턴-온되고, 그 외의 경우에 턴-오프될 수 있다.
- [109] 편의를 위하여, 도 3d에서는 제1 내지 제3 트랜지스터(T1 ~ T3) 모두를 P타입의 트랜지스터로 도시하였으나, 본 발명이 이에 한정되지는 않는다. 예를 들어, 화소 구동 회로(144)에 포함되는 제1 내지 제3 트랜지스터들(T1 ~ T3) 중 적어도 하나가 N타입의 트랜지스터로 변경되거나 상기 제1 내지 제3 트랜지스터(T1 ~ T3) 전부가 N타입의 트랜지스터로 변경될 수도 있다.
- [110] 도 4는 도 2에 도시된 화소들 중 하나의 화소에 포함된 제1 내지 제3 서브 화소를 개략적으로 도시한 평면도이며, 도 5는 도 4의 I~I'선에 따른 단면도이다.
- [111] 도 4에 있어서, 편의를 위하여 각각의 서브 화소 내에 제공된 복수의 발광 소자들이 수평 방향으로 정렬된 것으로 도시하였으나, 상기 발광 소자들의 배열이 이에 한정되지는 않는다. 예를 들어, 상기 발광 소자들 중 적어도 일부는 상기 수평 방향과 교차하는 방향으로 정렬될 수도 있다.
- [112] 또한, 도 4에 있어서, 편의를 위하여 상기 발광 소자들에 연결되는 트랜지스터 및 상기 트랜지스터에 연결된 신호 배선들의 도시를 생략하였다.
- [113] 이에 더하여, 도 4 및 도 5에서는 각각의 전극을 단일의 전극층으로만 도시하는 등 상기 하나의 화소의 구조를 단순화하여 도시하였으나, 본 발명이 이에 한정되는 것은 아니다.
- [114] 도 1a 내지 도 5를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 복수의 화소(PXL)들이 제공된 베이스 층(BSL)을 포함할 수 있다.
- [115] 화소들(PXL) 각각은 베이스 층(BSL) 상에 제공된 제1 서브 화소(SP1), 제2 서브 화소(SP2), 및 제3 서브 화소(SP3)를 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 서브 화소(SP1)는 적색 서브 화소이고, 제2 서브 화소(SP2)는 녹색 서브 화소이며, 제3 서브 화소(SP3)는 청색 서브 화소일 수 있다.
- [116] 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각은 광을 방출하는 발광 영역(EMA)과 발광 영역(EMA)의 주변에 위치하는 비발광 영역(PPA)을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 화소

영역은 해당 서브 화소의 발광 영역(EMA)과 비발광 영역(PPA)을 포함할 수 있다.

[117] 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 화소 영역에는 베이스 층(BSL), 화소 회로부(PCL), 및 표시 소자층(DPL)이 제공될 수 있다.

[118] 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 화소 회로부(PCL)는 베이스 층(BSL) 상에 배치된 버퍼층(BFL)과, 버퍼층(BFL) 상에 배치된 제1 및 제2 트랜지스터(T1, T2)와, 구동 전압 배선(DVL)을 포함할 수 있다. 또한, 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 화소 회로부(PCL)는 제1 및 제2 트랜지스터(T1, T2)와 구동 전압 배선(DVL) 상에 제공된 보호층(PKV)을 더 포함할 수 있다.

[119] 베이스 층(BSL)은 유리, 유기 고분자, 수정 등과 같은 절연성 재료를 포함할 수 있다. 또한, 베이스 층(BSL)은 휘거나 접힘이 가능하도록 가요성(flexibility)을 갖는 재료로 이루어질 수 있고, 단층 구조나 다층 구조를 가질 수 있다.

[120] 버퍼층(BFL)은 베이스 층(BSL) 상에 제공되며, 제1 및 제2 트랜지스터(T1, T2)에 불순물이 확산되는 것을 방지할 수 있다. 버퍼층(BFL)은 기판(SUB)의 재료 및 공정 조건에 따라 생략될 수도 있다.

[121] 베이스 층(BSL)과 버퍼층(BFL) 사이에는 차광 패턴(SDL)이 제공될 수 있다.

[122] 차광 패턴(SDL)은 도전성 물질, 절연 물질 등으로 이루어질 수 있으며 베이스 층(BSL)의 배면으로 유입된 광을 차단하여 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 화소 회로부(PCL)에 상기 광이 유입되는 것을 차단하는 광 차단막일 수 있다. 실시예에 따라, 차광 패턴(SDL)은 블랙 매트릭스를 포함할 수 있다. 차광 패턴(SDL)은 제1 및 제2 트랜지스터(T1, T2) 각각의 반도체층(SCL)의 하부에 대응되도록 베이스 층(BSL) 상에 제공될 수 있다. 실시예에 따라, 차광 패턴(SDL)은 도전성 물질인 금속으로 이루어질 수도 있다. 이러한 경우, 차광 패턴(SDL)은 제1 및 제2 트랜지스터(T1, T2) 중 어느 하나의 트랜지스터의 일부 구성에 전기적으로 연결될 수 있다.

[123] 제1 트랜지스터(T1)는 대응하는 서브 화소의 표시 소자층(DPL)에 구비된 발광 소자들(LD) 중 일부에 전기적으로 연결되어 발광 소자들(LD)을 구동하는 구동 트랜지스터이고, 제2 트랜지스터(T2)는 제1 트랜지스터(T1)를 스위칭하는 스위칭 트랜지스터일 수 있다.

[124] 제1 및 제2 트랜지스터(T1, T2) 각각은 반도체층(SCL), 게이트 전극(GE), 소스 및 드레인 전극(SE, DE)을 포함할 수 있다.

[125] 반도체층(SCL)은 버퍼층(BFL) 상에 배치될 수 있다. 반도체층(SCL)은 소스 전극(SE)에 접촉되는 소스 영역과 드레인 전극(DE)에 접촉되는 드레인 영역을 포함할 수 있다. 소스 영역과 드레인 영역 사이의 영역은 채널 영역일 수 있다.

[126] 반도체층(SCL)은 폴리 실리콘, 아몰퍼스 실리콘, 산화물 반도체 등으로 이루어진 반도체 패턴일 수 있다. 채널 영역은 불순물로 도핑되지 않는 반도체 패턴으로서, 진성 반도체일 수 있다. 소스 영역 및 드레인 영역은 불순물이

- 도핑된 반도체 패턴일 수 있다.
- [127] 게이트 전극(GE)은 게이트 절연층(GI)을 사이에 두고 반도체층(SCL) 상에 제공될 수 있다.
- [128] 소스 전극(SE)과 드레인 전극(DE) 각각은 층간 절연층(ILD)과 게이트 절연층(GI)을 관통하는 콘택 홀을 통해 반도체층(SCL)의 소스 영역 및 드레인 영역에 접촉될 수 있다.
- [129] 본 발명의 일 실시예에 있어서, 각 서브 화소에 제공된 화소 회로부(PCL)에 포함된 제1 및 제2 트랜지스터들(T1, T2)은 LTPS 박막 트랜지스터로 구성될 수 있으나, 이에 한정되는 것은 아니며, 실시예에 따라 산화물 반도체 박막 트랜지스터로 구성될 수도 있다.
- [130] 제1 및 제2 트랜지스터들(T1, T2) 각각의 드레인 전극(DE)은 베이스 층(BSL) 상에 제공된 차광 패턴(SDL)과 전기적으로 연결될 수 있다. 구체적으로, 제1 및 제2 트랜지스터들(T1, T2) 각각의 드레인 전극(DE)은 층간 절연층(ILD), 게이트 절연층(GI), 및 버퍼층(BFL)을 차례로 관통하는 콘택 홀을 통해 대응하는 차광 패턴(SDL)에 전기적으로 연결될 수 있다.
- [131] 구동 전압 배선(DVL)은 층간 절연층(ILD) 상에 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 실시예에 따라 화소 회로부(PCL) 내에 포함된 절연층 중 어느 하나의 절연층 상에 제공될 수 있다. 구동 전압 배선(DVL)에는 제2 구동 전원(도 3a의 VSS 참고)이 인가될 수 있다.
- [132] 보호층(PSV)은 제1 트랜지스터(T1)의 드레인 전극(DE)의 일부를 노출하는 제1 콘택 홀(CH1)과 구동 전압 배선(DVL)의 일부를 노출하는 제2 콘택 홀(CH2)을 포함할 수 있다.
- [133] 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 표시 소자층(DPL)은 보호층(PSV) 상에 제공된 격벽(PW), 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 연결 배선(CNL1, CNL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 콘택 전극(CNE1, CNE2)을 포함할 수 있다.
- [134] 격벽(PW)은 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA) 내의 보호층(PSV) 상에 제공될 수 있다. 격벽(PW)과 동일한 물질로 구성된 뱅크(BNK)는 인접한 서브 화소들 사이의 비발광 영역(PPA)에 형성 및/또는 제공되어 각 서브 화소의 발광 영역(EMA)을 정의할 수 있다.
- [135] 본 발명의 일 실시예에 있어서, 격벽(PW)과 뱅크(BNK)는 동일한 면 상에 제공되며 동일한 공정을 통해 형성 및/또는 제공될 수 있다. 격벽(PW)과 뱅크(BNK)는 일체로 제공될 수 있으며, 동일한 물질을 포함할 수 있다. 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA)에 제공된 격벽(PW)과 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 비발광 영역(PPA)에 제공된 뱅크(BNK)가 동일한 공정을 통해 형성 및/또는 제공될 경우, 상기 격벽(PW)과 상기 뱅크(BNK)를 각각 따로 형성하는 경우에 비해 마스크 공정 수가 줄어들 수 있다. 이에 대한 상세한 설명은 도 8b를 참고하여 후술한다.

- [136] 격벽(PW)은 보호층(PSV) 상에서 인접하게 배치된 격벽(PW)과 일정 간격 이격될 수 있다. 인접한 두 개의 격벽(PW)은 하나의 발광 소자(LD)의 길이(L) 이상으로 보호층(PSV) 상에서 이격될 수 있다. 격벽(PW)은, 도 5에 도시된 바와 같이 보호층(PSV)의 일면으로부터 상부로 향할수록 폭이 좁아지는 사다리꼴의 단면을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니다.
- [137] 실시예에 따라, 격벽(PW)은 보호층(PSV)의 일면으로부터 상부로 향할수록 폭이 좁아지는 반원, 반타원 등의 단면을 가지는 곡면을 포함할 수도 있다. 단면 상에서 볼 때, 격벽(PW)의 형상은 상술한 실시예들에 한정되는 것은 아니며 발광 소자들(LD) 각각에서 출사된 광의 효율을 향상시킬 수 있는 범위 내에서 다양하게 변경될 수 있다. 인접한 두 개의 격벽(PW)은 보호층(PSV) 상의 동일한 평면 상에 배치될 수 있으며, 동일한 높이를 가질 수 있다.
- [138] 제1 연결 배선(CNL1)은 상기 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각에서 제1 방향(DR1)으로 연장될 수 있다. 제1 연결 배선(CNL1)은 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각을 독립적으로 구동하기 위해 대응하는 하나의 서브 화소 내에만 제공될 수 있다.
- [139] 제2 연결 배선(CNL2)은 제1 연결 배선(CNL1)의 연장 방향과 평행하게 연장될 수 있다. 제2 연결 배선(CNL2)은 제1 내지 제3 서브 화소들(SP ~ SP3)에 공통으로 제공될 수 있다. 이에 따라, 제1 내지 제3 서브 화소들(SP1 ~ SP3)은 상기 제2 연결 배선(CNL2)에 공통으로 연결될 수 있다.
- [140] 제1 및 제2 전극(REL1, REL2) 각각은 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA)에 제공되며 제1 방향(DR1)과 교차하는 제2 방향(DR2)을 따라 연장될 수 있다. 제1 및 제2 전극(REL1, REL2)은 동일한 평면 상에 제공되며 일정 간격 이격될 수 있다.
- [141] 제1 전극(REL1)은 제1 연결 배선(CNL1)에 연결될 수 있다. 예를 들면, 제1 전극(REL1)은 제1 연결 배선(CNL1)과 일체로 연결될 수 있다. 일 예로, 제1 전극(REL1)은 제1 방향(DR1)으로 연장된 제1 연결 배선(CNL1)으로부터 제2 방향(DR2)을 따라 분기된 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)을 포함할 수 있다. 제1-1 전극(REL1_1)과, 제1-2 전극(REL1_2)과, 제1 연결 배선(CNL1)은 일체로 제공되어 전기적 및/또는 물리적으로 서로 연결될 수 있다. 제1 전극(REL1)과 제1 연결 배선(CNL1)이 일체로 형성 및/또는 제공되는 경우, 제1 연결 배선(CNL1)을 제1 전극(REL1)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 실시예에 따라, 제1 전극(REL1)과 제1 연결 배선(CNL1)이 서로 개별적으로 형성되어, 도시되지 않은 컨택 홀 또는 비아 홀 등을 통해 서로 전기적으로 연결될 수도 있다.
- [142] 제2 전극(REL2)은 제2 방향(DR2)을 따라 연장되며 제2 연결 배선(CNL2)과 전기적으로 연결될 수 있다. 본 발명의 일 실시예에 있어서, 제2 전극(REL2)은 제2 연결 배선(CNL2)으로부터 제2 방향(DR2)을 따라 분기될 수 있다. 이에 따라, 제2 전극(REL2)과 제2 연결 배선(CNL2)은 일체로 제공되어, 전기적 및/또는

물리적으로 서로 연결될 수 있다. 제2 전극(REL2)과 제2 연결 배선(CNL2)이 일체로 형성 및/또는 제공되는 경우, 제2 연결 배선(CNL2)을 제2 전극(REL2)의 일 영역으로 간주할 수도 있다. 다만, 본 발명이 이에 한정되지는 않는다. 예를 들어, 실시예에 따라, 제2 전극(REL2)과 제2 연결 배선(CNL2)이 서로 개별적으로 형성되어, 도시되지 않은 컨택 홀 또는 비아 홀 등을 통해 서로 전기적으로 연결될 수도 있다.

- [143] 제1 및 제2 전극들(REL1, REL2) 각각은 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA)에 발광 소자들(LD)을 정렬하기 위한 정렬 전극으로 기능할 수 있다.
- [144] 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA)에 발광 소자들(LD)이 정렬되기 전, 제1 전극(REL)에는 제1 연결 배선(CNL1)을 통해 제1 정렬 전압이 인가되고, 제2 전극(REL2)에는 제2 연결 배선(CNL2)을 통해 제2 정렬 전압이 인가될 수 있다. 제1 정렬 전압과 제2 정렬 전압은 서로 상이한 전압 레벨을 가질 수 있다. 제1 전극(REL1)과 제2 전극(REL2) 각각에 서로 상이한 전압 레벨을 갖는 소정의 정렬 전압이 인가됨에 따라 제1 전극(REL1)과 제2 전극(REL2) 사이에 전계가 형성될 수 있다. 전계에 의해 제1 전극(REL1)과 제2 전극(REL2) 사이에 발광 소자들(LD)이 정렬될 수 있다.
- [145] 평면 상에서 볼 때, 제2 전극(REL2)은 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2) 사이에 제공되고, 제1-1 및 제1-2 전극들(REL1_1, REL1_2)과 일정 간격 이격될 수 있다. 제1-1 전극(REL1_1)과, 제1-2 전극(REL1_2)과, 제2 전극(REL2)은 보호층(PSV) 상에서 서로 교번하여 배치될 수 있다.
- [146] 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA) 내에 발광 소자들(LD)이 정렬된 후, 제1 및 제2 전극들(REL1, REL2) 각각은 발광 소자들(LD)을 구동하기 위한 구동 전극으로 기능할 수 있다.
- [147] 제1 및 제2 전극들(REL1, REL2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에서 출사되는 광을 표시 장치의 화상이 표시되는 방향(일 예로, 정면 방향)으로 진행되도록 일정한 반사율을 갖는 재료로 이루어질 수 있다.
- [148] 본 발명의 일 실시예에 있어서, 제1 및 제2 전극들(REL1, REL2)과, 제1 연결 배선(CNL1)과, 제2 연결 배선(CNL2)은 동일한 층에 제공되며, 동일한 물질로 구성될 수 있다.
- [149] 제1 및 제2 전극들(REL1, REL2)과, 제1 연결 배선(CNL1)과, 제2 연결 배선(CNL2)은 일정한 반사율을 갖는 도전성 재료로 이루어질 수 있다. 도전성 재료로는 Ag, Mg, Al, Pt, Pd, Au, Ni, Nd, Ir, Cr, Ti, 이들의 합금과 같은 금속, ITO(indium tin oxide), IZO(indium zinc oxide), ZnO(zinc oxide), ITZO(indium tin zinc oxide)와 같은 도전성 산화물, PEDOT와 같은 도전성 고분자 등이 포함될 수 있다.
- [150] 제1 및 제2 전극들(REL1, REL2)과, 제1 연결 배선(CNL1)과, 제2 연결 배선(CNL2)의 재료는 상술한 재료들에 한정되는 것은 아니다.

- [151] 또한, 제1 및 제2 전극들(REL1, REL2)과, 제1 연결 배선(CNL1)과, 제2 연결 배선(CNL2)은 단일막으로 형성될 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 금속들, 합금들, 도전성 산화물들, 도전성 고분자들 중 2 이상 물질이 적층된 다중막으로 형성될 수 있다.
- [152] 제1 및 제2 전극들(REL1, REL2)과, 제1 연결 배선(CNL1)과, 제2 연결 배선(CNL2) 각각은 발광 소자들(LD) 각각의 양 단부(EP1, EP2)로 신호를 전달할 때 신호 지연에 의한 전압 강하를 최소화하기 위해 적어도 이중층 이상의 다중층으로 형성될 수 있다.
- [153] 제1 및 제2 전극들(REL1, REL2)은 격벽(PW)의 형상에 대응되는 형상을 갖기 때문에, 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에서 출사된 광은 제1 및 제2 전극들(REL1, REL2)에 의해 반사되어 표시 장치의 정면 방향으로 더욱 진행될 수 있다. 따라서, 발광 소자들(LD) 각각에서 출사된 광의 효율이 향상될 수 있다.
- [154] 본 발명의 일 실시예에 있어서, 격벽(PW)과, 제1 및 제2 전극들(REL1, REL2)은 발광 소자들(LD) 각각에서 출사된 광을 표시 장치의 정면 방향으로 진행되게 하여 발광 소자들(LD)의 출광 효율을 향상시키는 반사 부재로 기능할 수 있다.
- [155] 제1 및 제2 전극들(REL1, REL2) 중 어느 하나의 전극은 애노드 전극일 수 있으며, 나머지 하나의 전극은 캐소드 전극일 수 있다. 본 발명의 일 실시예에 있어서, 제1 전극(REL1)이 애노드 전극이고, 제2 전극(REL2)이 캐소드 전극일 수 있다.
- [156] 발광 소자들(LD) 각각은 무기 결정 구조의 재료를 이용한 초소형의, 예를 들면 나노 또는 마이크로 스케일 정도로 작은 크기의, 발광 다이오드일 수 있다.
- [157] 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에는 적어도 2개 내지 수십 개의 발광 소자들(LD)이 제공될 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 각 서브 화소에 제공되는 발광 소자들(LD)의 개수는 다양하게 변경될 수 있음은 물론이다.
- [158] 발광 소자들(LD) 각각은 각 발광 소자(LD)의 길이(L) 방향을 따라 제1 도전성 반도체층(11), 활성층(12), 제2 도전성 반도체층(13), 및 전극층(15)이 순차적으로 적층된 발광 적층 패턴을 포함할 수 있다. 또한, 발광 소자들(LD) 각각은 발광 적층 패턴의 외주면을 둘러싸는 절연 피막(14)을 더 포함할 수 있다. 본 발명의 일 실시예에 있어서, 발광 소자들(LD) 각각은 원 기둥 형상을 가질 수 있다. 이러한 경우, 각 발광 소자(LD)는 원 기둥의 하부 및 원 기둥의 상부 중 어느 하나에 대응되는 제1 단부(EP1)와 상기 원 기둥의 하부 및 상기 원 기둥의 상부 중 나머지에 대응되는 제2 단부(EP2)를 포함할 수 있다. 각 발광 소자(LD)의 제1 단부(EP1)에는 제1 도전성 반도체층(11) 및 전극층(15) 중 어느 하나가 배치될 수 있고, 그의 제2 단부(EP2)에는 제1 도전성 반도체층(11) 및 전극층(15) 중 나머지 하나가 배치될 수 있다.
- [159] 본 발명의 일 실시예에 있어서, 발광 소자들(LD)은 제1-1 전극(REL1_1)과 제2 전극(REL2) 사이에 정렬된 복수의 제1 발광 소자들(LD1) 및 제2 전극(REL2)과

- 제1-2 전극(REL1_2) 사이에 정렬된 복수의 제2 발광 소자들(LD2)로 구분될 수 있다.
- [160] 발광 소자들(LD) 상에 발광 소자들(LD) 각각의 상면 일부를 커버하는 제2 절연층(INS2)이 제공될 수 있다. 발광 소자들(LD) 각각과 보호층(PSV) 사이에는 제1 절연층(INS1)이 제공될 수 있다.
- [161] 제1 절연층(INS1)은 발광 소자들(LD) 각각과 보호층(PSV) 사이의 공간을 메워 상기 발광 소자들(LD)을 안정적으로 지지하고, 상기 보호층(PSV)으로부터 상기 발광 소자들(LD)의 이탈을 방지할 수 있다. 제1 절연층(INS1)은 무기 재료로 이루어진 무기 절연막 또는 유기 재료로 이루어진 유기 절연막을 포함할 수 있다. 본 발명의 일 실시예에 있어서, 제1 절연층(INS1)은 화소 회로부(PCL)로부터 발광 소자들(LD)을 보호하는 데에 유리한 무기 절연막으로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, 제1 절연층(INS1)은 발광 소자들(LD)의 지지면을 평탄화시키는 데 유리한 유기 절연막으로 이루어질 수 있다.
- [162] 제2 절연층(INS2)은 유기 재료를 포함한 유기 절연막으로 이루어질 수 있다. 본 발명의 일 실시예에 있어서, 제2 절연층(INS2)은 발광 소자들(LD) 각각의 상면 일부 상에 제공되어 각 발광 소자(LD)의 양 단부(EP1, EP2)를 외부로 노출할 수 있다.
- [163] 본 발명의 일 실시예에 있어서, 제1 연결 배선(CNL1)은 보호층(PSV)의 제1 컨택 홀(CH1)을 통해 제1 트랜지스터(T1)의 드레인 전극(DE)에 전기적으로 연결될 수 있다. 제1 연결 배선(CNL1)은 제1 전극(REL1)과 일체로 제공되므로, 상기 제1 연결 배선(CNL1)으로 인가된 제1 트랜지스터(T1)의 신호는 제1 전극(REL1)으로 전달될 수 있다.
- [164] 제1 전극(REL1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부에 인접하게 배치되고, 제1 컨택 전극(CNE1)을 통해 발광 소자들(LD) 각각에 전기적으로 연결될 수 있다. 이에 따라, 제1 전극(REL1)으로 인가된 제1 트랜지스터(T1)의 신호가 제1 컨택 전극(CNE1)을 통해 발광 소자들(LD) 각각으로 전달될 수 있다.
- [165] 본 발명의 일 실시예에 있어서, 제2 연결 배선(CNL2)은 보호층(PSV)의 제2 컨택 홀(CH2)을 통해 구동 전압 배선(DVL)에 전기적으로 연결될 수 있다. 제2 연결 배선(CNL2)은 제2 전극(REL2)과 일체로 제공되므로, 상기 제2 연결 배선(CNL2)으로 인가된 구동 전압 배선(DVL)의 제2 구동 전원(VSS)이 제2 전극(REL2)으로 전달될 수 있다.
- [166] 제2 전극(REL2)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 나머지 단부에 인접하게 배치되고, 제2 컨택 전극(CNE2)을 통해 발광 소자들(LD) 각각에 전기적으로 연결될 수 있다. 이에 따라, 제2 전극(REL2)으로 인가된 제2 구동 전원(VSS)이 발광 소자들(LD) 각각으로 전달될 수 있다.
- [167] 제1 전극(REL1) 상에는, 제1 전극(REL1)과 발광 소자들(LD) 각각의 양

단부(EP1, EP2) 중 하나의 단부를 전기적 및/또는 물리적으로 안정되게 연결하는 제1 컨택 전극(CNE1)이 제공될 수 있다. 제1 컨택 전극(CNE1)은 발광 소자들(LD) 각각으로부터 출사되어 제1 전극(REL1)에 의해 표시 장치의 정면 방향으로 반사된 광이 손실 없이 상기 정면 방향으로 진행할 수 있도록 투명한 도전성 재료로 구성될 수 있다.

[168] 제1 컨택 전극(CNE1)은 평면 상에서 볼 때 제1 전극(REL1)을 커버하며 제1 전극(REL1)에 중첩될 수 있다. 또한, 제1 컨택 전극(CNE1)은 발광 소자들(LD) 각각의 양 단부(EP1, EP2) 중 하나의 단부에 부분적으로 중첩될 수 있다. 제1 컨택 전극(CNE1)은 제1-1 전극(REL1_1) 상에 제공된 제1-1 컨택 전극(CNE1_1) 및 제1-2 전극(REL1_2) 상에 제공된 제1-2 컨택 전극(CNE1_2)을 포함할 수 있다.

[169] 제2 전극(REL2) 상에는 제2 컨택 전극(CNE2)이 제공될 수 있다. 제2 컨택 전극(CNE2)은 평면 상에서 볼 때 제2 전극(REL2)을 커버하며 제2 전극(REL2)에 중첩될 수 있다. 또한, 제2 컨택 전극(CNE2)은 제1 발광 소자들(LD1) 각각의 제2 단부(EP2) 및 제2 발광 소자들(LD2) 각각의 제1 단부(EP1)에 각각 중첩될 수 있다. 제2 컨택 전극(CNE2)은 제1 컨택 전극(CNE1)과 동일한 물질로 구성될 수 있으나, 본 발명이 이에 한정되는 것은 아니다.

[170] 본 발명의 일 실시예에 있어서, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 동일 평면 상에 제공되며 제2 절연층(INS2) 상에 일정 간격 이격되어 전기적 및/또는 물리적으로 분리될 수 있다. 즉, 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 동일한 층에 제공되며 동일한 제조 공정을 통해 형성될 수 있다.

[171] 제1 컨택 전극과 제2 컨택 전극(CNE1, CNE2) 상에는 제1 및 제2 컨택 전극(CNE1, CNE2)을 커버하는 제3 절연층(INS3)이 제공될 수 있다. 제3 절연층(INS3)은 제1 및 제2 컨택 전극(CNE1, CNE2)을 외부로 노출되지 않게 하여 제1 및 제2 컨택 전극(CNE1, CNE2)의 부식을 방지할 수 있다.

[172] 제3 절연층(INS3)은 무기 재료로 이루어진 무기 절연막 또는 유기 재료로 이루어진 유기 절연막을 포함할 수 있다. 제3 절연층(INS3)은 도면에 도시된 바와 같이 단일층으로 이루어질 수 있으나, 본 발명이 이에 한정되는 것은 아니다. 예를 들어, 제3 절연층(INS3)은 다중층으로 이루어질 수도 있다. 제3 절연층(INS3)이 다중층으로 이루어진 경우, 제3 절연층(INS3)은 복수의 무기 절연막 또는 복수의 유기 절연막이 교번하여 적층된 구조를 가질 수 있다. 예를 들어, 제3 절연층(INS3)은 제1 무기 절연막, 유기 절연막, 및 제2 무기 절연막이 순차적으로 적층된 구조를 가질 수 있다.

[173] 제3 절연층(INS3) 상에는 오버 코트층(미도시)이 제공될 수 있다. 오버 코트층은 그 하부에 배치된 격벽(PW), 제1 및 제2 전극들(REL1, REL2), 제1 및 제2 컨택 전극들(CNE1, CNE2) 등에 의해 발생된 단차를 완화시키는 평탄화층일 수 있다. 오버 코트층은 발광 소자들(LD)로 산소 및 수분 등이 침투하는 것을 방지하는 봉지층일 수 있다.

[174] 발광 소자들(LD) 각각의 양 단부(EP1, EP2)에는 제1 전극(REL1)과 제2

전극(REL2)을 통해 소정의 전압이 인가될 수 있다. 이에 따라, 발광 소자들(LD) 각각의 활성층(12)에서 전자-정공 쌍이 결합하면서 발광 소자들(LD) 각각은 광을 방출할 수 있다. 여기서, 활성층(12)은 400nm 내지 900nm 파장대의 광을 방출할 수 있다.

- [175] 도 6은 도 4의 화소에 있어서 제1 서브 화소를 다른 실시예에 따라 도시한 개략적인 평면도이다.
- [176] 도 6에 도시된 제1 서브 화소는, 발광 영역이 제1 및 제2 서브 발광 영역을 포함하고 각 서브 발광 영역 별로 전극들의 정렬 형태가 상이해지는 점을 제외하고는 도 4의 제1 서브 화소와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [177] 이에, 도 6의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [178] 도 1a, 도 2, 도 4 및 도 6을 참조하면, 제1 서브 화소(SP1)는 광을 방출하는 발광 영역(EMA)과 상기 발광 영역(EMA)의 주변에 위치한 비발광 영역(PPA)을 포함할 수 있다.
- [179] 제1 서브 화소(SP1)의 표시 소자층(도 5의 DPL 참고)은 회로 소자층(도 5의 PCL 참고) 상에 제공된 격벽(PW), 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 연결 배선(CNL1, CNL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 콘택 전극(CNE1, CNE2)을 포함할 수 있다.
- [180] 발광 소자들(LD)은 제1 발광 소자들(LD1)과 제2 발광 소자들(LD2)을 포함할 수 있다. 제1 발광 소자들(LD1)은 제1 방향(DR1)으로 제1 및 제2 단부(EP1, EP2)를 포함할 수 있다. 여기서, 제1 방향(DR1)은 평면 상에서 볼 때 수평 방향을 의미할 수 있다. 제2 발광 소자들(LD2)은 제1 방향(DR1)과 교차하는 제2 방향(DR2)으로 제1 및 제2 단부(EP1, EP2)를 포함할 수 있다. 여기서, 제2 방향(DR2)은 평면 상에서 볼 때 수직 방향을 의미할 수 있다. 제1 발광 소자들(LD1)은 수평 방향으로 정렬되고, 제2 발광 소자들(LD2)은 수직 방향으로 정렬될 수 있다.
- [181] 본 발명의 일 실시예에 있어서, 제1 서브 화소(SP1)의 발광 영역(EMA)은 제1 발광 소자들(LD1)이 제공되는 제1 서브 발광 영역(SEMA1)과 제2 발광 소자들(LD2)이 제공되는 제2 서브 발광 영역(SEMA2)을 포함할 수 있다.
- [182] 본 발명의 일 실시예에 있어서, 제1 전극(REL1)은 제1-1 전극(REL1_1)과 제1-2 전극(REL1_2)을 포함하고, 제2 전극(REL2)은 제2-1 전극(REL2_1)과 제2-2 전극(REL2_2)을 포함할 수 있다.
- [183] 평면 상에서 볼 때, 제1 전극(REL1)의 일부 및 제2 전극(REL2)의 일부는 제1 서브 발광 영역(SEMA1) 내에서 제1 방향(DR1)을 따라 교번하여 제공될 수 있다. 일 예로, 제1 전극(REL1)의 제1-1 전극(REL1_1)과 제2 전극(REL2)의 제2-1 전극(REL2_1)은 제1 서브 발광 영역(SEMA1) 내에서 제1 방향(DR1)을 따라

교번하여 제공될 수 있다.

- [184] 또한, 평면 상에서 볼 때, 제1 전극(REL1)의 나머지 및 제2 전극(REL2)의 나머지는 제2 서브 발광 영역(SEMA2) 내에서 제2 방향(DR2)을 따라 교번하여 제공될 수 있다. 일 예로, 제1 전극(REL1)의 제1-2 전극(REL1_2) 및 제2 전극(REL2)의 제2-2 전극(REL2_2)은 제2 서브 발광 영역(SEMA2) 내에서 제2 방향(DR2)을 따라 교번하여 제공될 수 있다.
- [185] 본 발명의 일 실시예에 있어서, 제1 콘택 전극(CNE1)은 제1-1 전극(REL1_1) 상에 제공되며 평면 상에서 볼 때 상기 제1-1 전극(REL1_1)에 중첩하는 제1-1 콘택 전극(CNE1_1) 및 제1-2 전극(REL1_2) 상에 제공되며 평면 상에서 볼 때 상기 제1-2 전극(REL1_2)에 중첩하는 제1-2 콘택 전극(CNE1_2)을 포함할 수 있다.
- [186] 또한, 제2 콘택 전극(CNE2)은 제2-1 전극(REL2_1) 상에 제공되며 평면 상에서 볼 때 상기 제2-1 전극(REL2_1)에 중첩하는 제2-1 콘택 전극(CNE2_1) 및 제2-2 전극(REL2_2) 상에 제공되며 평면 상에서 볼 때 상기 제2-2 전극(REL2_2)에 중첩하는 제2-2 콘택 전극(CNE2_2)을 포함할 수 있다.
- [187] 제1 서브 발광 영역(SEMA1)에서의 제1-1 및 제2-1 반사 전극(REL1_1, REL2_1) 사이의 간격과 제2 서브 발광 영역(SEMA2)에서의 제1-2 및 제2-2 반사 전극(REL1_2, REL2_2) 사이의 간격은 동일하게 설계될 수 있다. 이는, 제1 서브 발광 영역(SEMA1)에 정렬되는 제1 발광 소자들(LD1)의 정렬 면적과 제2 서브 발광 영역(SEMA2)에 정렬되는 제2 발광 소자들(LD2)의 정렬 면적을 동일하게 하기 위함이다. 제1 및 제2 서브 발광 영역(SEMA1, SEMA2) 각각에서의 정렬 면적이 동일할 경우, 제1 및 제2 발광 소자들(LD1, LD2)이 일부 영역으로 편중되는 것이 방지될 수 있다.
- [188] 제1 서브 화소(SP1)의 비발광 영역(PPA)에는 격벽(PW)과 동일 평면 상에 배치되는 बैं크(BNK)가 제공될 수 있다. बैं크(BNK)는 제1 서브 화소(SP1)와 상기 제1 서브 화소(SP1)에 인접한 서브 화소들 사이의 비발광 영역(PPA)에 형성 및/또는 제공되어 각 서브 화소의 발광 영역(EMA)을 정의할 수 있다.
- [189] 본 발명의 일 실시예에 있어서, 격벽(PW)과 बैं크(BNK)는 유기 재료를 포함한 유기 절연 물질로 이루어질 수 있으나, 이에 반드시 한정되는 것은 아니다. 실시예에 따라, 격벽(PW)과 बैं크(BNK)는 무기 재료를 포함한 무기 절연 물질 또는 제1 및 제2 전극(REL1, REL2)과 발광 소자들(LD)에 직접적으로 영향을 미치지 않으며 외부 광에 반사되어 도전성 물질 등으로 이루어질 수도 있다.
- [190] 본 발명의 일 실시예에 있어서, 편의를 위해 제1 서브 화소(SP1)의 비발광 영역(PPA)에 제공되는 बैं크(BNK)가 제1 및 제2 서브 발광 영역(SEMA1, SEMA2) 각각에 제공된 격벽(PW)과 일체로 제공되어 상기 격벽(PW)에 물리적으로 연결된 것으로 도시하였다. 그러나, 본 발명이 이에 한정되는 것은 아니다. 실시예에 따라, बैं크(BNK)는 격벽(PW)과 동일 평면 상에서 일정 간격 이격되도록 제1 서브 화소(SP1)의 비발광 영역(PPA)에 제공될 수도 있다.

- [191] 제1 서브 화소(SP1)의 비발광 영역(PPA)에서, 제1 및 제2 연결 배선(CNL1, CNL2)은 대응하는 बैं크(BNK) 상에 제공되어, 평면 상에서 볼 때 상기 대응하는 बैं크(BNK)에 중첩할 수 있다.
- [192] 도 7은 도 4의 화소에 있어서 제1 서브 화소를 다른 실시예에 따라 도시한 개략적인 평면도이다.
- [193] 도 7의 제1 서브 화소와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [194] 도 7에서는, 도시의 편의를 위하여 제1 및 제2 전극과, 상기 제1 및 제2 전극 사이에 제공되는 발광 소자들, 및 상기 제2 전극에 연결된 제2 연결 배선만을 도시하였다.
- [195] 도 1a, 도 2, 도 4, 및 도 7을 참조하면, 제1 서브 화소(SP1)는 광을 방출하는 발광 영역(EMA)과 상기 발광 영역(EMA)의 주변에 위치한 비발광 영역(PPA)을 포함할 수 있다.
- [196] 제1 서브 화소(SP1)의 표시 소자층(도 5의 DPL 참조)은 회로 소자층(도 5의 PCL 참조) 상에 제공된 제1 및 제2 전극(REL1, REL2)과, 제2 연결 배선(CNL2) 및 복수의 발광 소자들(LD)을 포함할 수 있다.
- [197] 본 발명의 일 실시예에 있어서, 제1 및 제2 전극(REL1, REL2)은 보호층(PSV) 상의 동일 평면 상에 제공되며 발광 소자들(LD)과 전기적으로 연결될 수 있다. 제1 및 제2 전극(REL1, REL2) 각각은 원형 형상을 가질 수 있다. 이러한 경우 제1 및 제2 전극(REL1, REL2) 각각에 대응하는 정렬 전압이 인가되면 상기 제1 및 제2 전극(REL1, REL2) 사이에 방사형의 전계가 형성될 수 있다. 이로 인해, 발광 소자들(LD)은 제1 전극(REL1)의 원주(圓周, 원둘레)를 따라 다양한 방향으로 정렬될 수 있다.
- [198] 발광 소자들(LD) 각각은 도 1a에 도시된 바와 같이, 원기둥 형상을 가질 수 있다. 특히, 발광 소자들(LD) 각각은 길이(L) 방향으로 제1 및 제2 단부(EP1, EP2)를 포함할 수 있다. 발광 소자들(LD) 각각의 제1 및 제2 단부(EP1, EP2) 중 어느 하나의 단부에 제1 도전성 반도체층(11)이 배치될 수 있으며 상기 발광 소자들(LD) 각각의 제1 및 제2 단부(EP1, EP2) 중 나머지 하나의 단부에 전극층(15)이 배치될 수 있다.
- [199] 제1 및 제2 전극(REL1, REL2) 각각은 도시된 바와 같이 원형 형상을 가질 수 있으나, 본 발명이 이에 한정되는 것은 아니며, 타원형, 사각형, 다각형 등 다양한 형상을 가질 수 있다.
- [200] 제1 전극(REL1)과 제2 전극(REL2)은 제1 서브 화소(SP1)의 발광 영역(EMA)에 제공될 수 있다. 제2 전극(REL2)은 제1 전극(REL1)의 주변을 둘러싸는 형태로 제공될 수 있다. 특히, 제2 전극(REL2)은 제1 전극(REL1)을 중심으로 원주 방향을 따라 연장될 수 있다. 본 발명의 일 실시예에 있어서, 제2 전극(REL2)은

- 제2-1 전극(REL2_1)과 제2-2 전극(REL2_2)을 포함할 수 있다. 제2-1 전극(REL2_1)과 제2-2 전극(REL2_2)은 소정의 간격을 두고 서로 이격되도록 배치될 수 있다.
- [201] 제2-1 전극(REL2_1)은 제2-1 연결 배선(CNL2_1)을 통해 제2 방향(DR2)을 따라 동일한 열에 배치된 제2-1 전극(REL2_1)에 전기적으로 연결될 수 있다. 제2-2 전극(REL2_2)은 제2-2 연결 배선(CNL2_2)을 통해 제2 방향(DR2)을 따라 동일한 열에 배치된 제2-2 전극(REL2_2)에 전기적으로 연결될 수 있다.
- [202] 도 8a 내지 도 8h는 도 5의 표시 장치의 제조 방법을 순차적으로 나타낸 단면도들이다.
- [203] 도 1a 내지 도 8a를 참조하면, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 베이스 층(BSL) 상에 화소 회로부(PCL)를 형성한다. 화소 회로부(PCL)는 차광 패턴(SDL), 제1 및 제2 트랜지스터(T1, T2), 구동 전압 배선(DVL), 및 보호층(PSV)을 포함할 수 있다.
- [204] 이때, 보호층(PSV)은 제1 트랜지스터(T1)의 드레인 전극(DE)을 노출하는 제1 컨택 홀(CH1)과 구동 전압 배선(DVL)을 노출하는 제2 컨택 홀(CH2)을 포함할 수 있다.
- [205] 도 1a 내지 도 8b를 참조하면, 보호층(PSV) 상에 절연 물질층(미도시)을 도포한 후, 마스크(미도시)를 이용하여 상기 절연 물질층을 패터닝하여 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)에 격벽(PW)을 형성하고 동시에 제1 내지 제3 서브 화소들(SP1, SP2, SP3)의 비발광 영역(PPA)에 बैं크(BNK)를 형성한다. 상술한 제조 공정에서 사용되는 마스크는 하프톤 마스크일 수 있다.
- [206] 본 발명의 일 실시예에 있어서, 격벽(PW) 및 बैं크(BNK)는 동일한 면 상에 제공되며 동일한 물질을 포함할 수 있다. 일 예로, 격벽(PW)과 बैं크(BNK)는 유기 재료를 포함하는 유기 절연막일 수 있다.
- [207] 상술한 바와 같이, 보호층(PSV)과 격벽(PW)을 동일한 공정으로 형성할 경우, 보호층(PSV) 및 격벽(PW)을 각각 별도의 공정으로 형성하는 경우에 비해 마스크 수가 줄어들어 표시 장치의 제조 공정이 더욱 단순해질 수 있다.
- [208] 도 1a 내지 도 8c를 참조하면, 격벽(PW) 등을 포함한 각 서브 화소의 보호층(PSV) 상에 반사율이 높은 도전성 재료를 포함한 제1 및 제2 전극들(REL1, REL2)과 제1 및 제2 연결 배선들(CNL1, CNL2)을 형성한다.
- [209] 제1 및 제2 전극들(REL1, REL2) 각각은 각 서브 화소의 발광 영역(EMA) 내에서 대응하는 격벽(PW) 상에 제공 및/또는 형성될 수 있다. 제1 및 제2 연결 배선들(CNL1, CNL2) 각각은 각 서브 화소의 비발광 영역(PPA)에 제공 및/또는 형성될 수 있다.
- [210] 본 발명의 일 실시예에 있어서, 제1 연결 배선(CNL1)은 보호층(PSV)의 제1 컨택 홀(CH1)을 통해 화소 회로부(PCL)의 제1 트랜지스터(T1)에 전기적으로 연결될 수 있다. 제1 연결 배선(CNL1)은 제1 전극(REL1)과 일체로 제공되어

상기 제1 전극(REL1)에 전기적 및/또는 물리적으로 연결될 수 있다. 이에 따라, 제1 트랜지스터(T1)에 인가된 신호(혹은 전압)는 제1 연결 배선(CNL1)을 통해 제1 전극(REL1)으로 전달될 수 있다.

- [211] 제2 연결 배선(CNL2)은 보호층(PSV)의 제2 콘택 홀(CH2)을 통해 화소 회로부(PCL)의 구동 전압 배선(DVL)에 전기적으로 연결될 수 있다. 제2 연결 배선(CNL2)은 제2 전극(REL2)과 일체로 제공되어 상기 제2 전극(REL2)에 전기적 및/또는 물리적으로 연결될 수 있다. 이에 따라, 구동 전압 배선(DVL)의 제2 구동 전원(VSS)이 제2 연결 배선(CNL2)을 통해 제2 전극(REL2)으로 전달될 수 있다.
- [212] 도 1a 내지 도 8d를 참조하면, 제1 및 제2 전극(REL1, REL2) 등이 형성된 보호층(PSV) 상에 절연 물질층(미도시)을 증착한 후, 마스크(미도시)를 이용하여 상기 절연 물질층을 패터닝하여 제1 절연층(INS1)을 형성한다.
- [213] 제1 절연층(INS1)은 각 서브 화소의 발광 영역(EMA)에서 제1 전극(REL1)과 제2 전극(REL2) 사이에 형성 및/또는 제공될 수 있고, 각 서브 화소의 비발광 영역(PPA)에서 제1 및 제2 연결 배선(CNL1, CNL2) 상에 각각 형성 및/또는 제공될 수 있다.
- [214] 도 1a 내지 도 8e를 참조하면, 제1 및 제2 연결 배선(CNL1, CNL2)을 통해 각 서브 화소의 제1 및 제2 전극(REL1, REL2) 각각에 대응하는 정렬 전압을 인가하여 제1 전극(REL1)과 제2 전극(REL2) 사이에 전계를 형성한다. 제1 및 제2 연결 배선(CNL1, CNL2)을 통해 제1 및 제2 전극(REL1, REL2) 각각에 소정의 전압과 주기를 구비하는 교류 전원 또는 직류 전원을 수회 반복적으로 인가하는 경우, 상기 제1 및 제2 전극(REL1, REL2) 사이에는 상기 제1 및 제2 전극(REL1, REL2)의 전위차에 따른 전계가 형성될 수 있다.
- [215] 각 서브 화소의 발광 영역(EMA) 내에 형성된 제1 전극(REL1)과 제2 전극(REL2) 사이에 전계가 형성된 상태에서 잉크젯 프린팅 방식 등을 이용하여 발광 소자들(LD)을 투입한다. 일 예로, 보호층(PSV) 상에 노즐을 배치하고, 노즐을 통해 발광 소자들(LD)을 포함하는 용매를 투하하여 발광 소자들(LD)을 각 서브 화소의 발광 영역(EMA)의 보호층(PSV) 상에 투입할 수 있다. 용매는 아세톤, 물, 알코올, 및 톨루엔 중 어느 하나 이상일 수 있으나, 이에 본 발명이 한정되는 것은 아니다. 예를 들어, 용매는 상온 또는 열에 의해 기화될 수 있는 물질을 포함할 수 있다. 또한, 용매는 잉크 또는 페이스트의 형태일 수 있다. 발광 소자들(LD)을 투입하는 방식이 이에 한정되는 것은 아니며, 발광 소자들(LD)을 투입하는 방식은 변경될 수 있다. 이후, 용매는 제거될 수 있다.
- [216] 발광 소자들(LD)을 보호층(PSV) 상에 투입할 경우, 제1 전극(REL1)과 제2 전극(REL2) 사이에 형성된 전계로 인해 발광 소자들(LD)의 자가 정렬이 유도될 수 있다. 이에 따라, 제1 전극(REL1)과 제2 전극(REL2) 사이에 발광 소자들(LD)이 정렬될 수 있다. 즉, 발광 소자들(LD)이 목적하는 영역, 일 예로, 각 서브 화소의 발광 영역(EMA) 내에 집중적으로 정렬될 수 있다.

- [217] 도 1a 내지 도 8f를 참조하며, 발광 소자들(LD)의 정렬 이후, 보호층(PSV) 상에 절연 물질층(미도시)을 도포한 후 마스크(미도시)를 이용하여 상기 절연 물질층을 패터닝하여 각 발광 소자(LD)의 상면 일부를 커버하는 제2 절연층(INS2)을 형성한다. 이로 인해, 각 발광 소자(LD)의 양 단부(EP1, EP2)는 외부로 노출될 수 있다.
- [218] 도 1a 내지 도 8g를 참조하면, 제2 절연층(INS2) 상에 도전층(미도시)을 보호층(PSV) 전면에 형성한 후, 마스크(미도시)를 사용하여 상기 도전층을 패터닝하여 제1 및 제2 컨택 전극(CNE1, CNE2)을 형성한다.
- [219] 제1 컨택 전극(CNE1)과 제2 컨택 전극(CNE2)은 제2 절연층(INS2) 상에서 소정 간격으로 이격되어 전기적 및/또는 물리적으로 분리될 수 있다.
- [220] 상술한 마스크 공정을 통해, 각 서브 화소가 인접한 서브 화소로부터 독립적으로 구동될 수 있도록 서브 화소들에 공통으로 연결 및/또는 제공된 제1 연결 배선(CNL1)의 일부가 제거될 수 있다. 이로 인해, 각 서브 화소의 개별 구동이 가능해지고, 본 발명의 일 실시예에 따른 표시 장치가 액티브 매트릭스형 표시 장치로 구현될 수 있다.
- [221] 도 1a 내지 도 8h를 참조하면, 제1 및 제2 컨택 전극(CNE1, CNE2) 상에 제3 절연층(INS3)을 형성한다.
- [222] 상술한 제조 공정을 통해, 최종적으로 제조된 표시 장치는 표시 소자층(DPL)의 제조 공정 시 각 서브 화소의 발광 영역(EMA)에 격벽(PW)을 형성하고 이와 동시에 각 서브 화소의 비발광 영역(PPA)에 बैं크(BNK)를 형성함으로써 마스크 공정 수를 줄일 수 있다.
- [223] 도 9는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 도 5의 표시 장치에 컬러 변환층이 결합된 형태를 나타낸 개략적인 단면도이다.
- [224] 도 9에 있어서는, 편의를 위해 표시 장치에 포함된 복수의 화소들 중 하나의 화소의 화소 영역을 개략적으로 도시하였다.
- [225] 또한, 편의를 위해 도 9에서는, 상술한 도 5에서 상세히 설명한 표시 장치의 일부 구성에 대해서 그 구조를 개략적으로 도시하고, 이에 대한 상세한 설명을 생략하기로 한다.
- [226] 도 1a 내지 도 9를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 제1 내지 제3 서브 화소들(SP1, SP2, SP3)을 포함한 적어도 하나 이상의 화소(PXL, 이하 '화소'라 함)가 제공된 제1 기판(SUB1)과 상기 제1 기판(SUB1)과 결합하는 제2 기판(SUB2)을 포함한 표시 패널(DP)을 포함할 수 있다.
- [227] 본 발명의 일 실시예에 있어서, 화소(PXL)는 제1 기판(SUB1) 상에 규정된 화소 영역(PXA)에 형성 및/또는 제공된다. 화소 영역(PXA)은 제1 서브 화소(SP1)가 형성 및/또는 제공되는 제1 서브 화소 영역(SPA1), 제2 서브 화소(SP2)가 형성 및/또는 제공되는 제2 서브 화소 영역(SPA2), 및 제3 서브 화소(SP3)가 형성 및/또는 제공되는 제3 서브 화소 영역(SPA3)을 포함할 수 있다.
- [228] 본 발명의 일 실시예에 있어서, 제1 기판(SUB1)은 베이스 층(BSL), 상기

- 베이스층(BSL) 상에 제공된 화소 회로부(PCL)를 포함할 수 있다. 제1 기관(SUB1) 상에는 표시 소자층(DPL)이 제공될 수 있다.
- [229] 표시 소자층(DPL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)의 화소 회로부(PCL) 상에 제공된 격벽(PW), 제1 및 제2 전극(REL1, REL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다. 또한, 표시 소자층(DPL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 비발광 영역(PPA)에 제공된 बैं크(BNK)를 포함할 수 있다.
- [230] 본 발명의 일 실시예에 있어서, 격벽(PW)과 बैं크(BNK)는 동일한 면 상에 제공되며, 동일한 공정을 통해 형성될 수 있다. 또한, 본 발명의 일 실시예에 있어서, 제1 및 제2 컨택 전극(CNE1, CNE2)은 동일한 면 상에 제공되며, 동일한 공정을 통해 형성될 수 있다.
- [231] 발광 소자들(LD) 각각은 길이(L) 방향으로 양 단부(EP1, EP2)를 가질 수 있다.
- [232] 제2 기관(SUB2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3)이 배치된 표시 영역(DA)을 커버하도록 제1 기관(SUB1) 상에 배치될 수 있다. 이러한 제2 기관(SUB2)은, 표시 패널(DP)의 상부 기관(일 예로, 봉지 기관 또는 박막 봉지층) 및/또는 윈도우 부재를 구성할 수 있다. 실시예에 따라, 제2 기관(SUB2)은 경성 기관 또는 가요성 기관일 수 있으며, 그 재료나 물성이 특별히 한정되지는 않는다. 또한, 제2 기관(SUB2)은 제1 기관(SUB1)과 동일한 물질로 구성되거나, 또는 상기 제1 기관(SUB1)과 상이한 물질로 구성될 수 있다.
- [233] 또한, 표시 패널(DP)은 제1 기관(SUB1)의 제1 내지 제3 서브 화소들(SP1, SP2, SP3)과 마주하도록 제2 기관(SUB2)의 일면 상에 배치되는 광 변환 패턴층(LCP)을 포함할 수 있다.
- [234] 실시예에 따라, 광 변환 패턴층(LCP)은, 제1 서브 화소(SP1)와 마주하도록 배치되는 제1 광 변환 패턴층(LCP1), 제2 서브 화소(SP2)와 마주하도록 배치되는 제2 광 변환 패턴층(LCP2), 및 제3 서브 화소(SP3)와 마주하도록 배치되는 제3 광 변환 패턴층(LCP3)을 포함할 수 있다. 실시예에 따라, 제1, 제2 및 제3 광 변환 패턴층들(LCP1, LCP2, LCP3) 중 적어도 일부는, 소정 색상에 대응하는 컬러 변환층(CCL) 및/또는 컬러 필터(CF)를 포함할 수 있다.
- [235] 예를 들어, 제1 광 변환 패턴층(LCP1)은, 제1 색상에 대응하는 제1 색 변환 입자들을 포함하는 제1 컬러 변환층(CCL1)과, 상기 제1 색상의 빛을 선택적으로 투과시키는 제1 컬러 필터(CF1)를 포함할 수 있다. 유사하게, 제2 광 변환 패턴층(LCP2)은, 제2 색상에 대응하는 제2 색 변환 입자들을 포함하는 제2 컬러 변환층(CCL2)과, 상기 제2 색상의 빛을 선택적으로 투과시키는 제2 컬러 필터(CF2)를 포함할 수 있다. 한편, 제3 광 변환 패턴층(LCP3)은, 광 산란 입자들(SCT)을 포함하는 광 산란층(LSL)과, 제3 색상의 빛을 선택적으로 투과시키는 제3 컬러 필터(CF3) 중 적어도 하나를 포함할 수 있다.
- [236] 본 발명의 일 실시예에서, 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA) 내에 정렬된 발광 소자들(LD)은 모두 동일한 색상의 빛을 방출할 수

있다. 그리고, 제1, 제2 및 제3 서브 화소들(SP1, SP2, SP3) 중 적어도 일부의 상부에는 컬러 변환층(CCL)이 배치될 수 있다. 일 예로, 제1 및 제2 서브 화소들(SP1, SP2)의 상부에는, 각각 제1 및 제2 컬러 변환층들(CCL1, CCL2)이 배치될 수 있다. 이에 의해, 본 발명의 실시예에 의한 표시 장치는 풀-컬러의 영상을 표시할 수 있다.

- [237] 실시예에 따라, 제1 컬러 변환층(CCL1)은, 제1 서브 화소(SP1)와 마주하도록 제2 기관(SUB2)의 일면 상에 배치되며, 대응하는 서브 화소에 제공된 발광 소자들(LD, 이하 '제1 발광 소자들'이라 함)에서 방출되는 색상의 광을 제1 색상의 광으로 변환하는 제1 색 변환 입자들을 포함할 수 있다. 일 예로, 제1 서브 화소(SP1)가 적색 서브 화소인 경우, 제1 컬러 변환층(CCL1)은, 제1 발광 소자들(LD)에서 방출되는 청색의 광을 적색의 광으로 변환하는 적색 쿼터닷(QDr)을 포함할 수 있다.
- [238] 제1 컬러 필터(CF1)는, 제1 컬러 변환층(CCL1)과 제2 기관(SUB2) 사이에 배치되며, 제1 컬러 변환층(CCL1)에서 변환된 제1 색상의 광을 선택적으로 투과시키는 컬러 필터 물질을 포함할 수 있다. 일 예로, 제1 컬러 필터(CF1)는 적색 컬러 필터일 수 있다.
- [239] 실시예에 따라, 제2 컬러 변환층(CCL2)은, 제2 서브 화소(SP2)와 마주하도록 제2 기관(SUB2)의 일면 상에 배치되며, 대응하는 서브 화소에 제공된 발광 소자들(LD, 이하 '제2 발광 소자들'이라 함)에서 방출되는 색상의 광을 제2 색상의 광으로 변환하는 제2 색 변환 입자들을 포함할 수 있다. 일 예로, 제2 발광 소자들(LD)이 청색의 광을 방출하는 청색 발광 소자들이고 제2 서브 화소(SP2)가 녹색 서브 화소인 경우, 제2 컬러 변환층(CCL2)은, 제2 발광 소자들(LD)에서 방출되는 청색의 광을 녹색의 광으로 변환하는 녹색 쿼터닷(QDg)을 포함할 수 있다.
- [240] 제2 컬러 필터(CF2)는, 제2 컬러 변환층(CCL2)과 제2 기관(SUB2) 사이에 배치되며, 제2 컬러 변환층(CCL2)에서 변환된 제2 색상의 광을 선택적으로 투과시키는 컬러 필터 물질을 포함할 수 있다. 일 예로, 제2 컬러 필터(CF2)는 녹색 컬러 필터일 수 있다.
- [241] 광 산란층(LSL)은, 제3 서브 화소(SP3)와 마주하도록 제2 기관(SUB2)의 일면 상에 배치될 수 있다. 일 예로, 광 산란층(LSL)은, 제3 서브 화소(SP3)와 제3 컬러 필터(CF3)의 사이에 배치될 수 있다.
- [242] 제3 컬러 필터(CF3)는, 제3 서브 화소(SP3)와 마주하도록 제2 기관(SUB2)의 일면 상에 배치되며, 대응하는 서브 화소에 형성된 발광 소자들(LD)에서 방출되는 색상의 광을 선택적으로 투과시키는 컬러 필터 물질을 포함할 수 있다. 일 예로, 제3 컬러 필터(CF3)는 청색 컬러 필터일 수 있다.
- [243] 한편, 실시예에 따라, 제1, 제2 및 제3 컬러 필터들(CF1, CF2, CF3)의 사이에는 블랙 매트릭스(BM)가 배치될 수 있다. 일 예로, 블랙 매트릭스(BM)는, 제1 기관(SUB1) 상의 बैं크(BNK)와 중첩되도록, 제2 기관(SUB2) 상에 배치될 수

있다.

- [244] 상술한 바와 같이, 본 발명의 일 실시예에 따르면, 단일 색상의 발광 소자들(LD)을 이용하여 각각의 화소(PXL) 및 이를 구비한 표시 장치를 용이하게 제조하면서도, 적어도 일부의 서브 화소들 상에 컬러 변환층(CCL)을 배치함으로써 풀-컬러의 화소(PXL) 및 이를 구비한 표시 장치를 제조할 수 있다.
- [245] 또한, 본 발명의 일 실시예에 따르면, 표시 소자층(DPL)의 일부 구성들을 동일한 공정으로 형성하여 마스크 수를 줄여 그 제조 공정을 단순화할 수 있다.
- [246] 도 10은 본 발명의 다른 실시예에 따른 표시 장치를 개략적으로 도시한 것으로, 도 4의 I~I'선에 대응되는 단면도이다.
- [247] 도 10의 표시 장치는, 보호층, 격벽, 및 뱅크가 동일한 면 상에 제공되고 동일한 물질을 포함하는 점을 제외하고는, 도 5의 표시 장치와 실질적으로 동일하거나 유사한 구성을 가질 수 있다.
- [248] 이에, 도 10의 표시 장치와 관련하여, 중복된 설명을 피하기 위하여 상술한 일 실시예와 상이한 점을 위주로 설명한다. 본 실시예에서 특별히 설명하지 않은 부분은 상술한 일 실시예에 따르며, 동일한 번호는 동일한 구성 요소를, 유사한 번호는 유사한 구성 요소를 나타낸다.
- [249] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 및 도 3d, 도 4, 및 도 10을 참조하면, 본 발명의 다른 실시예에 따른 표시 장치는 복수의 화소들(PXL)이 제공된 베이스 층(BSL)을 포함할 수 있다.
- [250] 화소들(PXL) 각각은 베이스 층(BSL) 상에 제공된 제1 서브 화소(SP1), 제2 서브 화소(SP2), 및 제3 서브 화소(SP3)를 포함할 수 있다.
- [251] 제1 내지 제3 서브 화소(SP1 ~ SP3) 각각의 화소 영역에는 베이스 층(BSL), 화소 회로부(PCL), 및 표시 소자층(DPL)이 제공될 수 있다.
- [252] 화소 회로부(PCL)는 베이스 층(BSL) 상에 제공된 차광 패턴(SDL), 제1 및 제2 트랜지스터(T1, T2), 구동 전압 배선(DVL), 및 보호층(PKV)을 포함할 수 있다.
- [253] 표시 소자층(DPL)은 격벽(PW), 뱅크(BNK), 제1 및 제2 전극(REL1, REL2)과, 제1 및 제2 연결 배선(CNL1, CNL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다.
- [254] 본 발명의 일 실시예에 있어서, 화소 회로부(PCL)의 보호층(PKV)과 표시 소자층(DPL)의 격벽(PW) 및 뱅크(BNK)는 동일한 층에 제공되며, 동일한 물질을 포함할 수 있다. 즉, 보호층(PKV), 격벽(PW), 및 뱅크(BNK)는 동일한 공정을 통해 일체로 제공될 수 있다.
- [255] 보호층(PKV), 격벽(PW), 및 뱅크(BNK)는, 제1 및 제2 트랜지스터(T1, T2)가 형성된 베이스 층(BSL) 상에 유기 절연물질층(미도시)을 도포한 후, 하프톤 마스크(미도시) 등을 이용하여 상기 유기 절연물질층을 패터닝하여 각 서브 화소에서 목적하는 영역에 형성 및/또는 제공될 수 있다. 일 예로, 보호층(PKV)은 각 서브 화소에서 제1 및 제2 트랜지스터(T1, T2) 상에 형성 및/또는 제공되고, 상기 격벽(PW)은 각 서브 화소의 발광 영역(EMA) 내에 형성 및/또는 제공되며,

상기 बैं크(BNK)는 각 서브 화소의 비발광 영역(PPA) 내에 형성 및/또는 제공될 수 있다.

[256]

[257] 도 11a 내지 도 11g는 도 10의 표시 장치의 제조 방법을 순차적으로 나타낸 단면도들이다.

[258] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10 및 도 11a를 참조하면, 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 베이스 층(BSL) 상에 화소 회로부(PCL)를 형성한다. 화소 회로부(PCL)는 차광 패턴(SDL), 제1 및 제2 트랜지스터(T1, T2), 구동 전압 배선(DVL)을 포함할 수 있다.

[259] 이어, 구동 전압 배선(DVL) 등이 형성 및/또는 제공된 층간 절연층(ILD) 상에 유기 절연 물질층(미도시)을 도포한 후, 하프톤 마스크(미도시)를 이용한 마스크 공정을 진행하여 상기 유기 절연 물질층을 패터닝한다. 상술한 마스크 공정에 의해 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA)에 격벽(PW)을 형성하고, 동시에 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 비발광 영역(PPA)에 बैं크(BNK)를 형성하며, 동시에 구동 전압 배선(DVL) 상에 보호층(PSV)을 형성한다.

[260] 또한, 상술한 마스크 공정에 의해, 보호층(PSV)은 화소 회로부(PCL)의 제1 트랜지스터(T1)의 드레인 전극(DE)의 일부를 노출하는 제1 컨택 홀(CH1) 및 구동 전압 배선(DVL)의 일부를 노출하는 제2 컨택 홀(CH2)을 포함할 수 있다.

[261] 본 발명의 일 실시예에 있어서, 보호층(PSV), 격벽(PW), 및 बैं크(BNK)는 동일한 공정을 통해 형성되며 일체로 제공될 수 있다. 보호층(PSV), 격벽(PW), 및 बैं크(BNK)가 일체로 형성 및/또는 제공되는 경우, 격벽(PW) 및 बैं크(BNK)는 보호층(PSV)의 일 영역으로 간주될 수도 있다.

[262] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10, 도 11a, 및 도 11b를 참조하면, 격벽(PW) 상에 제1 전극과 제2 전극(REL1, REL2)과 제1 및 제2 연결 배선(CNL1, CNL2)을 형성한다.

[263] 제1 연결 배선(CNL1)은 보호층(PSV)의 제1 컨택 홀(CH1)을 통해 화소 회로부(PCL)의 제1 트랜지스터(T1)에 전기적으로 연결될 수 있다. 제2 연결 배선(CNL2)은 보호층(PSV)의 제2 컨택 홀(CH2)을 통해 구동 전압 배선(DVL)에 전기적으로 연결될 수 있다.

[264] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10, 및 도 11a 내지 도 11c를 참조하면, 제1 및 제2 전극(REL1, REL2) 등이 형성된 화소 회로부(PCL) 상에 제1 절연층(INS1)을 형성한다.

[265] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10, 및 도 11a 내지 도 11d를 참조하면, 제1 및 제2 연결 배선(CNL1, CNL2)을 통해 각 서브 화소의 제1 및 제2 전극(REL1, REL2) 각각에 대응하는 정렬 전압을 인가하여 제1 전극(REL1)과 제2 전극(REL2) 사이에 전계를 형성한다.

[266] 발광 소자들(LD)을 보호층(PSV) 상에 투입할 경우, 제1 전극(REL1)과 제2

전극(REL2) 사이에 형성된 전계로 인해 발광 소자들(LD)의 자가 정렬이 유도될 수 있다. 이에 따라, 제1 전극(REL1)과 제2 전극(REL2) 사이에 발광 소자들(LD)이 정렬될 수 있다. 즉, 발광 소자들(LD)이 목적하는 영역, 일 예로, 각 서브 화소의 발광 영역(EMA) 내에 집중적으로 정렬될 수 있다.

- [267] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10, 및 도 11a 내지 도 11e를 참조하면, 발광 소자들(LD)의 정렬 이후, 각 발광 소자(LD)의 상면 일부 상에 제2 절연층(INS2)을 형성한다. 본 발명의 일 실시예에 있어서, 제2 절연층(INS2)은 유기 재료를 포함한 유기 절연막으로 이루어질 수 있다.
- [268] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10, 및 도 11a 내지 도 11f를 참조하면, 제2 절연층(INS2)이 형성된 화소 회로부(PCL) 상에 제1 및 제2 콘택 전극(CNE1, CNE2)을 형성한다. 제1 콘택 전극(CNE1)과 제2 콘택 전극(CNE2)은 제2 절연층(INS2) 상에서 소정 간격으로 이격되어 전기적 및/또는 물리적으로 분리될 수 있다.
- [269] 상술한 마스크 공정을 통해, 각 서브 화소가 인접한 서브 화소로부터 독립적으로 구동될 수 있도록 서브 화소들에 공통으로 연결 및/또는 제공된 제1 연결 배선(CNL1)의 일부가 제거될 수 있다. 이로 인해, 각 서브 화소의 개별 구동이 가능해지고, 본 발명의 일 실시예에 따른 표시 장치가 액티브 매트릭스형 표시 장치로 구현될 수 있다.
- [270] 실시예에 따라, 제1 내지 제3 서브 화소들(SP1 ~ SP3) 각각의 발광 영역(EMA)에 발광 소자들(LD)을 정렬할 때, 제1 및 제2 연결 배선(CNL1, CNL2)으로 정렬 전압을 인가하지 않고 화소 회로부(PCL)에 포함된 일부 구성을 이용하여 제1 및 제2 전극(REL1, REL2) 사이에 상기 발광 소자들(LD)을 정렬할 수 있다.
- [271] 예를 들어, 도 3d에 도시된 바와 같이, 제1 서브 화소(SP1)에서 제1 전극(REL1, 일 예로 애노드 전극)이 제3 트랜지스터(T3)에 연결되고 제2 전극(REL2, 일 예로 캐소드 전극)이 제2 구동 전원(VSS)에 연결되는 경우, 제어 라인(CLi)을 통해 상기 제3 트랜지스터(T3)를 턴-온시켜 j번째 데이터 라인(Dj)을 통해 정렬 전압이 제1 전극(REL1)으로 전달될 수 있다. 이때, 제2 전극(REL2)으로 제2 구동 전원(VSS)이 인가됨에 따라 제1 및 제2 전극(REL1, REL2) 사이에 소정의 전계가 형성될 수 있다. 제1 서브 화소(SP1)에 발광 소자들(LD)을 포함한 용매를 투하할 경우, 제1 및 제2 전극(REL1, REL2) 사이에 형성된 전계에 의해 상기 발광 소자들(LD)이 상기 제1 서브 화소(SP1)의 발광 영역(EMA)에 정렬될 수 있다.
- [272] 이와 같이, 화소 회로부(PCL)의 일부 구성들을 이용하여 해당 서브 화소의 발광 영역(EMA)에 발광 소자들(LD)의 정렬이 가능해지므로, 해당 서브 화소는 개별 구동될 수 있다. 따라서, 각 서브 화소의 발광 영역(EMA)에 발광 소자들(LD)을 정렬하기 위한 정렬 배선 등을 형성하는 공정 및 각 서브 화소의 개별 구동을 위해 상기 정렬 배선을 제거하는 공정 등이 생략될 수 있다.
- [273] 따라서, 각 서브 화소의 발광 영역(EMA)에 발광 소자들(LD)을 정렬하기 위한

- 배선의 형성 공정 및 상기 배선의 제거 공정 등이 생략되어 본 발명의 일 실시예에 따른 표시 장치는 마스크 공정 수를 더욱 줄일 수 있다.
- [274] 도 1a, 도 2, 도 3a, 도 3b, 도 3c, 도 3d, 도 4, 도 10, 및 도 11a 내지 도 11g를 참조하면, 제1 및 제2 컨택 전극(CNE1, CNE2) 상에 제3 절연층(INS3)을 형성한다.
- [275] 상술한 제조 공정을 통해, 최종적으로 제조된 표시 장치는 보호층(P5V)을 형성할 때 각 서브 화소의 발광 영역(EMA)에 격벽(PW)을 형성하고 이와 동시에 각 서브 화소의 비발광 영역(PPA)에 बैं크(BNK)를 형성함으로써 마스크 공정 수를 줄일 수 있다.
- [276] 도 12는 본 발명의 일 실시예에 따른 표시 장치를 도시한 것으로, 도 10의 표시 장치에 기판이 결합된 형태를 나타낸 개략적인 단면도이다.
- [277] 도 12에 있어서는, 편의를 위해 표시 장치에 포함된 복수의 화소들 중 하나의 화소의 화소 영역을 개략적으로 도시하였다.
- [278] 또한, 편의를 위해 도 12에서는, 상술한 도 10에서 상세히 설명한 표시 장치의 일부 구성에 대해서 그 구조를 개략적으로 도시하고, 이에 대한 상세한 설명을 생략하기로 한다.
- [279] 도 1a, 도 2, 도 10, 및 도 12를 참조하면, 본 발명의 일 실시예에 따른 표시 장치는 제1 내지 제3 서브 화소들(SP1, SP2, SP3)을 포함한 적어도 하나 이상의 화소(PXL, 이하 '화소'라 함)가 제공된 제1 기판(SUB1)과 상기 제1 기판(SUB1)과 결합하는 제2 기판(SUB2)을 포함한 표시 패널(DP)을 포함할 수 있다.
- [280] 본 발명의 일 실시예에 있어서, 화소(PXL)는 제1 기판(SUB1) 상에 규정된 화소 영역(PXA)에 형성 및/또는 제공된다. 화소 영역(PXA)은 제1 서브 화소(SP1)가 형성 및/또는 제공되는 제1 서브 화소 영역(SPA1), 제2 서브 화소(SP2)가 형성 및/또는 제공되는 제2 서브 화소 영역(SPA2), 및 제3 서브 화소(SP3)가 형성 및/또는 제공되는 제3 서브 화소 영역(SP3)을 포함할 수 있다.
- [281] 본 발명의 일 실시예에 있어서, 제1 기판(SUB1)은 베이스 층(BSL), 상기 베이스층(BSL) 상에 제공된 화소 회로부(PCL)를 포함할 수 있다. 제1 기판(SUB1) 상에는 표시 소자층(DPL)이 제공될 수 있다.
- [282] 표시 소자층(DPL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 발광 영역(EMA)의 화소 회로부(PCL) 상에 제공된 격벽(PW), 제1 및 제2 전극(REL1, REL2)과, 복수의 발광 소자들(LD)과, 제1 및 제2 컨택 전극(CNE1, CNE2)을 포함할 수 있다. 또한, 표시 소자층(DPL)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3) 각각의 비발광 영역(PPA)에 제공된 बैं크(BNK)를 포함할 수 있다.
- [283] 본 발명의 일 실시예에 있어서, 격벽(PW)과 बैं크(BNK)는 동일한 면 상에 제공되며, 동일한 공정을 통해 형성될 수 있다. 또한, 본 발명의 일 실시예에 있어서, 제1 및 제2 컨택 전극(CNE1, CNE2)은 동일한 면 상에 제공되며, 동일한 공정을 통해 형성될 수 있다.
- [284] 발광 소자들(LD) 각각은 길이(L) 방향으로 양 단부(EP1, EP2)를 가질 수 있다.

발광 소자들(LD)은 제1 서브 화소(SP1)에 위치하는 제1 발광 소자(LD1)와, 제2 서브 화소(SP2)에 위치하는 제2 발광 소자(LD2)와, 제3 서브 화소(SP3)에 위치하는 제3 발광 소자(LD3)를 포함할 수 있다.

- [285] 본 발명의 일 실시예에 있어서, 제1 내지 제3 발광 소자들(LD1 ~ LD3) 각각은 서로 상이한 색의 광을 방출할 수 있다. 일 예로, 제1 발광 소자(LD1)는 적색(R) 광을 방출하고, 제2 발광 소자(LD2)는 녹색(G) 광을 방출하며, 제3 발광 소자(LD3)는 청색(B) 광을 방출할 수 있다. 이에 따라, 제1 서브 화소(SP1)에서는 적색(R) 광이 방출되고, 제2 서브 화소(SP2)에서는 녹색(G) 광이 방출되며, 제3 서브 화소(SP3)에서는 청색(B) 광이 방출될 수 있다.
- [286] 이러한 경우, 표시 소자층(DPL)에서 방출되는 광을 특정 색의 광으로 변환하는 광 변환 패턴층(도 9의 LCP 참고)이 생략될 수 있다.
- [287] 제2 기판(SUB2)은 제1 내지 제3 서브 화소들(SP1, SP2, SP3)이 배치된 표시 영역(DA)을 커버하도록 제1 기판(SUB1) 상에 배치될 수 있다. 이러한 제2 기판(SUB2)은, 표시 패널(DP)의 상부 기판(일 예로, 봉지 기판 또는 박막 봉지층) 및/또는 윈도우 부재를 구성할 수 있다. 실시예에 따라, 제2 기판(SUB2)은 경성 기판 또는 가요성 기판일 수 있으며, 그 재료나 물성이 특별히 한정되지는 않는다. 또한, 제2 기판(SUB2)은 제1 기판(SUB1)과 동일한 물질로 구성되거나, 또는 상기 제1 기판(SUB1)과 상이한 물질로 구성될 수 있다.
- [288] 제2 기판(SUB2)은 광 변환 패턴층(LCP)이 생략되는 경우, 중간층(CTL)을 통해 제1 기판(SUB1)에 결합할 수 있다.
- [289] 중간층(CTL)은 제1 기판(SUB1)과 제2 기판(SUB2) 사이에 제공될 수 있다. 중간층(CTL)은 제1 기판(SUB1)과 제2 기판(SUB2) 사이에서 표시 소자층(DPL)을 보호하며 제1 기판(SUB1)과 제2 기판(SUB2)을 합착시킬 수 있다. 중간층(CTL)은 합착 기능을 수행하기 위하여 점착성 또는 접착성을 가질 수 있다. 또한, 중간층(CTL)은 제2 기판(SUB2)으로 영상이 투과되도록 투명한 재료로 이루어질 수 있다. 또한, 중간층(CTL)은 절연성 재료로 이루어질 수 있으며 가요성을 가질 수도 있다.
- [290] 중간층(CTL)의 재료로는 제1 기판(SUB1) 상의 표시 소자층(DPL)을 보호하며 제1 기판(SUB1)과 제2 기판(SUB2)을 합착시키는 역할을 수행할 수 있는 것으로 사용된다면 그 종류가 한정되지 않는다. 일 예로, 중간층(CTL)은 유기 물질로 이루어질 수 있다.
- [291] 이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.
- [292] 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

청구범위

- [청구항 1] 표시 영역 및 비표시 영역을 포함한 베이스 층; 및
 상기 표시 영역에 제공되며, 복수의 서브 화소들을 각각 구비한 복수의 화소들을 포함하고,
 각 서브 화소는, 화소 회로부와 광을 방출하는 발광 영역 및 상기 발광 영역의 주변에 제공되는 비발광 영역을 포함한 표시 소자층을 포함하고,
 상기 표시 소자층은,
 각 서브 화소의 발광 영역에 제공된 격벽;
 상기 각 서브 화소의 비발광 영역에 제공되며, 상기 격벽과 동일한 면 상에 위치한 बैं크;
 상기 격벽 상에 제공되며 서로 이격된 제1 전극과 제2 전극; 및
 상기 각 서브 화소의 발광 영역에서 상기 제1 및 제2 전극 사이에 제공되며, 상기 광을 방출하는 적어도 하나의 발광 소자를 포함하는 표시 장치.
- [청구항 2] 제1 항에 있어서,
 상기 격벽과 상기 बैं크는 동일한 물질을 포함하며 일체로 제공되는 표시 장치.
- [청구항 3] 제2 항에 있어서,
 상기 표시 장치는,
 상기 제1 전극과 상기 발광 소자의 양측 단부 중 하나의 단부를 연결하는 제1 컨택 전극; 및
 상기 제2 전극과 상기 발광 소자의 양측 단부 중 나머지 단부를 연결하는 제2 컨택 전극을 더 포함하는 표시 장치.
- [청구항 4] 제3 항에 있어서,
 상기 표시 소자층은,
 상기 발광 소자와 상기 화소 회로부 사이에 제공된 제1 절연층; 및
 상기 발광 소자의 상면 일부 상에 제공된 제2 절연층을 더 포함하는 표시 장치.
- [청구항 5] 제4 항에 있어서,
 상기 제1 컨택 전극과 상기 제2 컨택 전극은 동일한 층 상에 제공되며,
 상기 제2 절연층 상에서 이격되어 전기적으로 서로 절연된 표시 장치.
- [청구항 6] 제5 항에 있어서,
 상기 화소 회로부는,
 상기 베이스 층 상에 제공된 적어도 하나의 트랜지스터; 및
 상기 트랜지스터 상에 제공된 보호층을 포함하는 표시 장치.
- [청구항 7] 제6 항에 있어서,
 상기 보호층은 상기 격벽 및 상기 बैं크와 동일한 면 상에 제공되는 표시

- 장치.
- [청구항 8] 제7 항에 있어서,
상기 보호층은 상기 격벽 및 상기 बैं크와 일체로 제공되며 동일한 물질을 포함하는 표시 장치.
- [청구항 9] 제8 항에 있어서,
상기 베이스 층과 상기 트랜지스터 사이에 제공된 도전 패턴을 더 포함하는 표시 장치.
- [청구항 10] 제9 항에 있어서,
상기 도전 패턴은 상기 베이스 층의 배면으로 유입되는 광을 차단하는 광 차단 패턴을 포함하는 표시 장치.
- [청구항 11] 제6 항에 있어서,
상기 표시 소자층 상에 제공되며 상기 광을 특정 색의 광으로 변환하는 컬러 변환 입자들을 포함하는 컬러 변환층 및;
상기 컬러 변환층 상에 제공되는 기관을 더 포함하는 표시 장치.
- [청구항 12] 제6 항에 있어서,
상기 표시 소자층 상에 제공되는 기관; 및
상기 표시 소자층과 상기 기관 사이에 제공된 중간층을 더 포함하는 표시 장치.
- [청구항 13] 제12 항에 있어서,
상기 중간층은 상기 표시 소자층과 상기 기관을 합착하는 접착성 물질을 포함하는 표시 장치.
- [청구항 14] 제1 항에 있어서,
상기 제1 전극과 상기 제2 전극은 전기적으로 분리되며, 상기 제1 및 제2 전극 중 하나의 전극은 다른 하나의 전극의 주변을 둘러싸는 형상을 갖는 표시 장치.
- [청구항 15] 제1 항에 있어서,
상기 발광 소자는 마이크로 스케일 혹은 나노 스케일을 갖는 원 기둥 형상 혹은 다각 기둥 형상의 초소형의 발광 다이오드를 포함하는 표시 장치.
- [청구항 16] 발광 영역과 비발광 영역을 갖는 복수의 서브 화소들을 포함한 베이스 층을 제공하는 단계; 및
상기 베이스 층 상에 상기 서브 화소들 각각의 발광 영역에서 광을 방출하는 표시 소자층을 형성하는 단계를 포함하고,
상기 표시 소자층을 형성하는 단계는,
각 서브 화소의 발광 영역에 격벽을 형성하고, 동시에 상기 각 서브 화소의 비발광 영역에 बैं크를 형성하는 단계;
상기 격벽 상에 서로 이격된 제1 및 제2 전극을 형성하는 단계;
상기 제1 및 제2 전극 상에 각각 대응하는 전극의 상면 일부를 노출하는 제1 절연층을 형성하는 단계;

상기 제1 및 제2 전극 각각에 대응하는 정렬 전압을 인가하여 상기 제1 및 제2 전극 사이에 복수의 발광 소자들을 정렬하는 단계;
 상기 발광 소자들 상에 상기 발광 소자들 각각의 양측 단부를 외부로 노출하는 제2 절연층을 형성하는 단계;
 상기 제2 절연층 상에 제1 및 제2 컨택 전극을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

[청구항 17]

제16 항에 있어서,
 상기 제1 컨택 전극과 상기 제2 컨택 전극은 동일한 층 상에 제공되며,
 상기 제2 절연층 상에서 이격되어 전기적으로 서로 절연된 표시 장치의 제조 방법.

[청구항 18]

제16 항에 있어서,
 상기 베이스 층을 제공하는 단계는,
 상기 베이스 층 상에 적어도 하나 이상의 트랜지스터를 형성하는 단계; 및
 상기 트랜지스터 상에 보호층을 형성하는 단계를 포함하는 표시 장치의 제조 방법.

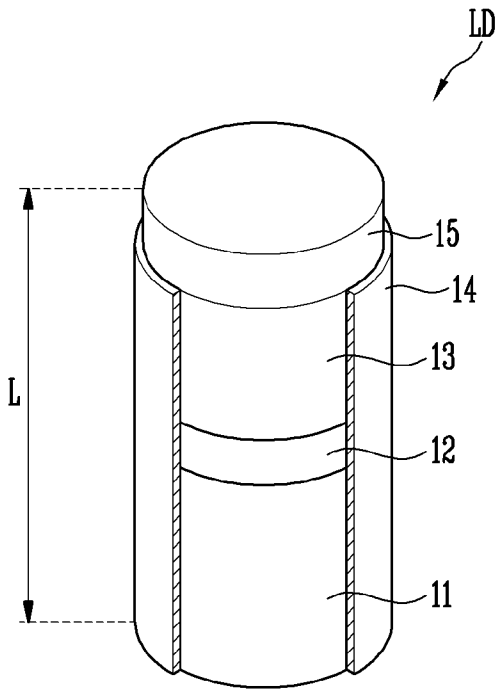
[청구항 19]

제18 항에 있어서,
 상기 보호층은 상기 격벽 및 상기 बैं크와 일체로 제공되며 동일한 물질을 포함하는 표시 장치의 제조 방법.

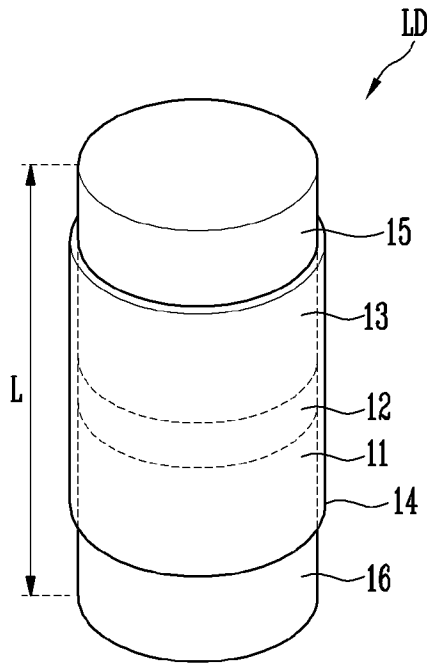
[청구항 20]

제19 항에 있어서,
 상기 제1 전극과 상기 제2 전극은 전기적으로 분리되며, 상기 제1 및 제2 전극 중 하나의 전극은 다른 하나의 전극의 주변을 둘러싸는 형태로 제공되는 표시 장치의 제조 방법.

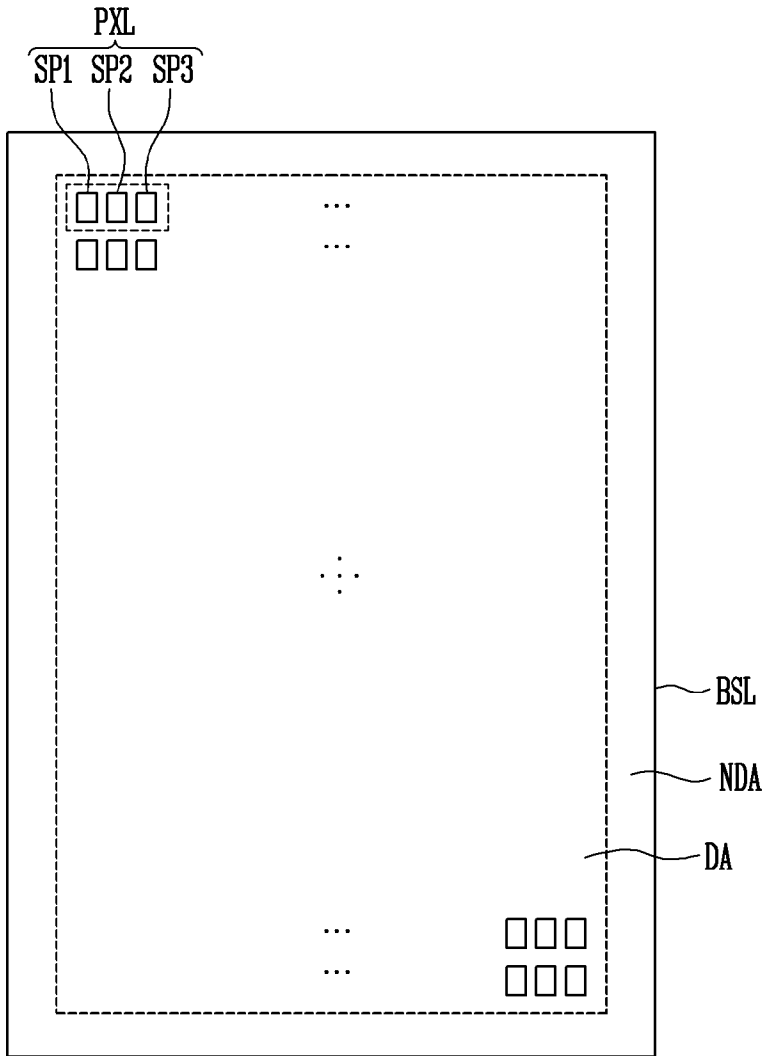
[도 1a]



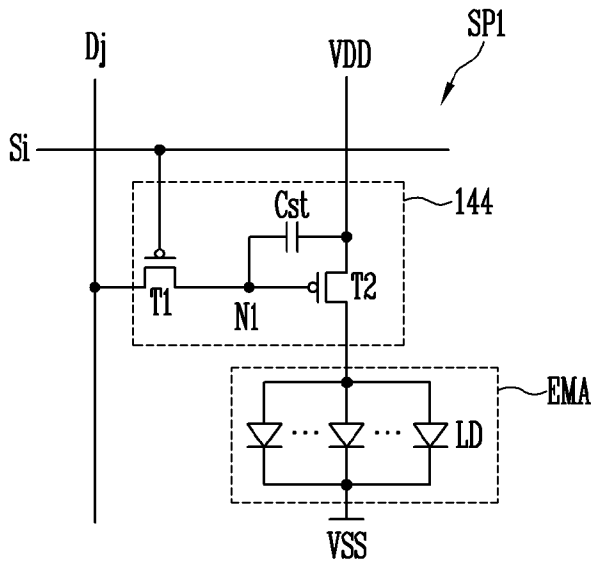
[도 1b]



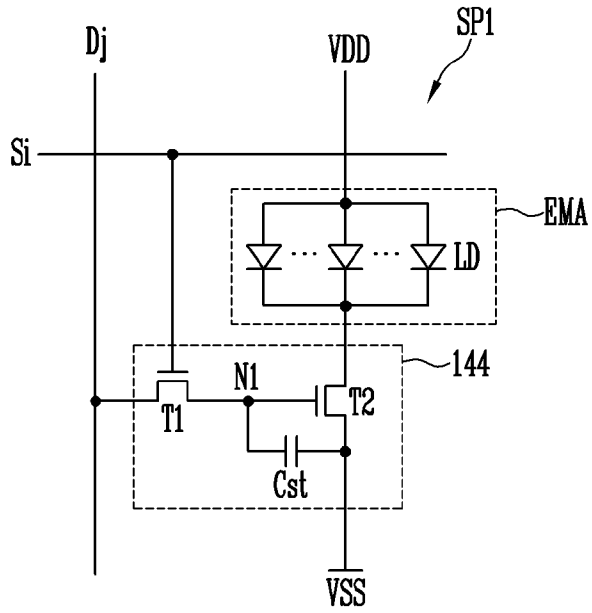
[도2]



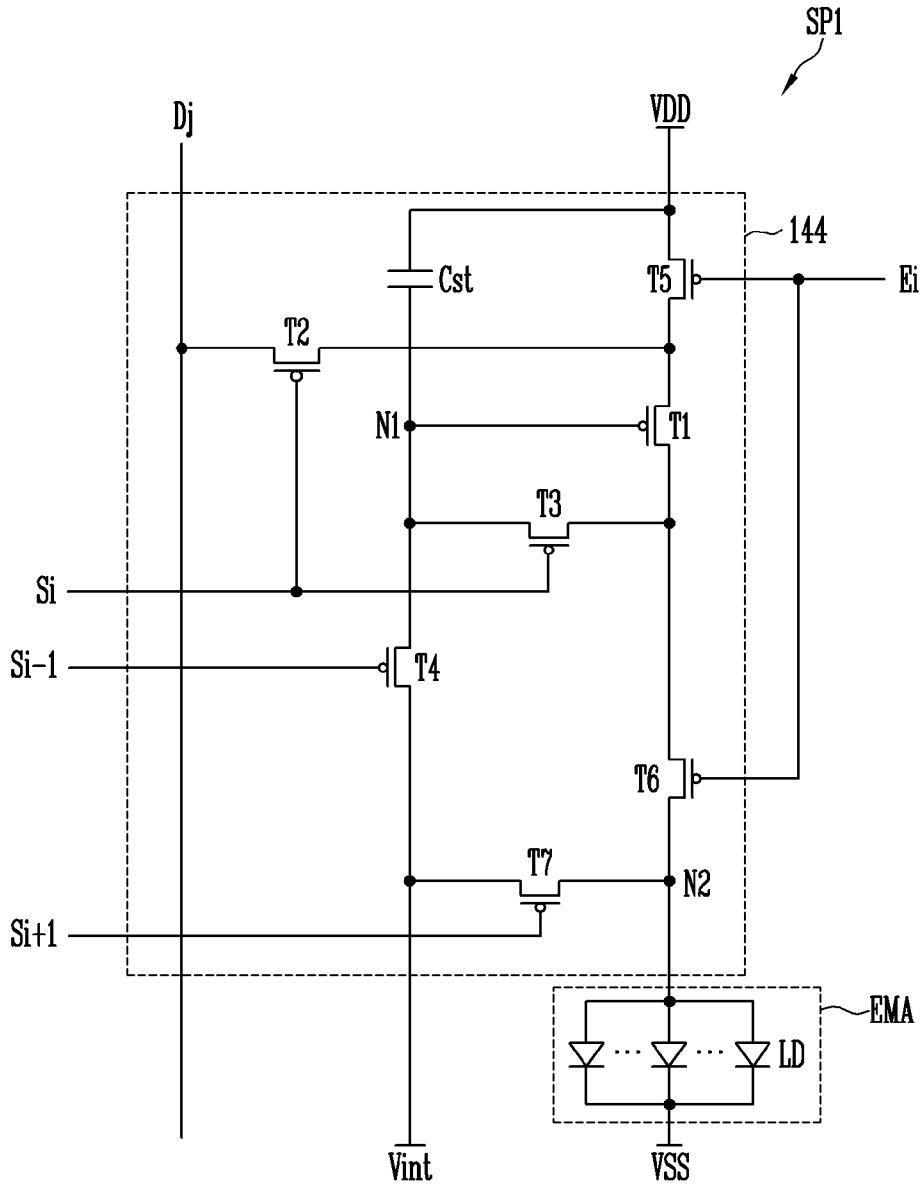
DR1
DR2
[도3a]



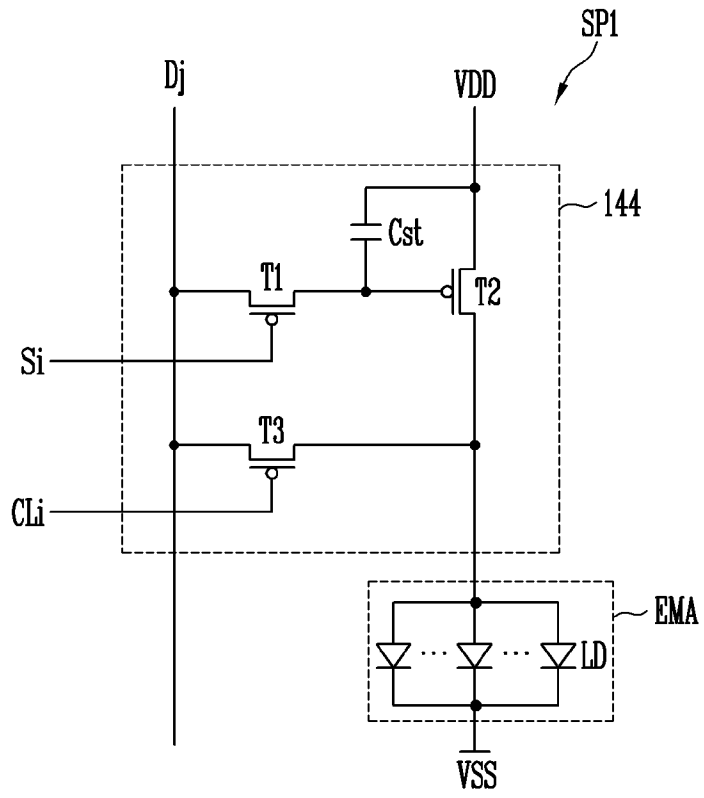
[도3b]



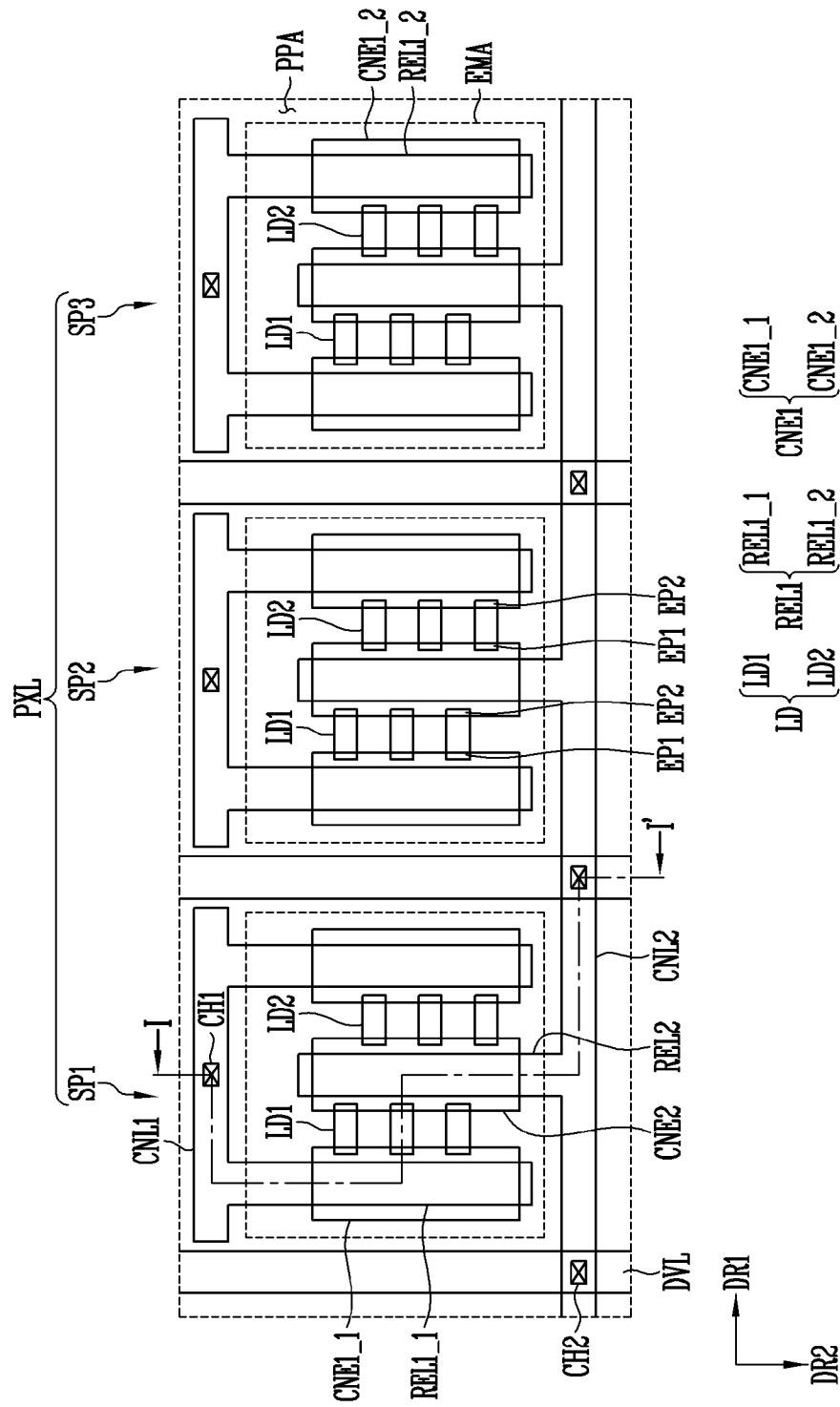
[도3c]



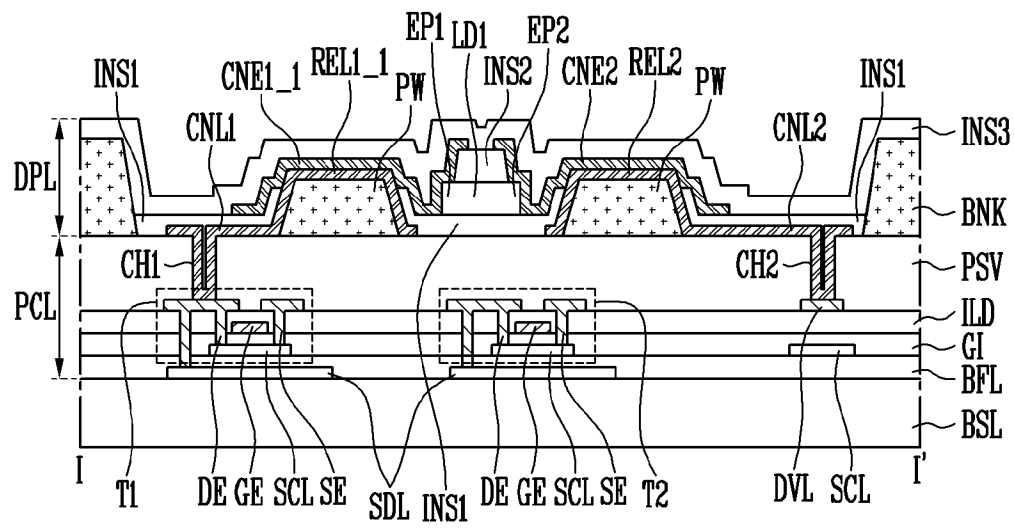
[도3d]



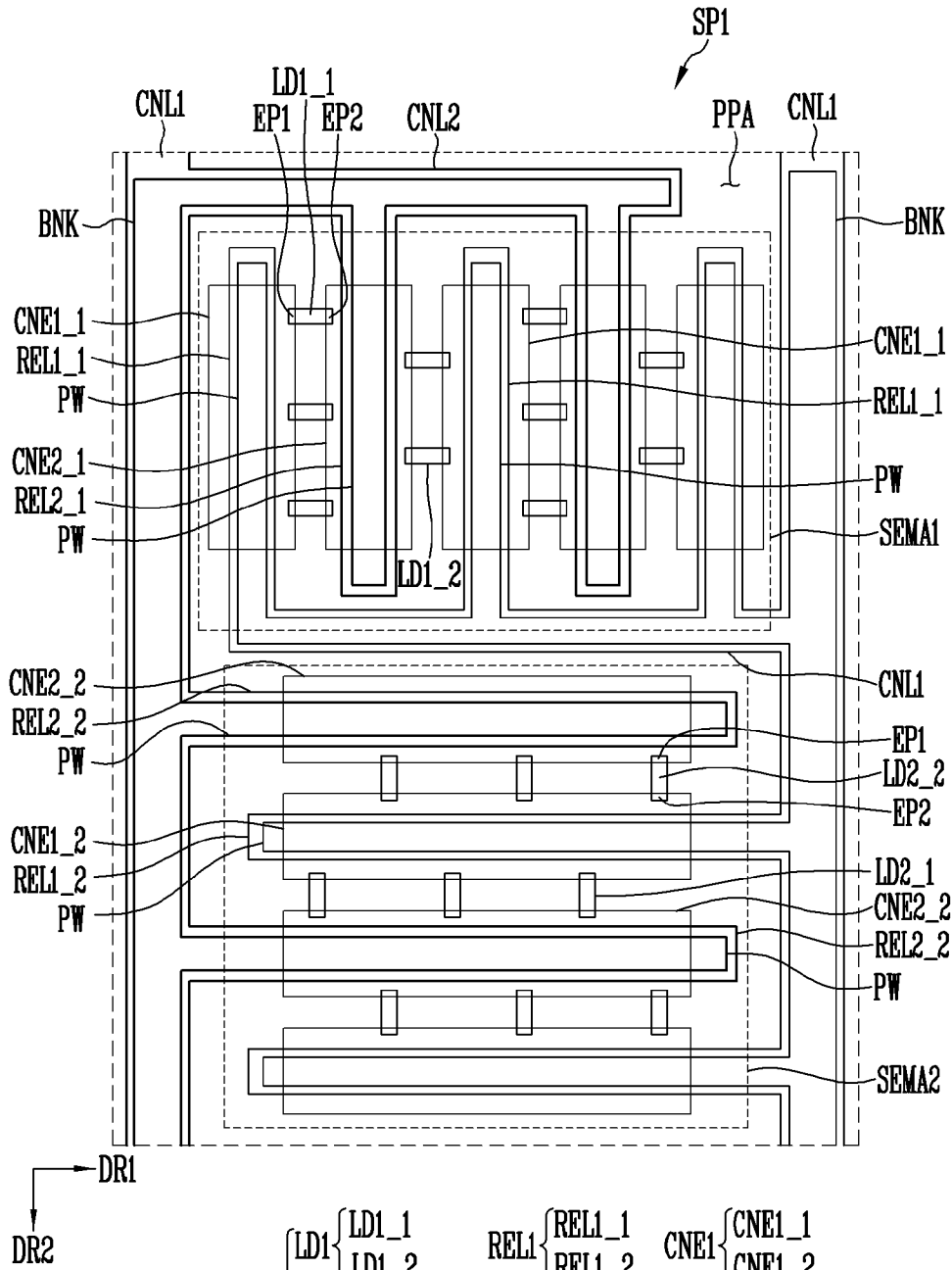
[도4]



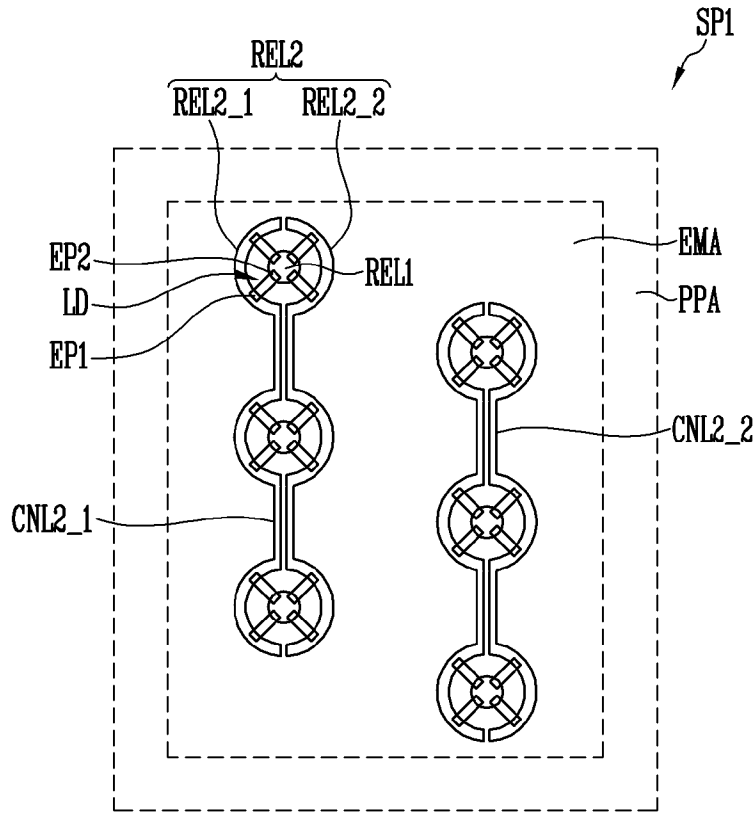
[도5]



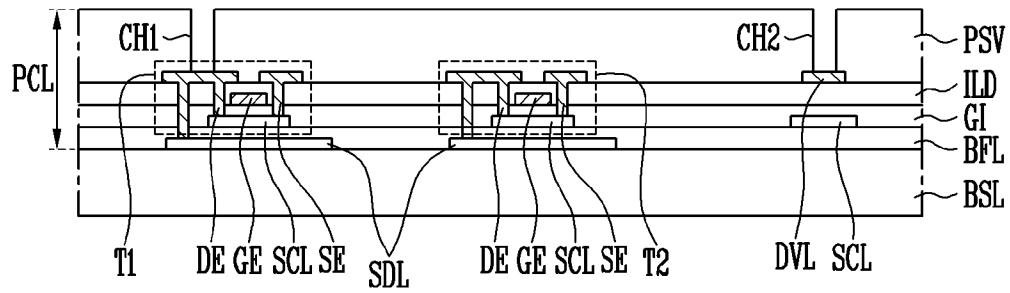
[도6]



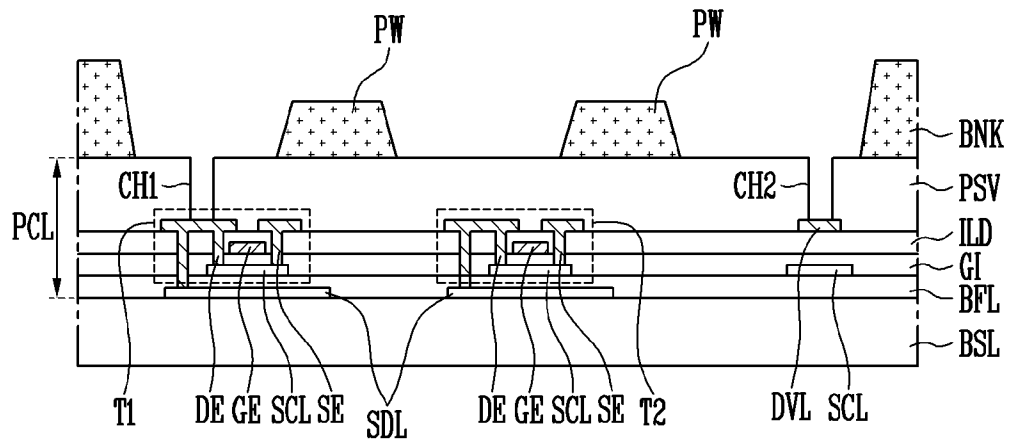
[도7]



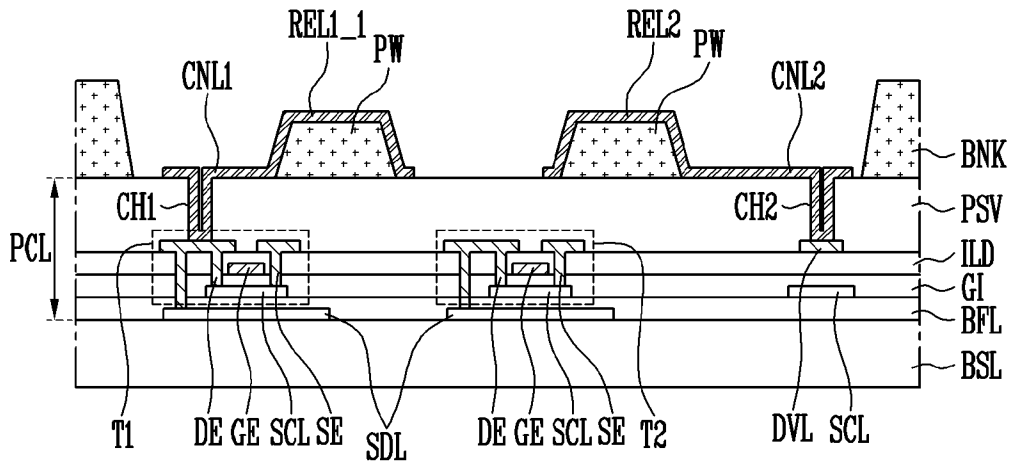
[도8a]



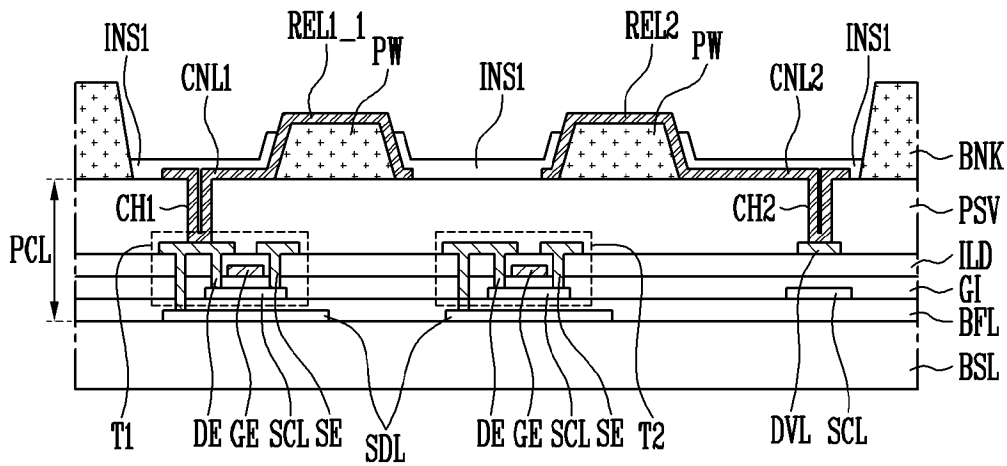
[도8b]



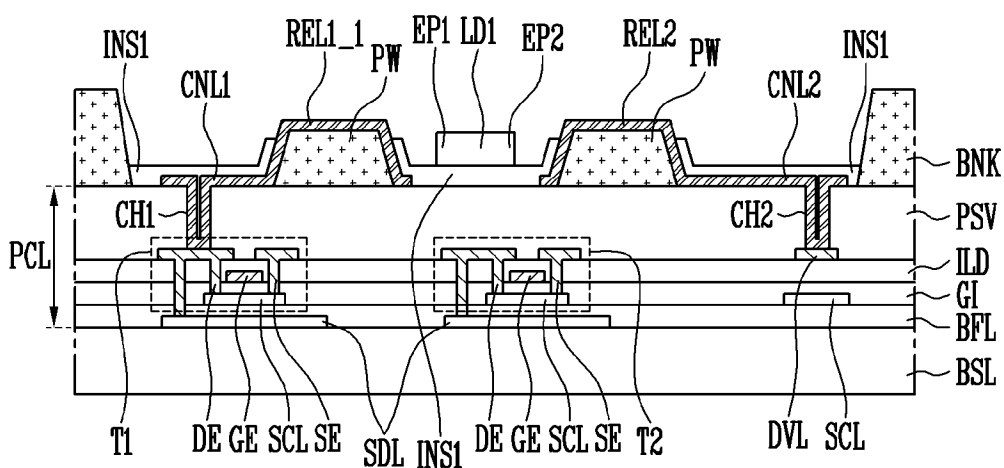
[도8c]



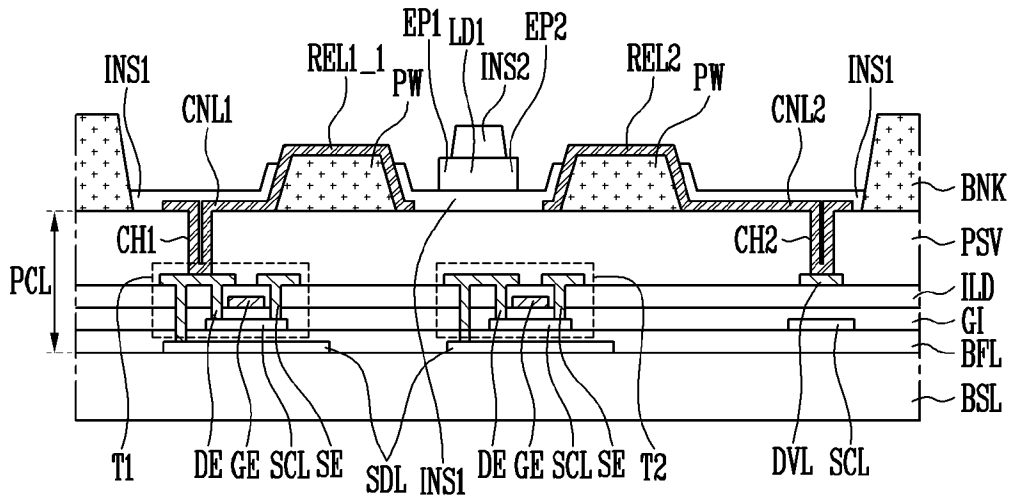
[도8d]



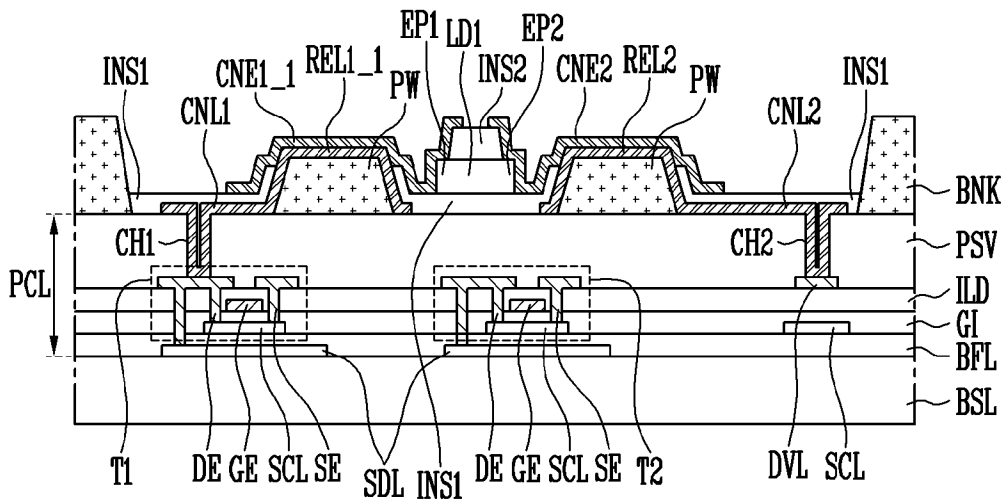
[도8e]



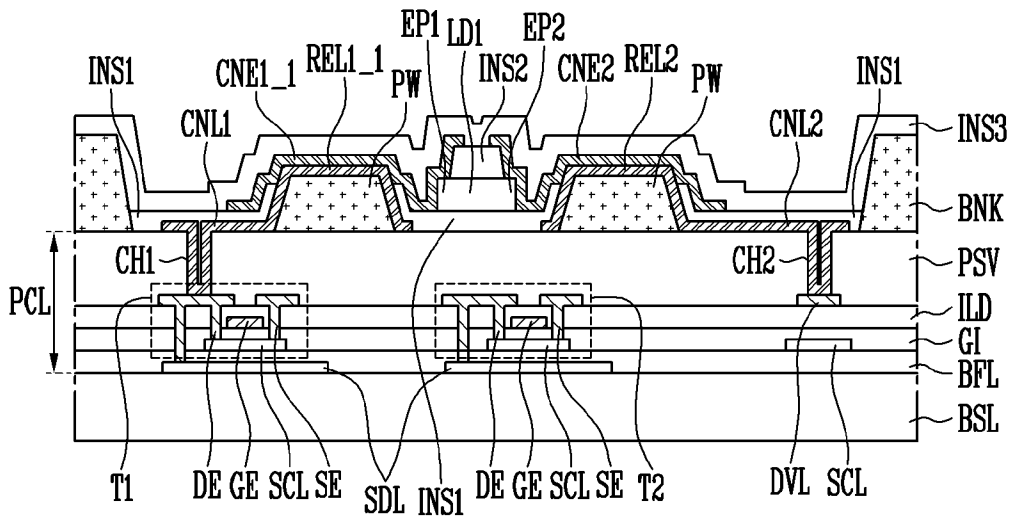
[도8f]



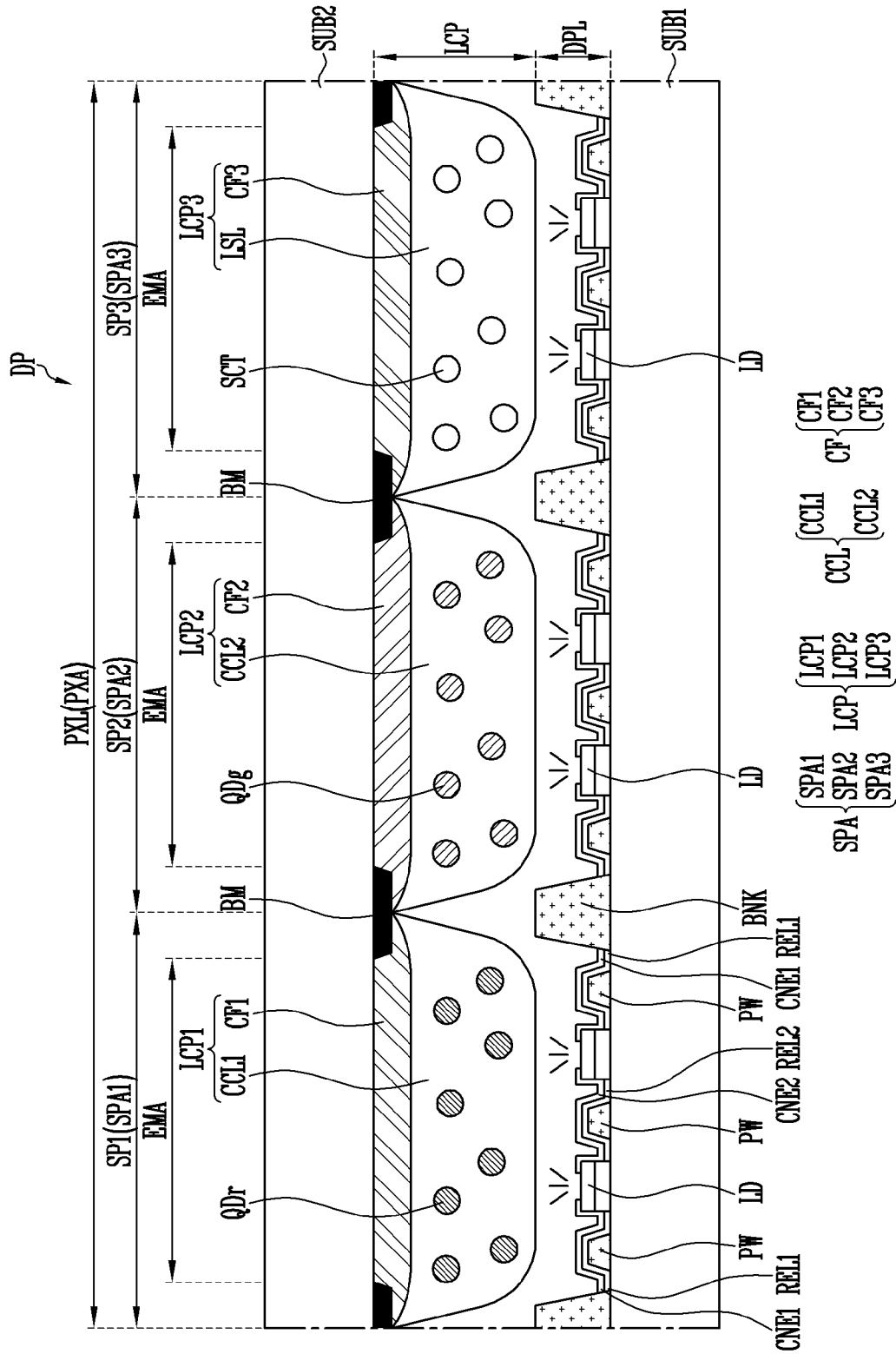
[도8g]



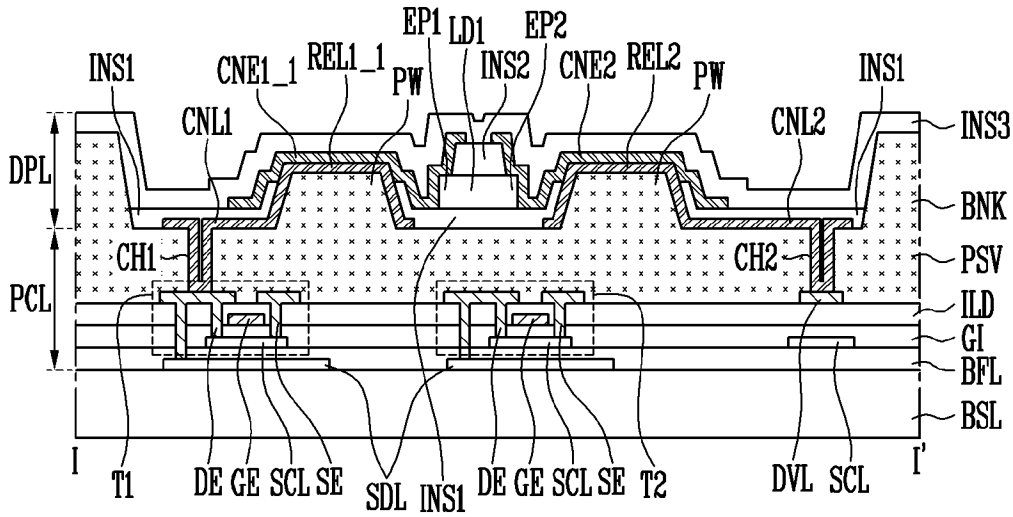
[도8h]



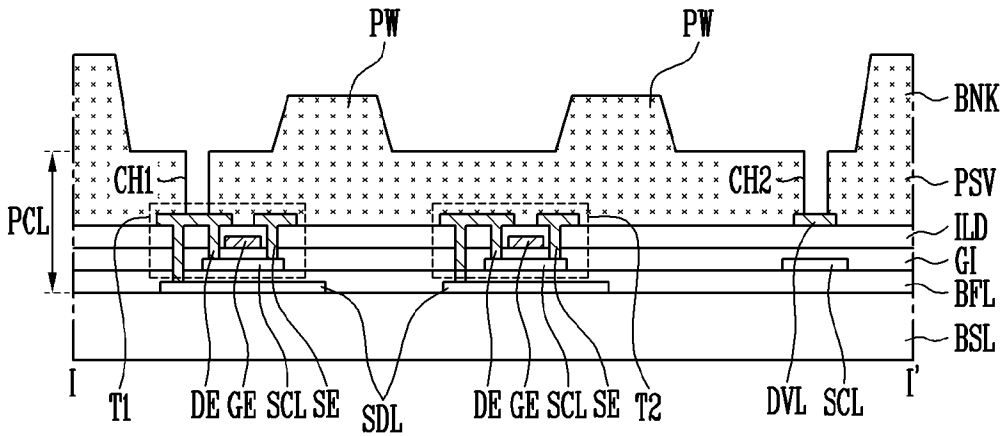
[도9]



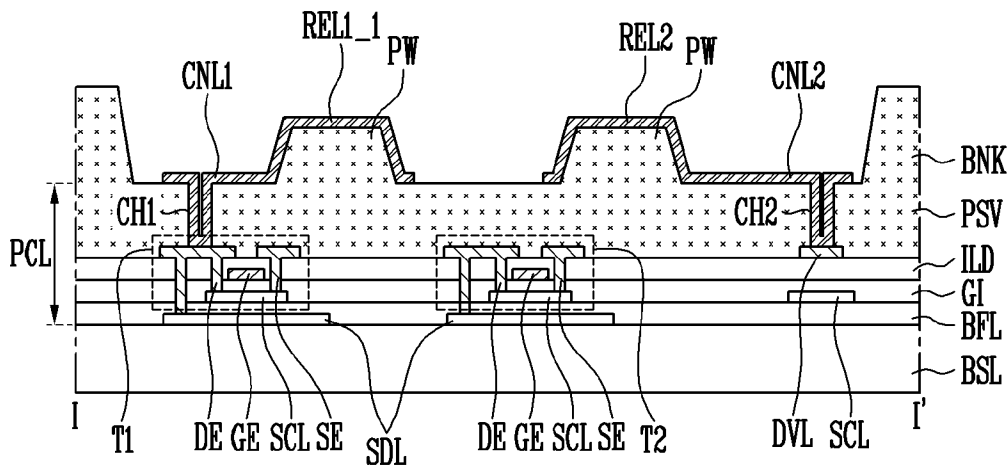
[도 10]



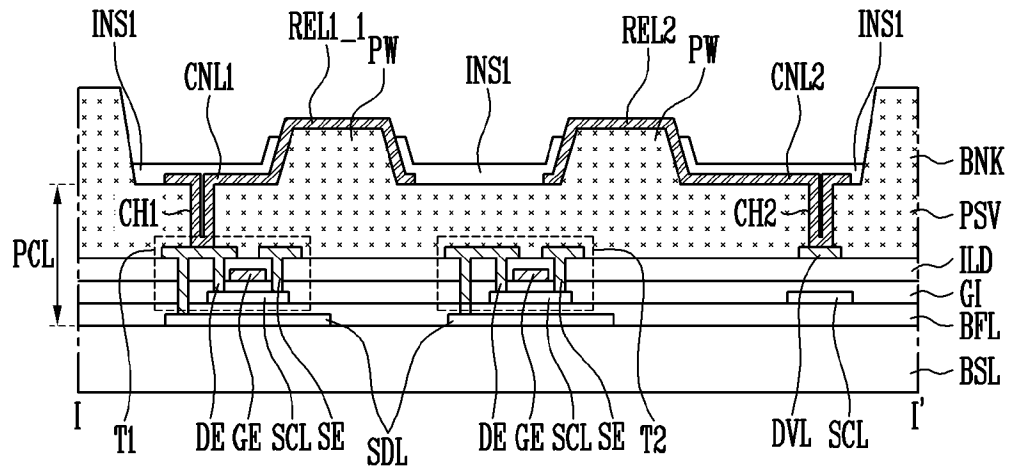
[도 11a]



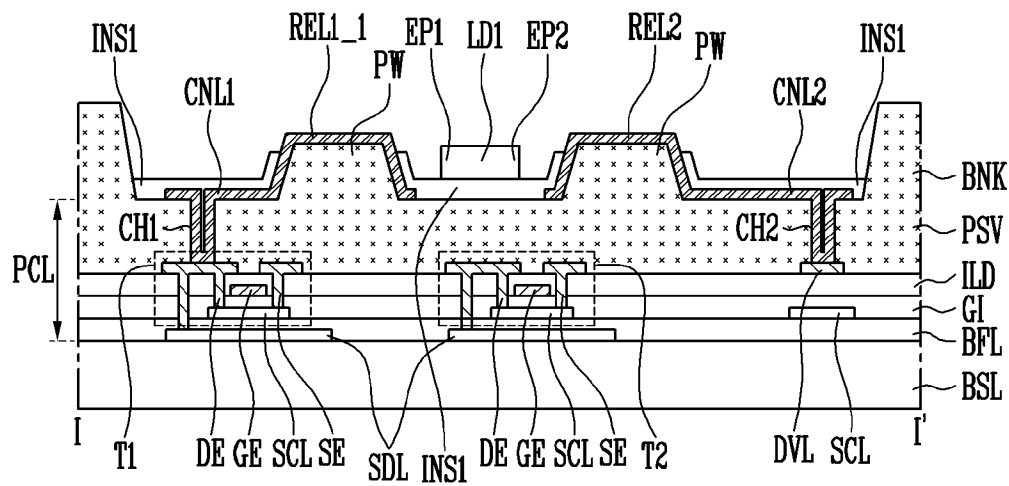
[도 11b]



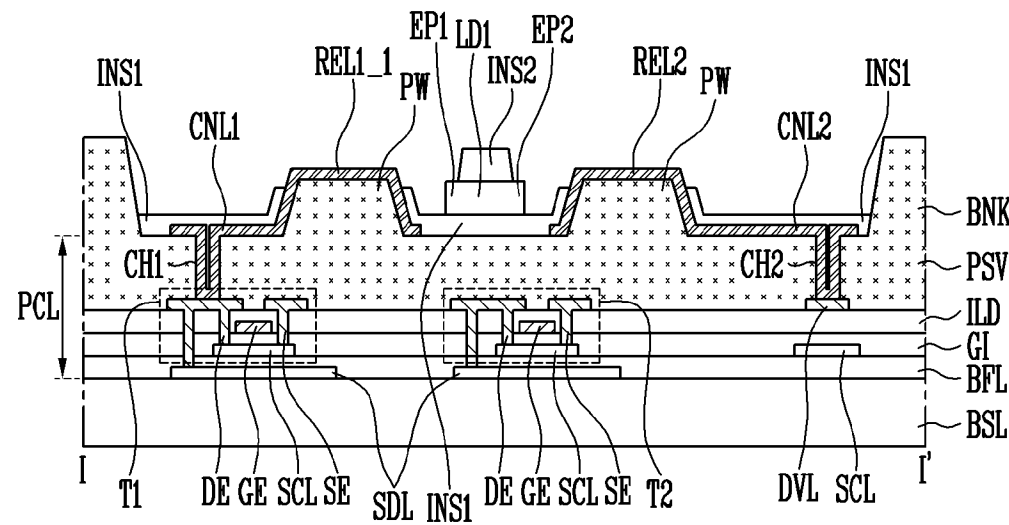
[도11c]



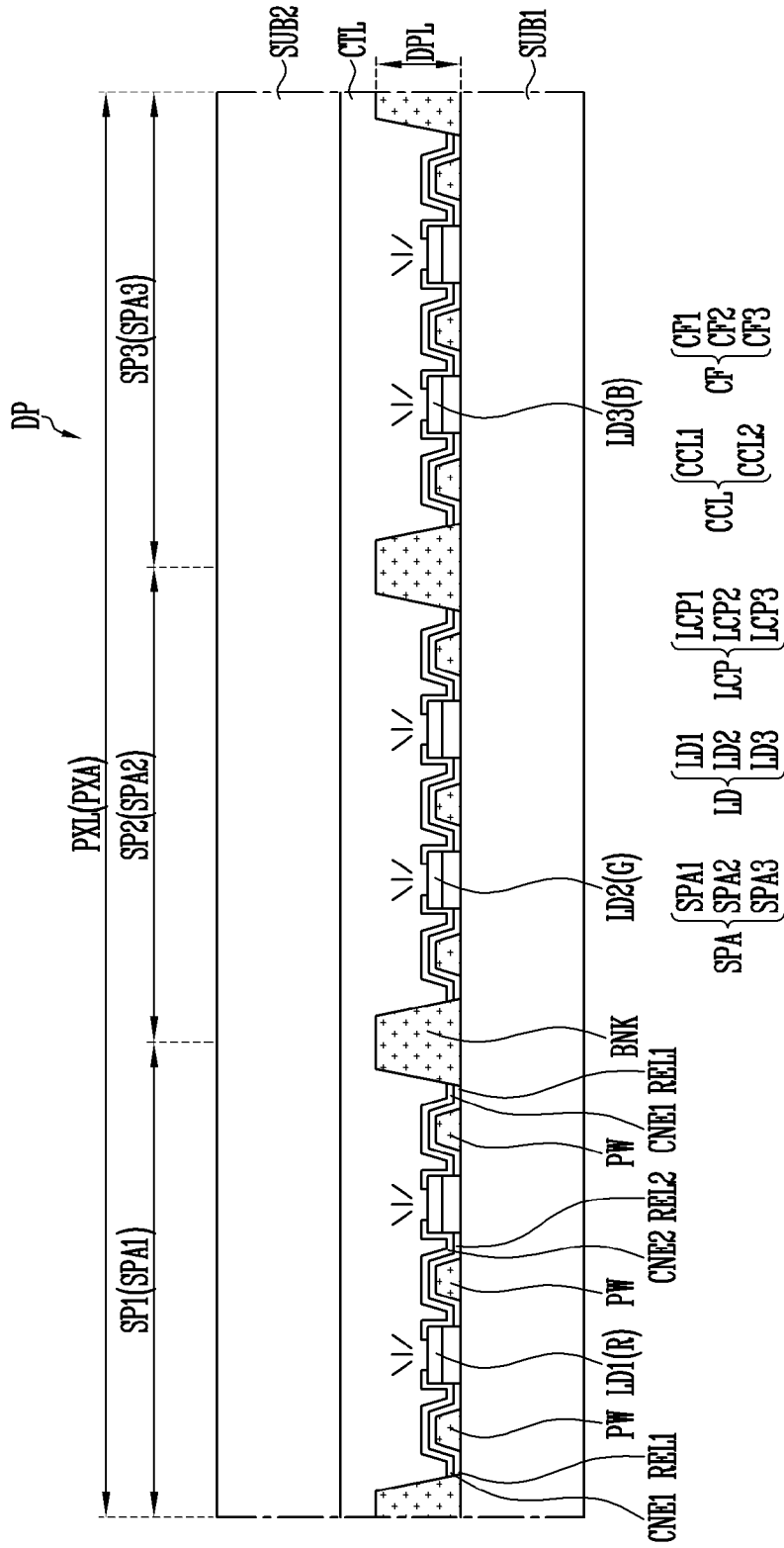
[도11d]



[도11e]



[도 12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2019/003331

A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12(2006.01)i, H01L 27/15(2006.01)i, H01L 33/38(2010.01)i, H01L 33/58(2010.01)i, H01L 33/00(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 27/12; H01L 27/32; H01L 29/786; H01L 33/00; H01L 33/38; H01L 33/40; H01L 33/48; H01L 33/62; H01L 27/15; H01L 33/58

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: display device, substrate, LED, electrode, sorting, partition wall, bank

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-2018-0072909 A (SAMSUNG DISPLAY CO., LTD.) 02 July 2018 See paragraphs [0025]-[0203] and figures 1-27.	1-8, 14-20
Y		9-13
Y	KR 10-2016-0092826 A (LG DISPLAY CO., LTD.) 05 August 2016 See paragraphs [0017]-[0038] and figure 1.	9-13
A	KR 10-2018-0007376 A (SAMSUNG DISPLAY CO., LTD.) 23 January 2018 See paragraphs [0046]-[0062] and figures 2-5d.	1-20
A	KR 10-2018-0055021 A (SAMSUNG DISPLAY CO., LTD.) 25 May 2018 See paragraphs [0083]-[0137] and figures 5-10.	1-20
A	KR 10-1730977 B1 (PSI CO., LTD.) 28 April 2017 See paragraphs [0028]-[0039] and figures 1-4.	1-20



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

03 JULY 2019 (03.07.2019)

Date of mailing of the international search report

03 JULY 2019 (03.07.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2019/003331

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-2018-0072909 A	02/07/2018	US 2018-0175009 A1 US 2018-0175106 A1	21/06/2018 21/06/2018
KR 10-2016-0092826 A	05/08/2016	None	
KR 10-2018-0007376 A	23/01/2018	CN 107611153 A EP 3270413 A1 US 2018-0019369 A1	19/01/2018 17/01/2018 18/01/2018
KR 10-2018-0055021 A	25/05/2018	US 2018-0138157 A1	17/05/2018
KR 10-1730977 B1	28/04/2017	KR 10-1711187 B1 US 2019-0019930 A1 WO 2017-123039 A1	06/03/2017 17/01/2019 20/07/2017

A. 발명이 속하는 기술분류(국제특허분류(IPC))
H01L 27/12(2006.01)i, H01L 27/15(2006.01)i, H01L 33/38(2010.01)i, H01L 33/58(2010.01)i, H01L 33/00(2010.01)i

B. 조사된 분야
조사된 최소문헌(국제특허분류를 기재)
H01L 27/12; H01L 27/32; H01L 29/786; H01L 33/00; H01L 33/38; H01L 33/40; H01L 33/48; H01L 33/62; H01L 27/15; H01L 33/58

조사된 기술분야에 속하는 최소문헌 이외의 문헌
한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))
eKOMPASS(특허청 내부 검색시스템) & 키워드: 표시 장치, 기관, LED, 전극, 정렬, 격벽, 뱅크

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-2018-0072909 A (삼성디스플레이 주식회사) 2018.07.02 단락 [0025]-[0203] 및 도면 1-27 참조.	1-8, 14-20
Y		9-13
Y	KR 10-2016-0092826 A (엘지디스플레이 주식회사) 2016.08.05 단락 [0017]-[0038] 및 도면 1 참조.	9-13
A	KR 10-2018-0007376 A (삼성디스플레이 주식회사) 2018.01.23 단락 [0046]-[0062] 및 도면 2-5d 참조.	1-20
A	KR 10-2018-0055021 A (삼성디스플레이 주식회사) 2018.05.25 단락 [0083]-[0137] 및 도면 5-10 참조.	1-20
A	KR 10-1730977 B1 (피에스아이 주식회사) 2017.04.28 단락 [0028]-[0039] 및 도면 1-4 참조.	1-20

추가 문헌이 C(계속)에 기재되어 있습니다. 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:
 “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌
 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌
 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌
 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌
 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌
 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌
 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.
 “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.
 “&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일 2019년 07월 03일 (03.07.2019)	국제조사보고서 발송일 2019년 07월 03일 (03.07.2019)
--	---

ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578	심사관 강성철 전화번호 +82-42-481-8405
---	------------------------------------



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2018-0072909 A	2018/07/02	US 2018-0175009 A1 US 2018-0175106 A1	2018/06/21 2018/06/21
KR 10-2016-0092826 A	2016/08/05	없음	
KR 10-2018-0007376 A	2018/01/23	CN 107611153 A EP 3270413 A1 US 2018-0019369 A1	2018/01/19 2018/01/17 2018/01/18
KR 10-2018-0055021 A	2018/05/25	US 2018-0138157 A1	2018/05/17
KR 10-1730977 B1	2017/04/28	KR 10-1711187 B1 US 2019-0019930 A1 WO 2017-123039 A1	2017/03/06 2019/01/17 2017/07/20