

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 7 月 18 日 (18.07.2024)



(10) 国际公布号
WO 2024/148643 A1

(51) 国际专利分类号:
GIIC 29/42 (2006.01)

(21) 国际申请号: PCT/CN2023/072856

(22) 国际申请日: 2023 年 1 月 18 日 (18.01.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202310025504.8 2023年1月9日 (09.01.2023) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(72) 发明人: 陆天辰 (LU, Tianchen); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。程彪 (CHENG, Biao); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (CHINA PAT INTELLECTUAL PROPERTY OFFICE); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,

(54) Title: MEMORY AND TEST METHOD THEREFOR, AND MEMORY SYSTEM

(54) 发明名称: 存储器及其测试方法、存储器系统

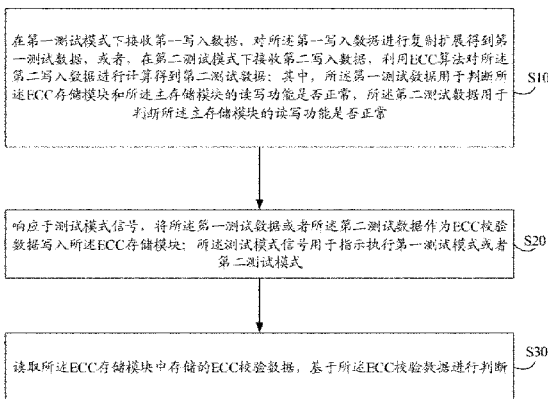


图 8

- S10 Receive first write data in a first test mode, and perform copying and expansion on the first write data to obtain first test data, or receive second write data in a second test mode, and perform calculation on the second write data by using an ECC algorithm, so as to obtain second test data, wherein the first test data is used for determining whether a read-write function of an ECC storage module and a read-write function of a main storage module are normal, and the second test data is used for determining whether the read-write function of the main storage module is normal
- S20 In response to a test mode signal, write the first test data or the second test data into the ECC storage module as ECC check data, wherein the test mode signal is used for indicating the execution of the first test mode or the second test mode
- S30 Read the ECC check data stored in the ECC storage module, and perform determination on the basis of the ECC check data

(57) Abstract: Provided in the embodiments of the present disclosure is a test method for a memory. The memory comprises a main storage module and an ECC storage module. The method comprises: receiving first write data in a first test mode, and performing copying and expansion on the first write data to obtain first test data, or receiving second write data in a second test mode, and performing calculation on the second write data by using an ECC algorithm, so as to obtain second test data, wherein the first test data is used for determining whether a read-write function of an ECC storage module and a read-write function of a main storage module are normal, and the second test data is used for determining whether the read-write function of the main storage module is normal; in response to a test mode signal, writing the first test data or the second test data into the ECC storage module as ECC check data, wherein the test mode signal is used for indicating the execution of the first test mode or the second test mode; and reading the ECC check data stored in the ECC storage module, and performing determination on the basis of the ECC check data.

WO 2024/148643 A1



HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开实施例提供了一种存储器的测试方法, 该存储器包括主存储模块以及ECC存储模块, 该方法包括: 在第一测试模式下接收第一写入数据, 对第一写入数据进行复制扩展得到第一测试数据, 或者, 在第二测试模式下接收第二写入数据, 利用ECC算法对第二写入数据进行计算得到第二测试数据; 其中, 第一测试数据用于判断ECC存储模块和主存储模块的读写功能是否正常, 第二测试数据用于判断主存储模块的读写功能是否正常; 响应于测试模式信号, 将第一测试数据或者第二测试数据作为ECC校验数据写入ECC存储模块; 测试模式信号用于指示执行第一测试模式或者第二测试模式; 读取ECC存储模块中存储的ECC校验数据, 基于ECC校验数据进行判断。

存储器及其测试方法、存储器系统

相关申请的交叉引用

本公开基于申请号为 202310025504.8、申请日为 2023 年 01 月 09 日、发明名称为“存储器及其测试方法、存储器系统”的中国专利申请提出，并要求该中国专利申请的优先权，该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体技术领域，涉及但不限于一种存储器及其测试方法、存储器系统。

背景技术

存储器是各种电子设备中用于存储数据的重要部件，随着集成电路技术的发展，存储器的精密程度和复杂程度日益提高。各种不同的应用对存储器的性能也提出了越来越高的要求，以满足各种不同应用场景的需求。

发明内容

根据本公开实施例的第一方面，提供了一种存储器的测试方法，所述存储器包括主存储模块以及 ECC 存储模块，所述方法包括：

在第一测试模式下接收第一写入数据，对所述第一写入数据进行复制扩展得到第一测试数据，或者，在第二测试模式下接收第二写入数据，利用 ECC 算法对所述第二写入数据进行计算得到第二测试数据；其中，所述第一测试数据用于判断所述 ECC 存储模块和所述主存储模块的读写功能是否正常，所述第二测试数据用于判断所述主存储模块的读写功能是否正常；

响应于测试模式信号，将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块；所述测试模式信号用于指示执行第一测试模式或者第二测试模式；

读取所述 ECC 存储模块中存储的 ECC 校验数据，基于所述 ECC 校验数据进行判断。

上述方案中，所述第一写入数据的位数为 M ，所述第一测试数据的位数为 $2M$ ，所述第一测试数据的前 M 位和后 M 位的数据相同， M 为大于或等于 2 的偶数。

上述方案中，所述第二测试数据的位数为 $2M$ ，所述第二写入数据的位

数为 $2N$ ， M 为大于或等于 2 的偶数， N 为大于 M 的偶数。

上述方案中，所述方法还包括：

在第一测试模式下接收第三写入数据；

5 响应于所述测试模式信号，将所述第三写入数据或者所述第二写入数据写入所述主存储模块；

在所述读取所述 ECC 存储模块中存储的 ECC 校验数据的同时，所述方法还包括：

读取所述主存储模块中存储的所述第三写入数据或者所述第二写入数据。

10 上述方案中，所述第三写入数据的位数与第二写入数据的位数相同，所述第三写入数据的前 N 位和后 N 位的数据相同。

上述方案中，所述在第一测试模式下接收第三写入数据，包括：

在第一测试模式下经由数据焊盘接收第三写入数据；

15 每个数据焊盘传输的数据的位数为 $2Z$ ，每个数据焊盘传输的数据的前 Z 位和后 Z 位的数据相同， Z 为大于或等于 2 的偶数。

上述方案中，所述基于所述 ECC 校验数据进行判断，包括：

所述 ECC 校验数据为所述第一测试数据的情况下，对读取的所述主存储模块中存储的第三写入数据和所述 ECC 存储模块中存储的 ECC 校验数据进行压缩处理并输出压缩处理数据至数据焊盘；

20 基于从所述数据焊盘输出的所述压缩处理数据判断所述 ECC 存储模块的读写功能是否正常。

上述方案中，所述基于所述 ECC 校验数据进行判断，还包括：

所述 ECC 校验数据为所述第二测试数据的情况下，基于读取的所述 ECC 存储模块中存储的 ECC 校验数据和所述主存储模块中存储的第二写入数据判断所述主存储模块的读写功能是否正常。

25 根据本公开实施例的第二方面，提供了一种存储器，包括：

主存储模块和 ECC 存储模块；

数据输入/输出单元，被配置为在第一测试模式下接收第一写入数据，或者，在第二测试模式下接收第二写入数据；

30 第一处理单元，被配置为对所述第一写入数据进行复制扩展得到第一测试数据；

第二处理单元，被配置为利用 ECC 算法对所述第二写入数据进行计算得到第二测试数据；其中，所述第一测试数据用于判断所述 ECC 存储模块和所述主存储模块的读写功能是否正常，所述第二测试数据用于判断所述主存储模块的读写功能是否正常；

35 写入单元，与所述第一处理单元和所述第二处理单元连接，被配置为响应于测试模式信号，将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块；所述测试模式信号用于指示执行第

一测试模式或者第二测试模式;

读取单元, 被配置为读取所述 ECC 存储模块中存储的 ECC 校验数据。

上述方案中, 所述第一写入数据的位数为 M , 所述第一测试数据的位数为 $2M$, 所述第一测试数据的前 M 位和后 M 位的数据相同, M 为大于或等于 2 的偶数。

上述方案中, 所述第二测试数据的位数为 $2M$, 所述第二写入数据的位数为 $2N$, M 为大于或等于 2 的偶数, N 为大于 M 的偶数。

上述方案中, 所述数据输入/输出单元, 还被配置为在第一测试模式下接收第三写入数据; 所述写入单元, 还被配置为响应于所述测试模式信号, 将所述第三写入数据或者所述第二写入数据写入所述主存储模块;

所述读取单元, 还被配置为在所述读取所述 ECC 存储模块中存储的 ECC 校验数据的同时, 读取所述主存储模块中存储的所述第三写入数据或者所述第二写入数据。

上述方案中, 所述第三写入数据的位数与第二写入数据的位数相同, 所述第三写入数据的前 N 位和后 N 位的数据相同。

上述方案中, 所述存储器还包括多个数据焊盘, 每个所述数据焊盘被配置为在第一测试模式下接收第三写入数据; 每个所述数据焊盘传输的数据的位数为 $2Z$, 每个所述数据焊盘传输的数据的前 Z 位和后 Z 位的数据相同, Z 为大于或等于 2 的偶数。

上述方案中, 所述存储器还包括: 压缩单元;

所述压缩单元, 与所述读取单元连接, 被配置为所述 ECC 校验数据为所述第一测试数据的情况下, 对读取的所述主存储模块中存储的第三写入数据和所述 ECC 存储模块中存储的 ECC 校验数据进行压缩处理并输出压缩处理数据至所述数据焊盘。

上述方案中, 所述存储器还包括: 信号生成单元, 被配置为对所述测试模式信号、第一控制信号和第二控制信号进行逻辑运算, 生成第一触发信号; 所述第一控制信号用于指示所述第二处理单元的开启或关闭; 所述第二控制信号用于指示所述压缩单元的开启或关闭; 所述第一触发信号用于指示所述写入单元将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块。

上述方案中, 所述信号生成单元具体被配置为, 当所述测试模式信号指示执行第一测试模式时, 所述第一控制信号指示所述第二处理单元关闭, 所述第二控制信号指示所述压缩单元开启时, 生成指示将所述第一测试数据写入所述 ECC 存储模块的第一触发信号。

根据本公开实施例的第三方面, 提供了一种存储器系统, 其特征在于, 包括如上所述的存储器和控制器; 所述控制器, 被配置基于所述 ECC 存储模块中存储的 ECC 校验数据进行判断。

上述方案中, 所述控制器具体被配置为:

在所述 ECC 校验数据为所述第一测试数据的情况下，基于从所述数据焊盘输出的所述压缩处理数据判断所述 ECC 存储模块的读写功能是否正常；

或者，

- 5 在所述 ECC 校验数据为所述第二测试数据的情况下，基于读取的所述 ECC 存储模块中存储的 ECC 校验数据和所述主存储模块中存储的第二写入数据判断所述主存储模块的读写功能是否正常。

本公开实施例所提供的技术方案能够在测试时根据实际需求灵活切换第一测试模式和第二测试模式，在第一测试模式下通过对第一写入数据进行复制扩展处理获得可以直接访问 ECC 存储模块的第一测试数据，实现了
10 同时对主存储模块和 ECC 存储模块进行测试，提高了测试效率。

附图说明

图 1 为根据本公开实施例示出的存储器系统的框图；

图 2 为根据本公开实施例示出的存储器的框图；

- 15 图 3 为根据本公开实施例示出的逻辑运算单元的电路结构示意图；

图 4 为根据本公开实施例示出的信号生成单元生成第一触发信号的时序图；

图 5 为根据本公开实施例示出的另一种存储器的局部框图；

图 6 为根据本公开实施例示出的信号生成单元的电路结构示意图；

- 20 图 7 为根据本公开实施例示出的选择单元的电路结构示意图；

图 8 为根据本公开实施例示出的存储器的测试方法的流程示意图。

具体实施方式

下面将结合附图和实施例对本公开的技术方案进一步详细阐述。虽然附图中显示了本公开的示例性实施方法，然而应当理解，可以以各种形式
25 实现本公开而不应被这里阐述的实施方式所限制。相反，提供这些实施方式是为了能够更透彻的理解本公开，并且能够将本公开的范围完整的传达给本领域的技术人员。

在下列段落中参照附图以举例方式更具体的描述本公开。根据下面说明和权利要求书，本公开的优点和特征将更清楚。需说明的是，附图均采用非常简化的形式且均使用非精准的比例，仅用以方便、明晰地辅助说明
30 本公开实施例的目的。

应当明白，空间关系术语例如“在……下”、“在……下面”、“下面的”、“在……之下”、“在……之上”、“上面的”等，在这里可为了方便描述而被使用从而描述图中所示的一个元件或特征与其它元件或特征的关系。应当明白，除了图中所示的取向以外，空间关系术语意图还包括使用和操作
35

中的器件的不同取向。例如，如果附图中的器件翻转，然后，描述为“在其它元件下面”或“在其之下”或“在其下”元件或特征将取向为在其它元件或特征“上”。因此，示例性术语“在……下面”和“在……下”可包括上和下两个取向。器件可以另外地取向（旋转 90 度或其它取向）并且在此使用的空间描述语相应地被解释。

在此使用的术语的目的仅在于描述具体实施例并且不作为本公开的限制。在此使用时，单数形式的“一”、“一个”和“所述/该”也意图包括复数形式，除非上下文清楚指出另外的方式。还应明白术语“组成”和/或“包括”，当在该说明书中使用时，确定所述特征、整数、步骤、操作、元件和/或部件的存在，但不排除一个或更多其它的特征、整数、步骤、操作、元件、部件和/或组的存在或添加。在此使用时，术语“和/或”包括相关所列项目的任何及所有组合。

需要说明的是，本公开实施例所记载的技术方案之间，在不冲突的情况下，可以任意组合。

目前对存储器的应用中，通过引用错误检查和纠正技术（Error Checking and Correcting, ECC）提高存储器存储数据的稳定性和正确性。由于生产工艺和生产条件的限制，生产得到的存储器也并非完美无缺，在存储器的研发与制造过程中，往往需要对存储器进行大量的测试以确定是否存在制造过程中产生的异常。引入 ECC 的存储器需要在存储写入数据的主存储区域外设置 ECC 存储区域用于存储 ECC 校验数据，因此在对存储器的主存储区域进行测试时，ECC 存储区域也需要进行测试，以防止存储 ECC 校验数据的 ECC 存储区域也出现错误，避免出现错误的纠错。

然而，ECC 存储区域中的 ECC 校验数据通过 ECC 算法产生，在对存储器中执行读取操作时，存储器仅输出读取的写入数据，而不会输出 ECC 校验数据，通过读取的存储中存储的写入数据只能完成对主存储区域的测试，无法同时完成对主存储区域和 ECC 存储区域的测试。

对此，本公开提出了以下实施方式。

图 1 为根据本公开实施例示出的存储器系统的框图。如图 1 所示，存储器系统 10 包括存储器 110 和控制器 120。

控制器 120 可控制存储器系统 10 的总体操作。控制器 120 可控制外部主机（图中未示出）与存储器 110 之间的总体数据交换。例如，控制器 110 可响应于来自主机的请求而将数据写入存储器 110 或从存储器 110 读取数据。另外，控制器 120 可向存储器 110 发送命令和地址信号。

在一些实施例中，存储器 110 包括但不限于动态随机存取存储器（Dynamic Random Access Memory, DRAM）、静态随机存取存储器（Static Random Access Memory, SRAM）、三维 NAND 型存储器、相变存储器（Phase Change Memory, PCM）、电可擦除可编程只读存储器（Electrically Erasable Programmable Read only Memory, EEPROM）、NOR 型闪存存储器、相变随

机存储器 (Phase Change Random Access Memory, PRAM)、磁性随机存储器 (Magnetoresistive Random Access Memory, MRAM)、阻变随机存储器 (Resistive Random Access Memory, RRAM)、铁电随机存储器 (Ferro-electric Random Access Memory, FRAM) 等。

图 2 为根据本公开实施例示出的存储器的框图。如图 2 所示, 存储器 110 包括: 存储模块 130, 存储模块 130 包括主存储模块 132 和 ECC 存储模块 131; 数据输入/输出单元 112, 被配置为在第一测试模式下接收第一写入数据 W_data1, 或者, 在第二测试模式下接收第二写入数据 W_data2; 第一处理单元 113, 被配置为对第一写入数据 W_data1 进行复制扩展得到第一测试数据 T_data1; 第二处理单元 114, 被配置为利用 ECC 算法对第二写入数据 W_data2 进行计算得到第二测试数据 T_data2; 其中, 第一测试数据 T_data1 用于判断 ECC 存储模块 131 和主存储模块 132 的读写功能是否正常, 第二测试数据 T_data2 用于判断主存储模块 132 的读写功能是否正常; 写入单元 115, 与第一处理单元 113 和第二处理单元 114 连接, 被配置为响应于测试模式信号 T_mode, 将第一测试数据 T_data1 或者第二测试数据 T_data2 作为 ECC 校验数据写入 ECC 存储模块 131; 测试模式信号 T_mode 用于指示执行第一测试模式或者第二测试模式; 读取单元 117, 被配置为读取 ECC 存储模块 131 中存储的 ECC 校验数据。

在本公开实施例中, 数据输入/输出单元 112, 还被配置为在第一测试模式下接收第三写入数据 W_data3; 写入单元 115, 还被配置为响应于测试模式信号 T_mode, 将第三写入数据 W_data3 或者第二写入数据 W_data2 写入主存储模块 132;

读取单元 117, 还被配置为在读取 ECC 存储模块 131 中存储的 ECC 校验数据的同时, 读取主存储模块 132 中存储的第三写入数据 W_data3 或者第二写入数据 W_data2。

在一些实施例中, 控制器可向存储器 110 发送写入数据 W_data 或者从存储器 110 接收读取数据 R_data。需要说明的是, 在第一测试模式下控制器向存储器 110 发送的写入数据 W_data 包括第一写入数据 W_data1 和第三写入数据 W_data3, 控制器 120 从存储器 110 接收的读取数据 R_data 为压缩数据 P_data。在第二测试模式下控制器向存储器 110 发送的写入数据 W_data 为第二写入数据 W_data2, 控制器 120 从存储器 110 接收的读取数据 R_data 为经过第二处理单元进行 ECC 检错并纠正后得到的解码数据 D_data。

在一些实施例中, 存储模块 130 可以是由字线和位线交叉分布并由 MOS 器件及存储电容构成的 DRAM 存储单元阵列。

在一些实施例中, ECC 存储模块 131 配置为存储 ECC 校验数据, 主存储模块 132 配置为存储写入数据 W_data。

在本公开实施例中, 第一写入数据 W_data1 的位数为 M, 第一测试数

据 T_data1 的位数为 $2M$ ，第一测试数据 T_data1 的前 M 位和后 M 位的数据相同， M 为大于或等于 2 的偶数。

在本公开实施例中，第三写入数据 W_data3 的位数为 $2N$ ，第三写入数据 W_data3 的前 N 位和后 N 位的数据相同， N 为大于 M 的偶数。

5 在一具体实施方式中, 存储器 110 有 72bit 位宽的存储空间, 其中主存储模块 132 可以为 8×8bit 位宽的存储空间, ECC 存储模块可以为 8bit 位宽的存储空间。存储器 110 包括 8 个数据焊盘 (DQ) 111, 在第一测试模式下
10 第一写入数据 W_data1 的位数为 4, 例如第一写入数据 W_data1 为 1100, 通过 4 个数据焊盘 111 传输第一写入数据 W_data1, 并且传输第一写入数据 W_data1 的 4 个数据焊盘 111 中的每一个传输 1bit 的数据。经过第一处理单元 113 对第一写入数据 W_data1 进行复制扩展得到第一测试数据 T_data1, 第一测试数据 T_data1 的位数为 8, 例如第一测试数据 T_data1 为 11001100, 第一测试数据 T_data1 的前 4 位和后 4 位的数据相同。

示例性地，第三写入数据 W_data3 的位数为 64，例如第三写入数据
W_data3 为
`1100110011001100110011001100110011001100110011001100110011001100`
。第三写入数据 W_data3 的前 32 位和后 32 位的数据相同。

在本公开实施例中，存储器 110 还包括多个数据焊盘 111，每个所述数据焊盘 111 被配置为在第一测试模式下接收第三写入数据 W data3。

示例性地，第三写入数据 W_data3 的位数为 64，例如第三写入数据
W_data3 为
110011001100110011001100110011001100110011001100。
存储器 110 包括 8 个数据焊盘 111，每个数据焊盘 111 传输的数据的位数为
8，每个数据焊盘 111 传输的数据的前 4 位和后 4 位的数据相同，例如每个
数据焊盘 111 传输的数据为 11001100。

可以理解的是,在第一测试模式下写入单元 115 被配置为响应于测试模式信号 T_mode,将第一测试数据 T_data1 作为 ECC 校验数据写入 ECC 存储模块 131;将第三写入数据 W_data3 写入主存储模块 132。也就是将 11001100 写入 ECC 存储模块 131,将经每一个数据焊盘 111 传输的数据 11001100 写入主存储模块 132 中每一片 8bit 位宽的存储空间。第一测试数据 T_data1 的位数与 ECC 存储模块 131 的位宽相同,第三写入数据 W_data3 的位数与主存储模块 132 的位宽相同。

需要说明的是，上述存储器中主存储模块和 ECC 存储模块的位宽大小仅作为一种示例，在实际应用中可以根据实际需求进行调整。例如存储器有 136bit 位宽的存储空间，其中主存储模块可以为 8×16bit 位宽的存储空间，ECC 存储模块可以为 8bit 位宽的存储空间。第一写入数据 W_data1 可以为 1100，第一测试数据 T_data1 为 11001100。第三写入数据 W_data3 为 110011001100110011001100110011001100110011001100110011

001100110011001100110011001100110011001100110011001100110011001100, 每个数据焊盘传输的数据为 1100110011001100。

在本公开实施例中, 存储器 110 还包括: 压缩单元 118; 压缩单元 118, 与读取单元 117 连接, 被配置为 ECC 校验数据为第一测试数据 T_data1 的情况下, 对读取的主存储模块 132 中存储的第三写入数据 W_data3 和 ECC 存储模块 131 中存储的 ECC 校验数据进行压缩处理并输出压缩处理数据 P_data 至数据焊盘 111。

图 1 中所示的控制器 120 被配置为在 ECC 校验数据为第一测试数据 T_data1 的情况下, 基于从数据焊盘 111 输出的压缩处理数据 P_data 判断 ECC 存储模块 131 的读写功能是否正常。需要说明的是, 在存储器 110 包括 8 个数据焊盘 111 的情况下, 仅需 4 个数据焊盘 111 就能实现压缩处理数据 P_data 的传输, 可有效提高数据的传输速率。

示例性地, 控制器 120 经过数据焊盘 111 接收由存储器 110 输出的压缩处理数据 P_data, 可对压缩处理数据 P_data 进行解压缩处理, 以比较从主存储模块 132 和 ECC 存储模块 131 中读取的数据与写入主存储模块 132 和 ECC 存储模块 131 中的数据是否相同, 如果从主存储模块 132 中读取的数据与写入主存储模块 132 中的数据相同则主存储模块 132 的读写功能正常, 且从 ECC 存储模块 131 中读取的数据与写入 ECC 存储模块 131 中的数据相同则 ECC 存储模块 131 的读写功能正常。即从主存储模块 132 中读取的数据为第三写入数据 W_data3, 从 ECC 存储模块 131 中读取的数据为第一测试数据 T_data1 时, 主存储模块 132 和 ECC 存储模块 131 的读写功能均正常。

当然, 如果从主存储模块 132 中读取的数据与写入主存储模块 132 中的数据不同或者从 ECC 存储模块 131 中读取的数据与写入 ECC 存储模块 131 中的数据不同, 则可根据对应的比较结果判断主存储模块 132 或者 ECC 存储模块 131 的读写功能是否正常。

可以理解的是, 在第一测试模式下只要存储模块 130 的读写功能存在异常, 即主存储模块 132 和 ECC 存储模块 131 中存在至少一个读写功能不正常时, 从主存储模块 132 和 ECC 存储模块 131 中读取的数据可能存在无法正常压缩处理的情况。例如主存储模块 132 的读写功能正常, ECC 存储模块 131 的读写功能异常, 那么从 ECC 存储模块 131 中读取的数据可能发生错误如比特翻转, 例如从第一测试数据 11001100 变为了 11011100, 则无法对主存储模块 132 和 ECC 存储模块 131 中读取的数据进行正常的压缩处理。也就是说, 在控制器 120 在第一测试模式下向存储器 110 发出读取命令, 但在预定时间内未接收到正确的压缩处理数据 P_data 的情况下, 控制器 120 可以判断存储模块 130 的读写功能存在异常, 并且可通过进一步的测试判断具体的异常区域。

在本公开实施例中, 存储器 110 还包括: 信号生成单元 116, 被配置为

对测试模式信号 T_mode、第一控制信号 Ctrl_1 和第二控制信号 Ctrl_2 进行逻辑运算,生成第一触发信号 Signal_1;第一控制信号 Ctrl_1 用于指示第二处理单元 114 的开启或关闭;第二控制信号 Ctrl_2 用于指示压缩单元 118 的开启或关闭;第一触发信号 Signal_1 用于指示写入单元 115 将第一测试数据 T_data1 或者第二测试数据 T_data2 作为 ECC 校验数据写入 ECC 存储模块 131。

在本公开实施例中,信号生成单元 116 具体被配置为,当测试模式信号 T_mode 指示执行第一测试模式时,第一控制信号 Ctrl_1 指示第二处理单元关闭,第二控制信号 Ctrl_2 指示压缩单元 118 开启时,生成指示将第一测试数据 T_data1 写入 ECC 存储模块 131 的第一触发信号 Signal_1。

示例性地,信号生成单元 116 包括如图 3 所示的逻辑运算单元 140,逻辑运算单元 140 包括第一逻辑或非门 141 和第二逻辑或非门 142,第一逻辑或非门 141 用于接收第一控制信号 Ctrl_1 和第二控制信号 Ctrl_2,并输出第三控制信号 Ctrl_3。第一逻辑或非门 141 的输出端连接至第二逻辑或非门 142 的输入端,第二逻辑或非门 142 用于接收测试模式信号 T_mode 和第三控制信号 Ctrl_3,并输出第一触发信号 Signal_1。

图 4 为本公开实施例提供的信号生成单元生成第一触发信号的时序图,表 1 为与图 4 对应的各信号在不同测试模式下的逻辑电平值。

表 1

	T_mode	Ctrl_1	Ctrl_2	Signal_1
T1-T2	0	0	1	1
T2-T3	1	1	0	0

请参阅图 3、图 4 及表 1,在 T1 至 T2 阶段,测试模式信号 T_mode 处于逻辑低电平指示执行第一测试模式并开启第一处理单元 113,第一控制信号 Ctrl_1 处于逻辑低电平指示第二处理单元 114 关闭,第二控制信号 Ctrl_2 处于逻辑高电平指示压缩单元 118 开启,经过逻辑运算单元 140 的运算生成了处于逻辑高电平的第一触发信号 Signal_1,指示写入单元 115 将第一测试数据 T_data1 作为 ECC 校验数据 ECC_data 写入 ECC 存储模块 131。

在 T2 至 T3 阶段,测试模式信号 T_mode 处于逻辑高电平指示执行第二测试模式并关闭第一处理单元 113,第一控制信号 Ctrl_1 处于逻辑高电平指示第二处理单元 114 开启,第二控制信号 Ctrl_2 处于逻辑低电平指示压缩单元 118 关闭,经过逻辑运算单元 140 的运算生成了处于逻辑低电平的第一触发信号 Signal_1,指示写入单元 115 将第二测试数据 T_data2 作为 ECC 校验数据 ECC_data 写入 ECC 存储模块 131。

在另一些实施例中,如图 5 所示,可在写入单元 115 与信号生成单元 116 之间设置选择单元 150。选择单元 150 也与第一处理单元 113 和第二处理单元 114 连接。

如图 6 所示,信号生成单元 116 中还包括反相器 143,通过反相器 143

对第一触发信号 Signal_1 进行逻辑非运算生成第二触发信号 Signal_2。

如图 7 所示,选择单元 150 包括第一区域 151 和第二区域 152,第一区域 151 与第一输入端连接用于接收第一测试数据 T_data1,第二区域 152 与第二输入端连接用于接收第二测试数据 T_data2。结合图 4 至图 7 及表 1 可知,在 T1 至 T2 阶段,测试模式信号 T_mode 处于逻辑低电平指示执行第一测试模式并开启第一处理单元 113,第一控制信号 Ctrl_1 处于逻辑低电平指示第二处理单元 114 关闭,第二控制信号 Ctrl_2 处于逻辑高电平指示压缩单元 118 开启,经过逻辑运算单元 140 的运算生成了处于逻辑高电平的第一触发信号 Signal_1,通过反相器 143 对第一触发信号 Signal_1 进行逻辑非运算生成第二触发信号 Signal_2。此时第一区域 151 内与第一触发信号 Signal_1 和第二触发信号 Signal_2 相连的晶体管导通,第二区域 152 内与第一触发信号 Signal_1 和第二触发信号 Signal_2 相连的晶体管截止,第一测试数据 T_data1 即可通过选择单元 150 输出至写入单元 115 并作为 ECC 校验数据 ECC_data 写入 ECC 存储模块 131。

在 T2 至 T3 阶段,测试模式信号 T_mode 处于逻辑高电平指示执行第二测试模式并关闭第一处理单元 113,第一控制信号 Ctrl_1 处于逻辑高电平指示第二处理单元 114 开启,第二控制信号 Ctrl_2 处于逻辑低电平指示压缩单元 118 关闭,经过逻辑运算单元 140 的运算生成了处于逻辑低电平的第一触发信号 Signal_1,通过反相器 143 对第一触发信号 Signal_1 进行逻辑非运算生成第二触发信号 Signal_2,此时第一区域 151 内与第一触发信号 Signal_1 和第二触发信号 Signal_2 相连的晶体管截止,第二区域 152 内与第一触发信号 Signal_1 和第二触发信号 Signal_2 相连的晶体管导通,第二测试数据 T_data2 即可通过选择单元 150 输出至写入单元 115 并作为 ECC 校验数据 ECC_data 写入 ECC 存储模块 131。

在本公开实施例中,第二测试数据 T_data2 的位数为 2M,第二写入数据 W_data2 的位数为 2N,M 为大于或等于 2 的偶数,N 为大于 M 的偶数。

在一具体实施方式中,存储器 110 有 72bit 位宽的存储空间,其中主存储模块 132 可以为 8×8bit 位宽的存储空间,ECC 存储模块可以为 8bit 位宽的存储空间。第二写入数据 W_data2 的位数为 64,经过第二处理单元 114 利用 ECC 算法对第二写入数据 W_data2 进行计算得到第二测试数据 T_data2,第二测试数据 T_data2 的位数为 8。

示例性地,第二处理单元 114 可以为 ECC 引擎 (ECC engine),在选定 ECC 算法后,ECC 引擎在第二测试模式下利用 ECC 算法对控制器 120 发送给存储器 10 的第二写入数据 W_data2 进行计算(或者编码),得到位数为 8 的第二测试数据 T_data2。ECC 引擎可以以各种方式执行编码,例如,ECC 引擎可基于,但不限于诸如 AN 码、BCH 码、汉明码、极化码、Turbo 码等来执行编码。第二测试数据 T_data2 的位数与第二写入数据 W_data2 和 ECC 算法有关,此处选定的 ECC 算法得到的第二测试数据 T_data2 的位数

与 ECC 存储模块的位宽相同。第二写入数据 W_data2 的位数与主存储模块 132 的位宽相同。

可以理解的是，在第二测试模式下写入单元 115 被配置为响应于测试模式信号 T_mode，将第二测试数据 T_data2 作为 ECC 校验数据写入 ECC 存储模块 131；将第二写入数据 W_data2 写入主存储模块 132。

图 1 中所示的控制器 120 被配置为被配置基于 ECC 存储模块 131 中存储的 ECC 校验数据进行判断。在一些实施例中，在 ECC 校验数据为第二测试数据 T_data2 的情况下，基于读取的 ECC 存储模块 131 中存储的 ECC 校验数据和主存储模块 132 中存储的第二写入数据 W_data2 判断主存储模块 132 的读写功能是否正常。

在一具体实施方式中，读取单元 117 与第二处理单元 114 连接，在第二测试模式下，读取单元 117 将从主存储模块 132 和 ECC 存储模块 131 中读取的数据输出至第二处理单元 114。示例性地，第二处理单元 114 可以为 ECC 引擎，ECC 引擎可以执行与纠错解码相关联的各种功能和操作，例如，ECC 引擎可以产生 ECC 校验子(syndrome)、产生 ECC 错误位置、纠正 ECC 错误，并且还可以产生 ECC 检错标志。

第二处理单元 114 对从主存储模块 132 和 ECC 存储模块 131 中读取的数据进行解码处理得到解码数据 D_data，解码处理具体包括对从主存储模块 132 和 ECC 存储模块 131 中读取的数据进行 ECC 校验得到校验子，校验子可用于检错和纠错。校验子包括从主存储模块 132 中读取的数据中存在的比特错误的数量。

在一些实施例中，当比特错误的数量为 0 时，经第二处理单元 114 得到的解码数据 D_data 即为第二写入数据 W_data2，即控制器 120 经由数据焊盘 111 从存储器接收的读取数据 R_data 为第二写入数据 W_data2，控制器 120 将判断主存储模块 132 的读写功能正常。

在一些实施例中，当比特错误的数量小于或等于阈值时，例如单个比特错误，第二处理单元 114 对从主存储模块 132 中读取的数据中存在比特错误的数据进行纠正得到解码数据 D_data，并将解码数据 D_data 输出至数据输入/输出单元 112，然后经由数据焊盘 111 输出至控制器 120。虽然读取的主存储模块 132 中存储的数据存在比特错误，但是比特错误的数量在第二处理单元 114 的纠错能力范围内，控制器 120 将判断主存储模块 132 的读写功能正常。

在一些实施例中，当比特错误的数量大于阈值时，例如双比特错误，则说明从主存储模块 132 中读取的数据中存在的比特错误已经超出了第二处理单元 114 的纠错能力范围，此时无法对读取的主存储模块 132 中存储的数据进行纠正，将向控制器 120 发送信号以指示存储器 10 无法通过 ECC 校正的多位错误，控制器 120 将判断主存储模块 132 的读写功能异常。

本公开实施例中存储器能够在测试时根据实际需求灵活切换第一测试

模式和第二测试模式，通过引入第一处理单元获得可以直接访问 ECC 存储模块的第一测试数据，如此，实现了同时对主存储模块和 ECC 存储模块进行测试，提高了测试效率。在对主存储模块的读写功能进行测试时，能够及时发现 ECC 存储模块可能存在的异常，避免发生错误的纠错，提高数据传输过程的可靠性。

图 8 为本公开实施例提供的一种存储器的测试方法的流程示意图，该存储器包括主存储模块以及 ECC 存储模块，下面将结合图 1 至图 2、图 4 和图 8 描述该测试方法。存储器的测试方法具体包括以下步骤：

步骤 S10：在第一测试模式下接收第一写入数据，对所述第一写入数据进行复制扩展得到第一测试数据，或者，在第二测试模式下接收第二写入数据，利用 ECC 算法对所述第二写入数据进行计算得到第二测试数据；其中，所述第一测试数据用于判断所述 ECC 存储模块和所述主存储模块的读写功能是否正常，所述第二测试数据用于判断所述主存储模块的读写功能是否正常；

步骤 S20：响应于测试模式信号，将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块；所述测试模式信号用于指示执行第一测试模式或者第二测试模式；

步骤 S30：读取所述 ECC 存储模块中存储的 ECC 校验数据，基于所述 ECC 校验数据进行判断。

在一些实施例中，如图 4 所示，响应于处于低逻辑电平的测试模式信号 T_mode，执行第一测试模式并开启第一处理单元 113，响应于处于低逻辑电平的第一控制信号 Ctrl_1 关闭第二处理单元 114，响应于处于逻辑高电平的第二控制信号 Ctrl_2 开启压缩单元 118。

在第一测试模式下，接收第一写入数据 W_data1，对第一写入数据 W_data1 进行复制扩展得到第一测试数据 T_data1。

在一些实施例中，第一写入数据 W_data1 的位数为 M，第一测试数据 T_data1 的位数为 2M，第一测试数据 T_data1 的前 M 位和后 M 位的数据相同，M 为大于或等于 2 的偶数。

以存储器 110 有 72bit 位宽的存储空间为例进行说明，主存储模块 132 可以为 8 片 8bit 位宽的存储空间，ECC 存储模块可以为 1 片 8bit 位宽的存储空间。存储器 110 包括 8 个数据焊盘 111，在第一测试模式下第一写入数据 W_data1 的位数为 4，例如第一写入数据 W_data1 为 1100，仅需 4 个数据焊盘 111 就能实现第一写入数据 W_data1 的传输，并且传输第一写入数据 W_data1 的 4 个数据焊盘 111 中的每一个传输 1bit 的数据。经过第一处理单元 113 对第一写入数据 W_data1 进行复制扩展得到第一测试数据 T_data1，第一测试数据 T_data1 的位数为 8，例如第一测试数据 T_data1 为 11001100，第一测试数据 T_data1 的前 4 位和后 4 位的数据相同。

在本公开实施例中，上述测试方法还包括：

在第一测试模式下接收第三写入数据 W_data3 ;

在本公开实施例中, 第三写入数据 W_data3 的位数为 $2N$, 第三写入数据 W_data3 的前 N 位和后 N 位的数据相同, N 为大于 M 的偶数。

示例性地, 第三写入数据 W_data3 的位数为 64, 例如第三写入数据

5 W_data3 为
1100.

第三写入数据 W_data3 的前 32 位和后 32 位的数据相同。

在本公开实施例中, 在第一测试模式下接收第三写入数据, 包括:

在第一测试模式下经由数据焊盘接收第三写入数据;

10 每个数据焊盘传输的数据的位数为 $2Z$, 每个数据焊盘传输的数据的前 Z 位和后 Z 位的数据相同, Z 为大于或等于 2 的偶数。

示例性地, 第三写入数据 W_data3 的位数为 64, 例如第三写入数据

W_data3 为
1100.

15 存储器 110 包括 8 个数据焊盘 111, 每个数据焊盘 111 传输的数据的位数为 8, 每个数据焊盘 111 传输的数据的前 4 位和后 4 位的数据相同, 例如每个数据焊盘 111 传输的数据为 11001100。

在本公开实施例中, 对测试模式信号 T_mode 、第一控制信号 $Ctrl_1$ 和第二控制信号 $Ctrl_2$ 进行逻辑运算生成处于逻辑高电平的第一触发信号
20 $Signal_1$ 。响应于第一触发信号 $Signal_1$, 将第一测试数据 T_data1 写入 ECC 存储模块 131, 将第三写入数据 W_data3 写入主存储模块 132。

在本公开实施例中, 读取 ECC 存储模块 131 中存储的 ECC 校验数据和主存储模块 132 中存储的第三写入数据 W_data3 。

基于从 ECC 存储模块 131 中读取的 ECC 校验数据进行判断, 具体地,
25 在第一测试模式下 ECC 校验数据为第一测试数据 T_data1 , 对读取的主存储模块中存储的第三写入数据和 ECC 存储模块中存储的 ECC 校验数据进行压缩处理并输出压缩处理数据 P_data 至数据焊盘 111。

基于从数据焊盘 111 输出的压缩处理数据 P_data 判断 ECC 存储模块 131 的读写功能是否正常。示例性地, 控制器 120 经过数据焊盘 111 接收由
30 存储器 110 输出的压缩处理数据 P_data , 可对压缩处理数据 P_data 进行解压缩处理, 以比较从主存储模块 132 和 ECC 存储模块 131 中读取的数据与写入主存储模块 132 和 ECC 存储模块 131 中的数据是否相同, 如果从主存储模块 132 中读取的数据与写入主存储模块 132 中的数据相同则主存储模块 132 的读写功能正常, 且从 ECC 存储模块 131 中读取的数据与写入 ECC
35 存储模块 131 中的数据相同则 ECC 存储模块 131 的读写功能正常。即从主存储模块 132 中读取的数据为第三写入数据 W_data3 , 从 ECC 存储模块 131 中读取的数据为第一测试数据 T_data1 时, 主存储模块 132 和 ECC 存储模块 131 的读写功能均正常。

当然，如果从主存储模块 132 中读取的数据与写入主存储模块 132 中的数据不同或者从 ECC 存储模块 131 中读取的数据与写入 ECC 存储模块 131 中的数据不同，则可根据对应的比较结果判断主存储模块 132 或者 ECC 存储模块 131 的读写功能是否正常。

可以理解的是，在第一测试模式下只要存储模块 130 的读写功能存在异常，即主存储模块 132 和 ECC 存储模块 131 中存在至少一个读写功能不正常时，从主存储模块 132 和 ECC 存储模块 131 中读取的数据可能存在无法正常压缩处理的情况。例如主存储模块 132 的读写功能正常，ECC 存储模块 131 的读写功能异常，那么从 ECC 存储模块 131 中读取的数据可能发生错误如比特翻转，例如从 11001100 变为了 11011100，则无法对主存储模块 132 和 ECC 存储模块 131 中读取的数据进行正常压缩处理。也就是说，在控制器 120 在第一测试模式下向存储器 110 发出读取命令，但在预定时间内未接收到正确的压缩处理数据 P_data 的情况下，控制器 120 可以判断存储模块 130 的读写功能存在异常，并且可通过进一步的测试判断具体的异常区域。

在一些实施例中，如图 4 所示，响应于处于高逻辑电平的测试模式信号 T_mode，执行第二测试模式并关闭第一处理单元 113，响应于处于高逻辑电平的第一控制信号 Ctrl_1 开启第二处理单元 114，响应于处于逻辑低电平的第二控制信号 Ctrl_2 关闭压缩单元 118。

在第二测试模式下，接收第二写入数据 W_data12，利用 ECC 算法对第二写入数据 W_data1 进行计算得到第二测试数据 T_data2。

在本公开实施例中，第二测试数据 T_data2 的位数为 2M，第二写入数据 W_data2 的位数为 2N，M 为大于或等于 2 的偶数，N 为大于 M 的偶数。

以存储器 110 有 72bit 位宽的存储空间为例进行说明，其中主存储模块 132 可以为 8×8bit 位宽的存储空间，ECC 存储模块可以为 8bit 位宽的存储空间。第二写入数据 W_data2 的位数为 64，经过第二处理单元 114 利用 ECC 算法对第二写入数据 W_data2 进行计算得到第二测试数据 T_data2，第二测试数据 T_data2 的位数为 8。

在本公开实施例中，对测试模式信号 T_mode、第一控制信号 Ctrl_1 和第二控制信号 Ctrl_2 进行逻辑运算生成处于逻辑低电平的第一触发信号 Signal_1。响应于第一触发信号 Signal_1，将第二测试数据 T_data2 写入 ECC 存储模块 131，将第二写入数据 W_data2 写入主存储模块 132。

在一些实施例中，读取 ECC 存储模块 131 中存储的 ECC 校验数据和主存储模块 132 中存储的第二写入数据 W_data2。

基于从 ECC 存储模块 131 中读取的 ECC 校验数据进行判断，具体地，在第二测试模式下 ECC 校验数据为第二测试数据 T_data2，基于读取的 ECC 存储模块中存储的 ECC 校验数据和主存储模块中存储的第二写入数据 W_data2 判断主存储模块的读写功能是否正常。

在一具体实施方式中，第二处理单元 114 对从主存储模块 132 和 ECC 存储模块 131 中读取的数据进行解码处理得到解码数据 D_data，解码处理具体包括对从主存储模块 132 和 ECC 存储模块 131 中读取的数据进行 ECC 校验得到校验子，校验子可用于检错和纠错。校验子包括从主存储模块 132 中读取的数据中存在的比特错误的数量。

在一些实施例中，当比特错误的数量为 0 时，经第二处理单元 114 得到的解码数据 D_data 即为第二写入数据 W_data2，即控制器 120 经由数据焊盘 111 从存储器接收的读取数据 R_data 为第二写入数据 W_data2，控制器 120 将判断主存储模块 132 的读写功能正常。

在一些实施例中，当比特错误的数量小于或等于阈值时，例如单个比特错误，第二处理单元 114 对从主存储模块 132 中读取的数据中存在比特错误的数据进行纠正得到解码数据 D_data，并将解码数据 D_data 输出至数据输入/输出单元 112，然后经由数据焊盘 111 输出至控制器 120。虽然读取的主存储模块 132 中存储的数据存在比特错误，但是比特错误的数量在第二处理单元 114 的纠错能力范围内，控制器 120 将判断主存储模块 132 的读写功能正常。

在一些实施例中，当比特错误的数量大于阈值时，例如双比特错误，则说明从主存储模块 132 中读取的数据中存在的比特错误已经超出了第二处理单元 114 的纠错能力范围，此时无法对读取的主存储模块 132 中存储的数据进行纠正，将向控制器 120 发送信号以指示存储器 10 无法通过 ECC 校正的多位错误，控制器 120 将判断主存储模块 132 的读写功能异常。

本公开实施例中提供的存储器的测试方法能够在测试时根据实际需求灵活切换第一测试模式和第二测试模式，通过引入第一处理单元获得可以直接访问 ECC 存储模块的第一测试数据，如此，实现了同时对主存储模块和 ECC 存储模块进行测试，提高了测试效率。在对主存储模块的读写功能进行测试时，能够及时发现 ECC 存储模块可能存在的异常，避免发生错误的纠错，提高数据传输过程的可靠性。

应理解，说明书通篇中提到的“一实施例”或“一些实施例”意味着与实施例有关的特定特征、结构或特性包括在本公开的至少一个实施例中。因此，在整个说明书各处出现的“在一实施例中”或“在一些实施例中”未必一定指相同的实施例。此外，这些特定的特征、结构或特性可以任意适合的方式结合在一个或多个实施例中。应理解，在本公开的各种实施例中，上述各过程的序号的大小并不意味着执行顺序的先后，各过程的执行顺序应以其功能和内在逻辑确定，而不对本公开实施例的实施过程构成任何限定。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。

工业实用性

- 本公开实施例所提供的技术方案能够在测试时根据实际需求灵活切换第一测试模式和第二测试模式，在第一测试模式下通过对第一写入数据进行复制扩展处理获得可以直接访问 ECC 存储模块的第一测试数据，实现了
- 5 同时对主存储模块和 ECC 存储模块进行测试，提高了测试效率。

权利要求书

1、一种存储器的测试方法，所述存储器包括主存储模块以及 ECC 存储模块，所述方法包括：

在第一测试模式下接收第一写入数据，对所述第一写入数据进行复制扩展得到第一测试数据，或者，在第二测试模式下接收第二写入数据，利用 ECC 算法对所述第二写入数据进行计算得到第二测试数据；其中，所述第一测试数据用于判断所述 ECC 存储模块和所述主存储模块的读写功能是否正常，所述第二测试数据用于判断所述主存储模块的读写功能是否正常；

响应于测试模式信号，将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块；所述测试模式信号用于指示执行第一测试模式或者第二测试模式；

读取所述 ECC 存储模块中存储的 ECC 校验数据，基于所述 ECC 校验数据进行判断。

2、根据权利要求 1 所述的测试方法，其中，所述第一写入数据的位数为 M ，所述第一测试数据的位数为 $2M$ ，所述第一测试数据的前 M 位和后 M 位的数据相同， M 为大于或等于 2 的偶数。

3、根据权利要求 1 所述的测试方法，其中，所述第二测试数据的位数为 $2M$ ，所述第二写入数据的位数为 $2N$ ， M 为大于或等于 2 的偶数， N 为大于 M 的偶数。

4、根据权利要求 1 至 3 中任一项所述的测试方法，其中，所述方法还包括：

在第一测试模式下接收第三写入数据；

响应于所述测试模式信号，将所述第三写入数据或者所述第二写入数据写入所述主存储模块；

在所述读取所述 ECC 存储模块中存储的 ECC 校验数据的同时，所述方法还包括：

读取所述主存储模块中存储的所述第三写入数据或者所述第二写入数据。

5、根据权利要求 4 所述的测试方法，其中，所述第三写入数据的位数与第二写入数据的位数相同，所述第三写入数据的前 N 位和后 N 位的数据相同。

6、根据权利要求 5 所述的测试方法，其中，所述在第一测试模式下接收第三写入数据，包括：

在第一测试模式下经由数据焊盘接收第三写入数据；

每个数据焊盘传输的数据的位数为 $2Z$ ，每个数据焊盘传输的数据的前 Z 位和后 Z 位的数据相同， Z 为大于或等于 2 的偶数。

7、根据权利要求 6 所述的测试方法，其中，所述基于所述 ECC 校验

数据进行判断, 包括:

所述 ECC 校验数据为所述第一测试数据的情况下, 对读取的所述主存储模块中存储的第三写入数据和所述 ECC 存储模块中存储的 ECC 校验数据进行压缩处理并输出压缩处理数据至数据焊盘;

5 基于从所述数据焊盘输出的所述压缩处理数据判断所述 ECC 存储模块的读写功能是否正常。

8、根据权利要求 7 所述的测试方法, 其中, 所述基于所述 ECC 校验数据进行判断, 还包括:

10 所述 ECC 校验数据为所述第二测试数据的情况下, 基于读取的所述 ECC 存储模块中存储的 ECC 校验数据和所述主存储模块中存储的第二写入数据判断所述主存储模块的读写功能是否正常。

9、一种存储器, 包括:

主存储模块和 ECC 存储模块;

15 数据输入/输出单元, 被配置为在第一测试模式下接收第一写入数据, 或者, 在第二测试模式下接收第二写入数据;

第一处理单元, 被配置为对所述第一写入数据进行复制扩展得到第一测试数据;

20 第二处理单元, 被配置为利用 ECC 算法对所述第二写入数据进行计算得到第二测试数据; 其中, 所述第一测试数据用于判断所述 ECC 存储模块和所述主存储模块的读写功能是否正常, 所述第二测试数据用于判断所述主存储模块的读写功能是否正常;

25 写入单元, 与所述第一处理单元和所述第二处理单元连接, 被配置为响应于测试模式信号, 将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块; 所述测试模式信号用于指示执行第一测试模式或者第二测试模式;

读取单元, 被配置为读取所述 ECC 存储模块中存储的 ECC 校验数据。

10、根据权利要求 9 所述的存储器, 其中, 所述第一写入数据的位数为 M , 所述第一测试数据的位数为 $2M$, 所述第一测试数据的前 M 位和后 M 位的数据相同, M 为大于或等于 2 的偶数。

30 11、根据权利要求 9 所述的存储器, 其中, 所述第二测试数据的位数为 $2M$, 所述第二写入数据的位数为 $2N$, M 为大于或等于 2 的偶数, N 为大于 M 的偶数。

12、根据权利要求 9 至 11 中任一项所述的存储器, 其中,

35 所述数据输入/输出单元, 还被配置为在第一测试模式下接收第三写入数据;

所述写入单元, 还被配置为响应于所述测试模式信号, 将所述第三写入数据或者所述第二写入数据写入所述主存储模块;

所述读取单元, 还被配置为在所述读取所述 ECC 存储模块中存储的

ECC 校验数据的同时，读取所述主存储模块中存储的所述第三写入数据或者所述第二写入数据。

13、根据权利要求 12 所述的存储器，其中，所述第三写入数据的位数与第二写入数据的位数相同，所述第三写入数据的前 N 位和后 N 位的数据相同。

14、根据权利要求 13 所述的存储器，其中，所述存储器还包括多个数据焊盘，每个所述数据焊盘被配置为在第一测试模式下接收第三写入数据；每个所述数据焊盘传输的数据的位数为 2Z，每个所述数据焊盘传输的数据的前 Z 位和后 Z 位的数据相同，Z 为大于或等于 2 的偶数。

15、根据权利要求 14 所述的存储器，其中，所述存储器还包括：压缩单元；

所述压缩单元，与所述读取单元连接，被配置为所述 ECC 校验数据为所述第一测试数据的情况下，对读取的所述主存储模块中存储的第三写入数据和所述 ECC 存储模块中存储的 ECC 校验数据进行压缩处理并输出压缩处理数据至所述数据焊盘。

16、根据权利要求 15 所述的存储器，其中，所述存储器还包括：

信号生成单元，被配置为对所述测试模式信号、第一控制信号和第二控制信号进行逻辑运算，生成第一触发信号；所述第一控制信号用于指示所述第二处理单元的开启或关闭；所述第二控制信号用于指示所述压缩单元的开启或关闭；所述第一触发信号用于指示所述写入单元将所述第一测试数据或者所述第二测试数据作为 ECC 校验数据写入所述 ECC 存储模块。

17、根据权利要求 16 所述的存储器，其中，所述信号生成单元具体被配置为，当所述测试模式信号指示执行第一测试模式时，所述第一控制信号指示所述第二处理单元关闭，所述第二控制信号指示所述压缩单元开启时，生成指示将所述第一测试数据写入所述 ECC 存储模块的第一触发信号。

18、一种存储器系统，包括如权利要求 9 至 17 中任一项所述的存储器和控制器；所述控制器，被配置基于所述 ECC 存储模块中存储的 ECC 校验数据进行判断。

19、根据权利要求 18 所述的存储器系统，其中，所述控制器具体被配置为：

在所述 ECC 校验数据为所述第一测试数据的情况下，基于从所述数据焊盘输出的所述压缩处理数据判断所述 ECC 存储模块的读写功能是否正常；

或者，

在所述 ECC 校验数据为所述第二测试数据的情况下，基于读取的所述 ECC 存储模块中存储的 ECC 校验数据和所述主存储模块中存储的第二写入数据判断所述主存储模块的读写功能是否正常。

10

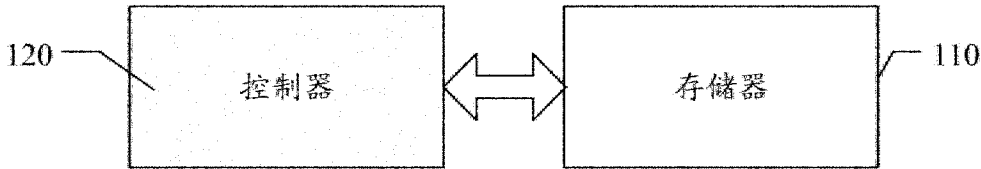


图 1

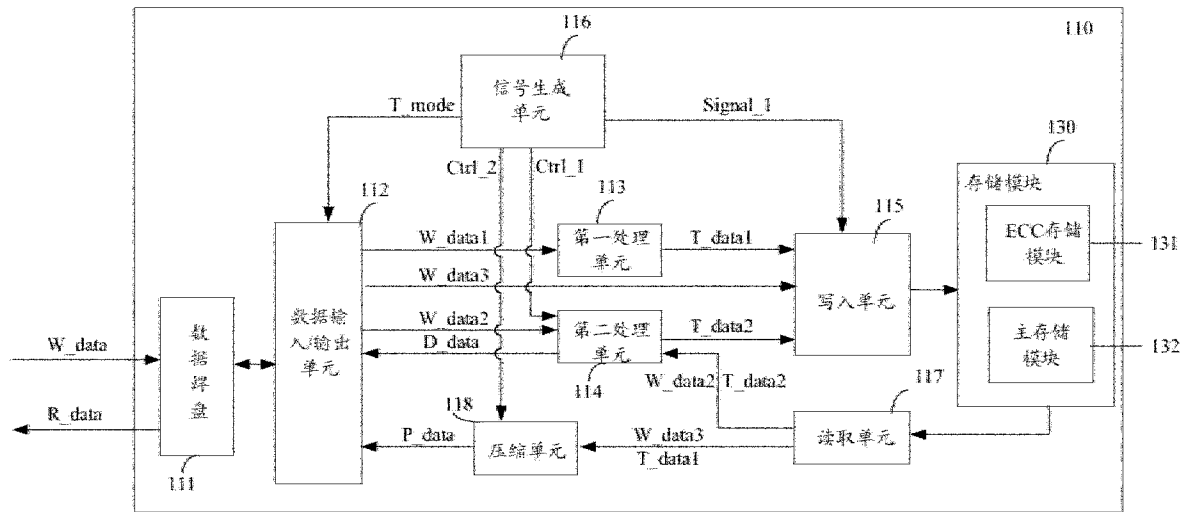


图 2

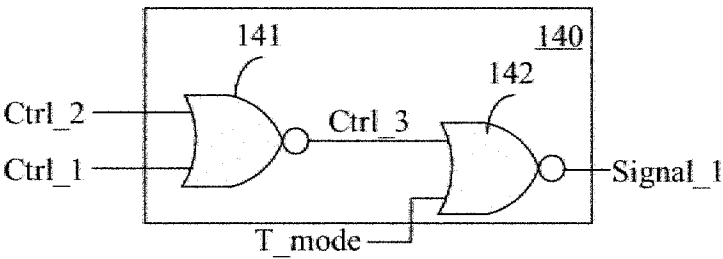


图 3

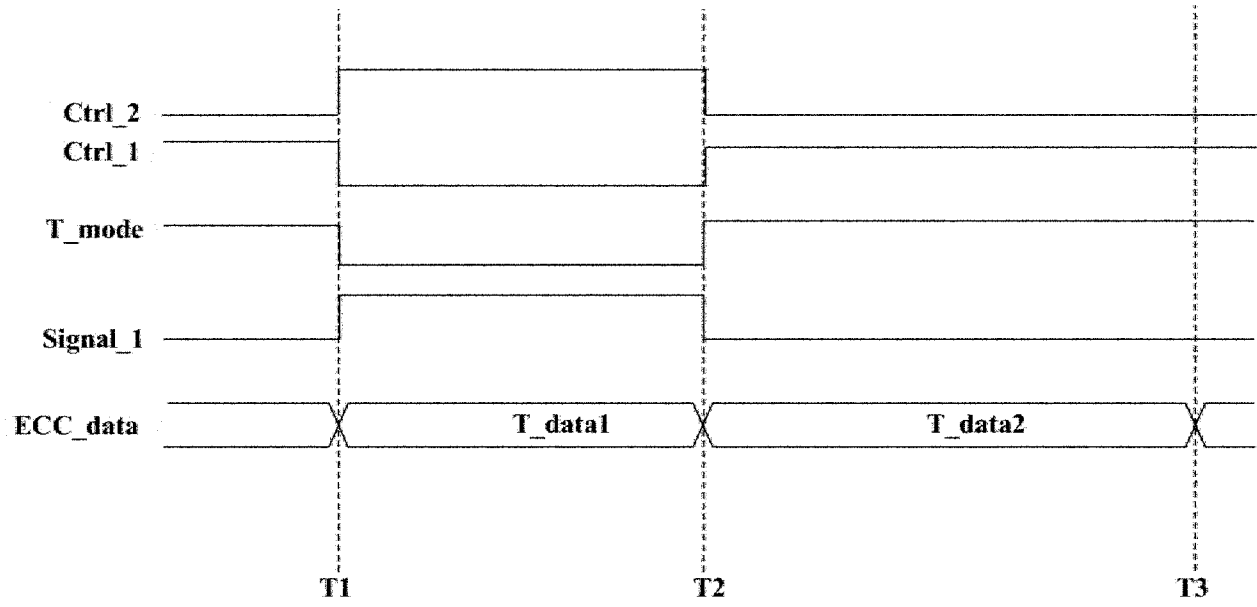


图 4

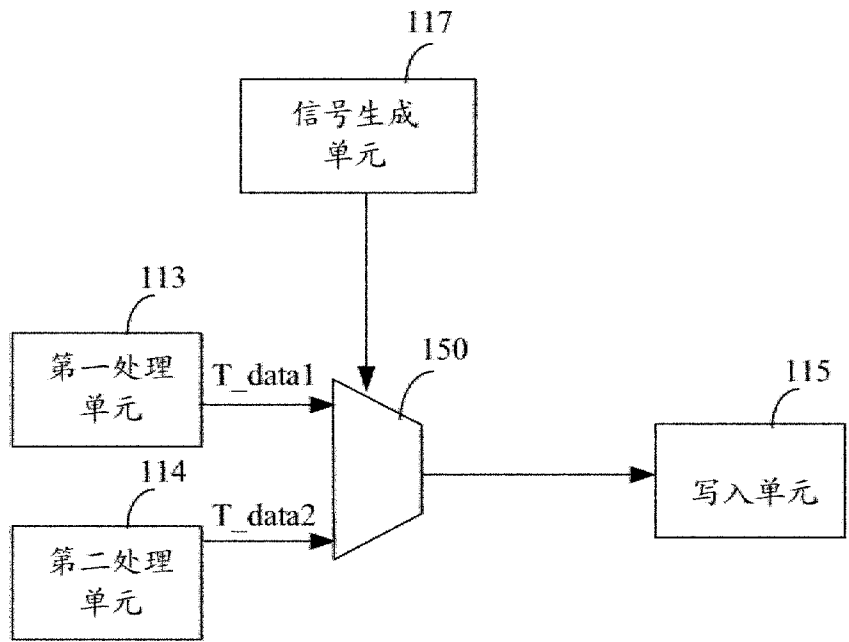


图 5

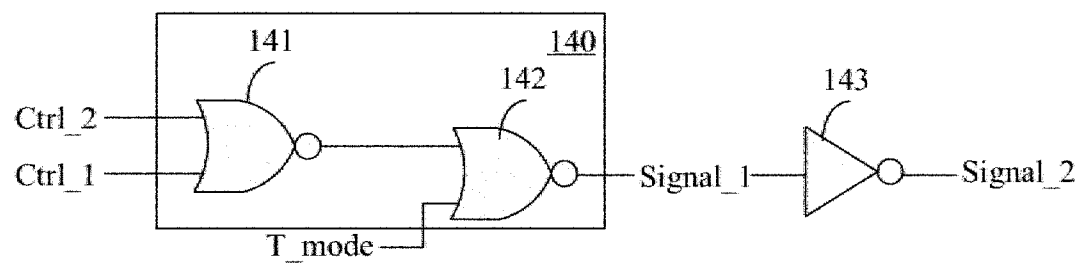


图 6

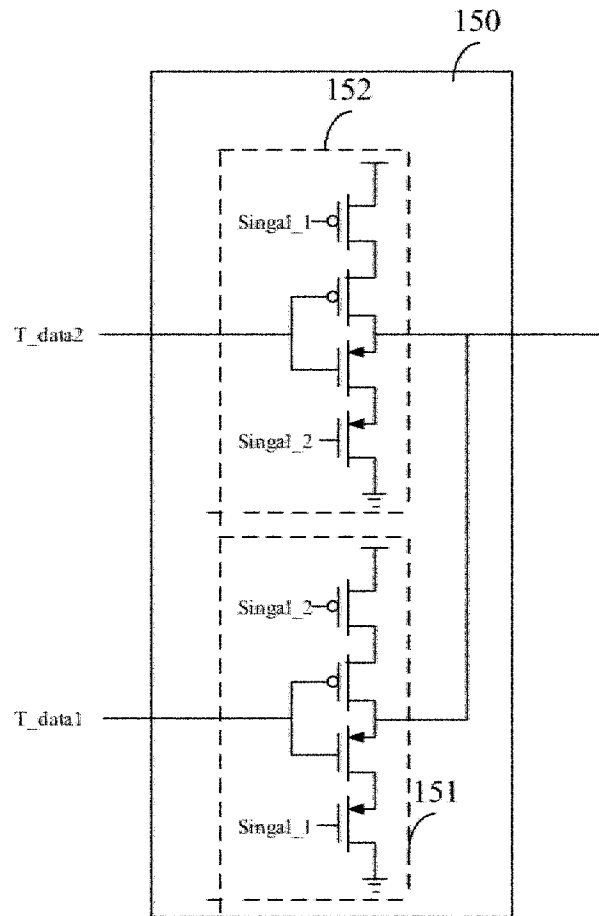


图 7

在第一测试模式下接收第一写入数据，对所述第一写入数据进行复制扩展得到第一测试数据，或者，在第二测试模式下接收第二写入数据，利用ECC算法对所述第二写入数据进行计算得到第二测试数据；其中，所述第一测试数据用于判断所述ECC存储模块和所述主存储模块的读写功能是否正常，所述第二测试数据用于判断所述主存储模块的读写功能是否正常

S10

响应于测试模式信号，将所述第一测试数据或者所述第二测试数据作为ECC校验数据写入所述ECC存储模块；所述测试模式信号用于指示执行第一测试模式或者第二测试模式

S20

读取所述ECC存储模块中存储的ECC校验数据，基于所述ECC校验数据进行判断

S30

图 8

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/072856

A. CLASSIFICATION OF SUBJECT MATTER

G11C29/42(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT, DWPI, ENTXTC, VEN, CNKI: 错误, 纠正, 第二, 第一, 复制, 模式, 切换, 同时, 主存储, 测试, ecc, first, test, mode, second, switch, error, check+ , correct+, check bit, valid, main

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 113555056 A (TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.) 26 October 2021 (2021-10-26) entire document	1-19
A	CN 110942798 A (SAMSUNG ELECTRONICS CO., LTD.) 31 March 2020 (2020-03-31) entire document	1-19
A	JP H02270200 A (MITSUBISHI ELECTRIC CORP.) 05 November 1990 (1990-11-05) entire document	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 September 2023

Date of mailing of the international search report

20 September 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/072856

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	113555056	A	26 October 2021	TWI	742955	B	11 October 2021
				TW	202203237	A	16 January 2022
				JP	2022016395	A	21 January 2022
				US	2022368354	A1	17 November 2022
				EP	3937019	A1	12 January 2022
				US	2022014213	A1	13 January 2022
				US	11438015	B2	06 September 2022
CN	110942798	A	31 March 2020	US	2019027230	A1	24 January 2019
				US	10614906	B2	07 April 2020
JP	H02270200	A	05 November 1990	None			

国际检索报告

国际申请号
PCT/CN2023/072856

A. 主题的分类 G11C29/42 (2006.01) i 按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类		
B. 检索领域 检索的最低限度文献 (标明分类系统和分类号) IPC:G11C 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用)) CNABS, CNTXT, DWPI, ENTXTC, VEN, CNKI: 错误, 纠正, 第二, 第一, 复制, 模式, 切换, 同时, 主存储, 测试, ecc, first, test, mode, second, switch, error, check+ , correct+, check bit, valid, main		
C. 相关文件		
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 113555056 A (台湾积体电路制造股份有限公司) 2021年10月26日 (2021 - 10 - 26) 全文	1-19
A	CN 110942798 A (三星电子株式会社) 2020年3月31日 (2020 - 03 - 31) 全文	1-19
A	JP H02270200 A (MITSUBISHI ELECTRIC CORP) 1990年11月5日 (1990 - 11 - 05) 全文	1-19
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。		
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件		
国际检索实际完成的日期 2023年9月18日		国际检索报告邮寄日期 2023年9月20日
ISA/CN的名称和邮寄地址 中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088		授权官员 王浩同 电话号码 (+86) 010-62411337

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/072856

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	113555056	A	2021年10月26日	TWI	742955	B	2021年10月11日
				TW	202203237	A	2022年1月16日
				JP	2022016395	A	2022年1月21日
				US	2022368354	A1	2022年11月17日
				EP	3937019	A1	2022年1月12日
				US	2022014213	A1	2022年1月13日
				US	11438015	B2	2022年9月6日
CN	110942798	A	2020年3月31日	US	2019027230	A1	2019年1月24日
				US	10614906	B2	2020年4月7日
JP	H02270200	A	1990年11月5日	无			