

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H03K 5/13

(45) 공고일자 1997년04월 12일
(11) 공고번호 특1997-0005124

(21) 출원번호	특1992-0014496	(65) 공개번호	특1993-0004841
(22) 출원일자	1992년08월 12일	(43) 공개일자	1993년03월 23일
(30) 우선권주장	91-204365 1991년08월 14일 일본(JP) 91-293230 1991년11월08일 일본(JP) 91-293231 1991년11월08일 일본(JP) 91-293232 1991년11월08일 일본(JP) 91-293233 1991년11월08일 일본(JP) 91-98755 1991년11월29일 일본(JP) 가부시끼가이샤 아드반테스트 오오우라 히로시 일본국 도오교오도 네리마꾸 아사히쥬오 1쥬오메 32반 1교오		
(73) 특허권자	일본국 도오교오도 네리마꾸 아사히쥬오 1쥬오메 32반 1교오		
(72) 발명자	하야시 요오끼찌 일본국 군마켄 오오라군 메이와무라 오오자누끼 142 쯔까하라 히로시 일본국 사이다마켄 교오다시 야바 1-2-11 오찌아이 가쯔미 일본국 사이다마켄 교오다시 모찌다 2420 야마다 마사히로 일본국 도찌기켄 아시까가시 모모가시라 1966-15 와다나베 나오요시		
(74) 대리인	라기상, 장용식		

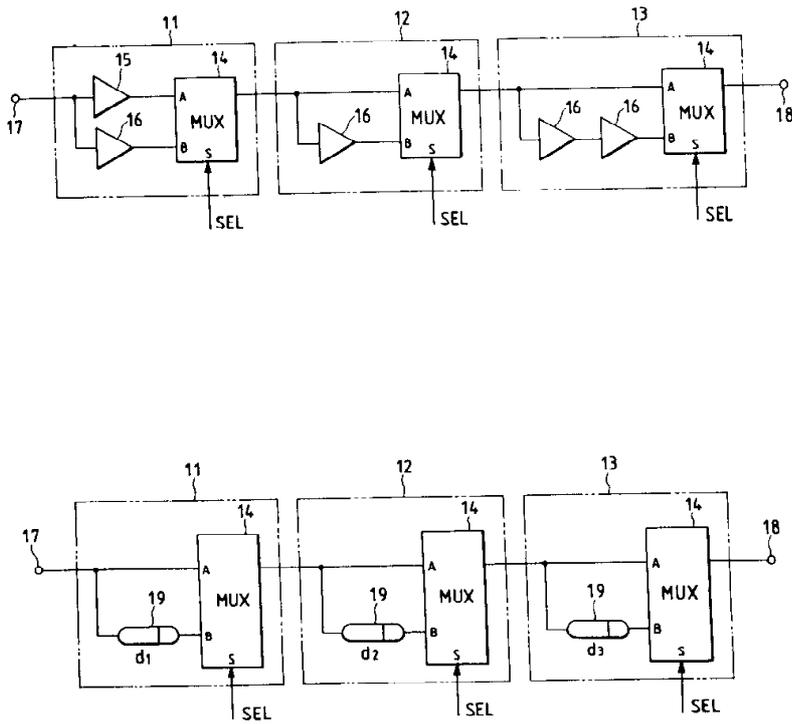
심사관 : 정연용 (책자공보 제4937호)

(54) 가변지연회로

요약

내용 없음.

대표도



명세서

[발명의 명칭]

가변지연회로

[도면의 간단한 설명]

제1a도는 종래의 다단가변지연회로를 도시하는 블록도.

제1b도는 종래의 다단가변지연회로의 다른 예를 도시하는 블록도.

제2도는 본 발명의 미소가변지연회로의 실시예를 예시하는 접속도.

제3a도는 L레벨의 선택신호가 부여되었을 때의 제2도의 등가회로도.

제3b도는 H레벨의 선택신호가 부여되었을 때의 제2도의 등가회로도.

제4a도는 선택신호가 L레벨시의 입력신호가 부여된 상태의 등가회로도.

제4b도는 제4a도의 등가회로의 스텝펄스응답도.

제4c도는 선택신호가 H레벨시의 입력신호가 부여된 상태의 등가회로도.

제4d도는 제4c도의 등가회로의 스텝펄스응답도.

제5도는 본 발명의 다른 실시예를 예시하는 접속도.

제6a도는 본 발명의 일반적 실시예를 예시하는 접속도.

제6b도는 제6a도에 있어서의 제한소자 38₀, 38₁, 38₂...의 각 구성예를 예시하는 접속도.

제7도는 본 발명의 다른 실시예를 예시하는 접속도.

제8a도는 제7도에 있어서의 선택신호가 L레벨시의 등가회로도.

제8b도는 제7도에 있어서의 선택신호가 H레벨시의 등가회로도.

제9a도는 제8a도 경우의 지연동작을 설명하기 위한 파형도.

제9b도는 제8b도 경우의 지연동작을 설명하기 위한 파형도.

제10도는 제2도와 7도의 실시예를 조합한 실시예를 예시하는 접속도.

제11도는 제10도의 실시예 동작의 설명에 제공하기 위한 파형도.

제12a도는 본 발명에 다른 실시예를 예시하는 접속도.

제12b도는 NAND 게이트를 이용하여 제12a도 실시예를 구성한 경우의 접속도.

제13도는 제12a도에 도시한 실시예에 있어서의 그 방형과 입력에 대한 인버터(58)이 입력파형을 FET(55)의 게이트 전압을 패러미터로서 예시하는 도면.

제14도는 본 발명의 또다른 실시예를 예시하는 접속도.

제15도는 선택신호 상태와 접속점(CP), 출력단자(24)의 각 파형의 관계예를 예시하는 표.

제16도는 본 발명의 미소가변지연회로의 다른 실시예의 예시도.

제17a도는 제16도에 있어서, $SEL_1=0$ 일때의 버퍼(61)와 가변지연부(60₁)의 등가회로도.

제17b도는 제16도에 있어서, $SEL_1=1$ 일때의 버퍼(61)와 가변지연부(60₁)의 등가회로도.

제17c도는 제17b도에 있어서 버퍼출력저항(R)이 온저항(R_{ON})보다 충분히 큰 경우의 등가회로도.

제18도는 본 발명의 다른 실시예를 예시하는 회로도.

제19a도는 제18도에 있어서의 버퍼회로의 상세회로도.

제19b도는 제18도에 있어서의 트랜스미션게이트의 상세 회로도.

제20a도는 제18도의 등가회로도.

제20b도는 제20a도에 있어서, $r_1=r_2$ 경우의 부하용량(C_L)에 대한 입출력단자간의 시정수(τ)를 도시하는 표.

제20c도는 제20a도에 있어서, $r_1 \neq r_2$ 경우의 부하용량(C_L)에 대한 입출력단자간의 시정수(τ)를 도시하는 표.

제21도는 본 발명의 다른 실시예를 예시하는 논리회로도.

제22a도는 선택신호(SEL)가 0일때의 제21도의 등가회로도.

제22b도는 제22a도의 동작설명도.

제22c도는 제22a도의 등가회로도.

제23a도는 선택신호(SEL)가 1일때의 제21도의 등가회로도.

제23b도는 제23a도의 각부 동작을 설명하기 위한 파형도.

제23c도는 제23a도의 등가회로도.

제23d도는 제23c도의 동작파형도.

제24a도는 본 발명의 다른 실시예를 예시하는 논리회로도.

제24b도는 제24a도의 등가회로도.

[발명의 상세한 설명]

[발명의 배경]

본 발명은 예컨대 입력신호에 대하여 소망의 지연량을 부여할 수 있는 복수의 가변지연단이 종속 접속되어 구성된 가변지연회로에 있어서의 각 가변지연단으로서 적합한 미소가변지연회로에 관한 것이다.

예컨대 CMOS 논리회로를 제조하는 경우 완성된 CMOS 논리회로는 각각 고유의 입출력간 지연시간을 갖는 것으로 한다. CMOS 논리회로는 쌍극성·트랜지스터에 의해 논리회로를 구성하는 경우와 비교하여 이 지연시간의 제조편차가 크다.

따라서 지연시간의 편차가 큰 CMOS 논리회로를 채용하여 각종회로를 설계한 경우, 타이밍·마진의 부족에도 연계된다. 이와 같은 CMOS 논리회로간의 입출력간 지연시간의 편차를 보정하기 위하여 미소가변지연회로가 필요하게 된다.

제1a도에 본 발명을 적용할 수 있는 복수의 종속가변지연단으로 구성된 종래의 가변지연회로를 도시한다.

가변지연단(11, 12, 13)이 직렬로 접속되어 이루어지며, 각 가변지연단은 입력을 둘로 분기한 2개의 경로중 한쪽을 멀티플렉서(14)로 선택하여 출력함으로써 지연량을 선택 가변할 수 있다.

이 예에서 가변지연단(11)에서는 2개의 경로에 각각 버퍼(15, 16)가 삽입되고, 가변지연단(12)에서는 한 쪽의 경로에만 1개의 버퍼(16)가 삽입되며, 가변지연단(13)에서는 한쪽 경로에만 직렬로 접속된 2개의 버퍼(16)가 삽입되어 있다.

버퍼(16)의 전달운반지연량(T_{pd})은 버퍼(15)의 전달운반지연량(T_{pd})의 2배로 되어 있다. 예컨대 버퍼(15)는 2개의 직렬접속된 인버터로 구성되고, 각 버퍼(16)는 4개의 직렬접속된 인버터에 의해 구성된다.

각 가변지연단(11, 12, 13)의 각 멀티플렉서(14)에 대한 선택신호(SEL_1, SEL_2, SEL_3)를 선택적으로 제어함으로써 입력단자(17)와 출력단자(18)간의 경로를 변경하고, 이 예에서는 버퍼(15)의 지연량(T_{pd})

의 각각 1, 2, ..., 8배의 지연량을 얻고 있다.

또 제1b도에 도시한 바와 같이 각 가변지연단(11, 12, 13)에 있어서 그 2개의 경로중 한쪽에만 지연소자(19)가 각각 삽입되고, 그 각 지연소자(19)의 지연량(d_1, d_2, d_3)은 목적으로 하는 최소 분해능(최소 가변스텝)을 A로 하면, $d_1=A, d_2=2A, d_3=4A$ 이며, 가변지연단이 n단 접속되어 있는 경우에 있어서는 그 n단계에 삽입되는 지연소자(19)의 지연량(d_n)은 $A2^{n-1}$ 로 되어 있다.

제1a도에 도시한 종래의 기술에 있어서는 각 지연을 부여하기 위한 버퍼(15, 16)는 그 각 지연량이 가령 200~500pS로 비교적 크며, 또한 임출력다나(17~18)간 전체로서의 전송 지연량이 내(內) 고정지연으로 되는 것이 크므로, 분해능을 올리는(즉 최소 가변스텝을 작게 하는)것이 곤란하였다.

즉 각 버퍼간의 지연편차가 전체로서 상당히 크게 영향하기 때문에 보상된 편차내에서 지연분해능을 올리는 일이 곤란하였다.

특히 버퍼(15, 16)를 CMOS를 사용한 직접회로로서 구성하는 경우에 있어서는 지연량의 편차가 크며, 바이폴라로 구성하는 경우보다도 분해능을 높게 하기가 곤란하였다.

제1b도에 도시한 구성에 있어서도 그 각 지연소자(19)로서 전송지연을 이용하나, 그 제조상에 있어서의 편차나 전원전압이나 주위온도의 변화에 의해 지연소자(19)의 지연량에 편차가 발생하며, 또 배선용량의 편차등의 영향도 받는다.

지연분해능 즉 최소가변스텝을 A로 하면, 이상적으로는 제 n단계의 가변지연단은 0이거나 $A2^{n-1}$ 을 선택가능하며, 전 M단의 가변지연회로에 의해 0으로부터 $A^{2^{n-1}}$ 까지의 지연량을 A마다 임의로 선택 결정할 수 있다.

따라서 다음식이 성립된다.

$$A2^{n-1} = A(2^0 + 2^1 + \dots + 2^{n-2}) + A2^0$$

그런데 실제로 구성된 각 지연단의 지연량은 편차가 생기고 있다.

각 지연소자(19)에 있어서의 편차율을 α 로 하면 최악의 경우 어떤 가변지연단에 있어서 받는 지연량은 그 전단계까지의 지연량의 합이 편차에 의해 최소로 되며, 또한 그 가변지연단에서는 지연이 편차에 의해 최대로 될 가능성이 있고, 그 경우라도 필요로 하는 지연분해능력(A)이 확보되지 않으면 안된다.

따라서 실제의 가변지연회로의 설계에서는 편차를 예견한 바와같이 지연단의 지연량(d_1, d_2, \dots)을 사전에 결정할 필요가 있다.

즉 초단의 지연단(11)에 있어서는 $(1+\alpha)d_1=A$ 를 충족시키는 d_1 을 결정하고, 2단계의 지연단(12)에 있어서는 $(1+\alpha)d_2=d_1(1-\alpha)+A$ 를 충족시키는 d_2 , 따라서 $d_2=4A/(1+\alpha)^3$ 을 결정한다.

다시 3단계의 지연단(13)에 있어서는 $(1+\alpha)d_3=(d_1+d_2)(1+\alpha)+A$ 를 충족시키는 d_3 , 따라서 $d_3=4A/(1+\alpha)^3$ 을 결정한다.

n단 접속되어 있는 경우에 있어서는 편차를 예견한 지연량은 $d_n=2^{n-1} \cdot A/(1+\alpha)^n$ 로 된다.

이 때문에 최종단에 가까울수록 편차율(α)이 크게 영향하며, 이상적인 경우의 지연량 $d_n=2^{n-1} \cdot A$ 보다도 지연량이 적어지므로 그것만 목적으로 하는 가변량을 크게할 수 없게 된다.

이 α 는 통상 CMOS 게이트 어레이로 구성하면 0.6 정도로 되며, 상당히 큰 값이기 때문에 이 목적으로 하는 지연량을 얻기위해서는 회로 규모가 커지며 비현실적으로 된다.

[발명의 요약]

본 발명의 목적은 편차가 적은 비교적 작은 스텝으로 지연량을 가변으로 할 수 있는 미소가변지연회로를 제공하는 것이다.

본 발명의 제1관점에 의하면, 각각이, 게이트와 다른 2개의 전극을 가지는 도전형을 달리하는 제1, 제2의 트랜지스터의 게이트가 서로 접속되어 그 접속점이 신호입력단에 접속되고, 양 트랜지스터의 대응하는 한쪽의 전극이 서로 접속되어 그 접속점이 신호출력단자에 접속되고, 제1의 트랜지스터의 다른쪽의 전극과 전원의 일단과의 사이에 서로 저항치를 달리하는 온/오프 가능한 적어도 2개의 제1의 저항수단이 병렬로 접속되고, 또 제2의 트랜지스터의 다른쪽의 전극과 전원의 타단과의 사이에 서로 저항치를 달리하는 온/오프 가능한 적어도 2개의 제2의 저항수단이 병렬로 접속되고, 지연설정 신호에 응답하여 상기 제1 및 제2의 저항수단의 온/오프상태를 설정하는 선택신호를 이들 제1 및 제2의 저항수단에 공급하는 지연설정수단에 의해서 상기 제1 및 제2의 저항수단의 적어도 각 1개의 온 상태로 설정하여 지연량을 설정하도록 한 미소가변지연회로가 제공된다.

본 발명의 제2의 관점에 의하면, 서로 각렬로 접속된 도전형을 달리하는 2개의 FET에 의해 CMO 트랜지스터를 구성하고, 양 FET의 게이트를 서로 접속하여 그 접속점을 신호입력단자에 접속함과 동시에 양 FET의 드레인을 서로 접속하여 그 접속점을 신호출력단자에 접속하고, CMOS 트랜지스터의 2개의 FET의 한쪽 소스와 전원의 일단과의 사이에, 이 한쪽의 FET와 같은 도전형을 가지고, 또한 게이트가 신호입력단자에 접속되어 있는 제1의 FET를 삽입하고, CMOS 트랜지스터의 다른쪽의 FET의 소스와 전원의 타단과의 사이에 이 다른쪽의 FET와 같은 도전형을 가지고, 또한 게이트가 신호입력단자에 접속되어 있는 제2의 FET를 삽입하고, CMOS 트랜지스터와 제1의 FET와의 접속점과 전원의 타단과의 사

이에 게이트가 신호출력단자에 접속된 제1의 FET와 같은 도전형의 제3의 FET를 접속하고, CMS 트랜지스터와 제2의 FET와의 접속점과 전원의 일단과의 사이에 게이트가 신호출력단자에 접속된 제2의 FET와 같은 도전형의 제4의 FET를 접속하고, 다시 제3의 FET와 직렬로 제1의 스위치를 삽입함과 동시에, 제4의 FET와 직렬로 제2의 스위치를 삽입하고, 지연설정신호에 응답하여 이들 제1 및 제2의 스위치의 온/오프 상태를 설정하는 선택신호를 출력하는 지연설정수단에 의해서, 제1 및 제2의 스위치를 동시에, 온, 오프 제어하고, 지연량을 설정하도록 한 미소가변지연회로가 제공된다.

본 발명의 제3의 관점에 의하면, 각각이 신호입력전극과 다른 2개의 전극을 가지는 도전형을 달리하는 제1, 제2의 트랜지스터의 신호입력전극을 서로 접속하여 그 접속점을 신호입력단자에 접속하고, 양 트랜지스터의 대응하는 한쪽의 전극을 서로 접속하여 그 접속점을 신호출력단자에 접속하고, 제1의 트랜지스터의 다른쪽의 전극과 전원의 일단과의 사이 및 제2의 트랜지스터의 다른쪽의 전극과 전원의 타단과의 사이의 어느 한쪽의 사이에 제3의 트랜지스터를 직렬로 삽입하고, 제3의 트랜지스터의 신호입력전극에 가변 직류전원을 접속하고, 양 트랜지스터가 대응하는 한쪽의 전극이 서로 접속되어 있는 접속점에 인버터의 입력측을 접속하고, 이 인버터의 출력측을 신호출력단자에 접속하고, 가변직류전원의 전압을 가변시키는 것에 의해서 지연량을 설정하도록 한 미소가변지연회로가 제공된다.

본 발명의 제4의 관점에 의하여, 출력 임피던스를 가지고, 입력측이 신호입력단자에 접속되고, 논리레벨을 출력하는 버퍼의 출력측에 슈미트 트리거 버퍼의 입력측을 접속하고, 이 슈미트 트리거 버퍼의 출력측을 신호출력단자에 접속하고, 이들 양 버퍼의 접속점에 CMOS 트랜지스터의 게이트를 접속하고, 이 CMOS 트랜지스터의 각단과 전원단자 및 접속단자와의 각각의 사이에 각각 제1 및 제2의 스위치 소자를 삽입하고, 이들 제1 및 제2의 스위치소자를 삽입하고, 이들 제1 및 제2의 스위치소자를 선택신호에 의해 동시에 제어하며 지연량을 설정하도록 한 미소가변지연회로가 제공된다.

본 발명의 제5의 관점에 의하면, 입력측이 신호입력단자에 접속되고, 출력측이 신호출력단자에 접속된 CMOS 논리회로로 이루어지는 버퍼의 출력측에 서로 소스와 드레인이 접속된 P채널 MOSFET와 n채널 MOSFET로 이루어지는 상보형의 아날로그 스위치를 접속하고, 이 아날로그 스위치의 타단과 접지 사이에 부하용량을 접속하고, 양 MOSFET의 게이트에 서로 역논리의 선택신호를 부여하여 아날로그 스위치의 온·오프를 제어함으로써 버퍼의 출력신호의 지연량을 설정하도록 한 미소가변지연회로가 제공된다.

본 발명의 제6관점에 의하면, 각각이 CMOS형 버퍼와 이 버퍼의 출력측에 접속된 CMOS형 트랜스미션 게이트와의 직렬회로를 복수개 설치하고, 이들 각 직렬회로의 CMOS형 버퍼의 입력측을 신호입력단자에 접속함과 동시에, CMOS형 트랜스미션 게이트의 출력측을 신호출력단자에 접속하여 각 직렬회로를 신호입력단자와 신호출력단자 사이에 병렬로 접속하고, 각 직렬회로의 트랜스미션 게이트에 각각 선택신호를 제공하여 이들 트랜스미션게이트를 선택적으로 온·오프시켜 신호입력단자와 신호출력단자 사이의 지연시간을 설정하도록한 미소가변지연회로가 제공된다.

본 발명의 제7의 관점에 의하면, 2개의 입력단자와 한개의 출력단자를 가지는 제1의 배타적 논리합 게이트의 한쪽 입력단자를 접지하고, 다른쪽의 입력단자를 신호입력단자에 접속하고, 마찬가지로 2개의 입력단자와 1개의 출력단자를 가지는 제2의 배타적 논리합 게이트의 한쪽의 입력단자를 선택신호입력단자에 접속하고, 다른쪽의 입력단자를 신호입력단자에 접속하고, 제1의 배타적 논리합 게이트의 출력단자와 제2의 배타적논리합 게이트의 출력단자의 사이에 콘덴서를 접속하고, 논리레벨을 출력하는 버퍼의 입력측을 콘덴서와 제1의 배타적 논리합 게이트의 출력단자와의 접속점에 접속하고, 이 버퍼의 출력측을 신호출력단자에 접속하고, 제2의 배타적 논리합 게이트의 한쪽에 선택신호를 공급하는 것에 의해서 신호입력단자와 신호출력단자 사이의 지연시간을 설정하도록한 미소가변지연회로가 제공된다.

[바람직한 실시예의 상세한 설명]

제2도에 본 발명의 제1관점에 의한 실시예를 예시한다.

본 실시예는 트랜지스터로서 MOSFET를 사용한 경우로 제1트랜지스터로서 p채널 FET(21)가 제2트랜지스터로서 n채널 FET(22)가 사용된다. FET(21,22)의 양 입력단, 즉 양 게이트는 서로 접속되어 입력단자(23)에 접속되며, FET(21,22)의 각 드레인은 서로 접속되고, 그 접속점은 출력단자(24)에 접속된다.

즉 FET(21,22)는 하나의 CMOS 트랜지스터(2C)를 구성하고 있다.

또한 이하에 설명하는 각종 실시예의 미소가변지연회로에 있어서 각 FET의 소스와 드레인은 동작의 설명을 이해하기 쉽게 편의적으로 지정하고 있으나 FET의 소스와 드레인을 반대로 하여 구성하여도 동일한 동작을 얻을 수 있다. FET(21)의 소스와 전원(25)의 +측에 접속될 전원단자(20)와의 사이에 p채널 FET(26,27)의 직렬회로가 접속되는 동시에 이것과 병렬로 p채널 FET(28)가 접속된다. FET(22)의 소스와 전원(25)의 -측에 접속된 전원단자(30)와의 사이에 n채널 FET(29,31)의 직렬회로가 접속되는 동시에 이것과 병렬로 n채널 FET(32)가 접속된다.

FET(28,29,31)의 각 게이트가 셀렉트단자(33)에 접속되고 이 셀렉트단자(33)는 인버터(34)를 통하여 FET(26,27,32)의 각 게이트에 접속된다.

이 실시예에서는 FET(21,22,26~29,31,32)는 모두 동일한 온저항의 것으로 되나 상이한 온저항의 것을 사용하여도 무방하다.

이 구성에 있어서 단자(33)의 선택신호(SEL)가 저레벨의 경우는 FET(26,27,29,31) 오프, FET(28,32)가 온으로 된다.

따라서 FET의 온저항을 r로 하고, 출력단자(24)가 존재하는 주하용량(단자 24에 있어서의 부하용량과 단자 24에 접속되는 도시하지 않은 예컨대 후단 지연회로의 입력용량과의 합)을 C로 하면, 선택

신호(SEL)가 저레벨의 경우는 제2도의 구성은 제3a도에 도시하는 등가회로로 된다.

단자(33)의 선택신호(SEL)가 고레벨의 경우는 FET(26,27,29,31)가 온, FET(28,32)가 오프로 되며, 제2도의 구성은 제3b도에 도시하는 등가회로로 된다. 선택신호(SEL)가 고레벨에서는 FET(21,22)의 소스와 전원단자(20,20)와의 각 사이는 1개의 온 FET로 접속되며, 선택신호(SEL)가 고레벨에서는 FET(21,22)의 소스와 전원단자(20,30)와의 사이는 2개의 온 FET의 직렬회로로 접속된다.

입력단자(23)에 입력단자가 부여되고, 그것이 저레벨의 경우는 FET(21)가 온, FET(22)가 오프로 되며, 전원단자(20)로부터 선택신호(SEL)가 고레벨의 경우는 FET(26,27)를 통과하고, 또 선택신호(SEL)가 저레벨의 경우는 FET(28)를 통과하여 출력단자(24)에 전류가 흐른다.

입력신호가 고레벨의 경우는 FET(21)가 오프, FET(22)가 온으로 되며, 출력단자(24)로부터 선택신호(SEL)가 고레벨의 경우는 FET(29,31)를 통과하고, 또 선택신호(SEL)가 저레벨의 경우는 FET(32)를 통과하여 전원단자(30)에 전류가 흐른다.

따라서 선택신호(SEL)가 저레벨의 경우는 입력신호가 입력되면, 등가회로는 제4a도에 도시한 바와같이 입력단자(23)와 출력단자(24)와의 사이에 2개의 온저항 r(FET 21과 28의 온저항 또는 FET 22와 32의 온저항)이 직렬로 접속된 상태로 된다.

이 입력단자(23)에 대하여 스텝펄스를 가하면, 출력단자(24)의 출력은 제4b도에 도시한 바와같이 (r+r)C의 시정수로 지수함수로서 상승한다.

한편 선택신호(SEL)가 고레벨의 경우는 입력신호가 입력되면 등가회로는 제4c도에 도시한 바와같이, 입력단자(23)와 출력단자(24)와의 사이에 3개의 온저항 r이 직렬로 접속된 상태로 된다. 이 입력단자(23)에 대하여 스텝펄스를 가하면, 출력단자(24)의 출력은 제4d도에 도시한 바와같이 (r+2r)c의 시정수로 지수함수로서 상승하며, 제4a도의 경우보다 상승이 낮다.

시정수를 τ 로 하고, 출력이 최대로 되는 레벨 1의 반분인 0.5를 역치레벨로 하면, $1-\exp(-t/\tau)=0$ 에서 역치레벨에 달하기까지의 시간은 제4도 a의 경우는 $d_1=0.69\tau=0.69C(r+r)$, 동일하게 제4c도의 경우는 $d_2=0.69C(2r+r)$ 로 된다.

가령 FET의 온저항을 $r=200\Omega$, 부하용량을 $C=0.1\text{pF}$ 로 하면, $d=28\text{pS}$, $d=56\text{pS}$ 로 된다. FET의 온저항의 편차는 작으므로 얻어지는 미소지연량의 편차도 작다.

이와같이 선택신호(SEL)의 레벨에 의해 상이한 미소지연시간(d_1, d_2)을 선택할 수 있으므로, 가령 FET(21,22)와 전원단자(20,30)와의 사이에 접속되는 직렬 FET의 수를 적절하게 결정하고, 제2도에 도시한 지연단을 제1도 a의 각 가변지연단(11, 12, 13)에 적용함으로써 작은 최소 가변스텝의 가변지연회로를 구성할 수 있다.

제5도는 제2도의 미소가변지연회로의 변형실시예를 예시하며, 제2도에 있어서의 FET(26,27)를 병렬로 접속하고, FET(29,31)를 병렬로 접속한 것이다. 이 경우는 선택신호(SEL)가 고레벨시의 FET(21,22)와 전원단자(20,30)와의 사이는 각각 2개의 온저항(r)이 병렬로 접속되므로, 선택신호(SEL)가 고레벨시의 지연량은 제2도의 경우보다 작게 된다.

제2도, 제5도의 어느쪽에 있어서도 FET(21,22)의 전원단자(20,30)와의 각 사이가 선택신호(SEL)의 저레벨로 동수의 FET가 온으로 되며, 이 수와 상이한 수의 FET가 선택신호(SEL)의 고레벨로 동수 온으로 되면 좋고, 이들의 수는 1과 2에 한정되는 것은 아니다.

예컨대 제2도의 실시예에 있어서 도시하고 있지 않으나, FET(28)와 병렬로 그것과 동일한 p채널의 FET를 1개이상 접속시켜 그들의 게이트를 FET(28)의 게이트로 접속하고, FET(32)와 병렬로 그것과 동일한 n채널의 FET를 1개이상 접속하여 그것들의 게이트를 FET(32)의 게이트에 접속시킴으로써 최소 사변지연시스템을 짧게 할 수 있다.

제2도의 실시예에 있어서 직렬의 p채널 FET(26,27)를 그것들의 온저항의 합과 거의 동등한 온저항을 갖는 하나의 p채널 FET로 치환하고, 직렬접속된 n채널 FET(29,31)를 그것들의 온저항의 합과 거의 동등한 온저항을 갖는 하나의 n채널 FET로 치환하여도 된다.

동일하게 제5도의 실시예에 있어서 병렬접속된 p채널 FET(26,27)를 그것들의 병렬 온저항과 거의 동등한 온저항의 하나의 p채널 FET로 치환하고, 병렬접속된 n채널 FET(29,31)를 그것들의 병렬 온저항과 거의 동등한 온저항의 하나의 n채널 FET로 치환하여도 된다.

어느쪽의 경우도 상기와 동일하게 선택신호(SEL)의 저레벨과 고레벨에 의해 상이한 지연량을 얻을 수 있는 것을 이해할 수 있다.

제2도에 있어서 FET(28)와 직렬접속(26 및 27)는 각각 서로 저항치를 달리하는 스위치 가능한 저항소자를 각각 구성하고, 또 직렬접속 FET(32)와 FET(29 및 31)는 각각 저항치를 서로 달리하는 스위치 가능한 저항소자를 구성하고 있다. 동일하게 제5도에 있어서 FET(28)와 병렬접속 FET(26 및 27)는 각각 서로 저항치를 달리하는 스위치 가능한 저항소자를 구성하고 있다.

다음에 상기에 있어서는 트랜지스터(21 및 22)의 조합구성, 즉 CMOS 트랜지스터 2C에 대하여 그 양 끝과 전원의 양끝(20,20)과의 사이에 각각 저항치가 상이한 스위치 가능한 저항소자를 각 2개씩 병렬접속하였으나, 일반적으로는 이들 각 병렬접속하는 서로 저항치를 달리하는 스위치 가능한 저항소자를 복수개씩 설정함으로써 각종 지연량을 선택할 수 있다.

즉, 가령 제6a도에 도시한 바와 같이 CMOS 트랜지스터 2C를 구성하는 FET(21,22)의 직렬접속의 한쪽 끝, 즉 FET(21)와 +측 전원단자(20)와의 사이에 서로 저항치를 달리하는 스위치 가능한 저항소자의 복수개(37₀, 37₁, 37₂ ...)가 병렬로 접속된다. 또 FET(22)와 -측 전원단자(30)와의 사이에 서로 저항치

를 달리하는 스위치 가능한 저항소자(38₀, 38₁, 38₂...)가 병렬로 접속된다.

저항소자(37₀, 37₁, 37₂...)는 이 예에서는 p채널의 FET로 각각 구성된 경우이며, 저항소자(38₀, 38₁, 38₂ ...)는 각각 n채널의 FET로 각각 구성된 경우이다. FET(21)와 전원단자(20)와의 사이에 접속된 저항소자와 FET(22)와 전원단자(30)와의 사이에 접속된 저항소자와의 대응하는 것 즉 37₀과 37₁, 37₂과 38₀, 38₁, 38₂...는 각각 서로 저항치가 동일한 것으로 되고, 각 저항치는 각각 도면에 도시한 바와같이 R₀, R₁, R₂...로 되어 있다.

이들 저항소자의 구성은 예컨대 n채널 FET로 구성된 각 저항소자(38₀, 38₁, 38₂ ...)에 대해서 보면, 제6도의 표 1종의 난(a)에 표시한 바와 같이 1개의 n채널 FET로 구성된 것 난(b)에 도시한 바와같이 2개의 채널 FET의 직렬접속으로 구성된것, 혹은 표 1에 표시하고 있지 않으나 2개 이상의 채널 FET를 직렬접속하여 구성된것, 또는 난(c)에 표시한 바와같이 2개의 채널 FET를 병렬접속하여 구성도니것, 혹은 2개 이상의 n채널 FET를 병렬접속하여 구성한 것, 혹은 난(d)에 도시한 바와같이 n채널 FET와 직렬로 수동저항소자가 접속되어 구성되고, 그 수동저항소자의 저항치가 다르게 된 것등이 사용되며, 또한 먼저 설명한 바와 같이 1개의 FET으로 구성하는 경우에 있어서도 그 온저항이 서로 달라지도록 해도 무방하다.

p채널 FET로 구성된 저항소자(37₀, 37₁...)에 대해서도 동일하다.

지연설정신호(S₀, S₁, S₂ ...)는 지연설정수단으로서의 디코더(39)에 입력되어 디코딩되고, 그 출력단자(Y₀, Y₁, Y₂...)의 어느 하나 또는 복수가 고레벨로 되며 그외의 출력단자는 저레벨로 된다.

그 출력단자(Y₀, Y₁, Y₂ ...)는 각각 저항소자(38₀, 38₁, 38₂ ...)를 구성하는 n채널 FET의 게이트에 직접 각각 동시에 인버터를 각각 통하여 저항소자(37₀, 37₁, 37₂ ...)를 구성하는 p채널 FET의 게이트에 각각 접속된다.

따라서, 가령 디코더(39)의 출력단자(Y₀)가 고레벨로 되면 저항소자(37₀ 및 38₀)가 동시에 온으로 되며, 그외의 저항소자는 오프 그대로이다. 출력단자(Y₁)가 고레벨로 되면 저항소자(37₁ 및 38₁)가 동시에 온으로 되며, 그외의 저항소자는 오프 그대로이다.

이와같이 하여 지연설정신호에 의해 저항소자(37₀, 37₁, 37₂ ...)의 하나 또는 복수의 이것과 대응하는 (이것과 동일 저항치의) 저항소자(38₀, 38₁, 38₂ ...)의 하나 또는 복수가 동시에 온으로 되고, 제2도에 설명한 경우와 동일한 동작에 의해 입력단자(23)에 입력된 신호가 출력단자(24)에 출력되는 전송시간이 그 온으로 된 저항소자의 저항치에 따라 달라지며, 각종 지연량을 지연설정신호(S₁, S₂)의 상태에 의해서 설정할 수 있다.

이상 설명한 바와같이 본 발명의 제1관점에 의하여, 저항치를 달리하는 스위치 가능한 복수의 저항소자를 사용하여 이들을 선택적으로 온함으로써, 부하용량에 대해 충전속도를 변화시키고 이것에 의해 지연량을 변화시키고 있으나, 그 경우 저항치로서 특히 트랜지스터의 온저항을 이용하고 있고, 그 사실에 의해 각 온저항을 동일치로 하는 것이 특히 집적회로로서 구성하는 경우는 용이해지며, 따라서 온저항을 상당히 정확하게 일정치씩 증가감 할 수 있게 되며, 지연량을 직선적으로 변화시킬 수 있어 분해능을 향상시킬 수 있다.

특히 제6a도에 도시한 바와같이 하나의 지연회로로서 그 저항소자를 다수 대향시켜 설치하는 경우는 많은 지연량을 설정시킬 수 있고, 이것을 다단지연회로의 한단으로서 구성하는 경우는 적은 지연단수로 다수의 지연량을 설정할 수 있고, 그만큼 고정지연량이 적어지며 편차가 적은 높은 분해능의 가변지연회로를 구성할 수 있다.

제7도는 본 발명의 제2관점에 의한 미소가변지연회로의 실시예를 예시한다. 이 실시예에 있어서는 드레인과 소스를 상호 접속시킨 제1조의 p채널 MOSFET(41 및 42)와 소스와 드레인을 상호 접속시킨 제2조의 n채널 MOSFET(43 및 44)와 드레인과 소스를 상호 접속시킨 제3조의 p채널 MOSFET(45 및 46)와 드레인과 소스를 상호 접속시킨 제4조의 n채널 MOSFET(47 및 48)가 설정된다. p채널 MOSFET(42)와 n채널 MOSFET(43)는 CMOS 트랜지스터를 구성하도록 드레인의 상호접속되며 게이트가 상호접속되고, 그 게이트의 접속점을 입력단자(23)에 접속되어 있다.

입력단자(23)에는 FET(41 및 44)의 게이트로 접속되어 있다.

FET(42와 43)의 드레인 접속점은 출력단자(24)에 접속되어 있다.

FET(41)의 소스는 단자(20)의 전압원(VDD)에 접속되며 FET(44)의 소스는 단자(30)에 접지된다.

FET(45)의 소스는 FET(41)의 드레인과 FET(42)의 소스를 상호 접속시킨 점에 접속되고, FET(46)의 드레인은 단자(30)로 접지된다.

FET(47)의 소스는 FET(43)의 소스와 FET(44)의 드레인을 상호 접속시킨 점에 접속되며, FET(48)의 드레인은 단자(20)의 전압원(VDD)에 접속된다.

FET(45 및 47)의 게이트는 출력단자(24)에 접속되어 있다.

FET(46)의 게이트에는 인버터(34)를 통하여 선택신호(SEL)를 공급하는 한편, FET(48)에는 직접 선택신호(SEL)를 공급하여 이들 FET(46, 48)를 함께 온 혹은 오프로 하도록 구성되어 있다.

먼저 선택신호(SEL)를 0으로 한 경우에 대하여 설명한다.

SEL=0일때는 p채널 MOSFET(46)는 선택신호 SEL=0이 인버터(34)를 통하여 반전하고(1로 되어서)게이

트에 인가됨으로써 오프로 되며, 그것과 동시에 n채널 MOSFET(48)는 선택신호 SEL=0이 그대로 게이트에 인가됨으로써 오프로 된다.

그 결과 p채널 MOSFET(45), n채널 MOSFET(47)의 드레인은 개방되며, 이들 FET(45,47)는 접속되어 있지 않는 상태와 등가로 된다.

따라서 SEL=0일때는 제7도 회로의 등가회로는 제8a도에 도시한 대로 된다. 이것은 CMOS 인버터회로이다.

이 CMOS 인버터회로의 입출력의 전위관계는 제9a도에 도시한 바와같이 된다.

여기서 V_{THN} 는 N채널 MOSFET의 드레인 전류가 흐르기 시작하는 게이트·소스전압이고, V_{THP} 는 p채널 MOSFET의 드레인 전류가 흐르기 시작하는 게이트·소스전압이라고 하면, 입력(IN)이 V_{THN} 이하의 저레벨인 경우는 p채널 MOSFET(41) 및 (42)는 함께 온, n채널 MOSFET(43) 및 (44)는 오프가 되어 출력(OUT)은 전원전압(VDD)가 된다.

입력(IN)이 V_{THP} 이상의 높은 레벨일 경우는 p채널 MOSFET(41) 및 (42)는 함께 오프, n채널 MOSFET(43) 및 (44)는 온이 되어 출력(OUT)은 접지전압(VSS)이 된다. 입력(IN)이 V_{THN} 과 V_{THP} 사이에 있어서는 이들 FET(41~44)은 온저항의 분압비에 상당하는 전압이 출력하게 된다.

마찬가지로 입력(IN)이 VDD에서 VSS로 하강할 경우에는 그 레벨이 V_{THP} 에서 V_{THN} 으로 변화함에 따라 출력(OUT)이 VSS에서 VDD로 상승한다.

다음에 선택신호(SEL)를 1로 했을 경우에 대하여 설명한다.

SEL=1일때는 p채널 MOSFET(46)는 선택신호(SEL=1)가 인버터(34)를 통하여 반전하여(0이 되어서)게이트에 인가됨으로써 온이 되며, n채널 MOSFET(48)는 선택신호(SEL=1)가 그대로 게이트에 인가됨으로써 온이 된다. FET(46) 및 FET(48)가 온이된 결과, p채널 MOSFET(45)의 드레인에는 접지전압(VSS)이 인가되는 한편, n채널 MOSFET(47)의 드레인에는 전원전압(VDD)이 인가되기에 이른다. 따라서, SEL=1일때, 제7도의 회로의 등가회로는 제8b도에 도시되는 바와같은 것이 된다. 이 등가회로의 입출력 전위는 제9b도에 도시하는 바와 같다.

여기서, 입력(IN)이 0으로부터 1로 상승하는 파형이 입력되었을때, 제8a도에 표시된 등가회로의 경우는 파형이 V_{THN} 을 초과하는 곳에서 FET의 온저항이 분압비에 대응한 전압이 출력되었던 것이나(제9b도의 최하행의 OUT 참조)이 제8b도에 도시된 등가회로의 경우는 파형이 V_{THN} 초과하여도 n채널 MOSFET(47)이 온의 곳에서 n채널 MOSFET(43)의 소스에는 VDD에 가까운 전압이 가해져 있고, 그 때문에 FET(43)의 게이트·소스간 전압이 V_{THN} 을 초과하는데까지는 도달하지 않고, 제9b도의 가운데 행(行)의 OUT에 도시하는 바와 같이 FET(43)은 오프상태를 지속한다. 입력파형이 증대하여 V_{THN} 을 초과하면 p채널 MOSFET(41) 및 (42)는 함께 오프가 되지만 이에 수반하여 출력 OUT의 전압이 강하됨과 함께 FET(47)도 오프되기에 이른다. FET(47)가 오프됨으로써 FET(43)의 소스전위가 강하된 결과 FET(43)의 게이트·소스간 전압이 V_{THN} 을 초과하게 되어 FET(43)은 온이 된다. 따라서, 출력(OUT)에는 0가 출력된다.

마찬가지로 출력(IN)의 파형이 VDD에서 VSS로 하강할때는 p채널 MOSFET(45)가 상기의 N채널 MOSFET(47)의 동작과 완전 동일한 동작으로 하여 출력(OUT)의 상승이 V_{THN} 에서 개시되게 된다.

제9a도, 제9b도로서 불명한 바와같이 SEL=1(제9b도)의 경우는 SEL=0(제9a도)의 경우와 비교하여 도면에 있어서 우측으로 조금 변위되어 있고, 지연시간이 더욱 큰 것을 나타내고 있다.

이 지연시간의 증가는 n채널 MOSFET(43) 및 p채널 MOSFET(43)의 동작을 상기와 같이 지연시킨데 기인한다는 것은 말할 것도 없다.

제2도, 제5도, 제6a도 및 제7도의 각 실시예에서는 단자(23)에 부여되는 입력신호에 대하여, 단자(24)에 얻어지는 지연출력신호의 극성은 반전되어 있다. 그래서, 이들 실시예의 임의의 작수개를 조합시키면 비반전 지연출력이 얻어진다는 것은 분명하다. 즉, 제2도에 도시한 미소가변지연회로의 출력단자(24)에 제7도의 미소가변지연회로의 입력단자(23)가 접속되어 있다. 단, 이 예에서는 후단 지연회로(40)의 FET(16,18)를 위한 제어신호는 전단에 부여하는 선택신호(SEL)와 그 반전신호가 사용되고 있다.

이와같은 구성에 있어서, 가령 제11도 행 A에 예시하는 바와같이 입력단자(23)에 시점(t_1)에서 상승하는 전압입력신호(V_i)가 입력될때에 단자(33)의 선택신호가 저레벨일 경우는 FET(28,32)가 온이 되어 있기 때문에 그 FET(21,22)와 전원단자(20,30)와의 사이의 각 저항치가 각각 작으며, 따라서 CMOS 트랜지스터(49)의 입력에 부여되는 전압(V_b)은 제11도의 행 B의 곡선(51)으로 예시하는 바와같이 비교적 빠르게 하강한다. 또, 단자(33)의 선택신호가 저레벨이기 때문에 스위치(46,48)는 오프로 되어 있고, FET(45,47)는 각각 CMOS 트랜지스터(49)에 접속되어 있으나 이것들이 제외되어 있는 상태와 마찬가지로, 이 때문에 FET(42,43)의 각 게이트·소스간의 역치가 가령 고레벨과 저레벨과의 한가운데라고 하면 제11도 행 C의 곡선(52)으로 도시하는 바와같이 곡선(51)이 고레벨에서 그 절반의 값으로 하강하면 그 시점(t_2)에 출력단자(24)의 전압(V_o)이 저레벨에서 고레벨로 상승한다.

한편, 단자(33)에 주어지는 선택신호가 고레벨일 경우는 FET(26,27,29,31)가 온이 되고, FET(21,22)와 전원단자(20,30)와의 각 저항치는 FET(28,32)가 온일 경우 보다 크기 때문에 제11도 행 B의 곡선(53)에 예시하는 바와 같이 CMOS 트랜지스터(49)의 입력측 전압은 곡선(51)보다 서서히 저하된다. 또 스위치(46,48)는 모두 온이 되어 있기 때문에 FET(41)와 CMOS 트랜지스터(49)와의 접속점은 FET(45)를 통하여 접지된다. 출력단자(24)는 시점(t_1) 이전은 저레벨이므로 FET(45)는 온상태가 되

고, FET(42,45)의 접속점의 전압(V_a)은 저레벨이 되어 있다. FET(41,45,46)의 각 임피던스로 전원단자(20,30) 사이의 전압이 분압되어 FET(41)의 소스에 부여되고 있다.

전압(V_b)이 곡선(53)에 따라 내리고 이와 함께 FET(41) 소스, 전압(V_a)이 제 11도 행 B의 점선으로 표시하는 바와같이 상승하고, FET(42)의 게이트·소스간의 역치보다 CMOS 트랜지스터(49)의 입력전압(V_b)이 저하되면 FET(42)가 온이 되어 그 시점(t_3)에서 출력단자(24)의 전력전압(V_0)이 제11도 행 C의 곡선(54)과 같이 상승한다. FET(42)가 온이 되는데는 CMOS 트랜지스터(49)의 입력전압(V_b)이 고레벨의 절반보다 더욱 아래로 저하될 필요가 있다. CMOS 트랜지스터(49)의 입력전압(V_b)이 곡선(53)에 예시하는 바와같이 변화될 경우에 FET(45,47)가 설치되어 있지 않다고 하면 V_b 가 고레벨의 절반이 되는 시점(t_4)에 FET(42)가 온이 된다.

따라서 도면에 도시한 회로에 CMOS 트랜지스터(49)를 포함한 지연단(40)을 접속함으로써 선택신호(SEL)가 고레벨 상태에서의 지연량을 시점(t_3, t_4)과의 차(ΔT)만큼 크게할 수 있다.

제10도에 있어서는 선택신호(SEL)의 고레벨이나 저레벨에 의해 지연량을 두 값의 어느 하나로 제어하였으나 파선으로 표시하는 바와같이 선택단자(33')에 또 하나의 선택신호를 부여하고, 그 선택신호에 의해 FET(46)의 게이트를 제어함과 동시에 선택신호를 인버터(34')에 반전시키고, 그 반전출력으로 FET(48)의 게이트를 제어하여도 된다. 이 경우, 전단, 즉 트랜지스터(21,22)로 이루어지는 CMOS 트랜지스터(2C)를 포함하는 지연단에 있어서의 스위치(37₀,37₁,38₀,38₁)에 대한 온오프제어와 스위치(46,48)에 대한 온오프제어를 각각 별도로 행할 수 있고, 함께 4종류의 지연량이 설정제어를 행할 수 있다. 더욱 일반적으로 제10도에 있어서 CMOS 트랜지스터 2C를 포함하는 전지연단(前遲延段)으로서는 제6a도에 도시한 구성으로 할 수도 있어 이렇게 하면 더욱 많은 종류의 지연량의 제어를 행하는 것이 가능하게 된다. 지연단(40)은 트랜지스터(21,22)를 포함하는 지연회로의 전단을 설치하여도 좋다.

제12a도에 이 발명의 제3의 관점에 의한 실시예를 도시한다.

이것도 지금까지의 설명과 대응하는 부분에 동일부호를 붙이고 있다.

즉 p채널 FET(21)과 n채널 FET(22)로 이루어지는 CMOS 트랜지스터(2C)와 이 예에서는 n채널 FET(22)측에 있어서 이것과 동일한 도전형의 FET(55)가 전원(25)의 양단(20과 30) 사이에 직렬로 접속된다.

이 FET(55)의 게이트에 가변직류전압원(56)이 접속된다.

가변직류전압원(56)으로서는 가변저항기(57)의 양단이 전원(25)의 양단(20,30)에 접속되고 구 가동자의 출력축이 가변직류전압원(56)의 출력축으로 된다. 또 FET(21,22)의 접속점 즉 드레인 인버터(58)를 통하여 출력단자(24)에 접속된다.

이 구성에 있어서 가변직류전압원(56)의 출력을 예를들면 0 내지 5볼트 사이에서 변화시키면 FET(55)는 소스·드레인간의 저항치가 변화하고, 즉 온저항이 변화한다. 이로서 FET(21,22)로 이루어지는 CMOS 트랜지스터(2C)의 출력저항이 겉보기상 변화된다. 즉 입력단자(23)에 예를들면 양의 방향과 전압이 주어질때, FET(21,22)의 드레인출력, 즉 인버터(58)의 입력전압은 제13도에 도시하는 바와같이 된다. 제13도에 있어서 그 파라미터는 가변직류전압원(56)의 출력전압, 즉 제어전압 V_s 를 2볼트~5볼트에 걸쳐서 변화한 값이고 V_s 가 2.0볼트의 경우 보다 작으면 FET(55)의 온저항이 크고 드레인 출력전압의 하강, 상승이 서서히 행해지고, 결국 출력축의 부하용량 C에 대한 충방전이 현저히 늦어진다. 제어전압 V_s 를 크게함에 대한 FET(55)의 온저항이 작아지고, 이로서 드레인 출력전압의 하강 상승이 급격해진다.

인버터(58)의 역치를 2.5볼트로 하면, 드레인 출력 전압의 하강 상승의 에지를 제어전압 V_s 에 따라 변화하고, 즉 V_s 에 따라 지연시간을 제어할 수가 있다. 이 예에서는 그 제어범위는 약 2나노초이고, 제어전압 V_s 는 0.4볼트씩이 아니고, 좀더 작게할 수 있으므로 지연시간을 예를들면 50피코초씩 변화시킬 수 있다.

즉 현저히 높은 분해능으로 지연제어를 행하는 것이 가능하게 된다.

통상의 게이트 어레이에는 2입력 NAND회로가 설치되어 있다.

따라서 이를 이용하여 제12a도와 같은 지연회로를 구성할 수가 있다. 즉 제12b도에 도시하는 바와같이 p채널 FET(21)와 별렬로 p채널 FET(59)가 접속되고, 이 FET(59)의 게이트를 가변직류전압원(56)의 출력축에 접속한다. 즉 통상의 게이트 어레이에 있어서는 FET(2,59)와의 각 게이트를 입력으로 하고, FET(21,59)와 FET(22)에 의하여 NAND 게이트를 구성한 것이 설치되어 있다. 이 NAND 게이트를 제12b도에 도시하는 바와 같이 FET(22)와 직렬로 FET(55)를 접속함과 동시에 일방의 입력인 FET(59)의 게이트를 가변직류전압원(56)에 접속한다. 직류전압원(56)의 출력전압 V_s 는 0 내지 5볼트 등의 양의 범위에서만 변화하기 때문에 FET(59)는 항상 오프로 되어 있고, 따라서 제12a도에 도시한 경우와 마찬가지로 동작을 한다.

제12a도 및 12b도에 있어서 가변직류전압원(56)으로 제어하는 FET(55)를 FET(21)측에 삼입하여도 좋다. 이 경우는 그의 FET(55)는 p채널의 것으로 한다. 그리고 가변직류전압원(56)으로서는 지연단자(20)의 전압보다도 낮은 전압을 발생하도록 제어한다. 이와같이 이 발명의 제3의 관점에 의하면 CMOS와 같은 상보회로에 대하여 직렬로 하나의 트랜지스터를 접속하고, 그 트랜지스터의 온저항을 가변직류전원으로 제어하는 것으로서 극히 작은 스텝 예를 들면 50피코초와 같은 분해능으로 지연량을 제어할 수가 있다.

제1a도에 도시한 종래의 구성에 있어서 게이트 1단에서 500피코초의 지연이 얻어진다고 하면, 3500피코초의 최대 가변을 얻기 위하여 게이트 지연단을 7단으로 할 필요가 있고, 각 단에 설치한 셀렉

터에 있어서 고정지연이 50피코초라 하면 전체의 고정지연은 350피코초가 되고, 이것이 이 고정지연에 대하여 플러스, 마이너스 20%의 산포가 있다고 할때, 이 고정지연의 최대의 산포는 약 100피코초로 되고, 이와같은 회로에 있어서는 50피코초의 분해능을 가변지연회로를 얻을 수는 없지만, 먼저 설명한 바와 같이 제12a도에 도시한 구성에 의하면 이를 용이하게 달성할 수가 있다. 제14도에 이 발명의 제4의 관점에 의한 실시예를 도시한다. 지연입력단자(23)에 버퍼(61)의 입력측이 접속된다. 버퍼(61)는 적당한 크기의 출력 임피던스를 갖고, 논리레벨을 출력하는 것이다. 버퍼(61)의 출력측은 입력신호의 상승과 하강에 대하여 각각 역치를 갖는 슈미트트리거버퍼(62)의 입력측에 접속되고, 슈미트트리거버퍼(62)의 출력은 지연출력단자(24)에 접속된다. 양 버퍼(61,62)의 접속점 CP에 CMOS 트랜지스터 ($2C_1$)의 입력측이 접속되고 CMOS 트랜지스터 ($2C_1$)의 양단은 각각 스위치 소자로서의 p채널 MOSFET(28_1) 및 n채널의 MOSFET(32_1)을 통하여 각각 전원단자(20) 및 접지단자(30)에 접속된다. CMOS 트랜지스터 $2C_1$ 는 p채널과 n채널의 MOSFET($21_1, 22_1$)가 그들의 드레인에서 서로 직렬로 접속되고, 또 양게이트가 서로 접속되어 입력측에서 접속점 CP에 접속된다. FET(21_1)의 소스는 스위치 소자(28_1)를 통하여 전원단자(20)에 접속되고, FET(22_1)의 소스는 스위치 소자(32_1)를 통하여 접지된다.

이 실시예에서는 가변지연량의 스텝 폭의 종류를 많이 하기 때문에, 더욱더 서로 접속된 두개의 CMOS 트랜지스터($2C_{2a}, 2C_{2b}$)가 설치되고 이들도 각각 CMOS 트랜지스터($2C_1$)와 마찬가지로의 구성 및 특성으로 되어 있다. 이 병렬접속 CMOS 트랜지스터의 양단은 각각 스위치 소자로서의 p채널 MOSFET(28_2) 및 n채널 MOSFET(32_2)을 통하여 각각 전원단자(20 및 30)에 접속됨과 동시에 게이트는 접속점 CP에 접속되어 있다.

선택신호 입력단자(33_1)의 선택신호 SEL에 의하여 스위치소자($28_1, 32_1$)를 동시에 동일상태로 제어하기 위하여, 선택입력단자(33_1)는 스위치소자(28_1)로서의 FET의 게이트에 직접 접속됨과 동시에 인버터(34_1)를 통하여 스위치소자(32_1)로서의 FET의 게이트에 접속된다.

마찬가지로 스위치소자($28_2, 32_2$)는 선택신호입력단자(33_2)의 선택신호(SEL_2)에 의하여 동시에 동일상태로 제어된다.

이 구성에 있어서 단자($33_1, 33_2$)의 각 선택신호 SEL_1, SEL_2 가 같이 H레벨인 경우는 스위치소자($28_1, 32_1, 28_2, 32_2$)는 모두 오프이고, 접속점 CP로부터 CMOS 트랜지스터($2C_1$)측을 보면 단순한 부하용량으로 밖에 보이지 않는다. 마찬가지로 CMOS 트랜지스터 $2C_{2a}, 2C_{2b}$ 측도 단순한 부하용량으로밖에 보이지 않는다. 접속점 CP의 이들의 부하용량과 버퍼(62)의 입력용량과 버퍼(61)의 스위칭시의 출력 임피던스와의 미러 효과에 의하여, 접속점 CP에 있어서 신호파형의 상승, 하강에 제15도의 표 11의 행(行) A, 좌단에 도시하는 바와 같이 작은 단 ST_1, ST_2 이 생긴다.

이 파형은 버퍼(62)로 파형정형되고, 지연출력단자(24)의 출력파형은 표 11중의 행 A, 우단에 도시하는 바와 같다. 선택신호 SEL, 이 L레벨, SEL_2 가 H레벨의 경우는 스위치소자($28_1, 32_1$)와 같이 온, 스위치소자($28_2, 32_2$)와 같이 오프로 된다. 이 때문에 CMOS 트랜지스터 $2C_1$ 는 그 게이트를 입력측, FET(21_1 과 22_1)의 드레인 접속점(64)을 출력측으로 하는 인버터로 동작한다. 이 인버터가 동작하고 있을 때는 그 역치부근에서 미러 효과에 의하여 부하용량이 증가한다. 이 때문에 이 부하용량과 버퍼(61)의 스위칭시의 출력임피던스와의 미러효과에 의하여 접속점 CP의 파형의 상승 및 하강에 단 ST_1, ST_2 보다 큰 단 ST_3, ST_4 및 표 11의 행 B, 좌단에 도시하는 것처럼 생긴다. 이 때문에 출력단자(24)에 얻어지는 그 파형정형출력은 표 11의 행 B, 우단에 도시하는 바와 같이 행 A, 우단의 대응하는 것보다도 시간 ΔT 만큼 늦어진다.

선택신호 SEL이 H레벨의 경우는 스위치소자($28_1, 32_1$)는 오프, 스위치소자($28_2, 32_2$)는 온으로 된다.

따라서 병렬 접속된 CMOS 트랜지스터($2C_{2a}, 2C_{2b}$)가 같이 인버터로서 동작하기 때문에, 그 미러 효과에 의하여 부하용량은 CMOS 트랜지스터 $2C_1$ 가 인버터로서 동작할때의 2배로 되고, 행 C, 좌단에 도시하는 바와 같이 접속점 CP의 파형의 상승 및 하강에 단 ST_3, ST_4 보다도 큰 단 ST_5, ST_6 이 생기고, 출력단자(24)의 출력파형은 행 A의 대응하는 것에 대하여, $2\Delta T$ 늦어진 것으로 된다.

선택신호 SEL_1, SEL_2 를 같이 L레벨로 하면 스위치소자($28_1, 32_1, 28_2, 32_2$)는 모두 온으로 된다.

따라서 CMOS 트랜지스터($2C_1, 2C_{2a}, 2C_{2b}$)은 모두 인버터로서 동작한다. 이 때문에 표 11중의 행 D, 좌단에 도시하는 바와 같이 접속점 CP의 파형의 상승 및 하강에 더욱 큰 단 ST_7, ST_8 이 생기고, 출력단자(24)의 출력파형은 행 A의 대응하는 것에 대하여, $3\Delta T$ 지연한 것으로 된다.

이와같이 선택신호 SEL_1, SEL_2 의 논리레벨 상태의 조합을 설정하여, 입력단자(23)에 입력된 신호에 대하여 4종류의 어느 것인가의 지연을 부여하여 출력단자(24)에 출력할 수가 있다.

접속점 CP에 예를들면 4개가 병렬접속된 CMOS 트랜지스터를 접속하여 또 하나 별도의 선택신호를 제어하는 등 접속점 CP에 더욱 많은 CMOS 트랜지스터를 접속함으로써 더욱 많은 지연량을 얻을 수가 있다.

상술에서는 동일 특성의 CMOS 트랜지스터를 사용하여 인버터 동작상태로 하는 CMOS 트랜지스터의 수에 직선적으로 비례한 차의 지연량을 얻도록 하였다.

지반, CMOS 트랜지스터를 구성하는 FET의 사이즈가 예를들면 배관계로 다른 CMOS 트랜지스터를 설치

하고, 예를들면 CMOS 트랜지스터 $2C_{2a}, 2C_{2b}$ 대신에 $2C_1$ 의 사이즈 2배의 CMOS 트랜지스터를 하나 사용하여도 좋다.

이상 설명한 바와 같이 이 실시예에 의하면 버퍼와 슈미트트리거버퍼와 접속점에 CMOS 트랜지스터를 1 내지 복수접속하고, 이를 선택신호에 의하여 선택적으로 인버터 동작상태로 하거나 부동작상태로 함으로서, 인버터 동작시의 역치부근에서의 미러 효과에 의한 부하용량의 증가를 이용하여 출력되는 신호의 지연량을 제공하고 있기 때문에 지연량의 차 ΔT 를 작은 값, 예를들면 수 pS~수 10pS의 오더로 할 수가 있고, 그리고 ΔT 의 산포를 작게 할 수가 있어 고분해능이 얻어진다.

제16도는 이 발명의 제5의 관점에 의한 미소가변지연회로의 실시예를 도시한다. 제16도에서 (61)은 CMOS 논리회로로 이루어지는 버퍼이고 그 입력단자(23)와 출력단자(24) 사이의 입출력간 지연시간이 이 실시예의 미소 가변회로에 의하여 보정된다. 이 실시예에 있어서는 n채널 MOSFET(63₁)와 p채널 MOSFET(64₁)는 일방의 FET의 소스와 타방의 FET의 드레인와를 상호접속하고, 상보형 애널로그스위치 S₁을 구성한다.

단자(33₁)에 부여된 선택신호 SEL₁를 n채널 MOSFET(63₁)의 게이트에 직접 인가함과 동시에 p채널 MOSFET(64₁)의 게이트에 대하여는 인버터(34₁)를 사이에 두고 인가함으로써 상보형 애널로그스위치 S₁의 온·오프가 제어된다. 상보형 애널로그스위치 S₁의 일단은 CMOS 논리회로로 이루어지는 버퍼(61)의 출력에 접속하고 스위치 S₁의 타단은 부하용량 C₁을 사이에 두고 접지되어 있다. 상보형 애널로그스위치 S₁ 및 부하용량 C₁이 미소가변지연부(60₁)을 구성하고 있다.

n채널 MOSFET(63₂), p채널 MOSFET(64₂)은 마찬가지로 상보형 애널로그스위치 S₂을 구성하고, 그 일단은 버퍼(61)의 출력에 접속되고, 타단은 부하용량 C₂을 사이에 두고 접지되어 있다.

상보형 애널로그스위치 S₂의 온·오프는 단자(32₂)의 선택신호 SEL₂에 의하여 제어된다. 이들 상보형 애널로그스위치 S₁ 및 부하용량 C₁으로 이루어지는 미소가변부(60₁)과 상보형 애널로그스위치 S₂ 및 부하용량 C₂로 이루어지는 미소가변지연부(60₂)는 서로 병렬접속하고 있다. 이와같은 상보형 애널로그스위치와 부하용량 C₁으로 이루어지는 미소가변지연부는 일반적으로, N개 병렬접속된다.

상보형 애널로그스위치 S₁와 부하용량 C₁으로 이루어지는 미소가변지연부(60₁)에 대하여 그 동작의 설명을 한다.

선택신호 SEL₁가 0인 경우, 선택신호 SEL₁=0은 n채널 MOSFET(63₁)의 게이트에 대하여 직접 인가됨과 동시에 p채널 MOSFET(64₁)의 게이트에 대하여는 인버터(34₁)를 사이에 두고 반전한 1이 인가되는 것으로서 이들 FET는 쌍방 모두 오프로 된다.

이 경우 버퍼(61)과 미소가변지연회로(60₁)의 등가회로는 제17a도에 도시되는 것과 같이 된다. 즉 상보형 애널로그스위치 S₁의 오프저항 R_{off}은 극히 높고 부하용량 C₁은 버퍼(61)의 출력으로부터 실질적으로 분리되어 있다. 따라서 버퍼(61)의 형성하는 지연시간만이 버퍼(61)의 입출력단자(23,24) 사이의 지연시간으로 된다.

선택신호 SEL₁이 1인 경우, 선택신호 SEL₁=1이 n채널 MOSFET(63₁)의 게이트에 대하여 직접 인가됨과 동시에 p채널 MOSFET(64₁)의 게이트에 대하여는 인버터(34₁)를 사이에 두고 반전한 0이 인가되는 것으로 인하여 이들 FET는 쌍방으로 온으로 된다. 이 경우, 버퍼(61)와 미소가변지연부(60₁)의 등가회로는 제17b도에 도시되는 바와 같이 된다.

즉, 상보형 애널로그스위치 S₁의 입출력간의 온저항 R_{on}은 극히 낮고 부하용량 C₁은 이 온저항 R_{on}을 사이에 두고 버퍼(61)의 출력에 접속된다.

입력단자(23)에 스텝전압 V₀이 인가되었을 때의 출력전압 V_{out}는 다음식

$$V_{out}(t) = V_0 \{1 - \exp(-t/C_1 R)\} \dots\dots\dots (1)$$

로 표시된다. 여기서, 버퍼(61)의 출력전항 R이 온저항 R_{on}보다 충분히 크다고 하면, 제17c도를 참조하여 출력전압 V_{out}이 V₀/2로 될때까지의 시간 t=d는 다음 식으로부터 구해진다.

$$V_0/2 = V_0 \{1 - \exp(-d/C_1 R)\}$$

$$d = -C_1 R \ln(1/2) = C_1 R \ln 2 \dots\dots\dots (2)$$

즉, 버퍼(61)의 출력은 선택신호 SEL₁=0인 경우(제17a도)보다 시간 d만큼 더욱 지연된다. 미소가변지연부(60₂)에 대하여도 마찬가지로 선택신호 SEL₂에 의하여 버퍼(61)의 출력에 지연을 부여하는가 아닌가를 제어할 수가 있다. 선택신호(SEL₁, SEL₂ ...)에 의하여 상보형 애널로그스위치(S₁, S₂ ...)의 온·오프를 제어하여 버퍼(61)의 출력에 서로 병렬로 접속되는 부하용량(C₁, C₂ ...)의 수를 선택함으로써 병렬접속된 부하용량의 합에 비례한 지연시간을 버퍼(61)의 출력에 부여할 수가 있다.

이 실시예에 의하면 부하용량 1개에 대하여 얻어지는 지연시간은 극히 미소한 것이고, 부하용량의 수에 비례한 지연시간을 버퍼(61)의 출력에 부여할 수가 있다.

제18도는 이 발명의 제6의 관점에 의한 실시예를 도시한다.

이 실시예의 미소가변지연회로에서는 CMOS형 버퍼회로 15_i(i=1,2...n; 제18도에서는 n=2로 하고 있다)의 출력측에 1종의 쌍방향성 스위치인 CMOS형의 트랜스미션게이트(쌍방향성 게이트라고도 말함) TG_i를 접속한 직렬회로들 n개 병렬로 접속하고 이루는 직렬회로가 입력단자(23)와 출력단자(24)와의 사이에 접속된다. 트랜스미션게이트 TG₁~TG_n이 선택적으로 온·오프 제어되어 출력단자(24)에 접속되는 부하용량 C_L(출력단자 24에서의 부하용량과 도시하지 않는 후단회로의 입력용량과의 합)에 대한 입출력 단자간의 지연시간 T_d이 가변된다.

CMOS형 버퍼회로 15_i는 CMOS형 인버터 15N을 2개(일반적으로 짝수개) 직렬로 접속하여 구성된다. 트랜스미션게이트 TG_i의 제어단자 C 및 D에는 셀렉트단자 33_i에 부여된 선택신호 SEL_i와 이들 CMOS형의 인버터 34_i를 사이에 두고 반전시킨 신호 \overline{SEL}_i 가 각각 동시에 인가된다.

CMOS형 인버터 15N, 34_i는 잘 알려져 있는 것으로서 그 하나의 예를 제19a도에 도시한 바와 같이 인한스먼트형으로 n채널(n형)의 MOSFET Q₁과 인한스먼트형으로 p채널(p형) MOSFET Q₂와를 조합해서 사용하는 상보형의 트랜지스터 회로이다. FETQ₁과 Q₂와의 드레인이 서로 접속되어 출력단자 OUT에 접속되고, 입력단자 IN는 FETQ₁, Q₂의 게이트에 각각 접속된다. 입력이 H(고)레벨로 되면, FET Q₁이 온되지만, FET Q₂는 오프되고, 따라서 출력은 L(저)레벨로 된다.

한편, 입력이 L레벨이면 역으로 FET Q₂는 온되고, FET Q₁는 오프되고 출력은 H레벨로 된다.

트랜스미션게이트 TG_i는 제19b도에 도시하는 바와 같이 버퍼회로와 마찬가지로, 인한스먼트형 n 및 p 채널 MOSFET Q₁ 및 Q₂로 구성된다.

단자 A와 단자 B와의 사이가 신호전송로로 신호를 양방향으로 통할 수가 있다. 따라서 제18도에 있어서 부하용량 C_L에 대하여 트랜스미션게이트 TG를 통하여 쌍방향으로 충방전을 행할 수가 있다.

또 제1a도에 있어서 종래 사용되는 멀티플렉서(14)가 수 100pS의 지연을 갖고, 그리고 산포도가 큰 것에 비하여 트랜스미션게이트 TG_i단독의 지연시간은 통상 수 10pS로 비교적 작고, 그 산포도 작다.

단자 C 및 D로부터 FET Q₁, Q₂의 각 게이트에 서로 논리가 반전한 제어 신호 SEL, \overline{SEL} 가 각각 인가된다.

제어신호 SEL가 H레벨, \overline{SEL} 가 L레벨일 때, 트랜지스터 Q₁, Q₂는 온되고, SEL이 L레벨, \overline{SEL} 이 H레벨일 때 같이 오프로 된다.

제18도의 미소가변지연회로는 제20a도의 등가회로로 표시할 수가 있다.

저항기 r₁는 버퍼회로 15_i와 트랜스미션게이트 TG_i와의 직렬회로의 등가직렬 저항이다. 단자 33_i에 인가되는 선택신호 SEL_i의 L 또는 H 레벨에 따라 스위치 SW_i는 각각 온 또는 오프로 된다.

n=2에서, 등가직렬저항 r₁ ≅ r₂로 설정한 경우에는 제20b의 표 III에 표시하는 바와 같이 SW₁가 온, SW₂가 오프일때 부하용량 C_L와 합성저항와의 시정(時定)수는 τ=r₁C_L로 되고, SW₁ 및 SW₂가 같이 온일때 τ=(r₁/2)C_L에서 앞의 절반으로 된다.

단자(23, 24) 사이의 지연시간 T_d는 시정수 τ에 거의 비례함으로 전자의 경우 크고, 후자의 경우 그의 1/2로 된다.

더욱 스위치가 같이 오프일때는 지연회로의 출력 임피던스는 하이 임피던스로 된다. 통상 이 경우의 선택신호 SEL_i의 조합은 출력의 부호(L 또는 H)가 불확정으로 되므로 사용 금지한다.

일반으로 병렬 n단 구성에서 r₁ ≅ r₂ ≅ ... ≅ r₃로, 모든 스위치를 온으로 하였을 경우는 τ=(r₁/n)C_L로 되고, 지연시간 T_d는 1단만 온의 경우의 1/n로 된다.

스위치가 1단만 온일 경우, 예를 들면 T_d ≅ 200pS이다.

따라서 n=2의 경우, 2단 온일때 T_d ≅ 100pS로 된다.

n=3인 경우, 스위치를 온으로 하는 단수를 1, 2, 3으로 변화시키면, T_d를 200, 100, 67pS로 가변시킬 수 있다.

이 때의 최소 가변폭은 100-67=33pS로 된다.

n=4인 경우는 마찬가지로 200, 100, 67, 50pS로 가변할 수 있고, 최소 가변폭은 67-50=17pS로 된다.

n=2에서 예를 들면 버퍼회로 15₁는 두개의 직렬 인버터 15N으로 구성되고, 버퍼회로 15₂는 4개의 직렬 인버터 15N으로 구성함으로써, 직렬회로의 등가직렬 저항을 r₁r₂로 설정하였을 경우에는 제20c도의 표 IV에 표시하는 바와 같이, 스위치 SW₁, SW₂의 온, 오프의 조합에 의하여 시정수는 τ

$=r_2C_L(\text{대}), \tau=r_1C_L(\text{중}), \tau=r_1r_2C_L/(r_1+r_2)(\text{소})$ 로 되고, 지연시간 T_d 를 대,중,소로 가변할 수 있다.

더욱 제18도의 회로로 출력단자(24)를 필요에 따라 고저항을 사이에 두고 H 또는 L레벨로 폴업하여 제 20b,c도의 표에 있어서 양 스위치 SW_1, SW_2 가 같이 오프로 고출력 임피던스의 경우의 출력레벨을 H 또는 L로 확장시켜 사용금지를 해제할 수도 있다.

제18도의 버퍼회로 15i와 트랜스미션게이트 TGi와 인버터 34i와의 조합회로는 일반적으로 CMOS 버스드라이버 로직이라 불리운다.

따라서 이 실시예는 CMOS 버스드라이버 로직을 n단 병렬로 접속하여 구성한 것이다.

이와같이 이 실시예에 의하면 버퍼회로 15i와 트랜스미션게이트 TGi와의 직렬회로를 n단 병렬로 접속하고, 그 병렬단수 n를 적당히 증감함으로써, 가변지연회로의 최소 가변폭을 종래보다 상당히 작게 설명할 수 있다.

또, 이 실시예에서는 종래의 멀티플렉서에 대신하여 트랜스미션게이트를 사용하고 있고, 트랜스미션게이트는 지연시간이 수 10pS로 작고, 그의 산포도 종래의 멀티플렉서의 수분의 1로 상당히 작으므로, 가변지연회로의 지연시간의 산포를 종래보다 대폭으로 작게 할 수 있다.

제21도에 이 발명의 제7의 관점에 의한 미소가변지연회로의 실시예를 도시한다. 제1, 제2배타저논리합게이트(이하, EXOR 게이트로 기록한다)(65,66)가 설치되고, 제1,제2 EXOR 게이트(65,66)의 각 일방의 입력측은 지연입력단자(23)에 공통으로 접속되고,제1 EXOR 게이트(65)의 타방의 입력측은 접지되고, 제2 EXOR 게이트(66)의 타방의 입력측은 선택신호 입력단자(33)에 접속된다. 제1 EXOR 게이트(65)의 출력측과 제2 EXOR 게이트(66)의 출력측과의 사이에 콘덴서(67)가 접속되고 제1EXOR 게이트(65)의 출력측과의 사이에 콘덴서(67)가 접속되고 제1 EXOR 게이트(65)의 출력측은 논리 레벨을 출력하는 버퍼(68)를 통하여 지연출력단자(24)에 접속된다.

버퍼(68)는 역치를 갖고, 입력이 역치 이상인가 이하인가에 따라 2치의 논리 레벨의 일방인가 타방을 출력하는 것이다.

이 구성에 있어서 선택신호 입력단자(33)의 선택신호 SEL가 0의 상태에서는 제2 EXOR 게이트(66)는 비반전의 게이트로 되고 제21도는 제22a도에 도시하는 회로와 등가이고, 그의 입력단자(23)에 제22b도 행a에 도시하는 파형의 신호가 입력되면, 제1, 제2 EXOR 게이트(65,66)의 각 출력측에는 각각 제22b도의 행(b,c)에 도시하는 바와 같이 동일한 파형의 신호가 동시에 나타난다. 따라서 콘덴서(67)의 양단의 전위는 항상 동일하고, 콘덴서(67)에 전류가 흐르지 않고, 콘덴서(67)의 임피던스는 무한대로 간주된다.

따라서 제2 EXOR 게이트(66)는 없는 것으로 간주되고, 제21도의 등가회로는 제22c도와 같이 도시된다.

한편 선택신호 입력단자(33)의 선택신호 SEL가 1의 경우는 제2 EXOR(66)는 반전게이트로서 작용하고, 제21도의 회로는 제23a도에 도시하는 것과 같이 쓸수 있다. 입력단자(23)에 제23b도 행 a에 표시하는 파형의 신호가 입력되면 제2 EXOR 게이트(66)가 없다고 가정하였을때의 제1 EXOR 게이트(65)의 출력은 제23b도 행(b)에 도시하는 바와 같이 입력파형과 동극성이고, 제2 EXOR 게이트(66)의 출력은 제23b도 행(c)에 도시하는 바와 같이 제23b도 행(b)와 역극성의 파형으로 된다.

제1, 제2 EXOR 게이트(65,66)를 각각 전압원 65V, 66V과 출력저항기(게이트의 온저항) 65R, 66R으로 표시하면, 제23a도의 회로는 제23c도에 도시하는 등가회로로 된다. 전압원 65V, 66V로부터의 하기의 역상의 전압 $V_1(t), V_2(t)$ 가 출력된다.

$$V_1(t)=v_0f(t), v_2(t)=V_0(1-f(t))$$

$t \leqq 0$ 에서 $f(t)=0, t \leftarrow \infty$ 에서 $f(t)=1$ 그리고 $0 \leqq f(t) \leqq 1$ 제1 EXOR 게이트(17) 및 콘덴서(21)의 접속점(27)의 전압 $V_{out}(S)$ 는 다음 식으로된다.

$$V_{out}(s) = V_0 \cdot F(s) - \frac{V_0 F(s) - \{V_0(1/s - F(s)) - V_0/s\}}{(2R+1/sC)} R$$

$$= \frac{V_0 \cdot F(s) (1/2CR)}{s+1/(2CR)} \dots \dots \dots (3)$$

R는 출력저항기 65R, 66R의 각 저항치, C는 콘덴서(67)의 용량이다.

$f(t)=u(t)$ (유니트 스텝펄스)라 하면

$$v_{out}(t) = V_0 \frac{1/2CR}{s(s+1/2CR)}$$

$$= V_0 \{1 - \exp(-t/2CR)\} \dots \dots \dots (4)$$

로 된다. $V_{out}(t)$ 가 $v_0/2$ 로 되는 시간 t 는 $2CR \log 2$ 로 된다.

이 접속점(69)의 출력신호의 파형은 제23b도 행(d)에 도시하는 바와 같이 상승 및 하강이 둔해진 파형으로 된다.

따라서 제21도의 지연입력단자(23)에 제23d도 행(a)에 표시하는 파형의 신호를 입력하면 선택신호 SEL가 0의 경우는 접속점 69의 신호는 제23d도 행(b)의 실선(71)에 도시하는 바와 같이 입력신호와 동일 파형으로 되지만, 선택신호 SEL가 1의 경우는 접속점(69)의 신호파형은 제23d도 행(b)의 점선(72)에서 도시하는 바와 같이 상승 하강이 해이해진 것으로 된다.

버퍼(68)의 역치레벨 V_t 가 제23d도 행(b)에 도시하는 바와 같이 저레벨과 고레벨과의 중앙이면 버퍼(68)의 출력은 제23d도 행(c)에 도시하는 바와 같이, 선택신호 SEL가 0의 경우는 실선출력(73)으로 되고 이에 대하여, 선택신호 SEL가 1의 경우는 점선출력(74)와 같이 $\Delta t = 2CR \log 2$ 만큼 지연한 것으로 된다.

제21도에 도시한 회로의 전체를 IC화하고, 그리고 그때의 배선의 영향을 소로하는 것은 용이하고 목적의 지연량차 Δt 의 것을 용이하게 만들 수가 있다. 이 지연량차 Δt 는 예를들면 20pS~40pS 정도의 것으로 하는 것은 용이하다. 제21도에 도시한 미소가변지연회로를 복수 종속 접속하고, 각 가변지연 회로에 대한 선택신호의 조합을 변경하여, 입력신호에 대하여 각종의 경로를 취하게 함으로서 최소 지연량에 대하여 지연차가 $\Delta t, 2\Delta t, 3\Delta t, 4\Delta t \dots$ 를 갖는 복수의 지연량의 어느 것인가에 선택적으로 설정할 수 있다.

제24a도에 도시하는 바와 같이 복수의 제2 EXOR(66₁, 66₂, 66₃ ...)을 설치하고, 그 각 일방의 입력측을 지연입력단자(23)에 공통으로 접속하고 각 타방의 입력측을 각각 각별의 선택신호 입력단자(33₁, 33₂, 33₃ ...)에 접속하고 각 출력측을 각각 각별의 콘덴서(67₁, 67₂, 67₃ ...)를 통하여 제1EXOR(65)의 출력측에 접속하여도 좋다.

콘덴서(67₁, 67₂, 67₃ ...)의 각 용량이 동일치 C이라 하면 선택신호 입력단자(33₁, 33₂, 33₃ ...)에 부여하는 선택신호(SEL₁, SEL₂, SEL₃ ...)중의 n개의 선택신호가 1의 경우는 제24a도의 회로는 제23c도의 경우와 마찬가지로 제24b도에 도시하는 등가회로로 표시된다.

이 경우 용량 67은 nC, 출력저항 66R은 R/n이므로, 접속점(69)의 전압 $V_{out}(s)$ 는 다음 식으로 된다.

$$V_{out}(s) = V_0 \cdot F(s) = \frac{V_0 F(s) - \{V_0(1/s - F(s)) - V_0/s\} R}{(R + R/n + 1/nsC)} \dots (5)$$

(유니트 스텝펄스)를 각각 식 (5)에 대입하면,

$$V_{out}(s) = V_0 \left[\frac{\frac{2n}{1+n} \times \frac{1}{(1+n)CR} + \frac{1-n}{1+n}}{s \left\{ s + \frac{1}{(1+n)CR} \right\}} + \frac{1-n}{s} \right] \dots (6)$$

$$v_{out}(t) = V_0 \left[1 - \frac{2n}{1+n} \cdot \exp \left\{ - \frac{t}{(1+n)CR} \right\} \right] \dots (7)$$

로 된다. $v_0/2$ 로 되는 시간은

$$t = - (n+1) CR \log(n+1) / 4n \dots (8)$$

로 되고, n의 값에 따라 지연량을 단조로 변화시킬 수 있다.

제24a도에서 제2EXOR 게이트를 4개로 하면 제1a도에 도시한 종래의 회로에 있어서 지연단의 2단분과 동일 작용을 한다.

상술에서 제1, 제2EXOR 게이트(65, 66) 버퍼(68)는 예를들면 CMOS로 구성된다.

이상 설명한 바와 같이 이 실시예에 의하면 제1EXOR 게이트에 대하여 적어도 하나의 제2EXOR 게이트를 그 출력측에 콘덴서를 사이에 두고 병렬로 접속하고, 제2 EXOR 게이트의 타방의 입력측에 선택신호를 부여하고, 그 선택신호를 0으로 하던가 1로 하던가에 따라, 입력신호의 지연량을 변화시킬 수가 있다. 그 지연량의 변화의 차가 예를들면 20~40pS 정도의 것을 용이하게 만들 수 있고 산폭가 적은 미소가변지연회로를 얻을 수가 있다.

상술의 각 실시예, 즉 제2, 5, 6a, 7, 10, 12a, 12b, 14, 16, 21, 24a도에 도시한 각 실시예는 각각 단독의 가변지연회로로서 사용하여도 좋고 또는 제1a도, 제1b도에 도시한 바와 같이 다단 접속하는 경우의 하나의 지연단으로서 사용하여도 좋다. 더욱 상술에 있어서, s x로서 FET를 사용하였지만, 바이폴라형의 트랜지스터를 사용하여도 좋다.

(57) 청구의 범위

청구항 1

신호입력단자(23)와, 신호출력단자(24)와, 각각이 게이트, 드레인(콜렉터) 및 소스(에미터)의 3개의 전극을 가지는 도전형이 다른 제1 및 제2 트랜지스터(21,22)이고, 상기 제1 및 제2 트랜지스터(21,22)의 게이트끼리가 서로 접속되어 그 접속점이 상기 신호입력단자(23)에 접속되고, 상기 제1 및 제2 트랜지스터(21,22)의 드레인(콜렉터)끼리 또는 소스(에미터)끼리가 서로 접속되어 그 접속점이 상기 신호 출력단자(24)에 접속되어 있는 직렬 접속태양의 제1 및 제2 트랜지스터(21,22)와, 상기 제1 트랜지스터(21)의 접속되지 않은 전극과 전원(25)의 일단(20)과의 사이에 병렬로 접속되고, 서로 저항치가 다른 온/오프 가능한 적어도 2개의 제1저항수단(37₀,37₁,37₂,...)과 상기 제2 트랜지스터(22)의 접속되지 않은 전극과 전원(25)의 타단(30)과의 사이에 병렬로 접속되고, 서로 저항치가 다른 온/오프 가능한 적어도 2개의 제2저항수단(38₀,38₁,38₂,...)과, 지연설정신호(S₀,S₁,...)에 응답하여 상기 적어도 2개의 제1저항수단(37₀,37₁,37₂,...) 및 상기 적어도 2개의 제2저항수단(38₀,38₁,38₂,...)의 온/오프 상태를 설정하는 선택신호(SEL)를 상기 제1 및 제2 저항수단에 부여하는 지연설정수단(39)을 구비하는 것을 특징으로 하는 미소가변지연회로.

청구항 2

제1항에 있어서, 상기 제1 저항수단(37₀,37₁,37₂,...)은 상기 제1 트랜지스터(21)와 같은 도전형의 제1 및 제2의 두개의 FET(전계효과 트랜지스터)(26 또는 27,28)를 포함하고, 상기 제2저항수단(38₀,38₁,38₂,...)은 상기 제2 트랜지스터(22)와 같은 도전형을 가지면서 또한 상기 제1 및 제2 FET와 거의 같은 온저항을 각각 가지는 제3 및 제4의 2개의 FET(29 또는 31,32)를 포함하고, 상기 지연설정수단(39)은 상기 제1 및 제2 FET에 공통으로 선택신호를 공급함과 함께 상기 제3 및 제4 FET에 공통으로 상기 선택신호의 반전논리를 공급하는 것을 특징으로 하는 미소가변지연회로.

청구항 3

신호입력단자(23)와, 신호출력단자(24)와, 서로 직렬로 접속된 도전형의 다른 2개의 FET(42,43)을 가지는 CMOS 트랜지스터로써 상기 양 FET(42,43)의 게이트가 서로 접속되어 그 접속점이 상기 신호입력단자(23)에 접속되고 상기 양 FET(42,43)의 드레인(D)이 서로 접속되어 그 접속점이 상기 신호입력단자(24)에 접속된 CMOS 트랜지스터와, 상기 CMOS 트랜지스터의 상기 2개의 FET의 한쪽의 FET(42)의 소스(S)와 전원의 일단(20)과의 사이에 삽입되어 상기 한쪽의 FET(42)와 같은 도전형을 가지면서 또한 게이트가 상기 신호입력단자(23)에 접속된 제1FET(41)와, 상기 CMOS 트랜지스터의 상기 2개의 FET의 다른쪽의 FET(43)의 소스(S)와 전원의 타단(30)과의 사이에 삽입되어 상기 다른쪽의 FET(43)과 같은 도전형을 가지면서 또한 게이트가 상기 신호입력단자(23)에 접속된 제2FET(44)와, 상기 CMOS 트랜지스터와 상기 제1 FET(41)과의 접속점과 상기 전원의 타단(30)과의 사이에 접속되어 게이트가 상기 신호출력단자(24)에 접속된 상기 제1FET와 같은 도전형의 제3FET(45)와, 상기 CMOS 트랜지스터와 상기 제2FET(44)와의 접속점과, 상기 전원의 일단(20)과의 사이에 접속되어, 게이트가 상기 신호출력단자(24)에 접속된 제2FET와 같은 도전형의 제4FET(47)와, 상기 제3 FET(45)와 직렬로 삽입된 제1스위치(46)와, 상기 제4FET(47)와 직렬로 삽입된 제2스위치(48)와, 지연설정신호에 응답하여 상기 제1 및 제2 스위치(46,48)의 온/오프 상태를 설정하는 선택신호(SEL)를 상기 제1 및 제2 스위치에 부여하는 지연설정수단(39)을 구비하는 것을 특징으로 하는 미소가변지연회로.

청구항 4

제1항 또는 제2항에 있어서, 서로 직렬로 접속된 도전형이 다른 2개의 FET(42,43)를 가지는 CMOS 트랜지스터로써, 상기 양 FET(42,43)의 게이트가 서로 접속되어 그 접속점이 상기 CMOS 트랜지스터의 입력단이 되고, 상기 양 FET(42,43)의 드레인(D)가 서로 접속되어 그 접속점이 상기 CMOS 트랜지스터의 출력단이 되는 CMOS 트랜지스터와, 상기 CMOS 트랜지스터의 상기 2개의 FET중의 한쪽의 FET(42)의 소스(S)와 전원의 일단(20)과의 사이에 삽입되어 상기 한쪽의 FET(42)와 같은 도전형을 가지면서 또한 게이트가 상기 CMOS 트랜지스터의 상기 입력단에 접속된 제1FET(41), 상기 CMOS 트랜지스터의 상기 2개의 FET중의 다른쪽의 FET(43)의 소스(S)와 전원의 타단(30)과의 사이에 삽입되어, 상기 다른쪽의 FET(43)과 같은 도전형을 가지면서 또한 게이트가 상기 CMOS 트랜지스터의 상기 입력단에 접속되어 있는 제2FET(44)와, 상기 CMOS 트랜지스터와 상기 제1FET(41)와의 접속점과, 상기 전원의 타단(30)과의 사이에 접속되어 게이트가 상기 CMOS 트랜지스터의 상기 출력단에 접속된 상기 제1FET와 같은 도전형의 제3FET(45)와, 상기 CMOS 트랜지스터와 상기 제2FET(44)와의 접속점과 상기 전원의 일단(20)과의 사이에 접속되어 게이트가 상기 CMOS 트랜지스터의 상기 출력단에 접속된 상기 제2FET와 같은 도전형의 제4FET(47)와, 상기 제3FET(45)와 직렬로 삽입된 제1스위치(46)와, 상기 제4FET(47)와 직렬로 삽입된 제2스위치(48)를 포함하는 지연단이 더 설치되고, 상기 CMOS 트랜지스터의 상기 입력단과 상기 출력단이 각각 상기 제1 및 제2 트랜지스터(21,22)의 상기 대응하는 한쪽의 전극이 서로 접속된 접속점과 상기 신호출력단자(24)와의 사이에 접속되어 있고, 상기 지연설정수단(39)에 의하여 상기 제1 및 제2스위치(46,48)가 동시에 온 또는 오프로 설정되는 것을 특징으로 하는 미소가변지연회로.

청구항 5

신호입력단자(23)와, 신호출력단자(24)와 각각이 게이트, 드레인(콜렉터) 및 소스(에미터)의 3개의 전극을 가지는 도전형이 다른 제1, 제2의 트랜지스터(21,22)로서, 상기 양 트랜지스터(21,22)의 게이트끼리가 서로 접속되어 그 접속점이 상기 신호입력단자(23)에 접속되고, 상기 제1 및 제2 양 트랜지스터(21,22)의 드레인(콜렉터)끼리 또는 소스(에미터)끼리 서로 접속되어 그 접속점이 상기 신호출력단자(24)에 접속되어 있는 직렬접속태양의 제1, 제2의 트랜지스터(21,22)와, 상기 제1의 트랜지스터(21)의 접속되지 않은 전극과 전원(25)의 일단(20)과의 사이에 및 상기 제2의 트랜지스터(22)의 접속되지 않은 전극과 전원(25)의 타단(30)과의 사이의 어느 한쪽 사이에 직렬로 삽입된 제3의 트랜지스터(55)와, 상기 제3의 트랜지스터(55)의 게이트에 접속된 가변직류전원(56)과, 상기 제1 및 제2의 트랜지스터(21,22)의 드레인(콜렉터)끼리 또는 소스(에미터)끼리 서로 접속되어 있는 접속점

에 입력측이 접속되고 출력측이 상기 신호출력단자(24)에 접속된 인버터(58)를 구비한 것을 특징으로 하는 미소가변지연회로.

청구항 6

신호입력단자(23)와, 신호출력단자(24)와, 출력 임피던스를 가지고, 입력측이 상기 신호입력단자(23)에 접속되어, 논리레벨을 출력하는 버퍼(61)와, 입력측이 상기 버퍼(61)의 출력측에 접속되어 출력측이 상기 신호출력단자(24)에 접속된 슈미트트리거 버퍼(62)와, 이들 양 버퍼(61,62)의 접속점(CP)에 게이트가 접속된 CMOS 트랜지스터($2C_1$)와, 상기 CMOS 트랜지스터($2C_1$)의 각각의 단과 전원단자(20) 및 접지단자(30)와의 각각의사이에 각각 삽입되고, 선택신호(SEL_1)에 의해 동시에 제어되는 제1 및 제2의 스위치소자($28_1, 32_2$)를 구비하는 것을 특징으로 하는 미소가변지연회로.

청구항 7

신호입력단자(23)와, 신호출력단자(24)와 입력측이 상기 신호입력단자(23)에 접속되고, 출력측이 상기 신호출력단자(24)에 접속된 CMOS 논리회로로 이루어지는 버퍼(61)와, 일단이 상기 버퍼(61)의 출력측에 접속된 서로 소스(S)와 드레인(D)이 접속된 P채널 MOSFET(64_1)와 n채널 MOSFET(63_1)으로 이루어지는 상보형 아날로그 스위치(S_1)와, 상기 상보형 아날로그스위치(S_1)의 타단과 접지사이에 접속된 부하용량(C_1)과, 상기 양 MOSFET($64_1, 63_1$)의 게이트에 서로 역논리의 선택신호(SEL_1, \overline{SEL}_1)를 부여하고 상기 아날로그스위치(S_1)의 온·오프를 제어함으로써 상기 버퍼(61)의 출력신호의 지연을 설정하는 지연설정수단을 구비하는 것을 특징으로 하는 미소가변지연회로.

청구항 8

신호입력단자(23)와, 신호출력단자(24)와, 각각이 CMOS형 버퍼($15_1, 15_2, \dots$)와 이 각각의 버퍼($15_1, 15_2, \dots$)의 출력측에 접속된 CMOS형 트랜스미션게이트(TG_1, TG_2, \dots)와의 직렬회로로 이루어지고, 그 각각의 직렬회로의 CMOS형 버퍼의 입력측이 상기 신호입력단자(23)에 접속되고 CMOS형 트랜스미션게이트(TG_1, TG_2, \dots)의 출력측이 상기 신호출력단자(24)에 접속되어 있는 복수의 직렬회로와, 상기 복수의 직렬회로의 상기 트랜스미션게이트(TG_1, TG_2, \dots)에 각각 선택신호(SEL_1, SEL_2, \dots)를 공급하여 이들 트랜스미션게이트(TG_1, TG_2, \dots)를 선택적으로 온·오프시키고, 상기 신호입출력단자(23,24)간의 지연시간을 설정하기 위한 지연설정수단을 구비하는 것을 특징으로 하는 미소가변지연회로.

청구항 9

제8항에 있어서, 상기 복수의 직렬회로의 등가직렬 저항치는 그들의 크기에 차가 설정되어 있는 것을 특징으로 하는 미소가변지연회로.

청구항 10

신호입력단자(23)와, 신호출력단자(24)와, 2개의 입력단자와 1개의 출력단자를 가지고, 상기 2개의 입력단자의 한쪽이 접지되고, 다른 쪽의 입력단자가 상기 신호입력단자(23)에 접속된 제1배타적 논리합게이트(65)와, 2개의 입력단자와 1개의 출력단자를 가지고, 상기 2개의 입력단자의 한쪽이 선택신호 입력단자(33)에 접속되고, 다른 쪽의 입력단자가 상기 신호입력단자(23)에 접속된 제2배타적 논리합 게이트(66)와, 상기 제1 배타적 논리합 게이트(65)의 출력단자와 상기 제2배타적 논리합 게이트(66)와의 출력단자 사이에 접속된 콘덴서(67)와, 상기 콘덴서(67)와 상기 제1배타적 논리합 게이트(65)의 출력단자와의 접속점에 입력측이 접속되고, 상기 신호출력단자(24)에 출력측이 접속된 논리레벨을 출력하는 버퍼(68)를 구비하는 것을 특징으로 하는 미소가변지연회로.

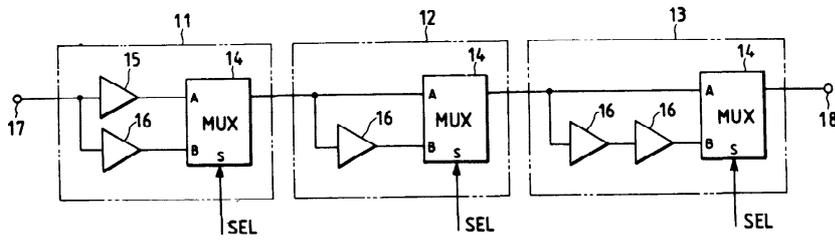
청구항 11

제10항에 있어서, 상기 제2배타적 논리합 게이트와 상기 콘덴서의 조가 복수 설치되어 있는 것을 특징으로 하는 미소가변지연회로.

도면

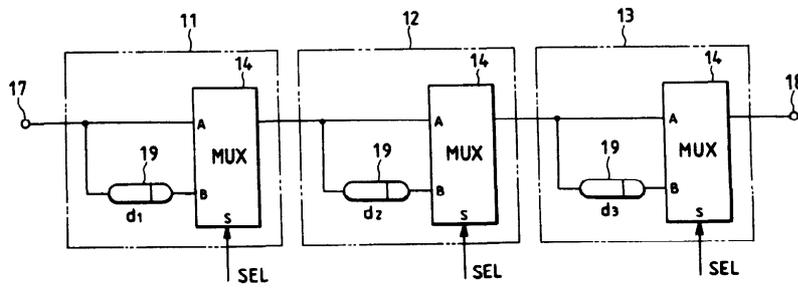
도면 1A

(종래기술)

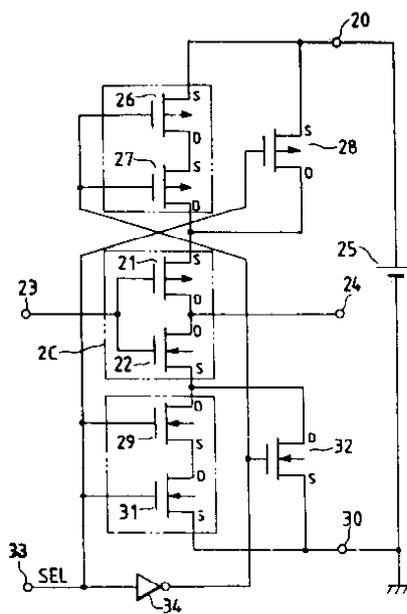


도면 1B

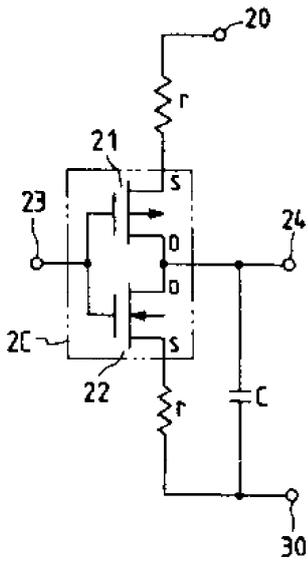
(종래기술)



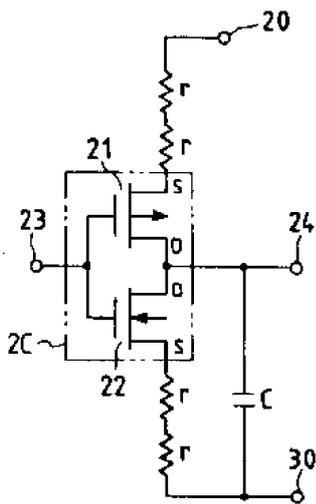
도면 2



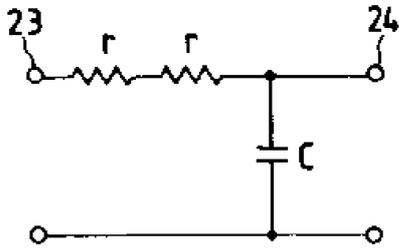
도면3A



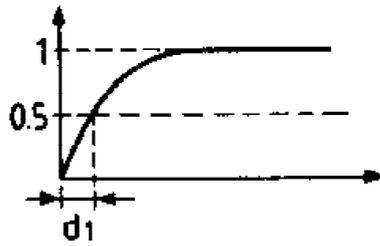
도면3B



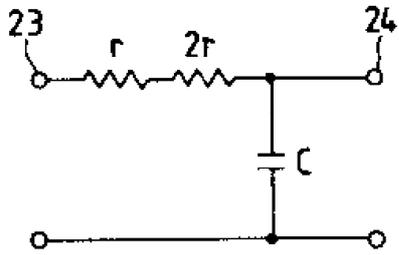
도면4A



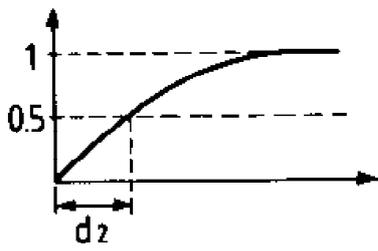
도면4B



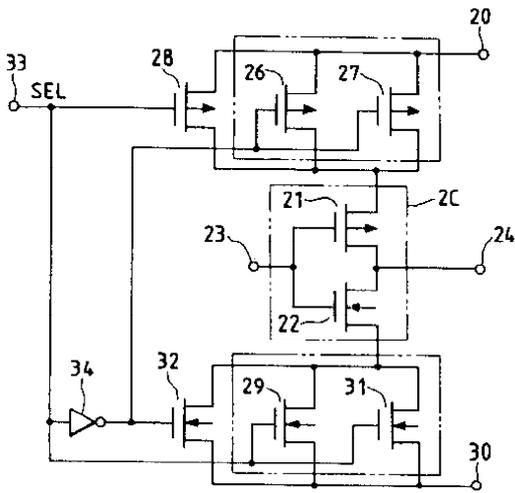
도면4C



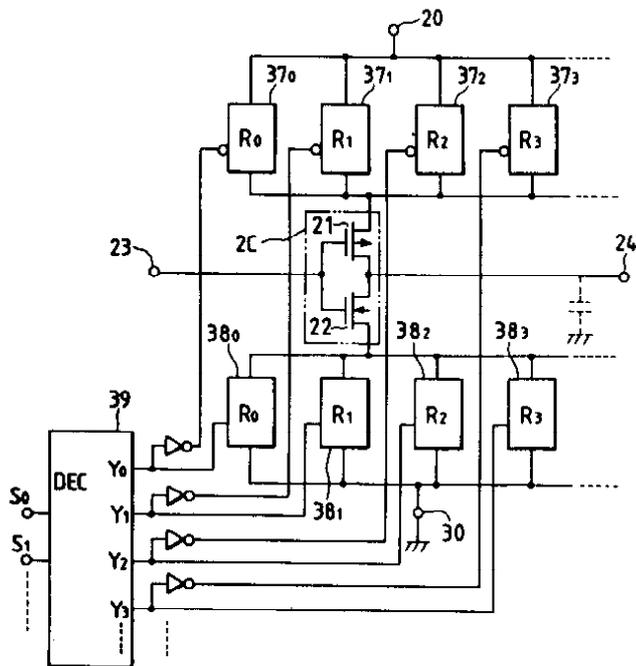
도면4D



도면5

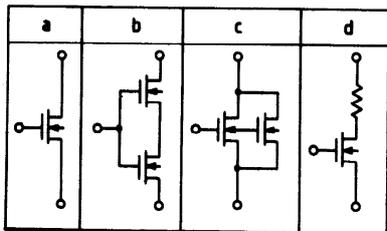


도면6A

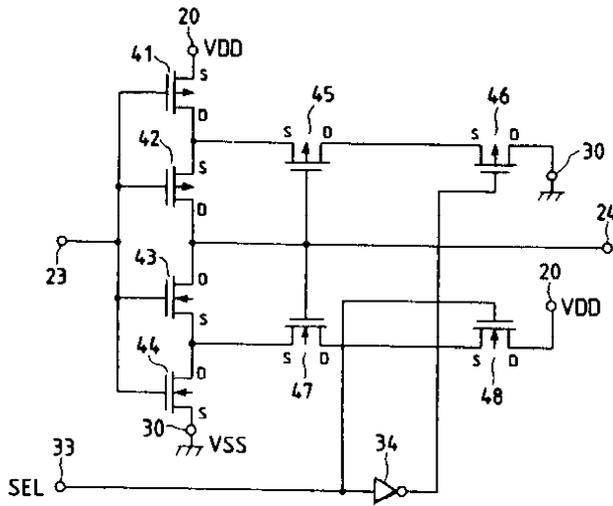


도면6B

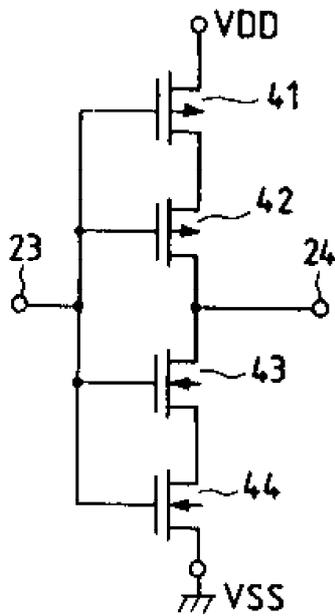
1 I



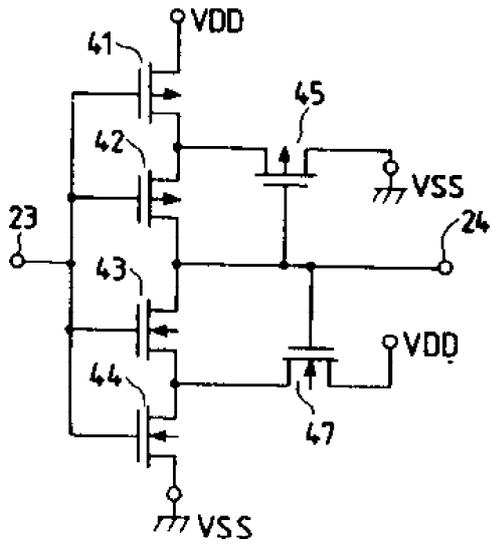
도면7



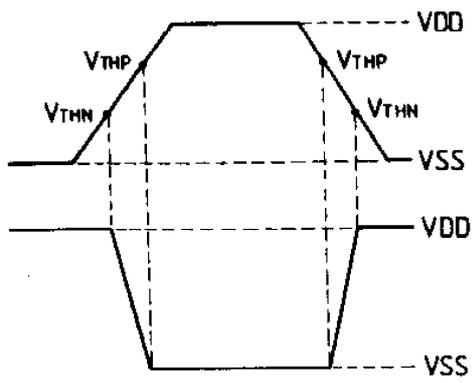
도면8A



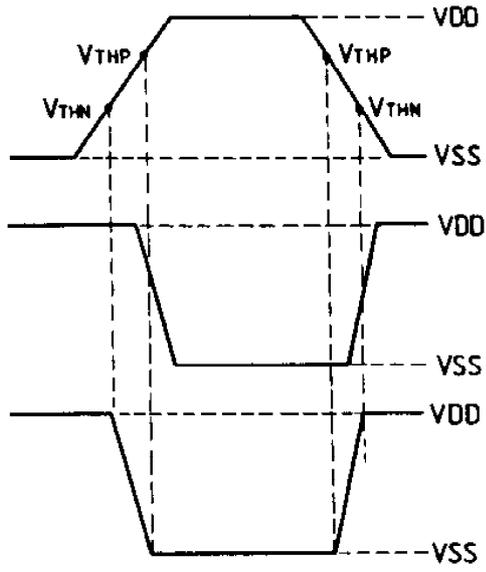
도면88



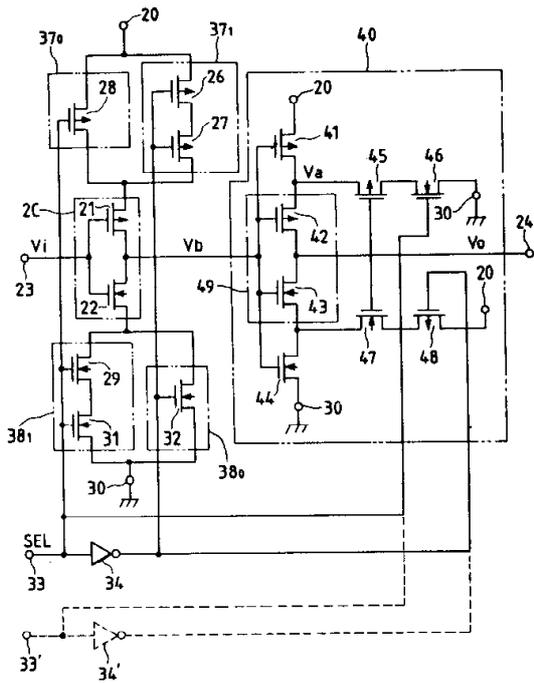
도면9A



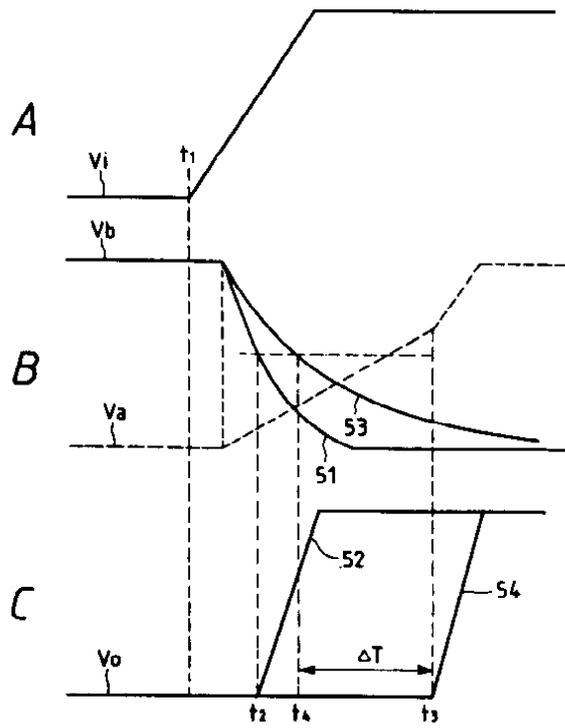
도면9B



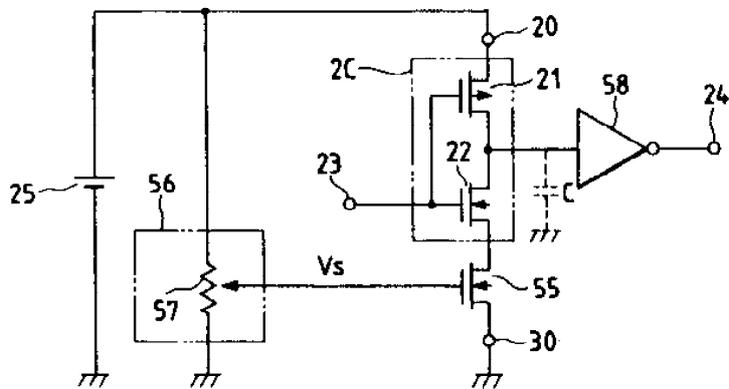
도면10



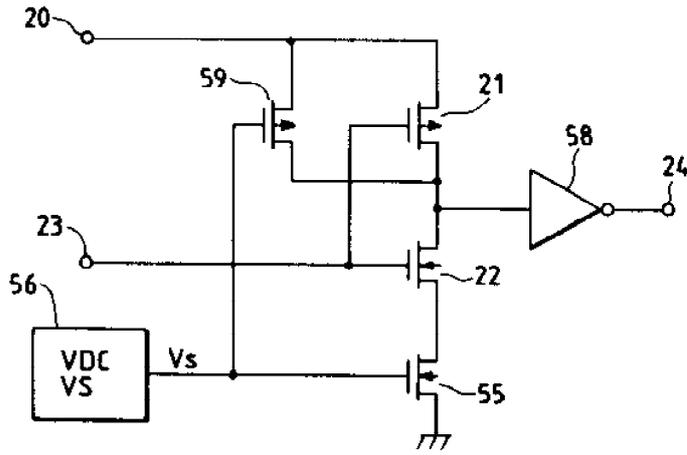
도면11



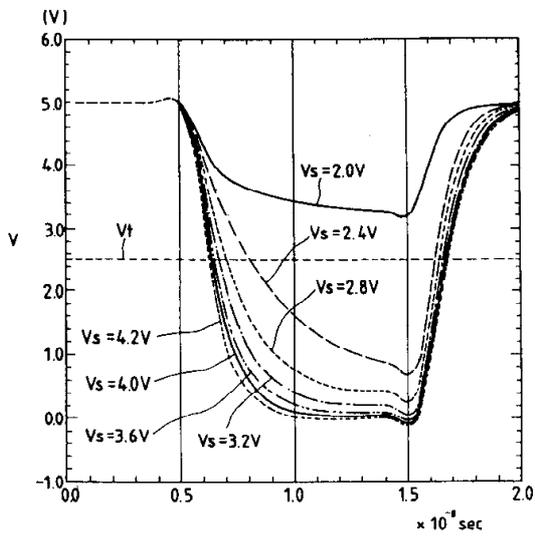
도면12A



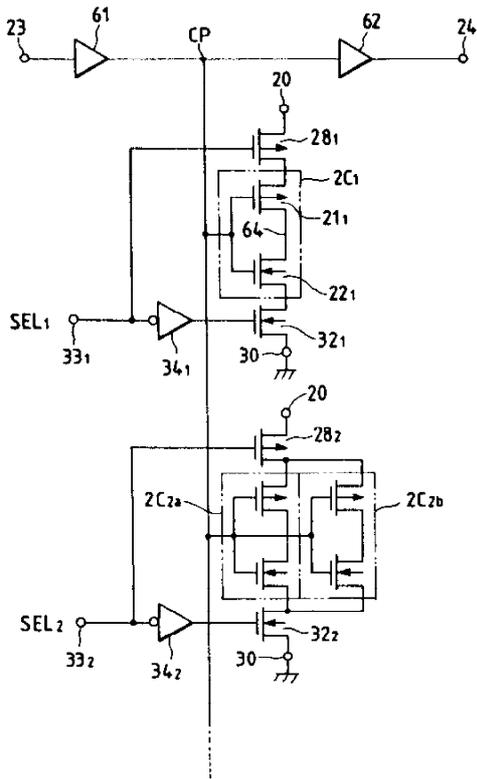
도면 12B



도면 13



도면 14

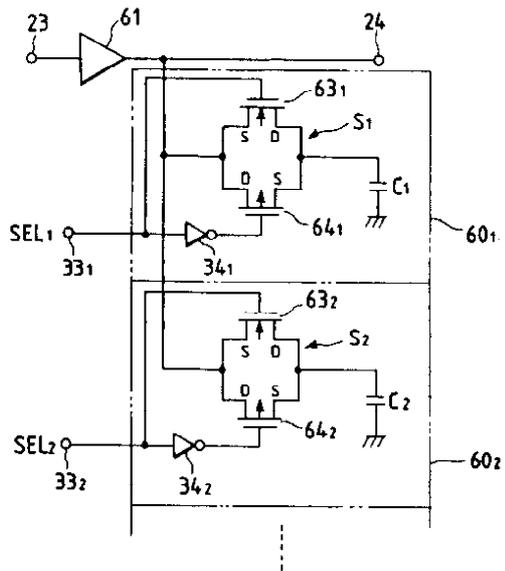


도면 15

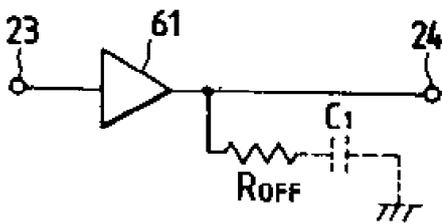
표 I

	SEL ₂	SEL ₁	CP에서의 파형	24에서의 파형
A	H	H		
B	H	L		
C	L	H		
D	L	L		

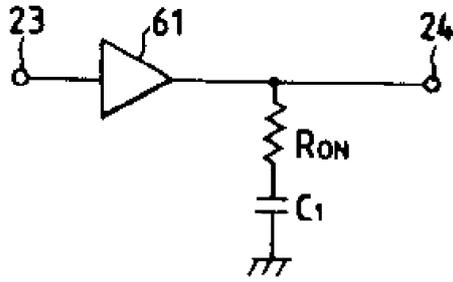
도면 16



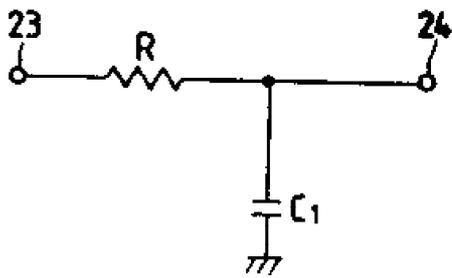
도면 17A



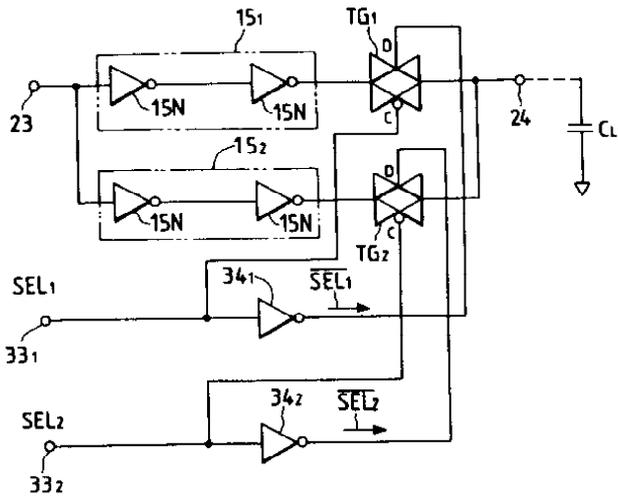
도면 17B



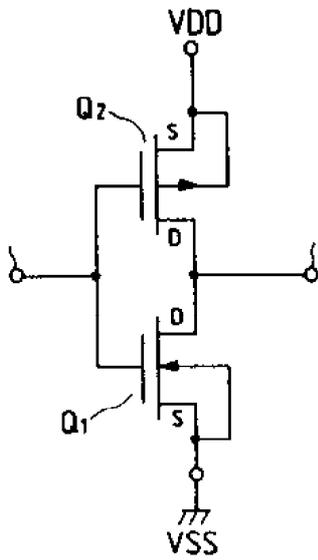
도면 17C



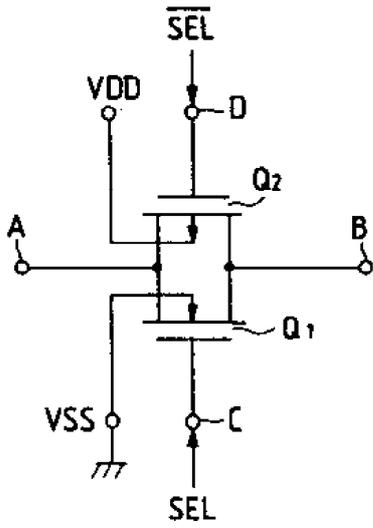
도면 18



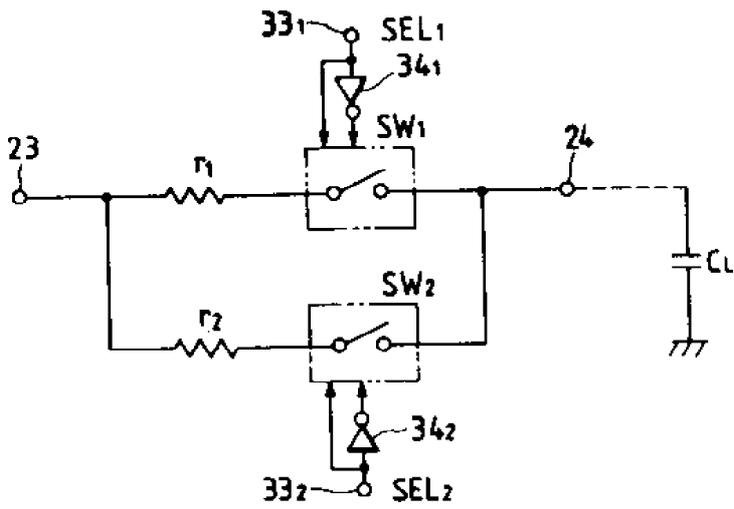
도면 19A



도면 19B



도면 20A



도면 20B

표 II

$r_1 = r_2$

		SW _i	
		오픈	닫
SW ₂	오픈	고전압 압입현상	$\tau = r_1 \cdot C_L$
	닫	—	$\tau = \frac{r_1}{2} \cdot C_L$

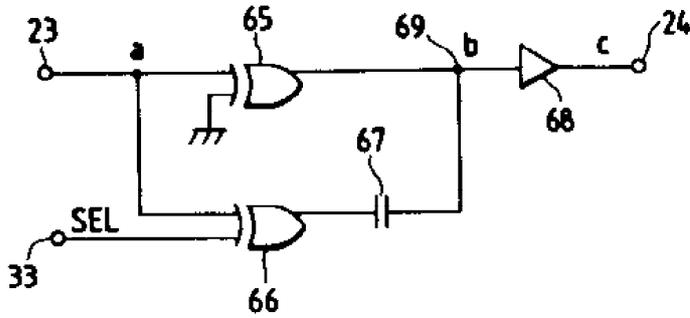
도면20C

표 IV

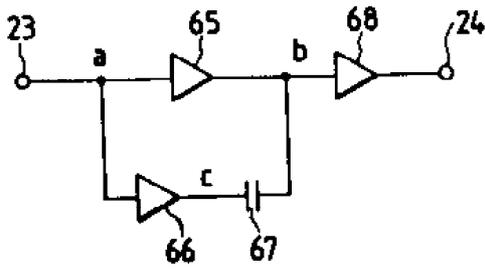
$r_1 < r_2$

		SW ₁	
		오픈	닫
SW ₂	오픈	정상적 임피던스	$\tau = r_1 \cdot C_L$
	닫	$\tau = r_2 \cdot C_L$	$\tau = \frac{r_1 \cdot r_2}{r_1 + r_2} \cdot C_L$

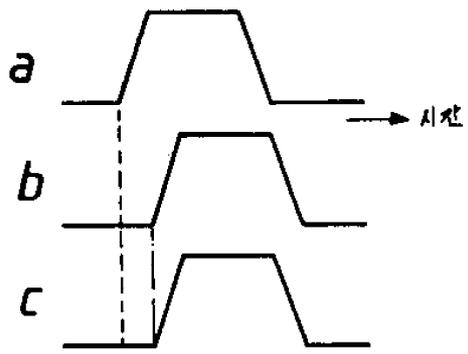
도면21



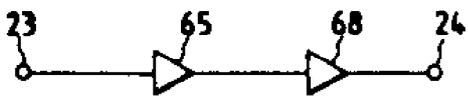
도면22A



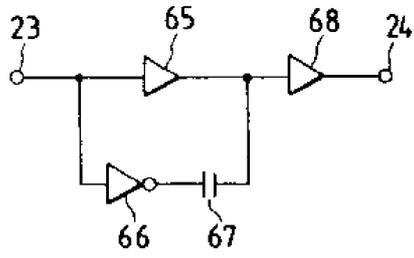
도면22B



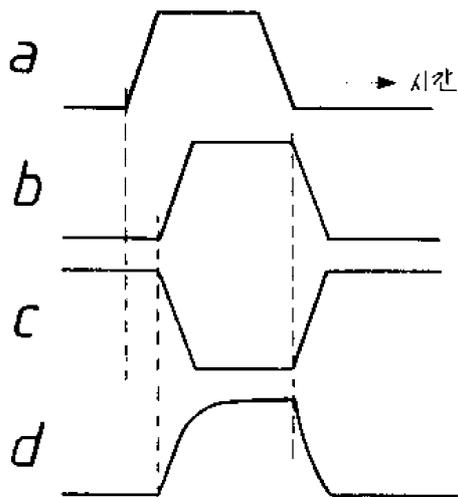
도면22C



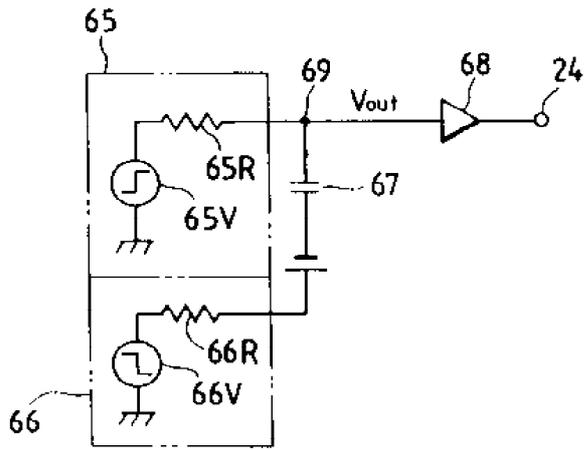
도면23A



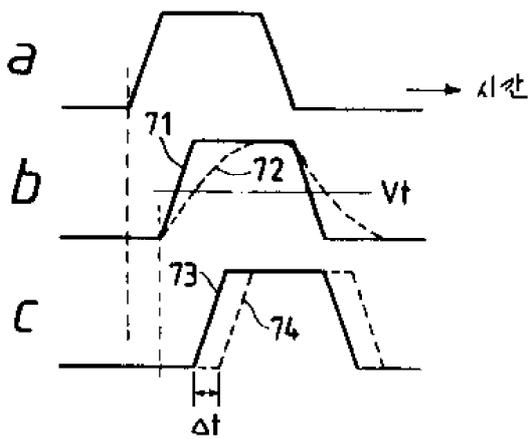
도면23B



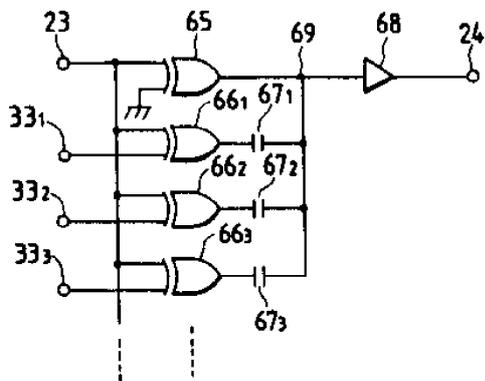
도면23C



도면23D



도면24A



도면24B

