



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2025-0049301  
(43) 공개일자 2025년04월11일

- (51) 국제특허분류(Int. Cl.)  
 H10D 84/83 (2025.01) G09G 3/20 (2006.01)  
 G09G 3/3225 (2016.01) G11C 19/28 (2006.01)  
 H03K 19/0175 (2006.01) H03K 19/094 (2006.01)  
 H03K 3/356 (2006.01) H10D 30/01 (2025.01)  
 H10D 30/67 (2025.01) H10D 84/01 (2025.01)  
 H10D 84/03 (2025.01)
- (52) CPC특허분류  
 H10D 84/83 (2025.01)  
 G09G 3/3225 (2013.01)
- (21) 출원번호 10-2025-7006415
- (22) 출원일자(국제) 2023년07월28일  
 심사청구일자 없음
- (85) 번역문제출일자 2025년02월26일
- (86) 국제출원번호 PCT/IB2023/057662
- (87) 국제공개번호 WO 2024/033742  
 국제공개일자 2024년02월15일
- (30) 우선권주장  
 JP-P-2022-127806 2022년08월10일 일본(JP)  
 (뒷면에 계속)
- (71) 출원인  
 가부시키가이샤 한도오따이 에네루기 켄큐쇼  
 일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
 쿠스노키 코지  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
 카와시마 스스무  
 일본 243-0036 가나가와켄 아쓰기시 하세 398 가  
 부시키가이샤 한도오따이 에네루기 켄큐쇼 내  
 (뒷면에 계속)
- (74) 대리인  
 장훈

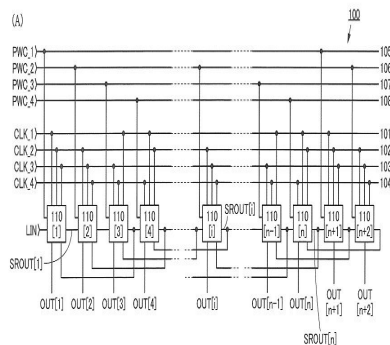
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **시프트 레지스터**

**(57) 요약**

신규 신호 출력 회로를 제공한다. 수직 채널형 트랜지스터를 포함하는 신호 출력 회로를 포함하는 시프트 레지스터이다. 수직 채널형 트랜지스터의 게이트와 소스 사이의 기생 용량 및 게이트와 드레인 사이의 기생 용량 중 용량값이 큰 쪽을 부트스트랩 용량으로서 사용함으로써, 점유 면적이 작은 신호 출력 회로를 실현한다. 수직 채널형 트랜지스터의 반도체층에 산화물 반도체를 사용함으로써, 소스와 드레인 사이의 절연 내압이 높아지고, 채널 길이를 짧게 할 수 있다. 또한 고온 환경하에서도 안정된 동작을 실현할 수 있다.

**대표도**



(52) CPC특허분류

*G11C 19/28* (2013.01)  
*H03K 19/0175* (2013.01)  
*H03K 19/094* (2013.01)  
*H03K 3/356* (2013.01)  
*H10D 30/021* (2025.01)  
*H10D 30/67* (2025.01)  
*H10D 84/01* (2025.01)  
*H10D 84/0126* (2025.01)  
*H10D 84/038* (2025.01)

(30) 우선권주장

JP-P-2022-145287 2022년09월13일 일본(JP)  
JP-P-2022-181214 2022년11월11일 일본(JP)

(72) 발명자

**시시도 히테아키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**아츠미 토모아키**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**사이토 모토히루**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**마츠모토 히로노리**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

**사토 마나부**

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부  
시키가이샤 한도오따이 에네루기 켄큐쇼 내

## 명세서

### 청구범위

#### 청구항 1

복수의 신호 출력 회로를 포함하고,

상기 복수의 신호 출력 회로 중 적어도 하나가 제 1 트랜지스터를 포함하고,

상기 복수의 신호 출력 회로 중 적어도 하나가 상기 제 1 트랜지스터를 통하여 제 1 신호를 출력하는 기능을 가지는 시프트 레지스터로서,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 제 1 도전층과,

상기 제 1 도전층 위에 배치된 영역을 포함하는 제 1 절연층과,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 포함하고, 상기 제 1 절연층 위에 배치된 영역을 포함하는 제 2 도전층과,

상기 제 1 절연층 및 상기 제 2 도전층을 관통하며 상기 제 1 도전층과 중첩되는 제 1 개구와,

상기 제 1 절연층에 접한 영역을 포함하고, 상기 제 1 도전층에 접한 영역을 포함하고, 상기 제 2 도전층에 접한 영역을 포함하는 제 1 반도체층과,

상기 제 1 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하는 제 3 도전층과,

상기 제 1 트랜지스터의 게이트 절연막으로서 기능하는 영역을 포함하고, 상기 제 1 개구에서 상기 제 1 반도체층과 상기 제 3 도전층에 끼워진 영역을 포함하는 제 2 절연층을 포함하고,

상기 제 1 신호는 상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 입력되는, 시프트 레지스터.

#### 청구항 2

제 1 항에 있어서,

상기 제 3 도전층은

상기 제 1 개구에서 상기 제 1 도전층과 중첩되는 영역과,

상기 제 1 절연층 위에서 상기 제 2 도전층과 중첩되는 영역을 포함하는, 시프트 레지스터.

#### 청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 복수의 신호 출력 회로 중 적어도 하나가 제 2 트랜지스터를 포함하는 시프트 레지스터로서,

상기 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 제 4 도전층과,

상기 제 4 도전층 위에 배치된 영역을 포함하는 상기 제 1 절연층과,

상기 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 포함하고, 상기 제 1 절연층 위에 배치된 영역을 포함하는 제 5 도전층과,

상기 제 1 절연층 및 상기 제 5 도전층을 관통하며 상기 제 4 도전층과 중첩되는 제 2 개구와,

상기 제 1 절연층에 접한 영역을 포함하고, 상기 제 4 도전층에 접한 영역을 포함하고, 상기 제 5 도전층에 접한 영역을 포함하는 제 2 반도체층과,

상기 제 2 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하고, 상기 제 2 절연층 위에 배치된 영역을 포함하는 제 6 도전층과,

상기 제 2 트랜지스터의 게이트 절연막으로서 기능하는 영역을 포함하고, 상기 제 2 개구에서 상기 제 2 반도체

층과 상기 제 6 도전층에 끼워진 영역을 포함하는 상기 제 2 절연층을 포함하고,  
상기 제 4 도전층과 상기 제 3 도전층이 서로 전기적으로 접속되는, 시프트 레지스터.

**청구항 4**

제 3 항에 있어서,  
상기 제 4 도전층의 바닥면을 기준으로 하였을 때, 상기 제 4 도전층의 상면 높이와, 상기 제 6 도전층의 바닥면 높이가 서로 다른, 시프트 레지스터.

**청구항 5**

제 1 항 또는 제 2 항에 있어서,  
상기 제 1 반도체층은 산화물 반도체를 포함하는, 시프트 레지스터.

**청구항 6**

제 3 항에 있어서,  
상기 제 2 반도체층은 산화물 반도체를 포함하는, 시프트 레지스터.

**청구항 7**

제 4 항에 있어서,  
상기 제 2 반도체층은 산화물 반도체를 포함하는, 시프트 레지스터.

**발명의 설명**

**기술 분야**

[0001] 본 명세서 등에서 개시(開示)하는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 명세서 등에 개시되는 발명의 일 형태는 프로세스(process), 기계(machine), 제품(manufacture), 또는 조성물 (composition of matter)에 관한 것이다.

[0002] 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에 개시되는 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치(예를 들어 터치 센서), 입출력 장치(예를 들어 터치 패널), 이들의 구동 방법, 또는 이들의 제조 방법을 일례로 들 수 있다.

[0003] 또한 본 명세서 등에서 반도체 장치란 반도체 특성을 이용한 장치를 말하며 반도체 소자(트랜지스터, 다이오드, 포토다이오드 등)를 포함하는 회로, 그리고 이 회로를 포함하는 장치 등을 말한다. 또한 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 말한다. 예를 들어 집적 회로, 집적 회로를 포함하는 칩, 패키지에 칩을 수납한 전자 부품은 반도체 장치의 일례이다. 또한 기억 장치, 표시 장치, 발광 장치, 조명 장치, 및 전자 기기 등은 그 자체가 반도체 장치이고, 또한 각각이 반도체 장치를 가지는 경우가 있다.

**배경 기술**

[0004] 또한 근년에는 전자 기기의 소형화, 경량화에 따라 트랜지스터 등을 고밀도로 집적한 집적 회로에 대한 요구가 높아지고 있다. 트랜지스터를 고밀도로 집적하는 수단 중 하나로서 트랜지스터의 미세화 및 점유 면적의 저감이 진행되고 있다.

[0005] 트랜지스터에 적용할 수 있는 반도체 재료로서 금속 산화물을 사용한 산화물 반도체가 주목을 받고 있다. 예를 들어 특허문헌 1에서는 복수의 산화물 반도체층을 적층하고, 상기 복수의 산화물 반도체층 중 채널이 되는 산화물 반도체층이 인듐 및 갈륨을 포함하고, 또한 인듐의 비율을 갈륨의 비율보다 높게 함으로써 전체 효과 이동도 (단순히 이동도 또는  $\mu FE$ 라고 하는 경우가 있음)를 높인 반도체 장치가 개시되어 있다.

**선행기술문헌**

**특허문헌**

[0006] (특허문헌 0001) 일본 공개특허공보 특개2014-7399호

**발명의 내용**

**해결하려는 과제**

[0007] 본 발명의 일 형태는 점유 면적이 작은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 소비 전력이 낮은 반도체 장치를 제공하는 것을 과제 중 하나로 한다. 또는 신뢰성이 양호한 반도체 장치 등을 제공하는 것을 과제 중 하나로 한다. 또는 신규 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

[0008] 또한 이들 과제의 기재는 다른 과제의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 과제 모두를 해결할 필요는 없는 것으로 한다. 또한 이들 이외의 과제는 명세서, 도면, 청구항 등의 기재에서 저절로 명백해지는 것이며, 명세서, 도면, 청구항 등의 기재에서 이들 이외의 과제를 추출할 수 있다.

**과제의 해결 수단**

[0009] 본 발명의 일 형태는 복수의 신호 출력 회로를 포함하고, 복수의 신호 출력 회로 중 적어도 하나는 제 1 트랜지스터를 포함하고, 복수의 신호 출력 회로 중 적어도 하나는 제 1 트랜지스터를 통하여 제 1 신호를 출력하는 기능을 가지는 시프트 레지스터이며, 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 제 1 도전층과, 제 1 도전층 위에 배치된 영역을 포함하는 제 1 절연층과, 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 포함하고, 제 1 절연층 위에 배치된 영역을 포함하는 제 2 도전층과, 제 1 절연층 및 제 2 도전층을 관통하며 제 1 도전층과 중첩되는 제 1 개구와 제 1 절연층에 접한 영역을 포함하고, 제 1 도전층에 접한 영역을 포함하고 제 2 도전층에 접한 영역을 포함하는 제 1 반도체층과, 제 1 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하는 제 3 도전층과, 제 1 트랜지스터의 게이트 절연막으로서 기능하는 영역을 포함하고, 제 1 개구에서 제 1 반도체층과 제 3 도전층에 끼워진 영역을 포함하는 제 2 절연층을 포함하고, 제 1 신호는 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽에 입력되는 시프트 레지스터이다.

[0010] 예를 들어 제 3 도전층은 제 1 개구에서 제 1 도전층과 중첩되는 영역과, 제 1 절연층 위에서 제 2 도전층과 중첩되는 영역을 포함한다.

[0011] 복수의 신호 출력 회로 중 적어도 하나는 제 2 트랜지스터를 포함하여도 좋다. 예를 들어 제 2 트랜지스터의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함하는 제 4 도전층과, 제 4 도전층 위에 배치된 영역을 포함하는 제 1 절연층과, 제 1 트랜지스터의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 포함하고, 제 1 절연층 위에 배치된 영역을 포함하는 제 5 도전층과, 제 1 절연층 및 제 5 도전층을 관통하며 제 4 도전층과 중첩되는 제 2 개구와, 제 1 절연층에 접한 영역을 포함하고, 제 4 도전층에 접한 영역을 포함하고, 제 5 도전층에 접한 영역을 포함하는 제 2 반도체층과, 제 2 트랜지스터의 게이트 전극으로서 기능하는 영역을 포함하고, 제 2 절연층 위에 배치된 영역을 포함하는 제 6 도전층과, 제 2 트랜지스터의 게이트 절연막으로서 기능하는 영역을 포함하고, 제 2 개구에서 제 2 반도체층과 제 6 도전층에 끼워진 영역을 포함하는 제 2 절연층을 포함하여도 좋다. 또한 제 4 도전층과 제 3 도전층은 서로 전기적으로 접속되는 것이 바람직하다.

[0012] 또한 제 4 도전층의 바닥면을 기준으로 하였을 때, 제 4 도전층의 상면 높이와, 제 6 도전층의 바닥면 높이가 서로 다른 경우가 있다. 제 1 반도체층은 산화물 반도체를 포함하는 것이 바람직하다. 제 2 반도체층은 산화물 반도체를 포함하는 것이 바람직하다.

**발명의 효과**

[0013] 본 발명의 일 형태에 의하여 점유 면적이 작은 반도체 장치를 제공할 수 있다. 또는 소비 전력이 낮은 반도체 장치를 제공할 수 있다. 또는 신뢰성이 양호한 반도체 장치를 제공할 수 있다. 또는 신규 반도체 장치를 제공할 수 있다.

[0014] 또한 이들 효과의 기재는 다른 효과의 존재를 방해하는 것은 아니다. 또한 본 발명의 일 형태는 이들 효과 모두를 가질 필요는 없다. 또한 이들 외의 효과는 명세서, 도면, 청구항 등의 기재로부터 저절로 명백해지는 것

이며, 명세서, 도면, 청구항 등의 기재에서 이들 외의 효과가 추출될 수 있다.

**도면의 간단한 설명**

[0015]

도 1의 (A)는 시프트 레지스터의 일례를 나타낸 도면이다. 도 1의 (B) 및 (C)는 신호 출력 회로의 일례를 나타낸 도면이다.

도 2는 신호 출력 회로의 일례를 나타낸 도면이다.

도 3은 신호 출력 회로의 일례를 나타낸 도면이다.

도 4는 신호 출력 회로의 일례를 나타낸 도면이다.

도 5는 신호 출력 회로의 일례를 나타낸 도면이다.

도 6은 신호 출력 회로의 일례를 나타낸 도면이다.

도 7은 신호 출력 회로의 일례를 나타낸 도면이다.

도 8은 신호 출력 회로의 일례를 나타낸 도면이다.

도 9는 신호 출력 회로의 일례를 나타낸 도면이다.

도 10은 신호 출력 회로의 일례를 나타낸 도면이다.

도 11의 (A)는 트랜지스터의 평면도이다. 도 11의 (B)는 트랜지스터의 단면도이다. 도 11의 (C)는 트랜지스터의 사시도이다. 도 11의 (D)는 트랜지스터의 등가 회로도이다.

도 12의 (A) 및 (B)는 트랜지스터의 단면도이다. 도 12의 (C) 내지 (F)는 개구의 평면도이다.

도 13의 (A) 및 (B)는 트랜지스터의 평면도이다.

도 14의 (A)는 트랜지스터의 단면도이다. 도 14의 (B)는 트랜지스터의 등가 회로도이다.

도 15의 (A)는 트랜지스터의 평면도이다. 도 15의 (B)는 트랜지스터의 단면도이다. 도 15의 (C)는 트랜지스터의 사시도이다. 도 15의 (D)는 트랜지스터의 등가 회로도이다.

도 16의 (A)는 트랜지스터의 평면도이다. 도 16의 (B)는 트랜지스터의 단면도이다. 도 16의 (C)는 트랜지스터의 사시도이다. 도 16의 (D)는 트랜지스터의 등가 회로도이다.

도 17은 신호 출력 회로의 평면도이다.

도 18은 신호 출력 회로의 평면도이다.

도 19의 (A) 및 (B)는 신호 출력 회로의 단면도이다.

도 20의 (A) 및 (B)는 신호 출력 회로의 단면도이다.

도 21의 (A) 및 (B)는 신호 출력 회로의 단면도이다.

도 22는 신호 출력 회로의 일례를 나타낸 도면이다.

도 23은 신호 출력 회로의 동작의 예를 설명하기 위한 타이밍 차트이다.

도 24는 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 25는 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 26은 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 27은 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 28은 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 29는 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 30은 신호 출력 회로의 동작의 예를 설명하기 위한 회로도이다.

도 31은 신호 출력 회로의 일례를 나타낸 도면이다.

- 도 32는 신호 출력 회로의 일례를 나타낸 도면이다.
- 도 33은 시프트 레지스터의 동작의 예를 설명하기 위한 타이밍 차트이다.
- 도 34의 (A)는 표시 장치의 사시도이다. 도 34의 (B)는 표시 장치의 블록도이다.
- 도 35의 (A) 내지 (D)는 화소 회로의 회로도이다.
- 도 36의 (A) 내지 (D)는 화소 회로의 회로도이다.
- 도 37의 (A) 및 (B)는 화소 회로의 회로도이다.
- 도 38의 (A) 및 (B)는 화소 회로의 회로도이다.
- 도 39의 (A) 및 (B)는 구동 회로의 구성예를 설명하는 도면이다.
- 도 40의 (A) 내지 (G)는 화소의 일례를 나타낸 도면이다.
- 도 41의 (A) 내지 (K)는 화소의 일례를 나타낸 도면이다.
- 도 42의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.
- 도 43의 (A) 내지 (C)는 발광 디바이스의 구성예를 나타낸 도면이다.
- 도 44의 (A) 내지 (D)는 발광 소자의 구성예를 설명하는 도면이다.
- 도 45의 (A) 내지 (D)는 발광 소자의 구성예를 나타낸 도면이다.
- 도 46의 (A) 내지 (C)는 발광 소자의 구성예를 설명하는 도면이다.
- 도 47의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.
- 도 48의 (A) 내지 (F)는 전자 기기의 일례를 나타낸 도면이다.
- 도 49의 (A1) 및 (A2)는 트랜지스터의 단면 개략도이다. 도 49의 (B1) 및 (B2)는 트랜지스터의 Id-Vg 특성을 나타낸 도면이다. 도 49의 (C1) 및 (C2)는 트랜지스터의 Id-Vd 특성을 나타낸 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0016] 실시형태에 대하여 도면을 사용하여 자세히 설명한다. 다만 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어나지 않고 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 이하의 실시형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한 이하에 설명하는 발명의 구성에서, 동일한 부분 또는 같은 기능을 가지는 부분에는 동일한 부호를 상이한 도면들 사이에서 공통적으로 사용하고, 그 반복되는 설명은 생략하는 경우가 있다.
- [0017] 또한 도면 등에서 각 구성의 위치, 크기, 범위 등은, 발명의 이해를 용이하게 하기 위하여 실제의 위치, 크기, 범위 등을 나타내지 않는 경우가 있다. 따라서 개시하는 발명은 도면 등에 개시된 위치, 크기, 범위 등에 반드시 한정되는 것은 아니다. 예를 들어 실제의 제조 공정에서 에칭 등의 처리에 의하여 층 및 레지스트 마스크 등이 의도하지 않게 감소되는 경우가 있으나, 발명을 이해하기 쉽게 하기 위하여 기재를 생략하는 경우가 있다.
- [0018] 또한 본 명세서 등에서 포토리소그래피법에 의하여 레지스트 마스크를 형성하고, 그 후에 에칭 공정(제거 공정)을 수행하는 경우에는 특별한 설명이 없는 한 상기 레지스트 마스크는 에칭 공정 종료 후에 제거되는 것으로 한다.
- [0019] 또한 특히 평면도("상면도"라고도 함) 및 사시도 등에서 발명을 이해하기 쉽게 하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다. 또한 일부의 숨은선 등의 기재를 생략하는 경우가 있다.
- [0020] 본 명세서 등에서 "제 1", "제 2" 등의 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이며, 공정 순서 또는 적층 순서 등, 어떠한 순서 또는 순위를 나타내는 것은 아니다. 또한 본 명세서 등에서 서수사가 붙여지지 않는 용어라도, 구성 요소의 혼동을 피하기 위하여 청구범위에서 서수사가 붙여지는 경우가 있다. 또한 본 명세서 등에서 부여된 서수사와 청구범위에서 부여된 서수사가 상이한 경우가 있다. 또한 본 명세서 등에서 서수사가 붙여진 용어라도, 청구범위 등에서 서수사가 생략되는 경우가 있다.
- [0021] 또한 본 명세서 등에서 "전극", "배선", 및 "단자" 등의 용어는 이들 구성 요소를 기능적으로 한정하는 것이 아

니다. 예를 들어 "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극" 및 "배선"이라는 용어는 복수의 "전극" 및 "배선"이 일체가 되어 제공되는 경우 등도 포함한다. 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "단자"라는 용어는 복수의 "전극", "배선", "단자" 등이 일체가 되어 형성되는 경우 등도 포함한다. 그러므로 예를 들어 "전극"은 "배선" 또는 "단자"의 일부가 될 수 있고, 또한 예를 들어 "단자"는 "배선" 또는 "전극"의 일부가 될 수 있다. 또한 "전극", "배선", 및 "단자" 등의 용어는 경우에 따라 "영역" 등의 용어로 치환될 수 있는 경우가 있다.

[0022] 또한 본 명세서 등에서 신호의 공급이란 배선 등에 소정의 전위를 공급하는 것을 말한다. 따라서 "신호"를 "전위" 등의 용어로 바꿔 읽을 수 있는 경우가 있다. 또한 "전위" 등의 용어를 "신호"로 바꿔 읽을 수 있는 경우가 있다. 또한 "신호"는 변동 전위이어도 좋고, 고정 전위이어도 좋다. 예를 들어 전원 전위이어도 좋다.

[0023] 또한 "막"이라는 용어와 "층"이라는 용어는 경우 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어 "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다.

[0024] 또한 본 명세서 등에서 "용량 소자"란 예를 들어 0F보다 정전 용량의 값이 높은 회로 소자, 0F보다 높은 정전 용량의 값을 가지는 배선의 영역, 기생 용량, 또는 트랜지스터의 게이트 용량으로 할 수 있다. 또한 "용량 소자", "기생 용량", 또는 "게이트 용량"이라는 용어는 "용량" 등이라는 용어로 바꿔 말할 수 있는 경우가 있다. 반대로 "용량"이라는 용어는 "용량 소자", "기생 용량", 또는 "게이트 용량" 등이라는 용어로 바꿔 말할 수 있는 경우가 있다. 또한 "용량"(3단자 이상의 "용량"을 포함함)은 절연체와, 상기 절연체를 사이에 끼운 한 쌍의 도전층을 포함하는 구성을 가진다. 그러므로 "용량"의 "한 쌍의 도전층"이라는 용어는 "한 쌍의 전극", "한 쌍의 도전 영역", "한 쌍의 영역" 또는 "한 쌍의 단자"로 바꿔 말할 수 있다. 또한 "한 쌍의 단자 중 한쪽"이라는 용어는 "한쪽 단자" 또는 "제 1 단자"라고 부르는 경우가 있다. 또한 "한 쌍의 단자 중 다른 쪽"이라는 용어는 "다른 쪽 단자" 또는 "제 2 단자"라고 부르는 경우가 있다. 또한 정전 용량은 예를 들어 0.05fF 이상 10pF 이하로 할 수 있다. 또한 예를 들어 1pF 이상 10 $\mu$ F 이하로 하여도 좋다.

[0025] 트랜지스터의 "소스" 및 "드레인"의 기능은 다른 극성의 트랜지스터를 채용하는 경우, 또는 회로 동작에서 전류의 방향이 변화되는 경우 등에서 바꿀 수 있다. 따라서 본 명세서에서 "소스" 및 "드레인"이라는 용어는 서로 바꿔 사용할 수 있는 것으로 한다.

[0026] 본 명세서 등에서 "게이트"란 게이트 전극 및 게이트 배선의 일부 또는 전부를 말한다. 게이트 배선이란, 적어도 하나의 트랜지스터의 게이트 전극과, 다른 전극 또는 다른 배선을 전기적으로 접속시키기 위한 배선을 말한다.

[0027] 본 명세서 등에서 "소스"란 소스 영역, 소스 전극, 및 소스 배선의 일부 또는 전부를 말한다. 소스 영역이란 반도체층 중 저항률이 일정한 값 이하인 영역을 가리킨다. 소스 전극이란 소스 영역에 접속되는 부분을 포함하는 도전층을 가리킨다. 소스 배선이란, 적어도 하나의 트랜지스터의 소스 전극과, 다른 전극 또는 다른 배선을 전기적으로 접속시키기 위한 배선을 말한다.

[0028] 본 명세서 등에서 "드레인"이란 드레인 영역, 드레인 전극, 및 드레인 배선의 일부 또는 전부를 말한다. 드레인 영역이란 반도체층 중 저항률이 일정한 값 이하인 영역을 가리킨다. 드레인 전극이란 드레인 영역에 접속되는 부분을 포함하는 도전층을 가리킨다. 드레인 배선이란, 적어도 하나의 트랜지스터의 드레인 전극과, 다른 전극 또는 다른 배선을 전기적으로 접속시키기 위한 배선을 말한다.

[0029] 또한 본 명세서 등에 나타내는 트랜지스터는 특별히 언급하지 않는 경우 인헨스먼트형(노멀리 오프형) 전계 효과 트랜지스터로 한다. 또한 본 명세서 등에 나타내는 트랜지스터가 n채널형 트랜지스터이고, 상기 트랜지스터의 문턱 전압("Vth"라고도 함)은 특별히 언급하지 않는 경우 0V보다 큰 것으로 한다. 또한 본 명세서 등에 나타내는 트랜지스터가 p채널형 트랜지스터이고, 상기 트랜지스터의 문턱 전압("Vth"라고도 함)은 특별히 언급하지 않는 경우 0V 이하인 것으로 한다. 또한 같은 도전형을 가지는 복수의 트랜지스터의 Vth는 특별히 언급하지 않는 경우 모두 같은 것으로 한다.

[0030] 또한 본 명세서 등에서 오프 전류란 특별히 언급하지 않는 경우 트랜지스터가 오프 상태(비도통 상태 또는 차단 상태라고도 함)일 때 소스와 드레인 사이를 흐르는 전류("드레인 전류" 또는 "Id"라고도 함)를 말한다. 오프 상태란, 특별히 언급하지 않는 경우, n채널형 트랜지스터에서는 소스를 기준으로 할 때의 게이트와 소스 사이의 전위차("게이트 전압" 또는 "Vg"라고도 함)가 문턱 전압보다 낮은 상태, p채널형 트랜지스터에서는 Vg가 문턱

전압보다 높은 상태를 말한다. 예를 들어 n채널형 트랜지스터의 오프 전류란,  $V_g$ 가  $V_{th}$ 보다 낮을 때의 드레인 전류를 말하는 경우가 있다.

- [0031] 또한 본 명세서 등에서는 오프 전류와 같은 의미로 누설 전류라고 기재하는 경우가 있다. 또한 본 명세서 등에서, 오프 전류란, 예를 들어 트랜지스터가 오프 상태일 때 소스와 드레인 사이를 흐르는 전류를 가리키는 경우가 있다.
- [0032] 또한 본 명세서 등에서 온 전류란 특별히 언급하지 않는 한 트랜지스터가 온 상태("도통 상태"라고도 함)일 때의  $I_d$ 를 말한다. 온 상태란 특별히 언급이 없는 경우, n채널형 트랜지스터에서는  $V_g$ 가  $V_{th}$  이상인 상태를 말하고, p채널형 트랜지스터에서는  $V_g$ 가  $V_{th}$  이하인 상태를 말한다. 예를 들어 n채널형 트랜지스터의 온 전류란  $V_g$ 가  $V_{th}$  이상일 때의 드레인 전류를 말하는 경우가 있다.
- [0033] 또한 본 명세서 등에서 고전원 전위 VDD(이하 단순히 "VDD" 또는 "전위 H"라고도 함)란, 저전원 전위 VSS보다 높은 전위의 전원 전위를 말한다. 또한 저전원 전위 VSS(이하 단순히 "VSS" 또는 "전위 L"라고도 함)란, 고전원 전위 VDD보다 낮은 전위의 전원 전위를 말한다. 또한 접지 전위 GND(이하 단순히 "GND"라고도 함)를 VDD 또는 VSS로서 사용할 수도 있다. 예를 들어 VDD가 GND인 경우에는 VSS는 GND보다 낮은 전위이고, VSS가 GND인 경우에는 VDD는 GND보다 높은 전위이다. 또한 본 명세서 등에서는 명시되는 경우를 제외하고 VSS를 기준 전위로 한다.
- [0034] 또한 일반적으로 "전압"이란, 어떤 전위와 기준의 전위(예를 들어 접지 전위 또는 소스 전위 등)의 전위차를 나타내는 경우가 많다. 또한 "전위"는 상대적인 것이며, 기준이 되는 전위에 따라 배선 등에 공급되는 전위가 변화되는 경우가 있다 따라서 "전압"과 "전위"는 서로 바꿔 말할 수 있는 경우가 있다. 따라서 "전압"과 "전위"는 서로 환언할 수 있는 경우가 있다.
- [0035] 본 명세서 등에서 "위에", "아래에", "위쪽에", 또는 "아래쪽에" 등 배치를 나타내는 어구는 도면을 참조하여 구성 요소끼리의 위치 관계를 설명하기 위해 편의상 사용하는 경우가 있다. 또한 구성 요소끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 따라서 명세서 등에서 설명한 용어에 한정되지 않고, 상황에 따라 적절히 바꿔 말할 수 있다. 예를 들어 "도전층 위에 위치하는 절연층"이라는 표현에서, 나타낸 도면의 방향을 180° 회전함으로써, "도전층 아래에 위치하는 절연층"이라고 바꿔 말할 수 있다. 예를 들어 "개구 위에 위치하는 절연층"이라는 표현에는 "개구의 측면에 위치하는 절연층"이 포함되는 경우가 있다.
- [0036] 또한 "위" 및 "아래"라는 용어는 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며, 직접 접촉된 것을 한정하는 것은 아니다. 예를 들어 "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접하여 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0037] 본 명세서 등에서 "중첩" 등의 용어는 구성 요소의 적층 순서 등의 상태를 한정하는 것이 아니다. 예를 들어 "절연층(A)에 중첩되는 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 형성되어 있는 상태에 한정되지 않고, 절연층(A) 아래에 전극(B)이 형성되어 있는 상태 또는 절연층(A)의 오른쪽(또는 왼쪽)에 전극(B)이 형성되어 있는 상태 등을 제외하지 않는다.
- [0038] 또한 본 명세서 등에서 "인접" 및 "근접"이라는 용어는 구성 요소가 직접 접촉된 것을 한정하는 것이 아니다. 예를 들어 "절연층(A)에 인접한 전극(B)"이라는 표현이면, 절연층(A)과 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0039] 본 명세서에서 "평행"이란 2개의 직선이 -10° 이상 10° 이하의 각도로 배치된 상태를 말한다. 따라서 -5° 이상 5° 이하의 경우도 포함된다. 또한 "실질적으로 평행" 또는 "대략 평행"이란, 2개의 직선이 -30° 이상 30° 이하의 각도로 배치된 상태를 말한다. 또한 "수직"이란 2개의 직선이 80° 이상 100° 이하의 각도로 배치된 상태를 말한다. 따라서 85° 이상 95° 이하의 경우도 포함된다. 또한 "실질적으로 수직" 또는 "대략 수직"이란, 2개의 직선이 60° 이상 120° 이하의 각도로 배치된 상태를 말한다.
- [0040] 또한 본 명세서 등에서 계수값 및 계량값에 관하여 "동일하다", "같다", "동등하다", 또는 "균일하다"(이들의 동의어를 포함) 등이라고 하는 경우에는 명시되는 경우를 제외하고, ±20%의 오차를 포함하는 것으로 한다.
- [0041] 또한 본 명세서 등에서 "대상물의 단부가 테이퍼 형상을 가진다"란 그 단부의 영역에서 피형성면(저면)과 측면(표면)이 이루는 각도가 0° 보다 크고 90° 미만이고, 단부로부터 연속적으로 두께가 증가하는 단면 형상을 가지는 것을 말한다. 또한 테이퍼 각이란, 대상물의 단부에서의 밑면(피형성면)과 측면(표면)이 이루는 각을 말한다.

- [0042] 또한 본 명세서에 따른 도면 등에서 X 방향, Y 방향, 및 Z 방향을 나타내는 화살표를 붙인 경우가 있다. 본 명세서 등에서 "X방향"이란, X축을 따른 방향이고, 명시되는 경우를 제외하고 순방향과 역방향을 구별하지 않는 경우가 있다. "Y방향" 및 "Z방향"에 대해서도 마찬가지이다. 또한 X 방향, Y 방향, 및 Z 방향은 각각 서로 교차한다. 더 구체적으로는 X 방향, Y 방향, 및 Z 방향은 각각 서로 직교한다. 본 명세서 등에서는 X방향, Y방향, 및 Z방향 중 하나를 "제 1 방향"이라고 부르는 경우가 있다. 또한 다른 하나를 "제 2 방향"이라고 부르는 경우가 있다. 또한 나머지 하나를 "제 3 방향"이라고 부르는 경우가 있다.
- [0043] 본 명세서 등에서 복수의 요소에 같은 부호를 사용하는 경우, 이들을 특별히 구별할 필요가 있는 경우에는 부호에 "A", "b", "\_1", "[n]", "[m,n]" 등 식별용 부호를 붙여서 기재하는 경우가 있다. 예를 들어 EL층(172)을, EL층(172R), EL층(172G), EL층(172B), 및 EL층(172W)으로 구별하여 나타내는 경우가 있다.
- [0044] (실시형태 1)
- [0045] 본 실시형태에서는 반도체 장치의 일종인 신호 출력 회로, 상기 신호 출력 회로를 포함하는 시프트 레지스터의 일례에 대하여, 도면을 참조하여 설명한다.
- [0046] <시프트 레지스터(100)의 구성>
- [0047] 도 1의 (A)에 나타낸 시프트 레지스터(100)는 n개(n은 1 이상의 정수)의 신호 출력 회로(110)를 포함한다. 본 명세서 등에서는 첫 번째 단(첫째)의 신호 출력 회로(110)를 신호 출력 회로(110[1])라고 기재하는 경우가 있고, n번째 단(n째)의 신호 출력 회로(110)를 신호 출력 회로(110[n])라고 기재하는 경우가 있다.
- [0048] 또한 i번째 단(i는 1 이상 n 이하의 정수)의 신호 출력 회로(110)를 신호 출력 회로(110[i])라고 기재하는 경우가 있다. 또한 임의의 단수를 i+a로 나타내고, 또한 a가 양일 때 i+a는 n을 웃돌지 않는 것으로 한다. 또한 임의의 단수를 i-a로 나타내고, 또한 a가 양일 때 i-a는 1을 밑돌지 않는 것으로 한다.
- [0049] 또한 시프트 레지스터(100)는 더미 회로인 2개의 신호 출력 회로(110)(신호 출력 회로(110[n+1]), 신호 출력 회로(110[n+2]))를 포함한다.
- [0050] 또한 신호 출력 회로(110)에 포함되는 단자 및 입출력 신호 등에 대해서도 같은 식으로 기재하는 경우가 있다. 예를 들어 신호 출력 회로(110[i])의 신호(OUT)를 신호(OUT[i])라고 기재하는 경우가 있다.
- [0051] 또한 시프트 레지스터(100)는 클록 신호인 4개의 신호(CLK)(신호(CLK\_1) 내지 신호(CLK\_4))가 공급되는 배선(101) 내지 배선(104)과, 4개의 신호(PWC)(신호(PWC\_1) 내지 신호(PWC\_4))가 공급되는 배선(105) 내지 배선(108)을 포함한다. 배선(101)에는 신호(CLK\_1)가 공급되고, 배선(102)에는 신호(CLK\_2)가 공급되고, 배선(103)에는 신호(CLK\_3)가 공급되고, 배선(104)에는 신호(CLK\_4)가 공급된다. 배선(105)에는 신호(PWC\_1)가 공급되고, 배선(106)에는 신호(PWC\_2)가 공급되고, 배선(107)에는 신호(PWC\_3)가 공급되고, 배선(108)에는 신호(PWC\_4)가 공급된다.
- [0052] 신호 출력 회로(110)는 단자(111) 내지 단자(118)를 포함한다(도 1의 (B) 참조). 단자(111), 단자(112), 및 단자(113)는 각각이 배선(101) 내지 배선(104) 중 어느 것이며, 서로 다른 배선과 전기적으로 접속된다. 예를 들어 도 1의 (A)에 나타낸 첫 번째 단의 신호 출력 회로(110[1])에서는 단자(111)가 배선(101)과 전기적으로 접속되고, 단자(112)가 배선(102)과 전기적으로 접속되고, 단자(113)가 배선(103)과 전기적으로 접속된다. 즉, 단자(111)에 신호(CLK\_1)가 공급되고, 단자(112)에 신호(CLK\_2)가 공급되고, 단자(113)에 신호(CLK\_3)가 공급된다.
- [0053] 또한 두 번째 단의 신호 출력 회로(110[2])에서는 단자(111)가 배선(102)과 전기적으로 접속되고, 단자(112)가 배선(103)과 전기적으로 접속되고, 단자(113)가 배선(104)과 전기적으로 접속된다. 즉, 단자(111)에 신호(CLK\_2)가 공급되고, 단자(112)에 신호(CLK\_3)가 공급되고, 단자(113)에 신호(CLK\_4)가 공급된다.
- [0054] 즉, 신호 출력 회로(110[i])의 단자(111[i])에 신호(CLK\_k)가 공급된다(도 1의 (C) 참조). 여기서 k는 1 이상 4 이하의 정수이고, i가 4 이하일 때 k는 i와 동등하고, i가 5 이상일 때 k는 i-4×g와 동등하다. g는 i를 4로 나눈 몫이다.
- [0055] 또한 신호 출력 회로(110[i])의 단자(112[i])에 신호(CLK\_{k+1})가 공급된다. 여기서 k는 1 이상 4 이하의 정수이고, k+1이 5가 되는 경우에는 k를 1로 한다. 또한 i가 3 이하일 때 k는 i와 동등하고, i가 4 이상일 때 k는 i-4×g와 동등하다.
- [0056] 또한 신호 출력 회로(110[i])의 단자(113[i])에 신호(CLK\_{k+2})가 공급된다. 여기서 k+1은 1 이상 4 이하의 정

수이고,  $k+2$ 가 5가 되는 경우에는  $k+2$ 를 1로 하고,  $k+2$ 가 6이 되는 경우에는  $k+2$ 를 2로 한다. 또한  $i$ 가 2 이하일 때  $k$ 는  $i$ 와 동등하고,  $i$ 가 3 이상일 때  $k$ 는  $i-4 \times g$ 와 동등하다.

- [0057] 또한 단자(114[i])는 다음 단의 신호 출력 회로(110[i+1])(도시하지 않았음)의 단자(117[i+1])(도시하지 않았음)와 전기적으로 접속된다. 따라서 단자(117[i])는 단자(114[i-1])와 전기적으로 접속된다. 예를 들어 신호 출력 회로(110[1])의 단자(114)는 신호 출력 회로(110[2])의 단자(117)와 전기적으로 접속된다. 또한 신호 출력 회로(110[1])의 단자(117)에는 스타트 펄스(SP)가 공급된다.
- [0058] 또한 단자(115[i])는 2단 뒤의 신호 출력 회로(110[i+2])(도시하지 않았음)의 단자(114[i+2])(도시하지 않았음)와 전기적으로 접속된다. 예를 들어 신호 출력 회로(110[1])의 단자(115)는 신호 출력 회로(110[3])의 단자(114)와 전기적으로 접속되고, 신호 출력 회로(110[2])의 단자(115)는 신호 출력 회로(110[4])의 단자(114)와 전기적으로 접속된다. 따라서 신호 출력 회로(110[n-1])의 단자(115)는 신호 출력 회로(110[n+1])의 단자(114)와 전기적으로 접속되고, 신호 출력 회로(110[n])의 단자(115)는 신호 출력 회로(110[n+2])의 단자(114)와 전기적으로 접속된다. 또한 신호 출력 회로(110[n+1]) 및 신호 출력 회로(110[n+2])는 단자(115)를 포함하지 않아도 된다.
- [0059] 또한 단자(118[i])는 배선(105) 내지 배선(108) 중 어느 것과 전기적으로 접속된다. 예를 들어 신호 출력 회로(110[1])의 단자(118)는 배선(105)과 전기적으로 접속되고, 신호 출력 회로(110[2])의 단자(118)는 배선(106)과 전기적으로 접속된다. 바꿔 말하면, 신호 출력 회로(110[i])의 단자(118[i])에 신호(PWC<sub>k</sub>)가 공급된다. 여기서  $k$ 는 1 이상 4 이하의 정수이고,  $i$ 가 4 이하일 때  $k$ 는  $i$ 와 동등하고,  $i$ 가 5 이상일 때  $k$ 는  $i-4 \times g$ 와 동등하다.
- [0060] 또한 단자(116[i])로부터 신호(OUT[i])가 출력된다. 예를 들어 신호 출력 회로(110[1])의 단자(116)로부터 신호(OUT[1])가 출력된다. 또한  $n$ 번째 단의 신호 출력 회로(110[n])의 단자(116)로부터는 신호(OUT[n])가 출력된다. 또한 "단자(116[i])로부터 신호(OUT[i])가 출력된다"라는 표현은 "단자(116[i])에 신호(OUT[i])가 공급된다"로 바꿔 읽을 수 있다.
- [0061] 또한 단자(114[i])에는 신호(SROUT[i])가 공급된다. 바꿔 말하면, 단자(114[i])로부터 신호(SROUT[i])가 출력된다. 예를 들어 신호 출력 회로(110[1])의 단자(114)로부터 신호(SROUT[1])가 출력된다. 또한  $n$ 번째 단의 신호 출력 회로(110[n])의 단자(114)로부터는 신호(SROUT[n])가 출력된다. 또한 "단자(114[i])로부터 신호(SROUT[i])가 출력된다"라는 표현은 "단자(114[i])에 신호(SROUT[i])가 공급된다"로 바꿔 읽을 수 있다.
- [0062] [신호 출력 회로(110)의 구성예]
- [0063] 다음으로 신호 출력 회로(110)에 사용할 수 있는 신호 출력 회로(110a)의 구성에 대하여 설명한다(도 2 참조). 신호 출력 회로(110a)는 트랜지스터(10[1]) 내지 트랜지스터(10[11]), 용량 소자(20[1]) 내지 용량 소자(20[3])를 포함한다.
- [0064] 트랜지스터(10[1])의 게이트는 단자(117) 및 트랜지스터(10[6])의 게이트와 전기적으로 접속된다. 트랜지스터(10[1])의 소스는 트랜지스터(10[2])의 드레인과 전기적으로 접속되고, 트랜지스터(10[1])의 드레인은 배선(131)과 전기적으로 접속된다. 트랜지스터(10[2])의 게이트는 용량 소자(20[1])의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(10[2])의 소스는 용량 소자(20[1])의 다른 쪽 단자, 트랜지스터(10[6])의 소스, 및 배선(132)과 전기적으로 접속된다.
- [0065] 트랜지스터(10[3])의 게이트는 단자(113)와 전기적으로 접속되고, 트랜지스터(10[3])의 드레인은 배선(131)과 전기적으로 접속되고, 트랜지스터(10[3])의 소스는 트랜지스터(10[4])의 드레인과 전기적으로 접속된다. 트랜지스터(10[4])의 게이트는 단자(112)와 전기적으로 접속되고, 트랜지스터(10[4])의 드레인은 트랜지스터(10[3])의 소스와 전기적으로 접속된다. 트랜지스터(10[4])의 소스는 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 게이트, 그리고 용량 소자(20[1])의 한쪽 단자와 전기적으로 접속된다.
- [0066] 또한 본 명세서 등에서는 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 게이트, 트랜지스터(10[4])의 소스, 그리고 용량 소자(20[1])의 한쪽 단자가 전기적으로 접속되는 영역을 노드(ND[1])라고 부른다. 용량 소자(20[1])는 노드(ND[1])가 플로팅 상태가 되었을 때의 노드(ND[1])의 전위 변동을 억제하여 노드(ND[1])의 전위를 유지하는 기능을 가진다.
- [0067] 트랜지스터(10[5])의 게이트는 단자(115)와 전기적으로 접속되고, 트랜지스터(10[5])의 드레인은 배선(131)과 전기적으로 접속된다. 트랜지스터(10[5])의 소스는 트랜지스터(10[2])의 게이트, 트랜지스터(10[9])의 게이트,

트랜지스터(10[11])의 게이트, 및 트랜지스터(10[6])의 드레인과 전기적으로 접속된다.

- [0068] 트랜지스터(10[7])의 게이트는 배선(131)과 전기적으로 접속되고, 트랜지스터(10[7])의 소스 및 드레인 중 한쪽은 트랜지스터(10[1])의 소스 및 트랜지스터(10[2])의 드레인과 전기적으로 접속된다. 트랜지스터(10[7])의 소스 및 드레인 중 다른 쪽은 트랜지스터(10[8])의 게이트, 용량 소자(20[2])의 한쪽 단자, 트랜지스터(10[10])의 게이트, 및 용량 소자(20[3])의 한쪽 단자와 전기적으로 접속된다.
- [0069] 또한 본 명세서 등에서는 트랜지스터(10[7])의 소스 및 드레인 중 한쪽, 트랜지스터(10[1])의 소스, 트랜지스터(10[2])의 드레인이 전기적으로 접속되는 영역을 노드(ND[2])라고 부른다. 또한 본 명세서 등에서는 트랜지스터(10[7])의 소스 및 드레인 중 다른 쪽, 트랜지스터(10[8])의 게이트, 용량 소자(20[2])의 한쪽 단자, 트랜지스터(10[10])의 게이트, 및 용량 소자(20[3])의 한쪽 단자가 전기적으로 접속되는 영역을 노드(ND[3])라고 부른다.
- [0070] 트랜지스터(10[8])의 드레인은 단자(111)와 전기적으로 접속된다. 트랜지스터(10[8])의 소스는 용량 소자(20[2])의 다른 쪽 단자, 단자(114), 및 트랜지스터(10[9])의 드레인과 전기적으로 접속된다. 트랜지스터(10[10])의 드레인은 단자(118)와 전기적으로 접속된다. 트랜지스터(10[10])의 소스는 용량 소자(20[3])의 다른 쪽 단자, 단자(116), 및 트랜지스터(10[11])의 드레인과 전기적으로 접속된다.
- [0071] 트랜지스터(10[9])의 소스 및 트랜지스터(10[11])의 소스는 배선(132)과 전기적으로 접속된다.
- [0072] 또한 트랜지스터(10[1])의 드레인, 트랜지스터(10[3])의 드레인, 트랜지스터(10[5])의 드레인, 및 트랜지스터(10[7])의 게이트는 서로 다른 배선과 전기적으로 접속되어도 좋다. 또한 트랜지스터(10[6])의 소스, 트랜지스터(10[9])의 소스, 및 트랜지스터(10[11])의 소스는 서로 다른 배선과 전기적으로 접속되어도 좋다.
- [0073] 예를 들어 도 3에 나타난 바와 같이 트랜지스터(10[1])의 드레인이 배선(131[1])과 전기적으로 접속되고, 트랜지스터(10[3])의 드레인이 배선(131[2])과 전기적으로 접속되고, 트랜지스터(10[5])의 드레인이 배선(131[3])과 전기적으로 접속되고, 트랜지스터(10[7])의 게이트가 배선(131[4])과 전기적으로 접속되어도 좋다. 또한 트랜지스터(10[6])의 소스가 배선(132[1])과 전기적으로 접속되고, 트랜지스터(10[9])의 소스가 배선(132[2])과 전기적으로 접속되고, 트랜지스터(10[11])의 소스가 배선(132[3])과 전기적으로 접속되어도 좋다. 또한 도 4에 나타난 바와 같이 용량 소자(20[3])의 용량값을 충분히 확보할 수 있는 경우에는 용량 소자(20[2])의 형성을 생략하여도 좋다.
- [0074] 단자(115)에는 신호(RIN)가 공급되고, 단자(117)에는 신호(LIN)가 공급되고, 단자(114)에는 신호(SROUT)가 공급되고, 단자(116)에는 신호(OUT)가 공급된다. 또한 첫 번째 단의 신호 출력 회로(110a)에서는 단자(111)에 신호(CLK\_1)가 공급되고, 단자(112)에 신호(CLK\_2)가 공급되고, 단자(113)에 신호(CLK\_3)가 공급되고, 단자(118)에 신호(PWC\_1)가 공급된다.
- [0075] 또한 두 번째 단의 신호 출력 회로(110a)에서는 단자(111)에 신호(CLK\_2)가 공급되고, 단자(112)에 신호(CLK\_3)가 공급되고, 단자(113)에 신호(CLK\_4)가 공급되고, 단자(118)에 신호(PWC\_2)가 공급된다.
- [0076] [변형예 1]
- [0077] 또한 트랜지스터(10[3]) 및 트랜지스터(10[4]) 중 한쪽을 생략하여도 좋다. 도 5에는 신호 출력 회로(110a)의 변형예인 신호 출력 회로(110b)의 회로도(110b)를 나타내었다. 신호 출력 회로(110b)는 신호 출력 회로(110a)로부터 트랜지스터(10[4])를 제외한 구성을 가진다. 또한 트랜지스터(10[3])의 소스가 노드(ND[1])와 전기적으로 접속된다. 트랜지스터(10[3]) 및 트랜지스터(10[4]) 중 한쪽을 생략함으로써 점유 면적이 작은 신호 출력 회로(110b)를 실현할 수 있다.
- [0078] [변형예 2]
- [0079] 도 6에 신호 출력 회로(110a)의 변형예인 신호 출력 회로(110c)의 회로도(110c)를 나타내었다. 트랜지스터(10[2]) 및 트랜지스터(10[6]) 각각은 멀티 게이트형 트랜지스터(10[2]) 및 트랜지스터(10[6]) 각각을 멀티 게이트형 트랜지스터의 일종인 더블 게이트형 트랜지스터로 구성한 예를 나타내었다.
- [0080] 트랜지스터(10[2]a)의 소스는 트랜지스터(10[2]b)의 드레인과 전기적으로 접속되고, 트랜지스터(10[2]a)의 드레인은 트랜지스터(10[1])의 소스 및 트랜지스터(10[7])의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(10[2]b)의 소스는 용량 소자(20[1])의 다른 쪽 단자, 트랜지스터(10[6]b)의 소스, 및 배선(132)과 전기적으로 접속된다. 트랜지스터(10[2]a)의 게이트 및 트랜지스터(10[2]b)의 게이트는 전기적으로 접속된다. 즉,

트랜지스터(10[2]a)와 트랜지스터(10[2]b)는 직렬로 접속되고, 양쪽으로 하나의 트랜지스터(10[2])로서 기능한다. 또한 트랜지스터(10[2]a)의 게이트 및 트랜지스터(10[2]b)의 게이트는 노드(ND[1])와 전기적으로 접속된다. 트랜지스터(10[2])는 3개 이상의 트랜지스터를 직렬로 접속하여 구성된 멀티 게이트형 트랜지스터이어도 좋다.

[0081] 또한 트랜지스터(10[6]a)의 소스는 트랜지스터(10[6]b)의 드레인과 전기적으로 접속되고, 트랜지스터(10[6]a)의 드레인은 노드(ND[1])와 전기적으로 접속된다. 트랜지스터(10[6]b)의 소스는 용량 소자(20[1])의 다른 쪽 단자, 트랜지스터(10[2]b)의 소스, 및 배선(132)과 전기적으로 접속된다. 트랜지스터(10[6]a)의 게이트 및 트랜지스터(10[6]b)의 게이트는 전기적으로 접속된다. 즉, 트랜지스터(10[6]a)와 트랜지스터(10[6]b)는 직렬로 접속되고, 양쪽으로 하나의 트랜지스터(10[6])로서 기능한다. 또한 트랜지스터(10[6]a)의 게이트 및 트랜지스터(10[6]b)의 게이트는 트랜지스터(10[1])의 게이트 및 단자(117)와 전기적으로 접속된다. 트랜지스터(10[6])는 3개 이상의 트랜지스터를 직렬로 접속하여 구성된 멀티 게이트형 트랜지스터이어도 좋다.

[0082] 멀티 게이트형 트랜지스터는 소스와 드레인 사이의 절연 내압이 높다. 따라서 멀티 게이트형 트랜지스터를 사용한 회로의 신뢰성을 높일 수 있다. 따라서 상기 회로를 포함하는 반도체 장치의 신뢰성을 높일 수 있다. 트랜지스터(10[2]) 및 트랜지스터(10[6]) 이외의 트랜지스터에 멀티 게이트형 트랜지스터를 적용하여도 좋다.

[0083] [변형예 3]

[0084] 도 7에 신호 출력 회로(110c)의 변형예인 신호 출력 회로(110d)의 회로도를 나타내었다. 또한 신호 출력 회로(110d)는 신호 출력 회로(110a)의 변형예이기도 하다. 신호 출력 회로(110d)는 트랜지스터(10[12])를 포함한다. 트랜지스터(10[12])의 소스는 노드(ND[1])와 전기적으로 접속되고, 드레인은 배선(131)과 전기적으로 접속된다. 또한 트랜지스터(10[12])의 게이트는 단자(119)와 전기적으로 접속된다.

[0085] 단자(119)에는 신호(INIRES)가 공급된다. 신호(INIRES)는 리셋 신호로서 기능하고, 신호(INIRES)로서 전위(H)가 단자(119)에 공급되는 동안, 신호(OUT) 및 신호(SROUT)는 전위(L)가 된다. 구체적으로는 신호(INIRES)로서 전위(H)가 단자(119)에 공급되면 트랜지스터(10[12])는 온 상태가 되고, 노드(ND1)의 전위는 전위(H)가 된다. 노드(ND1)의 전위가 전위(H)가 되면 트랜지스터(10[9])는 온 상태가 되고, 단자(114)에 전위(L)가 공급된다. 또한 트랜지스터(10[11])가 온 상태가 되고, 단자(116)에 전위(L)가 공급된다.

[0086] 트랜지스터(10[12])를 제곱함으로써 신호 출력 회로(110d)의 동작을 임의의 타이밍으로 정지할 수 있다.

[0087] [변형예 4]

[0088] 도 8에 신호 출력 회로(110a)의 변형예인 신호 출력 회로(110e)의 회로도를 나타내었다. 신호 출력 회로(110e)에는 트랜지스터(10[2]), 트랜지스터(10[6]), 트랜지스터(10[9]), 및 트랜지스터(10[11])로서 백 게이트를 포함하는 트랜지스터를 사용한다. 트랜지스터(10[2]), 트랜지스터(10[6]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 백 게이트는 배선(133)을 통하여 단자(121)와 전기적으로 접속된다.

[0089] 단자(121)에는 신호(SEL)가 공급된다. 신호(SEL)는 고정 전위이어도 좋고, 변동 전위이어도 좋다. 신호(SEL)를 고정 전위로 하는 경우에는 전위(L)(VSS) 또는 전위(L)보다 낮은 전위이면 좋다.

[0090] 여기서 트랜지스터의 신뢰성에 대하여 설명한다. 트랜지스터의 신뢰성을 평가하는 지표의 하나로서는 게이트에 전계를 인가한 상태로 유지하는 GBTS(Gate Bias Temperature Stress) 시험이 있다. 그 중에서도 소스 전위 및 드레인 전위에 대하여, 게이트에 양의 전위(양 바이어스)를 공급한 상태에서, 고온하에서 유지하는 시험을 PBTS(Positive Bias Temperature Stress) 시험이라고 부르고, 게이트에 음의 전위(음 바이어스)를 공급한 상태에서, 고온하에서 유지하는 시험을 NBTS(Negative Bias Temperature Stress) 시험이라고 부른다. 또한 광을 조사한 상태에서 수행하는 PBTS 시험 및 NBTS 시험을 각각 PBTIS(Positive Bias Temperature Illumination Stress) 시험, NBTIS(Negative Bias Temperature Illumination Stress) 시험이라고 부른다.

[0091] n형 트랜지스터에서는 트랜지스터를 온 상태로 할 때 게이트에 양의 전위가 공급되기 때문에, PBTS 시험에서의 문턱 전압의 변동량은 트랜지스터의 신뢰성의 지표로서 착안할 중요한 항목 중 하나이다. 또한 p형 트랜지스터에서는 트랜지스터를 온 상태로 할 때 게이트에 음의 전위가 공급되기 때문에, NBTS 시험에서의 문턱 전압의 변동량은 트랜지스터의 신뢰성의 지표로서 착안할 중요한 항목 중 하나이다. GBTS 시험 전후에서의 문턱 전압의 변동량이 적을수록 트랜지스터의 신뢰성이 높다고 할 수 있다.

[0092] 시프트 레지스터(100)의 동작 기간에, 신호 출력 회로(110)(신호 출력 회로(110a) 등)의 노드(ND[1])에 전위(H)(VDD)가 장기간 유지된다. 그러므로 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])에는

PBTS가 장기간 인가된다. 또한 트랜지스터(10[6])에는 NBTS가 장기간 인가된다. 트랜지스터(10[2]), 트랜지스터(10[6]), 트랜지스터(10[9]), 및 트랜지스터(10[11])에 백 게이트를 포함하는 트랜지스터를 사용함으로써 NBTS 및 PBTS로 인한 트랜지스터 특성의 열화가 억제된다.

- [0093] 또한 트랜지스터 특성의 열화로 인하여 트랜지스터의 문턱 전압이 음의 방향으로 변화(노멀리 온화)한 경우에도, 전위(L)보다 낮은 전위를 백 게이트에 공급함으로써 상기 트랜지스터를 확실하게 오프 상태로 할 수 있다. 따라서 노드(ND[1])의 전위를 확실하게 유지할 수 있다. 따라서 신호 출력 회로(110)의 동작이 안정되어 신호 출력 회로(110)를 포함하는 반도체 장치의 신뢰성을 높일 수 있다.
- [0094] 또한 시프트 레지스터(100)의 동작 속도가 느린(구동 주파수가 낮은) 경우에는 노드(ND[1]) 등이 플로팅 상태가 되는 기간이 길어진다. 이와 같은 상황에서 전위(L)보다 낮은 전위를 백 게이트에 공급함으로써 노드(ND[1]) 등의 전위를 확실하게 유지할 수 있다. 따라서 신호 출력 회로(110)의 동작이 안정되어 신호 출력 회로(110)를 포함하는 반도체 장치의 신뢰성을 높일 수 있다.
- [0095] 상술한 바와 같이 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])에는 PBTS가 장기간 인가되고, 트랜지스터(10[6])에는 NBTS가 장기간 인가된다. 그러므로 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])와 트랜지스터(10[6]) 사이에서 트랜지스터 특성의 열화에 차이가 발생할 가능성이 있다.
- [0096] 그러므로 도 9에 나타난 바와 같이 배선(133)을 통하여 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])의 백 게이트를 단자(121)와 전기적으로 접속하고, 배선(134)을 통하여 트랜지스터(10[6])의 백 게이트를 단자(122)와 전기적으로 접속하여도 좋다. 이 경우, 신호(SEL)로서 단자(121)에 신호(SEL\_A)가 공급되고, 신호(SEL)로서 단자(122)에 신호(SEL\_B)가 공급된다. 신호(SEL\_A)의 전위와 신호(SEL\_B)의 전위는 같아도 좋고, 달라도 좋다. 예를 들어 신호(SEL\_A)의 전위와 신호(SEL\_B)의 전위를 다르게 함으로써 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])의 트랜지스터 특성과 트랜지스터(10[6])의 트랜지스터 특성을 다르게 하여도 좋다.
- [0097] 또한 신호(SEL\_A)를 신호(RIN)와 동기시켜도 좋다. 예를 들어 신호(RIN)가 전위(H)일 때, 신호(SEL\_A)를 전위(H)로 하면 좋다. 또한 신호(RIN)가 전위(L)일 때, 신호(SEL\_A)를 전위(L) 또는 전위(L)보다 낮은 전위로 하면 좋다. 신호(SEL\_A) 및 신호(RIN)의 양쪽이 전위(H)가 됨으로써 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])의 동작 속도를 높일 수 있다.
- [0098] 또한 신호(SEL\_B)를 신호(LIN)와 동기시켜도 좋다. 예를 들어 신호(LIN)가 전위(H)일 때, 신호(SEL\_B)를 전위(H)로 하면 좋다. 또한 신호(LIN)가 전위(L)일 때, 신호(SEL\_B)를 전위(L) 또는 전위(L)보다 낮은 전위로 하면 좋다. 신호(SEL\_B) 및 신호(LIN)의 양쪽이 전위(H)가 됨으로써 트랜지스터(10[6])의 동작 속도를 높일 수 있다.
- [0099] [변형예 5]
- [0100] 도 10에 신호 출력 회로(110c)의 변형예인 신호 출력 회로(110f)의 회로도를 나타내었다. 신호 출력 회로(110f)는 신호 출력 회로(110c)에 트랜지스터(10[13]) 및 트랜지스터(10[14])를 추가한 구성을 가진다.
- [0101] 트랜지스터(10[13])의 게이트는 트랜지스터(10[1])의 소스, 트랜지스터(10[2]a)의 드레인, 및 트랜지스터(10[7])의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(10[13])의 소스는 트랜지스터(10[2]a)의 소스 및 트랜지스터(10[2]b)의 드레인과 전기적으로 접속된다. 트랜지스터(10[13])의 드레인은 배선(135)과 전기적으로 접속된다.
- [0102] 트랜지스터(10[14])의 게이트는 노드(ND[1])와 전기적으로 접속된다. 트랜지스터(10[14])의 소스는 트랜지스터(10[6]a)의 소스 및 트랜지스터(10[6]b)의 드레인과 전기적으로 접속된다. 트랜지스터(10[14])의 드레인은 배선(136)과 전기적으로 접속된다.
- [0103] 배선(135) 및 배선(136)에는 전위(SMP)가 공급된다. 전위(SMP)는 전위(L+Vth)보다 높은 것이 바람직하고, 전위(L+2×Vth)보다 높은 것이 더 바람직하다.
- [0104] 노드(ND[2])에 전위(H)(더 정확하게는 전위(H-Vth))가 공급되면, 트랜지스터(10[13])는 온 상태가 되어 트랜지스터(10[2]a)의 소스에 전위(SMP)가 공급된다. 또한 노드(ND[1])에 전위(H)가 공급되면, 트랜지스터(10[14])는 온 상태가 되어 트랜지스터(10[6]a)의 소스에 전위(SMP)가 공급된다. 전위(SMP)는 고정 전위가 바람직하지만, 변동 전위이어도 좋다.

- [0105] 전위(SMP)를 전위(L)보다 높은 전위로 함으로써, 트랜지스터(10[13]) 및 트랜지스터(10[14])의 게이트에 전위(L)가 공급되었을 때 소스의 전위를 기준으로 한 경우의 소스와 게이트 사이의 전위차가 마이너스가 된다. 따라서 트랜지스터(10[13]) 및 트랜지스터(10[14])를 더 확실하게 오프 상태로 할 수 있다.
- [0106] 본 발명의 일 형태에 따른 신호 출력 회로(110)(신호 출력 회로(110a), 신호 출력 회로(110c), 및 신호 출력 회로(110d))는 모두 같은 도전형(n채널형) 트랜지스터를 사용하여 구성하는 단극성 회로이다. 상이한 도전형(p채널형) 트랜지스터를 사용할 필요가 없기 때문에 제조 비용이 저감되고, 생산성이 좋은 신호 출력 회로를 실현할 수 있다. 또한 상이한 도전형 트랜지스터를 형성하기 위한 공정이 불필요하기 때문에 제조 기간이 단축되고 수율도 향상된다.
- [0107] 또한 필요에 따라 신호 출력 회로(110)의 일부에 p채널형 트랜지스터를 사용하여도 좋다. 즉 신호 출력 회로(110)의 일부에 상이한 도전형 트랜지스터를 사용하여도 좋다. 예를 들어 신호 출력 회로(110)는 n채널형 트랜지스터와 p채널형 트랜지스터를 포함하는 CMOS(Complementary Metal-Oxide-Semiconductor) 회로를 포함하여도 좋다. 또한 본 실시형태에서는 신호 출력 회로(110)를 모두 n채널형 트랜지스터로 구성하는 예를 나타내었지만, 이들의 트랜지스터를 모두 p채널형 트랜지스터로 치환할 수도 있다.
- [0108] [트랜지스터의 구성예]
- [0109] 트랜지스터(10)에 적용할 수 있는 트랜지스터의 구성예에 대하여 설명한다. 도 11의 (A)는 트랜지스터(10)의 평면도이다. 도 11의 (B)는 도 11의 (A)에서 일점쇄선 A1-A2로 나타낸 부분의 단면도이다. 도 11의 (C)는 트랜지스터(10)의 사시도이다. 도 11의 (D)는 트랜지스터(10)의 등가 회로도이다. 트랜지스터(10)의 구성을 이해하기 쉽게 하기 위하여 도 11의 (A) 및 (C)에서는 트랜지스터(10)의 구성 요소의 기재의 일부를 생략하였다. 예를 들어 도 11의 (A) 및 (C)에서 도 11의 (B)에 나타낸 절연층(164) 등의 기재를 생략하였다.
- [0110] 또한 도 12의 (A) 및 (B)는 도 11의 (B)에 나타낸 트랜지스터(10)의 확대도이다. 또한 도 12의 (C)는 개구(159)를 Z 방향에서 본 도면이다.
- [0111] 트랜지스터(10)는 기판(153) 위에 절연층(154)을 포함하고, 절연층(154) 위에 도전층(155)을 포함한다. 또한 도전층(155) 위에 절연층(156)을 포함하고, 절연층(156) 위에 절연층(157)을 포함하고, 절연층(157) 위에 절연층(158)을 포함한다. 또한 절연층(158) 위에 도전층(160)을 포함한다. 본 명세서 등에서는 절연층(156), 절연층(157), 절연층(158)을 통틀어 절연층(145)이라고 부르는 경우가 있다.
- [0112] 또한 도전층(155)의 일부와 중첩되는 영역에서 도전층(160), 절연층(158), 절연층(157), 및 절연층(156)에 개구(159)가 제공된다(도 11의 (B) 및 도 12의 (A) 참조). 또한 개구(159)에 반도체층(161)을 포함한다. 반도체층(161)은 개구(159)의 밑부분과 중첩되는 영역과, 개구(159)의 측면과 중첩되는 영역을 포함한다. 반도체층(161)은 개구(159)에서 절연층(145)에 접한 영역을 포함한다. 구체적으로는 반도체층(161)은 절연층(158)의 측면에 접한 영역과, 절연층(157)의 측면에 접한 영역과, 절연층(156)의 측면에 접한 영역을 포함한다. 또한 개구(159)에서 반도체층(161)의 일부가 도전층(160)과 접하고, 반도체층(161)의 다른 일부가 도전층(155)과 접한다. 즉 반도체층(161)의 일부가 도전층(160)과 전기적으로 접속되고, 반도체층(161)의 다른 일부가 도전층(155)과 전기적으로 접속된다.
- [0113] 또한 절연층(158), 도전층(160), 및 반도체층(161) 위에 절연층(162)을 포함하고, 절연층(162) 위에 도전층(163)을 포함한다. 또한 절연층(162) 및 도전층(163) 위에 절연층(164)을 포함한다. 절연층(162)은 반도체층(161)을 개재(介在)하여 개구(159)의 측면과 중첩되는 영역을 포함한다. 도전층(163)은 반도체층(161)을 덮어 제공된다. 따라서 도전층(163)은 반도체층(161)의 단부를 넘어 연장하는 영역을 포함한다. 또한 도전층(163)은 절연층(162) 및 반도체층(161)을 개재하여 개구(159)의 측면과 중첩되는 영역을 포함한다.
- [0114] 도전층(155)은 트랜지스터(10)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하는 영역을 포함한다. 또한 도전층(160)은 트랜지스터(10)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하는 영역을 포함한다. 예를 들어 도전층(155)이 트랜지스터(10)의 드레인 전극으로서 기능하는 경우, 도전층(160)은 트랜지스터(10)의 소스 전극으로서 기능한다.
- [0115] 반도체층(161)은 트랜지스터(10)의 채널이 형성되는 반도체층으로서 기능하는 영역을 포함하고, 절연층(162)은 게이트 절연층으로서 기능하는 영역을 포함하고, 도전층(163)은 게이트 전극으로서 기능하는 영역을 포함한다. 트랜지스터(10)는 개구(159)를 포함하는 영역에 제공되어 있다.
- [0116] 트랜지스터(10)에는 소스 전극과 드레인 전극이 Z 방향으로 배치된다. 따라서 트랜지스터(10)의 소스와 드레인

은 각각이 Z 방향의 상이한 위치에 배치된다. 예를 들어 기판(153)의 상면을 기준으로 하였을 때, 트랜지스터(10)의 소스와 드레인 은 기준인 기판(153)의 상면으로부터 상이한 거리에 각각 배치된다. 또한 Z 방향의 상이한 위치에 배치되는 것을 "상이한 높이에 배치된다"라고도 한다. 이와 같은 트랜지스터를 "수직 채널형 트랜지스터", "수직형 채널 트랜지스터", "수직형 트랜지스터", 또는 "VFET(Vertical Field Effect Transistor)"라고도 한다. 수직 채널형 트랜지스터에서는 Id가 흐르는 방향에 Z 방향(세로 방향)의 성분을 포함한다. 예를 들어 수직 채널형 트랜지스터인 트랜지스터(10)에서 Z 방향에서 본 개구(159)의 중심(또는 중심(重心))을 통과하는 단면을, X 방향 또는 Y 방향에서 볼 때의 도전층(155) 위의 반도체층(161)의 피형성면과 Id가 흐르는 방향이 이루는 각도  $\theta$ (도 12의 (A) 참조)는  $5^\circ$  이상  $110^\circ$  이하, 또는  $10^\circ$  이상  $90^\circ$  이하, 또는  $30^\circ$  이상  $90^\circ$  이하, 또는  $60^\circ$  이상  $90^\circ$  이하가 된다.

[0117] 또한 상술한 바와 같이 반도체층(161)은 절연층(157)의 측면에 접한 영역을 포함한다. 따라서 Id는 절연층(157)의 측면을 따라 흐른다. 그러므로 도전층(155) 위의 반도체층(161)의 피형성면과 Id가 흐르는 방향이 이루는 각도  $\theta$ 는 도전층(155) 위의 반도체층(161)의 피형성면과 절연층(157)의 측면이 이루는 각도  $\theta$ 로 바뀌어 읽을 수 있다.

[0118] 수직 채널형 트랜지스터는 소스 전극과 드레인 전극이 Z 방향으로 배치되기 때문에 트랜지스터의 점유 면적을 축소할 수 있다. 반도체 장치에 수직 채널형 트랜지스터를 사용함으로써 반도체 장치의 점유 면적을 크게 축소할 수 있다.

[0119] 여기서는 본 발명의 일 형태에 따른 트랜지스터(10) 또는 반도체 장치에 사용할 수 있는 재료의 일례에 대하여 설명한다.

[0120] [기판]

[0121] 기판(153) 그리고 후술하는 기판(148) 및 기판(152)에 사용하는 재료에 큰 제한은 없다. 목적에 따라 투광성의 유무 및 가열 처리에 견딜 수 있을 정도의 내열성 등을 고려하여 결정하면 좋다. 예를 들어 바륨붕규산염 유리 및 알루미늄붕규산염 유리 등의 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등의 절연성 기판을 사용할 수 있다. 또한 반도체 기판, 가요성 기판(플렉시블 기판), 접합 필름, 기재 필름 등을 사용하여도 좋다.

[0122] 반도체 기판으로서 예를 들어 실리콘 또는 저마늄 등을 재료로 한 반도체 기판, 또는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 산화 아연, 또는 산화 갈륨을 재료로 한 화합물 반도체 기판 등이 있다. 또한 반도체 기판은 단결정 반도체이어도 좋고 다결정 반도체이어도 좋다.

[0123] 본 발명의 일 형태에 따른 트랜지스터(10) 등을 표시 장치에 사용하는 경우의 기판으로서 예를 들어 6세대(1500mm×1850mm), 7세대(1870mm×2200mm), 8세대(2200mm×2400mm), 9세대(2400mm×2800mm), 10세대(2950mm×3400mm) 등 면적이 큰 유리 기판을 사용할 수 있다. 이로써 대형 표시 장치를 제작할 수 있다. 또한 기판이 대형화됨으로써 1장의 기판으로부터 더 많은 표시 장치를 생산할 수 있어, 생산 비용을 절감할 수 있다.

[0124] 가요성 기판, 접합 필름, 기재 필름 등의 재료로서는 예를 들어 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터, 폴리아크릴로니트릴, 아크릴 수지, 폴리이미드, 폴리메틸메타크릴레이트, 폴리카보네이트(PC), 폴리에테르설폰(PES), 폴리아마이드(나일론, 아라미드 등), 폴리실록세인, 사이클로올레핀 수지, 폴리스타이렌, 폴리아마이드이미드, 폴리우레탄, 폴리염화바이닐, 폴리염화바이닐리덴, 폴리프로필렌, 폴리테트라플루오로에틸렌(PTFE), ABS 수지, 셀룰로스 나노섬유 등을 사용할 수 있다.

[0125] 기판으로서 상기 재료를 사용함으로써 트랜지스터(10)를 포함하고 경량화된 반도체 장치를 제공할 수 있다. 또한 기판으로서 상술한 재료를 사용함으로써 충격에 강한 반도체 장치를 제공할 수 있다. 또한 기판으로서 상술한 재료를 사용함으로써 파손되기 어려운 반도체 장치를 제공할 수 있다.

[0126] 기판에 사용하는 가요성 기판은 선팽창률이 낮을수록 환경으로 인한 변형이 억제되어 바람직하다. 기판에 사용하는 가요성 기판은 예를 들어 선팽창률이  $1 \times 10^{-3}/K$  이하,  $5 \times 10^{-5}/K$  이하, 또는  $1 \times 10^{-5}/K$  이하인 재질을 사용하면 좋다. 특히 아라미드는 선팽창률이 낮으므로 가요성 기판으로서 적합하다.

[0127] [도전층]

[0128] 트랜지스터(10)의 게이트 전극, 소스 전극, 및 드레인 전극뿐만 아니라 반도체 장치를 구성하는 각종 배선 및 전극 등의 도전층에 사용할 수 있는 도전성 재료로서는 알루미늄(Al), 크롬(Cr), 구리(Cu), 은(Ag), 금(Au), 백금(Pt), 탄탈럼(Ta), 니켈(Ni), 타이타늄(Ti), 몰리브데넘(Mo), 텅스텐(W), 하프늄(Hf), 바나듐(V), 나이오

븀(Nb), 망가니즈(Mn), 마그네슘(Mg), 지르코늄(Zr), 베릴륨(Be) 등에서 선택된 금속 원소, 상술한 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용할 수 있다. 또한 인 등의 불순물 원소를 함유시킨 다결정 실리콘으로 대표되는 반도체, 니켈 실리사이드 등의 실리사이드를 사용하여도 좋다. 도전성 재료의 형성 방법은 특별히 한정되지 않고, 증착법, 원자층 퇴적(ALD: Atomic Layer Deposition)법, 화학 기상 성장(CVD: Chemical Vapor Deposition)법, 스퍼터링법, 스피코트법 등의 각종 형성 방법을 사용할 수 있다.

[0129] 또한 도전성 재료로서 Cu-X 합금(X는 Mn, Ni, Cr, Fe, Co, Mo, Ta, 또는 Ti)을 적용하여도 좋다. Cu-X 합금으로 형성한 층은 웨트 에칭 프로세스로 가공할 수 있기 때문에 제조 비용을 억제할 수 있다. 또한 도전성 재료로서 타이타늄, 탄탈럼, 텅스텐, 몰리브데넘, 크로뮴, 네오디뮴, 스칸듐에서 선택된 하나 또는 복수의 원소를 포함하는 알루미늄 합금을 사용하여도 좋다.

[0130] 또한 도전층에 사용할 수 있는 도전성 재료로서 인듐 주석 산화물, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등의 산소를 가지는 도전성 재료를 사용할 수도 있다. 또한 질화 타이타늄, 질화 탄탈럼, 질화 텅스텐 등 질소를 포함하는 도전성 재료를 사용할 수도 있다. 또한 도전층은 산소를 포함하는 도전성 재료, 질소를 포함하는 도전성 재료, 상술한 금속 원소를 포함하는 재료를 적절히 조합한 적층 구조로 할 수도 있다.

[0131] 예를 들어 도전층은 실리콘을 포함하는 알루미늄층의 단층 구조, 알루미늄층 위에 타이타늄층을 적층하는 2층 구조, 질화 타이타늄층 위에 타이타늄층을 적층하는 2층 구조, 질화 타이타늄층 위에 텅스텐층을 적층하는 2층 구조, 질화 탄탈럼층 위에 텅스텐층을 적층하는 2층 구조, 타이타늄층과, 그 타이타늄층 위에 알루미늄층을 적층하고, 또한 그 위에 타이타늄층을 적층하는 3층 구조로 하여도 좋다.

[0132] 또한 상기 도전성 재료로 형성되는 도전층을 복수로 적층하여 사용하여도 좋다. 예를 들어 도전층을 상술한 금속 원소를 포함하는 재료와 산소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다. 또한 상술한 금속 원소를 포함하는 재료와, 산소를 포함하는 도전성 재료와, 질소를 포함하는 도전성 재료를 조합한 적층 구조로 하여도 좋다.

[0133] 예를 들어 도전층을, 인듐 및 아연 중 적어도 한쪽과 산소를 포함하는 도전층 위에, 구리를 포함하는 도전층을 적층하고, 또한 그 위에 인듐 및 아연 중 적어도 한쪽과 산소를 포함하는 도전층을 적층하는 3층 구조로 하여도 좋다. 이 경우, 구리를 포함하는 도전층의 측면도 인듐 및 아연 중 적어도 한쪽과 산소를 포함하는 도전층으로 덮는 것이 바람직하다. 또한 예를 들어 도전층으로서 인듐 및 아연 중 적어도 한쪽과 산소를 포함하는 도전층을 복수로 적층하여 사용하여도 좋다.

[0134] [절연층]

[0135] 각 절연층은, 질화 알루미늄, 산화 알루미늄, 질화산화 알루미늄, 산화질화 알루미늄, 산화 마그네슘, 질화 실리콘, 산화 실리콘, 질화산화 실리콘, 산화질화 실리콘, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 알루미늄 실리케이트 등으로부터 선택된 재료를 단층으로 또는 적층하여 사용한다. 또한 산화물 재료, 질화물 재료, 산화질화물 재료, 질화산화물 재료 중 복수의 재료를 혼합한 재료를 사용하여도 좋다.

[0136] 절연성 재료의 형성 방법은 특별히 한정되지 않고, 증착법, ALD법, CVD법, 스퍼터링법, 스피 코팅법 등 각종 형성 방법을 사용할 수 있다.

[0137] 또한 본 명세서 등에서 질화 산화물이란, 산소보다 질소의 함유량이 많은 재료를 말한다. 또한 산화 질화물이란, 질소보다 산소의 함유량이 많은 재료를 말한다. 또한 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 등을 이용하여 측정할 수 있다.

[0138] 예를 들어 절연층(154) 및 절연층(164)은 불순물이 투과하기 어려운 절연성 재료를 사용하여 형성하는 것이 바람직하다. 예를 들어 붕소, 탄소, 질소, 산소, 플루오린, 마그네슘, 알루미늄, 실리콘, 인, 염소, 아르곤, 갈륨, 저마늄, 이트륨, 지르코늄, 란타넘, 네오디뮴, 하프늄, 또는 탄탈럼을 포함하는 절연 재료를 단층으로 또는 적층하여 사용하면 좋다. 불순물을 투과시키기 어려운 절연성 재료의 일례로서 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, 산화 갈륨, 산화 저마늄, 산화 이트륨, 산화 지르코늄, 산화 란타넘, 산화 네오디뮴, 산화 하프늄, 산화 탄탈럼, 질화 실리콘 등을 들 수 있다.

- [0139] 절연층(154)에 불순물이 투과하기 어려운 절연성 재료를 사용함으로써 기판(153) 측으로부터의 불순물의 확산을 억제하여, 트랜지스터(10)의 신뢰성을 높일 수 있다. 즉 트랜지스터(10)를 포함하는 반도체 장치의 신뢰성을 높일 수 있다. 절연층(164)에 불순물이 투과하기 어려운 절연성 재료를 사용함으로써 절연층(164)보다 위쪽으로부터의 불순물의 확산을 억제하여, 트랜지스터(10)의 신뢰성을 높일 수 있다. 즉, 트랜지스터(10)를 포함하는 반도체 장치의 신뢰성을 높일 수 있다.
- [0140] 또한 절연층으로서는 평탄화층으로서 기능할 수 있는 절연층을 사용하여도 좋다. 평탄화층으로서 기능하는 절연층의 재료로서는 아크릴 수지, 폴리이미드, 에폭시 수지, 폴리아마이드, 폴리이미드아마이드, 실록세인 수지, 벤조사이클로뷰텐계 수지, 페놀 수지, 및 이들의 전구체 등을 들 수 있다. 또한 상기 유기 재료 이외에 저유전율 재료(low-k 재료), 실록산 수지, PSG(인 유리), BPSG(인 붕소 유리) 등을 사용할 수 있다. 또한 이들 재료로 형성되는 절연층을 복수로 적층하여도 좋다.
- [0141] 또한 실록산 수지란, 실록산계 재료를 출발 재료로 하여 형성된 Si-O-Si 결합을 포함하는 수지에 상당한다. 실록세인 수지는 치환기로서는 유기기(예를 들어 알킬기 또는 아릴기) 또는 플루오로기를 사용하여도 좋다. 또한 유기기는 플루오로기를 포함하여도 좋다.
- [0142] 또한 절연층 등의 표면에 CMP 처리를 수행하여도 좋다. CMP 처리를 수행함으로써 절연층 등의 표면의 요철을 저감하고, 나중에 형성되는 절연층 및 도전층의 피복성을 높일 수 있다.
- [0143] [반도체층]
- [0144] 반도체층(161)으로서 단결정 반도체, 다결정 반도체, 미결정 반도체, 또는 비정질 반도체 등을 단독으로 또는 조합하여 사용할 수 있다. 반도체 재료로서는 예를 들어 실리콘, 저마늄 등의 밴드 갭을 포함하는 반도체 재료(제로 갭 반도체가 아닌 반도체 재료)를 사용할 수 있다. 예를 들어 단일 원소의 반도체, 화합물 반도체, 또는 층상 물질(원자층 물질, 2차원 재료 등이라고도 함) 등을 반도체 재료에 사용하는 것이 바람직하다. 또한 화합물 반도체로서는 반도체 특성을 가지는 유기물 또는 반도체 특성을 가지는 금속 산화물(산화물 반도체라고도 함)을 사용할 수 있다. 또한 이들 반도체 재료에는 도펀트로서 불순물이 포함되어도 좋다.
- [0145] 예를 들어 반도체층(161)으로서 단결정 실리콘, 다결정 실리콘, 미결정 실리콘, 및 비정질 실리콘을 사용하여도 좋다. 다결정 실리콘으로서의 예를 들어 저온 폴리실리콘(LTPS: Low Temperature Poly Silicon)을 사용하여도 좋다.
- [0146] 반도체층(161)에 비정질 실리콘을 사용한 트랜지스터는 대형 유리 기판 위에 형성할 수 있고, 낮은 비용으로 제작할 수 있다. 반도체층(161)에 다결정 실리콘을 사용한 트랜지스터는 전계 효과 이동도가 높아 고속 동작이 가능하다. 또한 반도체층(161)에 미결정 실리콘을 사용한 트랜지스터는 비정질 실리콘을 사용한 트랜지스터보다 전계 효과 이동도가 높아 고속 동작이 가능하다.
- [0147] 반도체 재료에 사용할 수 있는 화합물 반도체로서는 탄소화 실리콘, 실리콘 저마늄, 비소화 갈륨, 인화 인듐, 질화 붕소, 및 비소화 붕소 등을 들 수 있다. 반도체층에 사용할 수 있는 질화 붕소는 비정질 구조를 포함하는 것이 바람직하다. 반도체층에 사용할 수 있는 비소화 붕소는 입방정 구조의 결정을 포함하는 것이 바람직하다.
- [0148] 반도체층(161)은 반도체로서 기능하는 층상 물질을 포함하여도 좋다. 층상 물질이란 층상의 결정 구조를 가지는 재료군의 총칭이다. 층상 결정 구조에서는 공유 결합 또는 이온 결합에 의하여 형성되는 층이 반데르발스의 힘과 같은 공유 결합 또는 이온 결합보다 약한 결합에 의하여 적층되어 있다. 층상 물질은 단위 층(monolayer) 내에서의 전기 전도성이 높고, 즉 2차원 전기 전도성이 높다. 반도체로서 기능하고, 2차원 전기 전도성이 높은 재료를 채널 형성 영역에 사용함으로써, 온 전류가 높은 트랜지스터를 제공할 수 있다.
- [0149] 층상 물질로서는 예를 들어 그래핀, 실리센, 탄질화 붕소, 칼코젠화물 등이 있다. 층상 물질로서의 탄질화 붕소는 탄소 원자, 질소 원자, 및 붕소 원자가 평면상에서 육각형 격자 구조로 배열되어 있다. 칼코젠화물은 칼코젠을 포함하는 화합물이다. 또한 칼코젠은 16족에 속하는 원소의 총칭이고, 산소, 황, 셀레늄, 텔루륨, 폴로늄, 리버모륨이 포함된다. 또한 칼코제나이드로서는 전이 금속 칼코제나이드, 13족 칼코제나이드 등을 들 수 있다. 트랜지스터의 반도체층에 적용할 수 있는 전이 금속 칼코제나이드로서는 구체적으로는 황화 폴리브데늄(대표적으로는  $\text{MoS}_2$ ), 셀레늄화 폴리브데늄(대표적으로는  $\text{MoSe}_2$ ), 폴리브데늄 텔루륨(대표적으로는  $\text{MoTe}_2$ ), 황화 텅스텐(대표적으로는  $\text{WS}_2$ ), 셀레늄화 텅스텐(대표적으로는  $\text{WSe}_2$ ), 텅스텐 텔루륨(대표적으로는  $\text{WTe}_2$ ), 황화 하프늄(대표적으로는  $\text{HfS}_2$ ), 셀레늄화 하프늄(대표적으로는  $\text{HfSe}_2$ ), 황화 지르코늄(대표적으로는  $\text{ZrS}_2$ ), 셀레늄화 지

르코늄(대표적으로는  $ZrSe_2$ ) 등을 들 수 있다. 상술한 전이 금속 칼코제나이드를 반도체층에 적용함으로써, 온 전류가 큰 기억 장치를 제공할 수 있다.

[0150] 또한 산화물 반도체는 밴드 갭이 2eV 이상이기 때문에 채널이 형성되는 반도체층에 금속 산화물의 일종인 산화물 반도체를 사용한 트랜지스터("OS 트랜지스터"라고도 함)는 오프 전류가 매우 작다. 따라서 OS 트랜지스터를 포함하는 반도체 장치의 소비 전력을 저감할 수 있다. 또한 OS 트랜지스터는 고온 환경하에서도 동작이 안정적이고, 특성의 변동이 적다. 예를 들어 고온 환경하에서도 오프 전류가 거의 증가하지 않는다. 구체적으로는 실온 이상 200°C 이하의 환경 온도에서도 오프 전류가 거의 증가하지 않는다. 또한 고온 환경하에서도 온 전류가 감소하기 어렵다. 따라서 OS 트랜지스터를 포함하는 반도체 장치는 고온 환경하에서도 동작이 안정적이고 신뢰성이 높다.

[0151] 또한 본 실시형태 등에서는 트랜지스터(10)로서 OS 트랜지스터를 사용하는 것이 바람직하다. OS 트랜지스터는 소스와 드레인 사이의 절연 내압이 높기 때문에 채널 길이를 짧게 할 수 있다. 따라서 온 전류를 크게 할 수 있다. OS 트랜지스터는 수직 채널형 트랜지스터로서 적합하다.

[0152] 예를 들어 채널 길이는 5nm 이상, 7nm 이상, 또는 10nm 이상이며, 3 $\mu$ m 미만, 2.5 $\mu$ m 이하, 2 $\mu$ m 이하, 1.5 $\mu$ m 이하, 1.2 $\mu$ m 이하, 1 $\mu$ m 이하, 500nm 이하, 300nm 이하, 200nm 이하, 100nm 이하, 50nm 이하, 30nm 이하, 또는 20nm 이하로 할 수 있다. 예를 들어 채널 길이 L을 100nm 이상 1 $\mu$ m 이하로 할 수도 있다.

[0153] OS 트랜지스터의 반도체층에 사용할 수 있는 금속 산화물로서는 예를 들어 인듐 산화물, 갈륨 산화물, 및 아연 산화물이 있다. 금속 산화물은 적어도 인듐(In) 또는 아연(Zn)을 포함하는 것이 바람직하다. 또한 금속 산화물은 인듐, 원소 M, 및 아연 중에서 선택되는 2종류 또는 3종류를 포함하는 것이 바람직하다. 또한 원소 M은 산소와의 결합 에너지가 높은 금속 원소 또는 반금속 원소이고, 예를 들어 산소와의 결합 에너지가 인듐보다 높은 금속 원소 또는 반금속 원소이다.

[0154] 원소 M으로서 구체적으로는 알루미늄, 갈륨, 주석, 이트륨, 타이타늄, 바나듐, 크로뮴, 망가니즈, 철, 코발트, 니켈, 지르코늄, 몰리브데넘, 하프늄, 탄탈럼, 텅스텐, 란타넘, 세륨, 네오디뮴, 마그네슘, 칼슘, 스트론튬, 바륨, 붕소, 실리콘, 저마늄, 및 안티모니 등을 들 수 있다. 금속 산화물이 포함하는 원소 M은 상기 원소 중 어느 1종류 또는 복수 종류인 것이 바람직하고, 알루미늄, 갈륨, 주석, 및 이트륨 중에서 선택된 1종류 또는 복수 종류인 것이 더 바람직하고, 갈륨인 것이 더 바람직하다. 또한 본 명세서 등에서 금속 원소와 반금속 원소를 통틀어 "금속 원소"라고 부르는 경우가 있고, 본 명세서 등에 기재된 "금속 원소"에는 반금속 원소가 포함되는 경우가 있다.

[0155] 예를 들어 인듐 아연 산화물(In-Zn 산화물), 인듐 주석 산화물(In-Sn 산화물), 인듐 타이타늄 산화물(In-Ti 산화물), 인듐 갈륨 산화물(In-Ga 산화물), 인듐 갈륨 알루미늄 산화물(In-Ga-Al 산화물), 인듐 갈륨 주석 산화물(In-Ga-Sn 산화물), 갈륨 아연 산화물(Ga-Zn 산화물, GZO라고도 함), 알루미늄 아연 산화물(Al-Zn 산화물, AZO라고도 함), 인듐 알루미늄 아연 산화물(In-Al-Zn 산화물, IAZO라고도 함), 인듐 주석 아연 산화물(In-Sn-Zn 산화물), 인듐 타이타늄 아연 산화물(In-Ti-Zn 산화물), 인듐 갈륨 아연 산화물(In-Ga-Zn 산화물, IGZO라고도 함), 인듐 갈륨 주석 아연 산화물(In-Ga-Sn-Zn 산화물, IGZTO라고도 함), 인듐 갈륨 알루미늄 아연 산화물(In-Ga-Al-Zn 산화물, IGAZO 또는 IAGZO라고도 함) 등을 사용할 수 있다. 또는 실리콘을 포함하는 인듐 주석 산화물, 갈륨 주석 산화물(Ga-Sn 산화물), 알루미늄 주석 산화물(Al-Sn 산화물) 등을 사용할 수 있다.

[0156] 금속 산화물에 포함되는 모든 금속 원소의 원자수의 합에 대한 인듐의 원자수의 비율을 높임으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다.

[0157] 또한 금속 산화물은 인듐 대신 또는 인듐에 더하여 주기 번호가 큰 금속 원소의 1종류 또는 복수 종류를 포함하여도 좋다. 금속 원소의 궤도의 중첩이 클수록 금속 산화물에서의 캐리어 전도가 높아지는 경향이 있다. 따라서 주기 번호가 큰 금속 원소를 포함함으로써, 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 주기율표에서 주기 번호가 큰 금속 원소로서는 제 5 주기에 속하는 금속 원소 및 제 6 주기에 속하는 금속 원소 등을 들 수 있다. 상기 금속 원소로서 구체적으로는 이트륨, 지르코늄, 은, 카드뮴, 주석, 안티모니, 바륨, 납, 비스무트, 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸 등을 들 수 있다. 또한 란타넘, 세륨, 프라세오디뮴, 네오디뮴, 프로메튬, 사마륨, 및 유로퓸은 경희토류 원소라고 불린다.

[0158] 또한 금속 산화물은 비금속 원소 중 1종류 또는 복수 종류를 포함하여도 좋다. 금속 산화물이 비금속 원소를 포함함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있는 경우가 있다. 비금속 원소로서는 예를 들어

탄소, 질소, 인, 황, 셀레늄, 플루오린, 염소, 브로민, 및 수소 등이 있다.

- [0159] 또한 금속 산화물에 포함된 주성분 원소 중, 금속 원소의 원자수의 합에 대한 아연의 원자수비를 높게 함으로써 결정성이 높은 금속 산화물이 되어 금속 산화물 내의 불순물의 확산을 억제할 수 있다. 따라서 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.
- [0160] 또한 금속 산화물에 포함된 주성분 원소 중, 금속 원소의 원자수의 합에 대한 원소 M의 원자수비를 높게 함으로써 금속 산화물에 산소 결손이 형성되는 것을 억제할 수 있다. 따라서 산소 결손에 기인하는 캐리어 생성이 억제되어 오프 전류가 낮은 트랜지스터로 할 수 있다. 또한 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다.
- [0161] 반도체층에 적용하는 금속 산화물의 조성에 따라 트랜지스터의 전기 특성 및 신뢰성이 다르다. 따라서 트랜지스터에 요구되는 전기 특성 및 신뢰성에 따라 금속 산화물의 조성을 다르게 함으로써 우수한 전기 특성과 높은 신뢰성을 양립한 반도체 장치를 실현할 수 있다.
- [0162] OS 트랜지스터의 반도체층에 In-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 아연의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Zn=1:1, In: Zn=2:1, In: Zn=3:1, In: Zn=4:1, In: Zn=5:1, In: Zn=7:1, 또는 In:Zn=10:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.
- [0163] OS 트랜지스터의 반도체층에 In-Sn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비 이상인 금속 산화물을 적용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn=1:1, In: Sn=2:1, In: Sn=3:1, In: Sn=4:1, In: Sn=5:1, In: Sn=7:1, 또는 In:Sn=10:1, 또는 이들의 근방의 금속 산화물을 사용할 수 있다.
- [0164] OS 트랜지스터의 반도체층에 In-Sn-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 주석의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 주석의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Sn:Zn=2:1:3, In:Sn:Zn=3:1:2, In:Sn:Zn=4:2:3, In:Sn:Zn=4:2:4.1, In:Sn:Zn=5:1:3, In:Sn:Zn=5:1:6, In:Sn:Zn=5:1:7, In:Sn:Zn=5:1:8, In:Sn:Zn=6:1:6, In:Sn:Zn=10:1:3, In:Sn:Zn=10:1:6, In:Sn:Zn=10:1:7, In:Sn:Zn=10:1:8, In:Sn:Zn=5:2:5, In:Sn:Zn=10:1:10, In:Sn:Zn=20:1:10, 또는 In:Sn:Zn=40:1:10, 혹은 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0165] OS 트랜지스터의 반도체층에 In-Al-Zn 산화물을 사용하는 경우, 인듐의 원자수비가 알루미늄의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 알루미늄의 원자수비보다 높은 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Al:Zn=2:1:3, In:Al:Zn=3:1:2, In:Al:Zn=4:2:3, In:Al:Zn=4:2:4.1, In:Al:Zn=5:1:3, In:Al:Zn=5:1:6, In:Al:Zn=5:1:7, In:Al:Zn=5:1:8, In:Al:Zn=6:1:6, In:Al:Zn=10:1:3, In:Al:Zn=10:1:6, In:Al:Zn=10:1:7, In:Al:Zn=10:1:8, In:Al:Zn=5:2:5, In:Al:Zn=10:1:10, In:Al:Zn=20:1:10, 또는 In:Al:Zn=40:1:10, 혹은 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0166] OS 트랜지스터의 반도체층에 In-Ga-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In: Ga:Zn=10:1:7, In: Ga:Zn=10:1:8, In: Ga:Zn=5:2:5, In: Ga:Zn=10:1:10, In: Ga:Zn=20:1:10, In: Ga:Zn=40:1:10, 또는 이들의 근방인 금속 산화물막을 사용할 수 있다.
- [0167] OS 트랜지스터의 반도체층에 In-M-Zn 산화물을 사용하는 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용할 수 있다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 예를 들어 금속 원소의 원자수비가 In:M:Zn=2:1:3, In:M:Zn=3:1:2, In:M:Zn=4:2:3, In:M:Zn=4:2:4.1, In:M:Zn=5:1:3, In:M:Zn=5:1:6, In:M:Zn=5:1:7, In:M:Zn=5:1:8, In:M:Zn=6:1:6, In:M:Zn=10:1:3, In:M:Zn=10:1:6, In:M:Zn=10:1:7, In:M:Zn=10:1:8, In:M:Zn=5:2:5, In:M:Zn=10:1:10, In:M:Zn=20:1:10, 또는 In:M:Zn=40:1:10, 혹은 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0168] 또한 원소 M으로서 복수의 금속 원소를 가지는 경우에는 상기 금속 원소의 원자수비의 합계를 원소 M의 원자수 비로 할 수 있다. 예를 들어 원소 M으로서 갈륨과 알루미늄을 가지는 In-Ga-Al-Zn 산화물의 경우, 갈륨의 원자 수비와 알루미늄의 원자수비의 합계를 원소 M의 원자수비로 할 수 있다. 또한 인듐, 원소 M, 및 아연의 원자수

비가 상술한 범위인 것이 바람직하다.

- [0169] 금속 산화물에 포함되는 주성분 원소 중, 금속 원소의 원자수의 합에 대한 인듐의 원자수의 비율이 30atomic% 이상 100atomic% 이하, 바람직하게는 30atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 95atomic% 이하, 더 바람직하게는 35atomic% 이상 90atomic% 이하, 더 바람직하게는 40atomic% 이상 90atomic% 이하, 더 바람직하게는 45atomic% 이상 90atomic% 이하, 더 바람직하게는 50atomic% 이상 80atomic% 이하, 더 바람직하게는 60atomic% 이상 80atomic% 이하, 더 바람직하게는 70atomic% 이상 80atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 예를 들어 반도체층에 In-M-Zn 산화물을 사용하는 경우, 인듐, 원소 M, 및 아연의 원자수의 합계에 대한 인듐의 원자수비가 상술한 범위인 것이 바람직하다.
- [0170] 상술한 바와 같이 금속 산화물에 포함된 주성분 원소 중, 금속 원소의 원자수의 합에 대한 인듐의 원자수비를 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 상기 트랜지스터를 사용함으로써 고속 동작이 가능한 회로를 제작할 수 있다. 또한 회로의 점유 면적을 축소할 수 있다. 예를 들어 상기 트랜지스터를 대형 표시 장치 또는 고정세(高精細) 표시 장치에 적용할 때 배선수가 증가한 경우에도 각 배선에서의 신호 지연을 저감할 수 있어, 표시 불균일을 억제할 수 있다. 또한 회로의 점유 면적을 축소할 수 있기 때문에 표시 장치의 배젤을 좁게 할 수 있다.
- [0171] 금속 산화물의 조성의 분석은 예를 들어 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy), X선 광전자 분광법(XPS: X-ray Photoelectron Spectroscopy), 유도 결합 플라즈마 질량 분석법(ICP-MS: Inductively Coupled Plasma-Mass Spectrometry), 또는 유도 결합 고주파 플라즈마 발광 분광법(ICP-AES: Inductively Coupled Plasma-Atomic Emission Spectrometry)을 사용할 수 있다. 또는 이들 방법 중 복수를 조합하여 분석을 수행하여도 좋다. 또한 함유율이 낮은 원소는 분석 정밀도의 영향으로 인하여 분석에 의하여 얻어진 함유율이 실제의 함유율과 다른 경우가 있다. 예를 들어 원소 M의 함유율이 낮은 경우, 분석에 의하여 얻어진 원소 M의 함유율이 실제의 함유율보다 낮은 경우가 있다.
- [0172] 금속 산화물의 형성에는 스퍼터링법 또는 ALD법이 적합하다. 또한 금속 산화물을 스퍼터링법으로 형성하는 경우, 타깃의 원자수비와 상기 금속 산화물의 원자수비가 다른 경우가 있다. 특히 아연은 타깃의 원자수비보다 금속 산화물의 원자수비가 작게 되는 경우가 있다. 구체적으로는 타깃에 포함되는 아연의 원자수비의 40% 이상 90% 이하 정도가 되는 경우가 있다.
- [0173] 반도체층에 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 사용함으로써 포지티브 바이어스 인가에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 PBTS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 또한 갈륨을 가지는 금속 산화물을 사용하는 경우에는 인듐의 함유율보다 갈륨의 함유율을 낮게 하는 것이 바람직하다. 이로써 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0174] PBTS 시험에서의 문턱 전압의 변동의 요인 중 하나로서, 반도체층과 게이트 절연층의 계면 또는 계면 근방에서의 결합 준위를 들 수 있다. 결합 준위 밀도가 클수록 PBTS 시험에서의 열화가 현저해진다. 반도체층에서 게이트 절연층과 접한 영역에서의 갈륨의 함유율을 낮게 함으로써, 상기 결합 준위의 생성을 억제할 수 있다.
- [0175] 갈륨을 포함하지 않거나 갈륨의 함유율이 낮은 금속 산화물을 반도체층에 사용함으로써 PBTS 시험에서의 문턱 전압의 변동을 억제할 수 있는 이유로서는 예를 들어 다음을 생각할 수 있다. 금속 산화물에 포함되는 갈륨은 다른 금속 원소(예를 들어 인듐 또는 아연)보다 산소를 유인하기 쉬운 성질을 가진다. 그러므로 갈륨을 많이 포함하는 금속 산화물과 게이트 절연층의 계면에서, 갈륨이 게이트 절연층 중의 과잉 산소와 결합함으로써 캐리어(여기서는 전자) 트랩 자리가 생기기 쉬워진다고 추찰된다. 따라서 게이트에 양의 전위를 인가한 경우에, 반도체층과 게이트 절연층의 계면에 캐리어가 트랩됨으로써 문턱 전압이 변동되는 것으로 생각된다.
- [0176] 더 구체적으로는 반도체층에 In-Ga-Zn 산화물을 사용한 경우, 인듐의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 반도체층에 적용할 수 있다. 또한 아연의 원자수비가 갈륨의 원자수비보다 높은 금속 산화물을 사용하는 것이 더 바람직하다. 바꿔 말하면 금속 원소의 원자수비가 In>Ga 및 Zn>Ga의 양쪽을 만족시키는 금속 산화물을 반도체층에 적용하는 것이 바람직하다.
- [0177] 예를 들어 OS 트랜지스터의 반도체층에는 금속 원소의 원자수비가 In:Ga:Zn=2:1:3, In:Ga:Zn=3:1:2, In:Ga:Zn=4:2:3, In:Ga:Zn=4:2:4.1, In:Ga:Zn=5:1:3, In:Ga:Zn=5:1:6, In:Ga:Zn=5:1:7, In:Ga:Zn=5:1:8, In:Ga:Zn=6:1:6, In:Ga:Zn=10:1:3, In:Ga:Zn=10:1:6, In:Ga:Zn=10:1:7, In:Ga:Zn=10:1:8, In:Ga:Zn=5:2:5, In:Ga:Zn=10:1:10, In:Ga:Zn=20:1:10, In:Ga:Zn=40:1:10, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0178] OS 트랜지스터의 반도체층에는 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 0atomic%보다 높고

50atomic% 이하, 바람직하게는 0.1atomic% 이상 40atomic% 이하, 더 바람직하게는 0.1atomic% 이상 35atomic% 이하, 더 바람직하게는 0.1atomic% 이상 30atomic% 이하, 더 바람직하게는 0.1atomic% 이상 25atomic% 이하, 더 바람직하게는 0.1atomic% 이상 20atomic% 이하, 더 바람직하게는 0.1atomic% 이상 15atomic% 이하, 더 바람직하게는 0.1atomic% 이상 10atomic% 이하인 금속 산화물을 사용하는 것이 바람직하다. 반도체층 내의 금속 원소의 원자수에 대한 갈륨의 원자수의 비율을 낮게 함으로써, PBTS 시험에 대한 내성이 높은 트랜지스터로 할 수 있다. 또한 금속 산화물이 갈륨을 포함하면, 금속 산화물에 산소 결손( $V_0$ : Oxygen Vacancy)이 발생하기 어려워지는 효과가 나타난다.

- [0179] OS 트랜지스터의 반도체층에 갈륨을 포함하지 않는 금속 산화물을 적용하여도 좋다. 예를 들어 반도체층에는 In-Zn 산화물을 적용할 수 있다. 이때, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 인듐의 원자수비를 높게 함으로써 트랜지스터의 전계 효과 이동도를 높일 수 있다. 한편, 금속 산화물에 포함되는 금속 원소의 원자수에 대한 아연의 원자수비를 높게 함으로써 결정성이 높은 금속 산화물이 되기 때문에, 트랜지스터의 전기 특성의 변동이 억제되어 신뢰성을 높일 수 있다. 또한 반도체층에는 산화 인듐 등의, 갈륨 및 아연을 포함하지 않는 금속 산화물을 적용하여도 좋다. 갈륨을 포함하지 않는 금속 산화물을 사용함으로써, 특히 PBTS 시험에서의 문턱 전압의 변동을 매우 작게 할 수 있다.
- [0180] 예를 들어 반도체층에는 인듐과 아연을 포함하는 산화물을 사용할 수 있다. 이때, 금속 원소의 원자수비가 예를 들어 In:Zn=2:3, In: Zn=4:1, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0181] 또한 대표적으로 갈륨을 예로 들어 설명하였지만 갈륨 대신에 원소 M을 사용한 경우에도 적용할 수 있다. 반도체층에는 인듐의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다. 또한 아연의 원자수비가 원소 M의 원자수비보다 높은 금속 산화물을 적용하는 것이 바람직하다.
- [0182] 반도체층에 원소 M의 함유율이 낮은 금속 산화물을 적용함으로써 양 바이어스 인가에 대한 신뢰성이 높은 트랜지스터를 실현할 수 있다. 양 바이어스 인가에 대한 높은 신뢰성이 요구되는 트랜지스터에 상기 트랜지스터를 적용함으로써 높은 신뢰성을 가지는 반도체 장치를 실현할 수 있다.
- [0183] 다음으로 광에 대한 트랜지스터의 신뢰성에 대하여 설명한다.
- [0184] 트랜지스터에 광이 입사하면 트랜지스터의 전기 특성이 변동되는 경우가 있다. 특히 광이 입사할 수 있는 영역에 적용되는 트랜지스터는 광 조사하에서의 전기 특성의 변동이 작고 광에 대한 신뢰성이 높은 것이 바람직하다. 광에 대한 신뢰성은 예를 들어 NBTIS 시험에서의 문턱 전압의 변동량에 의하여 평가할 수 있다.
- [0185] 반도체층에 사용하는 금속 산화물의 원소 M의 함유율을 높게 함으로써 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 즉 NBTIS 시험에서의 문턱 전압의 변동량이 작은 트랜지스터로 할 수 있다. 구체적으로는 원소 M의 원자수의 비율이 인듐의 원자수의 비율 이상인 금속 산화물은 밴드 갭이 더 커지므로 트랜지스터의 NBTIS 시험에서의 문턱 전압의 변동량을 작게 할 수 있다. 반도체층이 가지는 금속 산화물의 밴드 갭은 2.0eV 이상인 것이 바람직하고, 2.5eV 이상인 것이 더 바람직하고, 3.0eV 이상인 것이 더 바람직하고, 3.2eV 이상인 것이 더 바람직하고, 3.3eV 이상인 것이 더 바람직하고, 3.4eV 이상인 것이 더 바람직하고, 3.5eV 이상인 것이 더 바람직하다.
- [0186] 예를 들어 반도체층에는 금속 원소의 원자수비가 In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=1:3:2, In:M:Zn=1:3:3, In:M:Zn=1:3:4, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0187] 반도체층으로서는 특히 함유되는 금속 원소의 원자수에 대한 원소 M의 원자수의 비율이 20atomic% 이상 70atomic% 이하, 바람직하게는 30atomic% 이상 70atomic% 이하, 더 바람직하게는 30atomic% 이상 60atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물이 적합하다.
- [0188] 반도체층에 In-Ga-Zn 산화물을 사용한 경우, 금속 원소의 원자수에 대한 인듐의 원자수비가 갈륨의 원자수비 이하의 금속 산화물을 적용할 수 있다. 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=1:1:1, In: Ga:Zn=1:1:1.2, In: Ga:Zn=1:3:2, In: Ga:Zn=1:3:3, In: Ga:Zn=1:3:4, 또는 이들의 근방인 금속 산화물을 사용할 수 있다.
- [0189] 반도체층으로서는 특히 함유되는 금속 원소의 원자수에 대한 갈륨의 원자수의 비율이 20atomic% 이상 60atomic% 이하, 바람직하게는 20atomic% 이상 50atomic% 이하, 더 바람직하게는 30atomic% 이상 50atomic% 이하, 더 바람직하게는 40atomic% 이상 60atomic% 이하, 더 바람직하게는 50atomic% 이상 60atomic% 이하인 금속 산화물이 적합하다.

- [0190] 반도체층에 원소 M의 함유율이 높은 금속 산화물을 적용함으로써 광에 대한 신뢰성이 높은 트랜지스터로 할 수 있다. 상기 트랜지스터를 광에 대한 높은 신뢰성이 요구되는 트랜지스터로서 적용함으로써 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0191] 반도체층은 2개 이상의 금속 산화물층을 포함하는 적층 구조로 하여도 좋다. 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 같아도, 또는 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타겟을 사용하여 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다.
- [0192] 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 달라도 좋다. 예를 들어 In:M:Zn=1:3:4[원자수비] 또는 그 근방의 조성의 제 1 금속 산화물층과, 상기 제 1 금속 산화물층과 중첩되는 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성의 제 2 금속 산화물층의 2층 적층 구조를 사용하여도 좋다. 또한 원소 M으로서 갈륨 또는 알루미늄을 사용하는 것이 특히 바람직하다. 예를 들어 인듐 산화물, 인듐 갈륨 산화물, 및 IGZO에서 선택되는 어느 하나와, IAZO, IAGZO, 및 ITZO(등록 상표)에서 선택되는 어느 하나의 적층 구조 등을 사용하여도 좋다.
- [0193] 또한 예를 들어 In:M:Zn=1:1:1[원자수비] 또는 그 근방의 조성의 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되고 In:Zn=4:1[원자수비] 또는 그 근방의 조성의 제 2 금속 산화물층의 적층 구조를 사용하여도 좋다.
- [0194] 또한 예를 들어 금속 원소의 원자수비가 In:Ga:Zn=1:1:1의 반도체층을 첫 번째 층으로 하고, 금속 원소의 원자수비가 In:Zn=4:1의 반도체층을 두 번째 층으로 하고, 금속 원소의 원자수비가 In:Ga:Zn=1:1:1의 반도체층을 세 번째 층으로 하는 3층 적층 구조를 사용하여도 좋다. 또한 첫 번째 층 및 세 번째 층의 반도체층의 밴드 갭이, 두 번째 층의 반도체층의 밴드 갭보다 큰 구성이 바람직하다. 상기 구성으로 함으로써 주된 전류 경로를 두 번째 층의 반도체층으로 할 수 있고, 소위 매립 채널의 구조로 할 수 있다.
- [0195] 반도체층에는 결정성을 가지는 금속 산화물층을 사용하는 것이 바람직하다. 예를 들어 CAAC(c-axis aligned crystal) 구조, 다결정 구조, 미결정(nc: nano-crystal) 구조 등을 가지는 금속 산화물층을 사용할 수 있다. 결정성을 가지는 금속 산화물층을 반도체층에 적용함으로써 반도체층 중의 결함 준위 밀도를 저감할 수 있고, 신뢰성이 높은 표시 장치를 실현할 수 있다.
- [0196] 반도체층에 사용하는 금속 산화물층의 결정성이 높을수록 반도체층 내의 결함 준위 밀도를 저감할 수 있다. 한편, 결정성이 낮은 금속 산화물층을 적용함으로써, 큰 전류를 흘릴 수 있는 트랜지스터를 실현할 수 있다.
- [0197] 금속 산화물층을 스퍼터링법에 의하여 형성하는 경우, 형성 시의 기판 온도(스테이지 온도)가 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다. 또한 형성 시에 사용하는 성막 가스 전체에 대한 산소 가스의 유량의 비율(이하, 산소 유량비라고도 함)이 높을수록 결정성이 높은 금속 산화물층을 형성할 수 있다.
- [0198] OS 트랜지스터의 반도체층은 결정성이 다른 2개 이상의 금속 산화물층의 적층 구조를 가져도 좋다. 예를 들어 제 1 금속 산화물층과, 상기 제 1 금속 산화물층 위에 제공되는 제 2 금속 산화물층의 적층 구조로 하고, 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 높은 영역을 가지는 구성으로 할 수 있다. 또는 제 2 금속 산화물층이 제 1 금속 산화물층보다 결정성이 낮은 영역을 가지는 구성으로 할 수 있다. 반도체층에 포함되는 2개 이상의 금속 산화물층은 조성이 서로 같아도, 또는 실질적으로 같아도 좋다. 조성이 같은 금속 산화물층의 적층 구조로 함으로써, 예를 들어 같은 스퍼터링 타겟을 사용하여 형성할 수 있기 때문에, 제조 비용을 절감할 수 있다. 예를 들어 같은 스퍼터링 타겟을 사용하고 산소 유량비를 상이하게 함으로써, 결정성이 상이한 2개 이상의 금속 산화물층의 적층 구조를 형성할 수 있다. 또한 반도체층에 포함되는 2 이상의 금속 산화물층은 조성이 상이하여도 좋다.
- [0199] 본 실시형태에 나타내는 트랜지스터(10)는 도전층(160)과 도전층(155) 사이에 제공되는 절연층의 두께에 따라 채널 길이 L이 결정된다. 따라서 채널 길이 L이 짧은 트랜지스터를 높은 정밀도로 제작할 수 있다. 또한 복수의 트랜지스터(10) 사이의 특성 편차도 저감된다. 따라서 트랜지스터(10)를 포함하는 반도체 장치의 동작이 안정되고 신뢰성을 높일 수 있다. 또한 특성 편차가 저감되면 반도체 장치의 회로 설계 자유도가 높아지고, 동작 전압도 저감할 수 있다. 따라서 반도체 장치의 소비 전력을 절감할 수 있다.
- [0200] 반도체층(161)에 산화물 반도체를 사용하는 경우에는 절연층(156)과 절연층(158)에, 수소를 포함하는 재료를 사용하는 것이 바람직하다. 수소를 포함하는 절연층이 산화물 반도체에 접함으로써, 상기 절연층이 접한 영역의 산화물 반도체가 n형화되어 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 상기 절연층으로서 예를 들어

실리콘, 질소, 및 수소를 포함하는 재료를 사용하면 좋다. 구체적으로는 수소를 포함하는 질화 실리콘 또는 수소를 포함하는 질화산화 실리콘 등을 사용하면 좋다.

[0201] 또한 반도체층(161)에 산화물 반도체를 사용하는 경우에는 반도체층(161)과 접하는 도전층(155) 및 반도체층(161)과 접하는 도전층(160)에는 산화물 반도체를 n형화하는 도전성 재료를 사용하는 것이 바람직하다. 예를 들어 질소를 포함하는 도전성 재료를 사용하면 좋다. 예를 들어 타이타늄 또는 탄탈럼과, 질소를 포함하는 도전성 재료를 사용하면 좋다. 또한 질소를 포함하는 도전성 재료에 중첩시켜 다른 도전성 재료를 제공하여도 좋다.

[0202] 한편, 절연층(157)에는 수소가 저감되고 산소를 포함하는 재료를 사용하는 것이 바람직하다. 예를 들어 실리콘 및 산소를 포함하는 재료를 사용하면 좋다. 구체적으로는 산화 실리콘 또는 산화질화 실리콘 등을 사용하면 좋다. 산화물 반도체에서 수소는 불순물 원소이기 때문에, 산화물 반도체인 반도체층(161)과 수소가 저감된 절연층(157)이 접함으로써, 반도체층(161)이 n형화되기 어려워진다. 또한 산화물 반도체인 반도체층(161)과 산소를 포함하는 절연층(157)이 접함으로써, 반도체층(161)의 산소 결손이 저감되어 트랜지스터(10)의 특성이 안정되고 신뢰성이 향상된다.

[0203] 또한 반도체층(161)에 산화물 반도체를 사용하는 경우에 절연층(157)은 과잉 산소를 포함하는 것이 바람직하다. 본 명세서 등에서, "과잉 산소"란 가열에 의하여 이탈되는 산소를 말한다. 또한 절연층(157)에 과잉 산소를 포함하는 재료를 사용하는 경우, 절연층(156)과 절연층(158)에는 산소가 투과하기 어려운 재료를 사용하는 것이 바람직하다. 산소가 투과하기 어려운 재료로서 예를 들어 알루미늄 및 하프늄 중 한쪽 또는 양쪽을 포함하는 산화물, 실리콘의 질화물 등을 사용할 수 있다. 절연층(156)과 절연층(158)에 산소가 투과하기 어려운 재료를 사용함으로써 절연층(157)에 포함된 과잉 산소가 아래층 또는 위층으로 이탈되기 어려워진다. 따라서 산화물 반도체에 충분한 산소를 공급할 수 있다. 예를 들어 실리콘 및 질소를 포함하는 2층의 절연층(절연층(156), 절연층(158)) 사이에 실리콘 및 산소를 포함하는 절연층(절연층(157))을 포함하는 구성으로 하면 좋다.

[0204] 또한 반도체층(161)에 산화물 반도체를 사용하고 절연층(156)과 절연층(158)에 수소를 포함하는 재료를 사용하는 경우, 반도체층(161)에서 도전층(160)과 접한 영역 및 반도체층(161)에서 절연층(158)과 접한 영역이 소스(소스 영역) 및 드레인(드레인 영역) 중 한쪽으로서 기능한다. 또한 반도체층(161)에서 도전층(155)과 접한 영역 및 반도체층(161)에서 절연층(156)과 접한 영역이 소스(소스 영역) 및 드레인(드레인 영역) 중 다른 쪽으로서 기능한다. 따라서 절연층(157)의 두께  $t$ 에 의하여 트랜지스터(10)의 채널 길이  $L$ 이 결정된다(도 12의 (A) 참조).

[0205] 또한 절연층(156)과 절연층(158)에는 수소를 포함하지 않는 재료 또는 수소가 매우 적은 재료를 사용하여도 좋다. 예를 들어 수소가 매우 적은 질화 실리콘 또는 수소가 매우 적은 질화산화 실리콘 등을 사용하여도 좋다. 이 경우에는 반도체층(161)이 절연층(156)과 접한 영역 및 반도체층(161)이 절연층(158)에 접한 영역이 n형화되지 않는다. 따라서 반도체층(161)에서 도전층(160)에 접한 영역이 소스(소스 영역) 및 드레인(드레인 영역) 중 한쪽으로서 기능한다. 또한 반도체층(161)의 도전층(155)과 접한 영역이 소스(소스 영역) 및 드레인(드레인 영역) 중 다른 쪽으로서 기능한다. 이 경우, 절연층(156), 절연층(157), 및 절연층(158) 각각의 두께를 합계한 두께  $t_s$ 가 트랜지스터(10)의 채널 길이  $L$ 에 상당하는 (도 12의 (A) 참조).

[0206] 절연층(156), 절연층(157), 및 절연층(158)의 두께를 조정함으로써 채널 길이  $L$ 을 제어할 수 있다. 예를 들어 채널 길이  $L$ 는 예를 들어 5nm 이상, 7nm 이상, 또는 10nm 이상이며, 3 $\mu$ m 미만, 2.5 $\mu$ m 이하, 2 $\mu$ m 이하, 1.5 $\mu$ m 이하, 1.2 $\mu$ m 이하, 1 $\mu$ m 이하, 500nm 이하, 300nm 이하, 200nm 이하, 100nm 이하, 50nm 이하, 30nm 이하, 또는 20nm 이하로 할 수 있다. 예를 들어 채널 길이  $L$ 을 100nm 이상 1 $\mu$ m 이하로 할 수도 있다.

[0207] 또한 본 실시형태에서는 도전층(155)과 도전층(160) 사이에 3층의 절연층(절연층(156), 절연층(157), 절연층(158))을 포함하는 구성을 나타내었지만, 도전층(155)과 도전층(160) 사이의 절연층의 층의 수는 이에 한정되지 않는다. 도전층(155)과 도전층(160) 사이의 절연층은 1층 또는 2층이어도 좋고, 4층 이상이어도 좋다.

[0208] 또한 반도체층(161)은 개구(159)에 제공되기 때문에, 개구(159)의 둘레의 길이  $p$ 가 트랜지스터(10)의 채널 폭  $W$ 에 상당한다(도 12의 (C) 참조). 둘레의 길이  $p$ 는 예를 들어 절연층(157)의 두께  $t$ 의 절반( $t/2$ )의 위치 또는 두께  $t_s$ 의 절반( $t_s/2$ )의 위치에서 구하면 좋다. 또한 필요에 따라, 개구(159)의 임의의 위치의 둘레의 길이를 채널 폭  $W$ 로 하여도 좋다. 예를 들어 개구(159)의 최하부의 둘레의 길이  $p$ 를 채널 폭  $W$ 로 하여도 좋고, 개구(159)의 최상부의 둘레의 길이  $p$ 를 채널 폭  $W$ 로 하여도 좋다.

[0209] 또한 도 12의 (C)에서는 Z 방향에서 본 개구(159)의 윤곽(평면 형상)을 원형으로 나타내었지만, 이에 한정되지

않는다. 예를 들어 Z 방향에서 본 개구(159)의 윤곽은 타원형(도 12의 (D) 참조)이어도 좋고, 직사각형(도 12의 (E) 참조)이어도 좋다. 또한 도 12의 (E)에서는 모서리 부분이 만곡된 직사각형을 나타내었다. 또한 예를 들어 Z 방향에서 본 개구(159)의 윤곽은 직선부 및 곡선부 중 한쪽 또는 양쪽을 포함하는 형상(도 12의 (F) 참조)이어도 좋다.

[0210] 본 발명의 일 형태에 따른 트랜지스터(10)에서는 게이트와 소스 사이에서 발생하는 기생 용량의 용량값과, 게이트와 드레인 사이에서 발생하는 기생 용량의 용량값이 서로 다르다. 구체적으로는 절연층(145) 위에서 도전층(160)과 도전층(163)이 중첩되는 영역에서 발생하는 용량 소자(C1)와, 개구(159)에서 도전층(155)과 도전층(163)이 중첩되는 영역에서 발생하는 용량 소자(C2)에서는 용량 소자(C1)의 용량값이 용량 소자(C2)의 용량값보다 크다(도 11의 (D) 및 도 12의 (B) 참조).

[0211] 도 13의 (A) 및 (B)에 도 11의 (A)와 마찬가지로의 평면도를 나타내었다. 본 발명의 일 형태에 따른 트랜지스터(10)를 Z 방향에서 볼 때 도전층(163)은 개구(159)의 주변부에서 개구(159)를 둘러싸도록 도전층(160)과 중첩되고, 개구(159)의 밑부분에서 도전층(160)과 중첩된다.

[0212] 도 13의 (A)에서, Z 방향에서 볼 때 용량 소자(C1)로서 기능하는 영역에 해칭을 하였다. 절연층(145) 위에서 반도체층(161) 및 절연층(162)을 개재하여 도전층(160)과 도전층(163)이 서로 중첩되는 영역이 용량 소자(C1)로서 기능한다(도 12의 (B) 및 도 13의 (A) 참조). 또한 도 13의 (A)에서는 절연층(145) 및 절연층(162)에 대한 기재를 생략하였다.

[0213] 도 13의 (B)에서 Z 방향에서 볼 때 용량 소자(C2)로서 기능하는 영역에 해칭을 하였다. 개구(159)의 밑부분에서 반도체층(161) 및 절연층(162)을 개재하여 도전층(155)과 도전층(163)이 서로 중첩되는 영역이 용량 소자(C2)로서 기능한다(도 12의 (B) 및 도 13의 (B) 참조). 또한 도 13의 (B)에서는 절연층(145) 및 절연층(162)에 대한 기재를 생략하였다.

[0214] 도 13의 (A) 및 (B)를 보면 용량 소자(C2)로서 기능하는 영역의 면적보다 용량 소자(C1)로서 기능하는 영역의 면적이 크다는 것을 알 수 있다. 용량 소자(C2)로서 기능하는 영역의 면적보다, 용량 소자(C1)로서 기능하는 영역의 면적을 크게 함으로써 용량 소자(C2)보다 용량 소자(C1)의 용량값이 커진다.

[0215] 또한 용량 소자(C2)의 용량값을 변화시키기 위하여 도전층(155)과 도전층(163)의 중첩 면적을 변경시키려고 하면, 개구(159)의 형상을 변경시켜야 하므로 개구(159)의 둘레의 길이 p가 변화된다. 둘레의 길이 p의 변화는 트랜지스터(10)의 전기 특성에 직접적으로 영향을 미치기 때문에 용량 소자(C2)의 용량값은 조정하기 어렵다.

[0216] 한편으로 도전층(163)과 도전층(160)의 중첩 면적의 조정은 용이하고, 트랜지스터(10)의 전기 특성에도 영향을 미치지 어렵다. 예를 들어 도전층(163)과 도전층(160)의 중첩 면적을 증대시킴으로써 용량 소자(C1)의 용량값을 크게 할 수 있다.

[0217] 또한 도 14의 (A)의 단면에 나타난 바와 같이 절연층(157) 내에 반도체층(161)에 근접하는 도전층(166)을 제공하여도 좋다. 또한 도전층(166)은 반도체층(161)과 접하지 않도록 제공된다. 또한 도전층(166)은 반도체층(161)을 둘러싸도록 제공되는 것이 바람직하다. 도전층(166)을 반도체층(161)에 접하지 않고, 반도체층(161)에 근접하여 제공됨으로써 도전층(166)을 트랜지스터(10)의 백 게이트 전극으로서 기능시킬 수 있다. 따라서 도 14의 (A)에 나타난 트랜지스터(10)는 백 게이트(백 게이트 전극)를 포함하는 트랜지스터로서 기능한다. 또한 도 14의 (B)는 도 14의 (A)에 나타난 트랜지스터(10)의 등가 회로도이다.

[0218] 여기서 백 게이트 전극에 대하여 설명한다. 일반적으로 백 게이트 전극은 도전층으로 형성되고, 게이트 전극과 백 게이트 전극 사이에 반도체층의 채널 형성 영역을 끼우도록 배치된다. 따라서 백 게이트 전극은 게이트 전극과 같은 식으로 기능할 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고, GND 전위 또는 임의의 전위로 하여도 좋다. 게이트 전극과 백 게이트 전극을 전기적으로 접속함으로써 트랜지스터의 온 전류를 크게 할 수 있다. 또한 백 게이트 전극의 전위를 게이트 전극과 같게 하지 않고, 독립적으로 변화시킴으로써 트랜지스터의 문턱 전압을 변화시킬 수 있다.

[0219] 또한 게이트 전극과 백 게이트 전극은 도전층으로 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전계가 반도체층의 채널 형성 영역에 작용하지 않도록 하는 기능(특히, 정전기 등에 대한 전계 차폐 기능)을 가진다. 이 결과, 트랜지스터마다의 특성 편차가 저감된다. 또한 GBTS 시험으로 인한 트랜지스터 특성의 열화가 억제된다. 예를 들어 백 게이트 전극을 포함함으로써 GBTS 시험 전후에서의 문턱 전압의 변동을 억제할 수 있다. 또한 백 게이트 전극을 포함하는 트랜지스터는 GBTS 시험 전후에서의 문턱 전압의 변동도 백 게이트 전극을 포함하지 않

는 트랜지스터보다 작다.

- [0220] 또한 GBTS(NBTS 및 PBTS) 시험은 가속 시험의 일종이며, 장기간의 사용으로 인하여 일어나는 트랜지스터의 특성 변화(시간에 따른 변화)를 단시간에 평가할 수 있다. 특히, GBTS 시험 전후에서의 트랜지스터의 문턱 전압의 변동량은 신뢰성을 조사하기 위한 중요한 지표가 된다. GBTS 시험 전후에서, 문턱 전압의 변동량이 적을수록 신뢰성이 높은 트랜지스터라고 할 수 있다.
- [0221] 또한 백 게이트 전극 측으로부터 광이 입사하는 경우에, 백 게이트 전극을, 차광성을 가지는 도전막으로 형성함으로써, 백 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 마찬가지로 게이트 전극을 차광성을 가지는 도전막으로 형성함으로써, 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 게이트 전극 및 백 게이트 전극 중 한쪽 또는 양쪽을, 차광성을 가지는 도전막으로 형성함으로써 반도체층의 광 열화를 방지하고 트랜지스터의 문턱 전압이 시프트하는 등의 전기 특성의 열화를 방지할 수 있다.
- [0222] 또한 게이트 전극 및 백 게이트 전극은 드레인 전극으로부터 발생하는 전계가 반도체층에 작용되지 않도록 차단할 수 있다. 따라서 드레인 전압의 변동에 기인하는 온 전류의 상승 전압의 변동을 억제할 수 있다. 또한 이 효과는 게이트 전극 및 백 게이트 전극에 전위가 공급되는 경우에 현저하게 나타난다.
- [0223] 복수의 트랜지스터(10)를 병렬로 접속함으로써 외관상 트랜지스터(10)의 채널 폭  $W$ 를 크게 할 수 있다. 채널 폭  $W$ 를 크게 됨으로써 트랜지스터(10)가 온 상태일 때의 소스와 드레인 사이의 저항값이 작아져 온 상태일 때의  $I_d$ 를 늘릴 수 있다.
- [0224] 도 15의 (A)는 트랜지스터(10a) 및 트랜지스터(10b)를 포함하는 트랜지스터(10)의 평면도이다. 도 15의 (B)는 도 15의 (A)에서 일점쇄선 A1-A2로 나타난 부분의 단면도이다. 도 15의 (C)는 트랜지스터(10a) 및 트랜지스터(10b)를 포함하는 트랜지스터(10)의 사시도이다. 도 15의 (D)는 트랜지스터(10a) 및 트랜지스터(10b)를 포함하는 트랜지스터(10)의 등가 회로도이다. 트랜지스터(10)의 구성을 이해하기 쉽게 하기 위하여 도 15의 (A) 및 (C)에서는 트랜지스터(10)의 구성 요소의 기재의 일부를 생략하였다.
- [0225] 트랜지스터(10a) 및 트랜지스터(10b)는 도 11 및 도 12를 사용하여 설명한 트랜지스터(10)와 같은 구성을 가진다. 트랜지스터(10a)는 개구(159a)를 포함하는 영역에 제공되고, 트랜지스터(10b)는 개구(159b)를 포함하는 영역에 제공되어 있다. 개구(159a) 및 개구(159b)는 개구(159)와 같은 식으로 형성할 수 있다.
- [0226] 도전층(155)의 일부가 트랜지스터(10a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(155)의 다른 일부가 트랜지스터(10b)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능한다. 또한 도전층(160)의 일부가 트랜지스터(10a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능하고, 도전층(160)의 다른 일부가 트랜지스터(10b)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 또한 도전층(163)의 일부가 트랜지스터(10a)의 게이트 전극으로서 기능하고, 도전층(163)의 다른 일부가 트랜지스터(10b)의 게이트 전극으로서 기능한다.
- [0227] 도 15의 (D)의 등가 회로도를 사용하여 설명하면 트랜지스터(10a)의 소스 및 드레인 중 한쪽과, 트랜지스터(10b)의 소스 및 드레인 중 한쪽은 전기적으로 접속되고, 트랜지스터(10a)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(10b)의 소스 및 드레인 중 다른 쪽은 전기적으로 접속된다. 또한 트랜지스터(10a)의 게이트와 트랜지스터(10b)의 게이트는 전기적으로 접속된다. 따라서 트랜지스터(10a) 및 트랜지스터(10b)는 온 상태와 오프 상태가 동시에 전환되고 하나의 트랜지스터(10)로서 기능한다.
- [0228] 복수의 트랜지스터(10)(여기서는 트랜지스터(10a) 및 트랜지스터(10b))를 직렬로 접속함으로써 외관상 트랜지스터(10)의 채널 길이  $L$ 을 크게 할 수 있다. 채널 길이  $L$ 이 커짐으로써 트랜지스터(10)의 포화 특성을 향상시킬 수 있다.
- [0229] 도 16의 (A)는 트랜지스터(10a) 및 트랜지스터(10b)를 포함하는 트랜지스터(10)의 평면도이다. 도 16의 (B)는 도 16의 (A)에서 일점쇄선 A1-A2로 나타난 부분의 단면도이다. 도 16의 (C)는 트랜지스터(10a) 및 트랜지스터(10b)를 포함하는 트랜지스터(10)의 사시도이다. 도 16의 (D)는 트랜지스터(10a) 및 트랜지스터(10b)를 포함하는 트랜지스터(10)의 등가 회로도이다. 트랜지스터(10)의 구성을 이해하기 쉽게 하기 위하여 도 16의 (A) 및 (C)에서는 트랜지스터(10)의 구성 요소의 기재의 일부를 생략하였다.
- [0230] 트랜지스터(10a) 및 트랜지스터(10b)는 도 15를 사용하여 설명한 트랜지스터(10)와 유사한 구성을 가지지만, 도전층(155)이 도전층(155a)과 도전층(155b)으로 분리하는 점이 상이하다.
- [0231] 도전층(155a)이 트랜지스터(10a)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(160)의 일부가 트랜지스터(10a)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 또한 도전층(160)의 다른 일부가 트

랜지스터(10b)의 소스 전극 및 드레인 전극 중 한쪽으로서 기능하고, 도전층(155b)이 트랜지스터(10b)의 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능한다. 또한 도 15를 사용하여 설명한 트랜지스터(10)와 마찬가지로 도전층(163)의 일부가 트랜지스터(10a)의 게이트 전극으로서 기능하고, 도전층(163)의 다른 일부가 트랜지스터(10b)의 게이트 전극으로서 기능한다.

[0232] 도 16의 (D)의 등가 회로도를 사용하여 설명하면 트랜지스터(10a)의 소스 및 드레인 중 다른 쪽과, 트랜지스터(10b)의 소스 및 드레인 중 한쪽이 전기적으로 접속되고, 트랜지스터(10a)의 게이트와 트랜지스터(10b)의 게이트가 전기적으로 접속된다. 따라서 트랜지스터(10a) 및 트랜지스터(10b)는 온 상태와 오프 상태가 동시에 전환되고 하나의 트랜지스터(10)로서 기능한다.

[0233] [신호 출력 회로(110)의 평면 및 단면 구성예]

[0234] 이어서 신호 출력 회로(110)의 평면 및 단면 구성예에 대하여 도면을 사용하여 설명한다. 본 실시형태에서는 신호 출력 회로(110) 중 도 2에 나타낸 신호 출력 회로(110a)의 평면 및 단면 구성예에 대하여 설명한다.

[0235] 도 17은 신호 출력 회로(110a)의 평면 구성예를 나타낸 도면이다. 도 18은 도 17에 나타낸 트랜지스터(10[7]) 내지 트랜지스터(10[11])를 포함하는 영역을 확대한 평면도이다. 또한 도 19의 (A)는 도 17에서 일점쇄선 A1-A2로 나타낸 부분의 단면 구성예를 나타낸 도면이다. 도 19의 (B)는 도 17에서 일점쇄선 A2-A3으로 나타낸 부분의 단면 구성예를 나타낸 도면이다. 도 20의 (A)는 도 17에서 일점쇄선 A4-A5로 나타낸 부분의 단면 구성예를 나타낸 도면이다. 도 20의 (B)는 도 17에서 일점쇄선 A6-A7로 나타낸 부분의 단면 구성예를 나타낸 도면이다. 도 21의 (A)는 도 18에서 일점쇄선 A8-A9로 나타낸 부분의 단면 구성예를 나타낸 도면이다. 도 21의 (B)는 도 18에서 일점쇄선 A9-A10으로 나타낸 부분의 단면 구성예를 나타낸 도면이다.

[0236] 본 실시형태에서는 신호 출력 회로(110a)의 트랜지스터(10)에 상술한 VFET를 사용하는 구성예에 대하여 설명한다. 신호 출력 회로(110a)는 기관(148) 위에 절연층(154)을 포함하고, 절연층(154) 위에 도전층(155)(예를 들어 도 19의 (A)의 도전층(155[1]) 및 도전층(155[3]), 도 19의 (B)의 도전층(155[3]) 및 도전층(155[4]), 도 20의 도전층(155[10]) 및 도전층(155[11]))을 포함한다.

[0237] 또한 트랜지스터(10)에 상술한 VFET를 사용하는 신호 출력 회로(110a)의 적층 구성은 상술한 트랜지스터(10)의 구성예와 공통 부분을 가진다. 그러므로 여기서는 주로 상술한 트랜지스터(10)의 구성예와 상이한 부분에 대하여 설명한다.

[0238] 또한 본 명세서 등에서는 트랜지스터(10[1])에 따른 구성 요소의 부호에 [1]의 식별용 부호를 붙이는 경우가 있다. 예를 들어 트랜지스터(10[1])의 게이트 전극으로서 기능하는 도전층(163)을 도전층(163[1])이라고 기재하는 경우가 있다. 또한 복수의 트랜지스터(10)에 공통적으로 따른 구성 요소의 부호에, 상기 복수의 트랜지스터(10) 중 어느 식별용 부호를 붙이는 경우가 있다. 예를 들어 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 게이트 전극으로서 기능하는 도전층(163)을 도전층(163[2])이라고 기재하는 경우가 있다.

[0239] 예를 들어 트랜지스터(10[3])에 따른 개구(159) 및 반도체층(161)을 개구(159[3]) 및 반도체층(161[3])이라고 기재하는 경우가 있다. 예를 들어 트랜지스터(10[4])에 따른 개구(159) 및 반도체층(161)을 개구(159[4]) 및 반도체층(161[4])이라고 기재하는 경우가 있다. 예를 들어 트랜지스터(10[7])에 따른 개구(159) 및 반도체층(161)을 개구(159[7]) 및 반도체층(161[7])이라고 기재하는 경우가 있다. 예를 들어 트랜지스터(10[8])에 따른 개구(159) 및 반도체층(161)을 개구(159[8]) 및 반도체층(161[8])이라고 기재하는 경우가 있다. 예를 들어 트랜지스터(10[10])에 따른 개구(159) 및 반도체층(161)을 개구(159[10]) 및 반도체층(161[10])이라고 기재하는 경우가 있다.

[0240] 신호 출력 회로(110a)는 절연층(158) 위에 도전층(181[1]) 내지 도전층(181[4])을 포함한다(도 17 및 도 20의 (A) 참조). 도전층(181)(도전층(181[1]) 내지 도전층(181[4]))은 도전층(160)과 같은 재료 및 방법으로 형성할 수 있다. 또한 도전층(181)은 도전층(160)과 동시에 형성할 수 있다.

[0241] 또한 신호 출력 회로(110a)는 절연층(164) 위에 절연층(187)을 포함한다. 절연층(187)은 하층에 형성된 트랜지스터, 용량 소자, 배선 등으로 인하여 발생한 단차를 경감하는 평탄화층으로서 기능하는 것이 바람직하다. 평탄화층으로서 기능하는 재료로서는 유기 절연막이 적합하다. 또한 절연층(187)을 무기 재료 또는 유기 재료를 사용하여 형성한 후, 절연층(187)에 대하여 화학 기계 연마(CMP: Chemical Mechanical Polishing)법 등을 사용한 평탄화 처리를 수행하여도 좋다.

- [0242] 또한 신호 출력 회로(110a)는 절연층(187) 위에 도전층(191) 내지 도전층(199), 배선(131), 및 배선(132)을 포함한다(도 17, 도 19의 (A), (B), 및 도 20의 (A) 참조). 도전층(191) 내지 도전층(199), 배선(131), 및 배선(132)은 다른 도전층과 같은 재료 및 방법으로 형성할 수 있다. 도전층(191)은 단자(111)로서 기능하고, 도전층(192)은 단자(112)로서 기능하고, 도전층(193)은 단자(113)로서 기능하고, 도전층(194)은 단자(114)로서 기능하고, 도전층(195)은 단자(115)로서 기능하고, 도전층(196)은 단자(116)로서 기능하고, 도전층(197)은 단자(117)로서 기능하고, 도전층(198)은 단자(118)로서 기능한다.
- [0243] 또한 신호 출력 회로(110a)에서는 도전층(160[2]), 도전층(160[3]), 도전층(181[1]), 도전층(181[2]), 도전층(181[3]), 및 도전층(181[4]) 각각 위에 절연층(162), 절연층(164), 및 절연층(187)을 관통하는 개구가 제공되어 있다.
- [0244] 도전층(160[2]) 위에 제공된 개구에서 배선(132)과 도전층(160[2])이 전기적으로 접속된다. 더 구체적으로는 도전층(160[2]) 위에 제공된 개구의 밑부분에서 배선(132)과 도전층(160[2])이 전기적으로 접속된다.
- [0245] 도전층(160[3]) 위에는 2개의 개구가 제공되어 있다. 상기 2개의 개구 중 한쪽에서 배선(131)과 도전층(160[3])이 전기적으로 접속된다. 또한 상기 2개의 개구 중 다른 쪽에서 도전층(199)과 도전층(160[3])이 전기적으로 접속된다.
- [0246] 또한 도전층(181[1]) 위에 제공된 개구에서 도전층(191)과 도전층(181[1])이 전기적으로 접속된다. 또한 도전층(181[2]) 위에 제공된 개구에서 도전층(194)과 도전층(181[2])이 전기적으로 접속된다. 또한 도전층(181[3]) 위에 제공된 개구에서 도전층(198)과 도전층(181[3])이 전기적으로 접속된다. 또한 도전층(181[4]) 위에 제공된 개구에서 도전층(196)과 도전층(181[4])이 전기적으로 접속된다.
- [0247] 또한 신호 출력 회로(110a)에서는 도전층(163[1]), 도전층(163[3]), 도전층(163[4]), 도전층(163[5]), 및 도전층(163[7]) 각각 위에 절연층(164) 및 절연층(187)을 관통하는 개구가 제공되어 있다.
- [0248] 도전층(163[1]) 위에 제공된 개구에서 도전층(197)과 도전층(163[1])이 전기적으로 접속된다. 또한 도전층(163[3]) 위에 제공된 개구에서 도전층(193)과 도전층(163[3])이 전기적으로 접속된다. 또한 도전층(163[4]) 위에 제공된 개구에서 도전층(192)과 도전층(163[4])이 전기적으로 접속된다. 또한 도전층(163[5]) 위에 제공된 개구에서 도전층(195)과 도전층(163[5])이 전기적으로 접속된다. 또한 도전층(163[7]) 위에 제공된 개구에서 도전층(199)과 도전층(163[7])이 전기적으로 접속된다. 또한 도전층(160[3])과 도전층(163[7])은 도전층(199)을 통하여 전기적으로 접속된다.
- [0249] 또한 신호 출력 회로(110a)에서는 도전층(155[1]), 도전층(155[2]), 도전층(155[3]), 도전층(155[4]), 도전층(155[8]), 도전층(155[9]), 도전층(155[10]), 및 도전층(155[11]) 각각 위에 절연층(156), 절연층(157), 및 절연층(158)을 관통하는 개구가 제공되어 있다.
- [0250] 도전층(155[1]) 위에 제공된 개구에서 도전층(160[3])과 도전층(155[1])이 전기적으로 접속된다. 또한 도전층(155[2]) 위에 제공된 개구에서 도전층(160[1])과 도전층(155[2])이 전기적으로 접속된다. 또한 도전층(155[3]) 위에 제공된 개구에서 도전층(160[4])과 도전층(155[3])이 전기적으로 접속된다.
- [0251] 또한 도전층(155[8]) 위에 제공된 개구에서 도전층(181[1])과 도전층(155[8])이 전기적으로 접속된다. 또한 도전층(155[10]) 위에 제공된 개구에서 도전층(181[3])과 도전층(155[10])이 전기적으로 접속된다.
- [0252] 도전층(155[9]) 위에는 2개의 개구가 제공되어 있다. 상기 2개의 개구 중 한쪽에서 도전층(160[8])과 도전층(155[9])이 전기적으로 접속된다. 또한 상기 2개의 개구 중 다른 쪽에서 도전층(181[2])과 도전층(155[9])이 전기적으로 접속된다.
- [0253] 도전층(155[11]) 위에는 2개의 개구가 제공되어 있다. 상기 2개의 개구 중 한쪽에서 도전층(160[10])과 도전층(155[11])이 전기적으로 접속된다. 또한 상기 2개의 개구 중 다른 쪽에서 도전층(181[4])과 도전층(155[11])이 전기적으로 접속된다.
- [0254] 또한 신호 출력 회로(110a)에서는 도전층(155[4]) 및 도전층(155[7]) 각각 위에 절연층(156), 절연층(157), 및 절연층(158)을 관통하는 개구가 제공되어 있다.
- [0255] 도전층(155[4]) 위에 제공된 개구에서 도전층(163[2])과 도전층(155[4])이 전기적으로 접속된다(도 20의 (B) 참조). 도전층(155[7]) 위에 제공된 개구에서 도전층(163[8])과 도전층(155[7])이 전기적으로 접속된다(도 21의 (A) 및 (B) 참조).

- [0256] 또한 도전층(155[4])은 도전층(155[5]) 및 도전층(155[6])으로서도 가능하다. 또한 도전층(160[1])은 도전층(160[7])으로서도 가능하다. 또한 도전층(160[2])은 도전층(160[6]), 도전층(160[9]), 및 도전층(160[11])으로서도 가능하다. 또한 도전층(160[3])은 도전층(160[5])으로서도 가능하다. 또한 도전층(163[1])은 도전층(163[6])으로서도 가능하다. 또한 도전층(163[2])은 도전층(163[9]) 및 도전층(163[11])으로서도 가능하다. 또한 도전층(163[8])은 도전층(163[10])으로서도 가능하다.
- [0257] 절연층(156), 절연층(157), 및 절연층(158)을 개재하여 도전층(155[4])과 도전층(160[6])이 중첩되는 영역이 용량 소자(20[1])로서 기능한다.
- [0258] 또한 도전층(160[8])과 도전층(155[9])을 전기적으로 접속함으로써, 용량 소자(20[2])로서 트랜지스터(10[8])의 용량 소자(C1)를 사용할 수 있다. 용량 소자(20[2])로서 트랜지스터(10[8])의 용량 소자(C1)를 사용함으로써, 용량 소자(20[2])을 별도로 제공할 필요가 없어져 점유 면적이 적은 반도체 장치를 실현할 수 있다(도 17 참조). 따라서 트랜지스터(10[8])로서 본 발명의 일 형태에 따른 VFET를 사용하는 것이 바람직하다.
- [0259] 또한 도전층(160[10])과 도전층(155[11])을 전기적으로 접속함으로써, 용량 소자(20[3])로서 트랜지스터(10[10])의 용량 소자(C1)를 사용할 수 있다. 용량 소자(20[3])로서 트랜지스터(10[10])의 용량 소자(C1)를 사용함으로써, 용량 소자(20[3])를 별도로 제공할 필요가 없어져, 점유 면적이 적은 반도체 장치를 실현할 수 있다(도 17 및 도 20의 (A) 참조). 따라서 트랜지스터(10[10])로서 본 발명의 일 형태에 따른 VFET를 사용하는 것이 바람직하다.
- [0260] 용량 소자(20[2])로서 트랜지스터(10[8])의 용량 소자(C1)를 사용하고, 용량 소자(20[3])로서 트랜지스터(10[10])의 용량 소자(C1)를 사용한 경우의 신호 출력 회로(110a)의 회로도도 도 22에 나타내었다.
- [0261] 트랜지스터(10[10]) 및 트랜지스터(10[10]) 이외의 트랜지스터를, VFET 이외의 트랜지스터로 구성하여도 좋다. 다만, 점유 면적이 저감된 반도체 장치를 실현하기 위하여 신호 출력 회로(110a)에 본 발명의 일 형태에 따른 트랜지스터를 많이 사용하는 것이 바람직하다. 따라서 신호 출력 회로(110a)에 포함된 모든 트랜지스터에는 본 발명의 일 형태에 따른 트랜지스터를 사용하는 것이 바람직하다.
- [0262] [신호 출력 회로의 동작의 예]
- [0263] 이어서 신호 출력 회로(110)의 동작의 예에 대하여 도면을 사용하여 설명한다. 본 실시형태에서는 신호 출력 회로(110) 중, 도 2에 나타낸 신호 출력 회로(110a)의 동작의 예에 대하여 설명한다.
- [0264] 도 23은 신호 출력 회로(110a[i])의 동작의 예를 설명하기 위한 타이밍 차트이다. 도 24 내지 도 30은 신호 출력 회로(110a[i])의 동작의 예를 설명하기 위한 회로도이다.
- [0265] 또한 도면 등에서 배선 등의 전위를 나타내기 위하여, 배선 등과 인접하여 전위(H)를 나타내는 "H" 또는 전위(L)를 나타내는 "L"를 부기하는 경우가 있다. 또한 전위가 변화된 전극 등에 "H" 또는 "L"을 원문자로 부기하는 경우가 있다. 또한 트랜지스터가 오프 상태인 경우를 나타내기 위하여 상기 트랜지스터에 겹쳐 "×" 기호를 부기하는 경우가 있다.
- [0266] 배선(131)에는 전위(H)(VDD)가 공급되고, 배선(132)에는 전위(L)(VSS)가 공급되는 것으로 한다. 또한 단자(111)에 신호(CLK\_1)가 공급되고, 단자(112)에 신호(CLK\_2)가 공급되고, 단자(113)에 신호(CLK\_3)가 공급되고, 단자(118)에 신호(PWC\_1)가 공급되는 것으로 한다.
- [0267] 또한 기간 T1 직전의 상태로서 신호(CLK\_1)는 전위(L)이고, 신호(CLK\_2)는 전위(H)이고, 신호(CLK\_3)는 전위(H)이고, 신호(PWC\_1)는 전위(L)이고, 신호(LIN)는 전위(L)인 것으로 한다. 또한 트랜지스터(10[2]), 트랜지스터(10[3]), 트랜지스터(10[4]), 트랜지스터(10[9]), 및 트랜지스터(10[11])는 온 상태인 것으로 한다. 또한 트랜지스터(10[1]), 트랜지스터(10[5]), 트랜지스터(10[6]), 트랜지스터(10[7]), 트랜지스터(10[8]), 및 트랜지스터(10[10])는 오프 상태인 것으로 한다.
- [0268] 또한 신호(CLK\_4) 및 신호(PWC\_2) 내지 신호(PWC\_4)가 전위(L)인 것으로 한다. 다만 신호(CLK\_4) 및 신호(PWC\_2) 내지 신호(PWC\_4)는 여기서 설명하는 신호 출력 회로(110a[i])의 동작과 상관성이 없기 때문에 신호 출력 회로(110a[i])의 동작 설명에는 사용되지 않는다.
- [0269] 기간 T1에서 신호(CLK\_2)는 전위(L)가 되고, 신호(LIN)는 전위(H)가 된다(도 23 및 도 24 참조). 따라서 트랜지스터(10[1]), 트랜지스터(10[6])는 온 상태가 된다. 따라서 노드(ND[1])의 전위는 전위(L)가 되고, 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])는 오프 상태가 된다.

- [0270] 또한 노드(ND[2]) 및 노드(ND[3])의 전위는 전위(H)에서 트랜지스터(10[1])의  $V_{th}$ 만큼 낮은 전위(전위(H- $V_{th}$ ))가 된다. 여기서 전위(H- $V_{th}$ )의 값은 트랜지스터의  $V_{th}$  이상으로 한다. 따라서 트랜지스터(10[8]) 및 트랜지스터(10[10])가 온 상태가 된다. 단자(116)로부터 신호(OUT)로서 전위(L)가 출력되고, 단자(114)로부터 신호(SROUT)로서 전위(L)가 출력된다.
- [0271] 기간 T2에서 신호(CLK\_1)는 전위(H)가 되고, 신호(CLK\_3)는 전위(L)가 되고, 신호(PWC\_1)는 전위(H)가 된다. 따라서 트랜지스터(10[3])는 오프 상태가 된다. 또한 기간 T2 시작 시점의 시각 T2a(도 23 및 도 25 참조)에서는 노드(ND[3])의 전위가 전위(H- $V_{th}$ )이기 때문에 단자(114)의 전위는 전위(H- $V_{th}$ - $V_{th}$ )가 되고, 단자(116)의 전위는 전위(H- $V_{th}$ - $V_{th}$ )가 된다.
- [0272] 한편으로 단자(114)와 노드(ND[3])는 용량 소자(20[2])를 통하여 접속(용량 결합)된다. 또한 단자(116)와 노드(ND[3])는 용량 소자(20[3])를 통하여 접속된다. 용량 소자(20[2]) 및 용량 소자(20[3])는 부트스트랩 용량으로서 기능한다. 따라서 단자(114) 및 단자(116)의 전위 상승에 따라 노드(ND[3])의 전위가 상승된다.
- [0273] 이때, 노드(ND[2])의 전위도 상승되지만, 노드(ND[2])의 전위가 전위(H- $V_{th}$ )를 웃돌았을 때, 트랜지스터(10[1])와 트랜지스터(10[7])는 오프 상태가 되어 노드(ND[2])와 노드(ND[3])는 플로팅 상태가 된다. 또한 노드(ND[3])의 전위는 전위(H- $V_{th}$ )+전위(H)( $2 \times$ 전위(H- $V_{th}$ ))까지 상승된다(시각 T2b, 도 23 및 도 26 참조). 상기 전위는 전위(H+ $V_{th}$ )보다 높은 전위이기 때문에 단자(114) 및 단자(116)의 전위를 전위(H)로 할 수 있다.
- [0274] 여기서 신호 출력 회로(110a)가 트랜지스터(10[7])를 포함하지 않는 경우, 트랜지스터(10[2])의 드레인에  $2 \times$ 전위(H- $V_{th}$ - $V_{ss}$ )의 전압이 인가된다. 트랜지스터(10[2])의 소스에는  $V_{ss}$ 가 인가되기 때문에, 트랜지스터(10[2])의 소스와 드레인 사이에 과도한 전압( $2 \times$ 전위(H- $V_{th}$ - $V_{ss}$ ))이 인가된다. 그 결과, 트랜지스터(10[2])의 특성 열화 또는 파손이 발생하기 쉬워진다.
- [0275] 트랜지스터(10[2])의 드레인과 노드(ND[3]) 사이에 트랜지스터(10[7])를 포함함으로써 노드(ND[3])의 전위가  $2 \times$ 전위(H- $V_{th}$ )가 되어도 노드(ND[2])(트랜지스터(10[2])의 드레인)의 전위는 상승되지 않기 때문에 트랜지스터(10[2])의 특성 열화 및 파손을 방지할 수 있다.
- [0276] 기간 T3에서 신호(CLK\_2)는 전위(H)가 되고, 신호(PWC\_1)는 전위(L)가 되고, 신호(LIN)는 전위(L)가 된다(도 23 및 도 27 참조). 따라서 트랜지스터(10[4])가 온 상태가 된다. 또한 단자(116)의 전위는 전위(L)가 된다. 또한 트랜지스터(10[6])는 오프 상태가 되어 노드(ND[1]) 및 노드(ND[2])는 플로팅 상태가 된다.
- [0277] 기간 T4에서 신호(CLK\_1)는 전위(L)가 되고, 신호(CLK\_3)는 전위(H)가 되고, 신호(RIN)는 전위(H)가 된다(도 23 및 도 28 참조). 따라서 트랜지스터(10[3]) 및 트랜지스터(10[5])는 온 상태가 되고, 노드(ND[1])의 전위는 전위(H)가 된다. 노드(ND[1])의 전위가 전위(H)가 되면, 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11])는 온 상태가 된다.
- [0278] 트랜지스터(10[2])가 온 상태가 되면, 노드(ND[2])의 전위는 전위(L)가 된다. 따라서 트랜지스터(10[7])가 온 상태가 되어, 노드(ND[3])의 전위도 전위(L)가 된다. 따라서 트랜지스터(10[8]) 및 트랜지스터(10[10])가 오프 상태가 된다. 또한 트랜지스터(10[9]) 및 트랜지스터(10[11])가 온 상태가 됨으로써, 단자(114)에 전위(L)가 공급되어 단자(116)의 전위(전위(L))가 유지된다.
- [0279] 도 18, 도 21의 (A) 및 (B)에 나타난 바와 같이 본 발명의 일 형태에 따른 신호 출력 회로(110a)에서는 도전층(163[8])과 도전층(155[7])이 전기적으로 접속된다. 도전층(163[8])은 트랜지스터(10[8]) 및 트랜지스터(10[10])의 게이트 전극으로서 기능한다. 도전층(155[7])은 트랜지스터(10[7])의 드레인 전극(또는 소스 전극)으로서 기능한다. 또한 도전층(155[7])은 노드(ND[3])로서 기능한다. 또한 도전층(160[1])은 트랜지스터(10[7])의 소스 전극(또는 드레인 전극)으로서 기능한다. 또한 도전층(160[1])은 노드(ND[2])로서 기능한다.
- [0280] 후술하는 실시예에 나타내는 바와 같이 도전층(155[7])을 드레인(드레인 전극)으로서 사용하면, 소스(소스 전극)로서 사용하는 경우에 비하여 트랜지스터(10[7])의 온 전류를 증가시킬 수 있다.
- [0281] 용량 소자(20[2]) 및 용량 소자(20[3]) 중 한쪽 또는 양쪽이 노드(ND[3])와 접속되면, 노드(ND[3])의 전위를 변화시키기 위하여 필요한 충전 시간 및 방전 시간이 길어진다. 노드(ND[3])의 전위를 변화시키기 위하여 필요한 충전 시간 및 방전 시간은 트랜지스터(10[7])의 온 전류가 커지면 짧아진다.
- [0282] 도전층(163[8])과 도전층(155[7])을 전기적으로 접속함으로써, 기간 T3에서 도전층(155[7])이 드레인으로서 기능하고, 도전층(160[1])이 소스로서 기능한다. 따라서 기간 T4에서 트랜지스터(10[7])가 온 상태가 되면 노드(ND[3])의 전위를 신속하게 전위(L)로 할 수 있다. 따라서 신호 출력 회로(110a)의 동작 속도를 높일 수 있다.

또한 신호 출력 회로(110a)를 사용한 반도체 장치의 동작 속도를 높일 수 있다.

- [0283] 또한 기간 T4 이후에서 노드(ND[3])의 전위가 확실하게 전위(L)가 되지 않으면 단자(118)와 배선(132) 사이에 관통 전류가 흐르는 경우가 있다. 마찬가지로 단자(111)와 배선(132) 사이에 관통 전류가 흐르는 경우가 있다. 도전층(163[8])과 도전층(155[7])을 전기적으로 접속함으로써, 기간 T4에서 노드(ND[3])의 전위를 확실하게 전위(L)로 할 수 있다. 따라서 신호 출력 회로(110a)의 소비 전력을 절감할 수 있다. 또한 신호 출력 회로(110a)를 사용한 반도체 장치의 소비 전력을 절감할 수 있다.
- [0284] 또한 도전층(163[8])과 도전층(160[1])(도전층(160[7]))을 전기적으로 접속함으로써, 기간 T1 직전의 기간에서 도전층(155[7])이 소스로서 기능하고, 도전층(160[1])이 드레인으로서 기능한다. 따라서 기간 T1에서 노드(ND[3])의 전위 변화에 필요한 시간을 단축할 수 있다. 즉 노드(ND[3])의 전위를 신속하게 전위(H-Vth)로 할 수 있다. 따라서 신호 출력 회로(110a)의 동작 속도를 높일 수 있다. 또한 신호 출력 회로(110a)를 사용한 반도체 장치의 동작 속도를 높일 수 있다.
- [0285] 한편으로 도전층(155[7])을 트랜지스터(10[7])의 소스로서 기능시키고, 도전층(160[1])을 트랜지스터(10[7])의 드레인으로서 기능시킨 경우에는 소비 전력의 절감 효과를 얻기 어렵다. 따라서 도전층(155[7])이 트랜지스터(10[7])의 드레인으로서 기능하고, 도전층(160[1])이 트랜지스터(10[7])의 소스로서 기능하는 것이 바람직하다. 도전층(163[8])과 도전층(155[7])이 전기적으로 접속되는 것이 바람직하다.
- [0286] 기간 T5에서 신호(CLK\_2)는 전위(L)가 된다(도 23 및 도 29 참조). 따라서 트랜지스터(10[4])는 오프 상태가 된다.
- [0287] 기간 T6에서 신호(CLK\_3) 및 신호(RIN)는 전위(L)가 된다(도 23 및 도 30 참조). 따라서 트랜지스터(10[3]) 및 트랜지스터(10[5])는 오프 상태가 된다. 트랜지스터(10[5])가 오프 상태가 됨으로써 노드(ND[1])는 플로팅 상태가 된다.
- [0288] 이후, 단자(117)에 신호(LIN)로서 전위(H)가 공급될 때까지, 단자(114) 및 단자(116)에 전위(L)가 공급된다. 즉 단자(117)에 신호(LIN)로서 전위(H)가 공급될 때까지 신호(OUT) 및 신호(SROUT)로서 전위(L)가 출력된다.
- [0289] 이러한 식으로 신호 출력 회로[i]는 특정의 신호의 조합과 동기하여 단자(114)와 단자(116)로부터 펄스 신호를 출력할 수 있다. 또한 단자(114)로부터 출력되는 펄스 신호인 신호(SROUT)의 펄스폭(전위(H)가 출력되어 있는 동안의 시간)은 신호(CLK)와 연동된다. 또한 단자(116)로부터 출력되는 펄스 신호인 신호(OUT)의 펄스폭(전위(H)가 출력되어 있는 동안의 시간)은 신호(PWC)와 연동된다.
- [0290] 본 발명의 일 형태에 따른 신호 출력 회로[i]는 부스트스트랩 용량으로서 기능하는 용량 소자를 포함함으로써 단자(114) 및 단자(116)로부터 확실하게 전위 전위(전위(H))를 출력할 수 있다. 따라서 본 발명의 일 형태에 따른 신호 출력 회로[i]는 출력 임피던스가 작고, 단자(114) 또는 단자(116)와 접속되는 회로 등의 부하에 확실하게 전위(H)를 공급할 수 있다. 따라서 본 발명의 일 형태에 따른 신호 출력 회로[i]를 포함하는 반도체 장치의 동작이 안정되어 상기 반도체 장치의 신뢰성을 높일 수 있다.
- [0291] 트랜지스터(10[1])의 용량 소자(C1)는 노드(ND[1])와 트랜지스터(10[1])의 게이트 사이에 형성되는 것이 바람직하다. 또한 트랜지스터(10[1])의 용량 소자(C2)는 전위 전위가 공급되는 배선(131)과 트랜지스터(10[1])의 게이트 사이에 형성되는 것이 바람직하다(도 31 참조).
- [0292] 또한 노드(ND[1])는 신호(CLK\_2) 및 신호(CLK\_3)의 양쪽이 전위(H)인 기간 이외의 기간에서 플로팅 상태가 된다. 이 기간의 노드(ND[1])의 전위 변동을 억제하고, 본 발명의 일 형태에 따른 신호 출력 회로[i]를 더 안정적으로 동작시키기 위하여 전위 전위가 공급되는 배선(132)과 게이트 사이에 트랜지스터(10[2]), 트랜지스터(10[6]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 용량 소자(C1)가 형성되는 것이 바람직하다. 구체적으로는 도전층(160[2])이 배선(132)과 전기적으로 접속되는 것이 바람직하다(도 17 참조). 도전층(160[2])은 트랜지스터(10[2]), 트랜지스터(10[6]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 소스 전극으로서 기능한다.
- [0293] 배선(132)과 게이트 사이에 트랜지스터(10[2]), 트랜지스터(10[9]), 및 트랜지스터(10[11]) 각각의 용량 소자(C1)를 형성함으로써, 각각의 용량 소자(C1)가 용량 소자(20[1])와 병렬로 접속된다. 그러므로 노드(ND[1])의 전위 변동을 억제하는 효과를 높일 수 있다(도 31 참조).
- [0294] 또한 트랜지스터(10[6])의 용량 소자(C2)를 노드(ND[1])와 트랜지스터(10[6])의 게이트 사이에 형성함으로써, 용량 소자(C1)를 노드(ND[1])와 트랜지스터(10[6])의 게이트 사이에 형성하는 경우에 비하여 트랜지스터(10

[6])의 게이트에 입력되는 신호의 전위 변동이 노드(ND[1])에 미치는 영향을 저감할 수 있다.

- [0295] 또한 노드(ND[1])의 전위 변동을 억제하고, 본 발명의 일 형태에 따른 신호 출력 회로[i]를 더 안정적으로 동작시키기 위하여 노드(ND[1])와 게이트 사이에 트랜지스터(10[4]) 및 트랜지스터(10[5]) 각각의 용량 소자(C2)를 형성하는 것이 바람직하다. 또한 전원 전위가 공급되는 배선(131)과 게이트 사이에 트랜지스터(10[5])의 용량 소자(C1)를 형성하는 것이 바람직하다. 구체적으로는 도전층(160[3])이 배선(131)과 전기적으로 접속되는 것이 바람직하다(도 17 참조). 도전층(160[3])은 트랜지스터(10[5])의 드레인 전극으로서 기능한다.
- [0296] 또한 트랜지스터(10[4])의 드레인과 게이트 사이에 트랜지스터(10[4])의 용량 소자(C1)를 형성하는 것이 바람직하다. 또한 배선(131)과 트랜지스터(10[3])의 게이트 사이에 트랜지스터(10[3])의 용량 소자(C1)를 형성하는 것이 바람직하다. 구체적으로는 도전층(160[3])이 배선(131)과 전기적으로 접속되는 것이 바람직하다(도 17 참조). 도전층(160[3])은 트랜지스터(10[3])의 드레인 전극으로서 기능한다. 또한 트랜지스터(10[3])의 소스와 게이트 사이에 트랜지스터(10[3])의 용량 소자(C2)를 형성하는 것이 바람직하다.
- [0297] 또한 본 발명의 일 형태에 따른 신호 출력 회로[i]를 더 안정적으로 동작시키기 위하여 노드(ND[3])와 트랜지스터(10[7])의 게이트 사이에 발생하는 기생 용량의 용량값은 용량 소자(20[2]) 및 용량 소자(20[3])의 용량값에 비하여 작은 것이 바람직하다. 따라서 트랜지스터(10[7])에서 용량 소자(C1)가 트랜지스터(10[7])의 소스 및 드레인 중 한쪽과 게이트 사이에 제공되고, 용량 소자(C2)가 트랜지스터(10[7])의 소스 및 드레인 중 다른 쪽과 게이트 사이에 제공되는 것이 바람직하다(도 31 참조).
- [0298] 또한 도 10에 나타낸 신호 출력 회로(110f)는 트랜지스터(10[13]) 및 트랜지스터(10[14])를 포함한다. 트랜지스터(10[13])의 용량 소자(C1)는 배선(135)과 트랜지스터(10[13])의 게이트 사이에 형성되는 것이 바람직하다(도 32 참조). 즉 트랜지스터(10[13])의 드레인과 게이트 사이에 형성되는 것이 바람직하다. 따라서 트랜지스터(10[13])의 용량 소자(C2)는 트랜지스터(10[13])의 소스와 게이트 사이에 형성되는 것이 바람직하다.
- [0299] 배선(135)에 공급되는 전위(SMP)를 고정 전위로 하고, 트랜지스터(10[13])의 게이트는 노드(ND[2])와 전기적으로 접속된다. 배선(135)과 트랜지스터(10[13])의 게이트 사이에 용량 소자(C1)가 형성됨으로써, 노드(ND[2])가 플로팅 상태가 되었을 때의 노드(ND[2])의 전위 변동을 억제하는 효과를 높일 수 있다.
- [0300] 또한 트랜지스터(10[14])의 용량 소자(C1)는 배선(136)과 트랜지스터(10[14])의 게이트 사이에 형성되는 것이 바람직하다. 즉 트랜지스터(10[14])의 드레인과 게이트 사이에 형성되는 것이 바람직하다(도 32 참조). 따라서 트랜지스터(10[14])의 용량 소자(C2)는 트랜지스터(10[14])의 소스와 게이트 사이에 형성되는 것이 바람직하다.
- [0301] 배선(136)에 공급되는 전위(SMP)를 고정 전위로 하고, 트랜지스터(10[14])의 게이트는 노드(ND[1])와 전기적으로 접속된다. 배선(136)과 트랜지스터(10[14])의 게이트 사이에 용량 소자(C1)가 형성됨으로써, 노드(ND[1])가 플로팅 상태가 되었을 때의 노드(ND[1])의 전위 변동을 억제하는 효과를 높일 수 있다.
- [0302] <시프트 레지스터(100)의 동작의 예>
- [0303] 다음으로 도 1의 (A)에 나타낸 시프트 레지스터(100)의 동작의 예에 대하여, 도 33을 참조하여 설명한다. 도 33은 시프트 레지스터(100)의 동작의 예를 설명하는 타이밍 차트이다. 도 33에서는 클럭 신호인 신호(CLK\_1) 내지 신호(CLK\_4), 신호(OUT)의 펄스폭을 결정하는 신호(PWC\_1) 내지 신호(PWC\_4), 신호 출력 회로(110[1])에 입력되는 신호(LIN[1]), 신호 출력 회로(110[1]) 내지 신호 출력 회로(110[4])로부터 출력되는 신호(OUT[1]) 내지 신호(OUT[4]), 신호 출력 회로(110[n])로부터 출력되는 신호(OUT[n]), 신호 출력 회로(110[n+1])로부터 출력되는 신호(OUT[n+1]), 및 신호 출력 회로(110[n+2])로부터 출력되는 신호(OUT[n+2])의 전위 변화를 나타내었다.
- [0304] 우선 기간 T51에서 신호 출력 회로(110[1])에 전위(H)의 신호(LIN[1])가 공급된다. 기간 T52에서 신호(LIN[1]), 신호(CLK\_1), 신호(CLK\_4), 및 신호(PWC\_1)와 동기하여 신호(OUT[1])로서 전위(H)가 출력된다.
- [0305] 이어서 기간 T53에서 신호(OUT[1])로서 전위(L)가 출력된다. 또한 신호(CLK\_1), 신호(CLK\_2), 및 신호(PWC\_2)와 동기하여 신호(OUT[2])로서 전위(H)가 출력된다.
- [0306] 이어서 기간 T54에서 신호(OUT[2])로서 전위(L)가 출력된다. 또한 신호(CLK\_3), 신호(CLK\_4), 및 신호(PWC\_3)와 동기하여 신호(OUT[3])로서 전위(H)가 출력된다.
- [0307] 이어서 기간 T55에서 신호(OUT[3])로서 전위(L)가 출력된다. 또한 신호(CLK\_3), 신호(CLK\_4), 및 신호(PWC\_

4)와 동기하여 신호(OUT[4])로서 전위(H)가 출력된다. 이러한 식으로 첫 번째 단에서 n+2번째 단까지 순차적으로 신호(OUT)로서 전위(H)가 출력된다.

- [0308] 그 후, 신호 출력 회로(110[1])에 신호(LIN[1])로서 전위(H)가 다시 공급됨으로써, 시프트 레지스터(100)에 대하여 상기 동작을 반복적으로 수행시킬 수 있다. 또한 신호 출력 회로(110[1])에 신호(LIN[1])로서 전위(H)가 입력되었을 때부터 신호(LIN[1])로서 전위(H)가 다시 입력될 때까지의 시간을 프레임 기간(176)이라고 부르는 경우가 있다. 또한 신호 출력 회로(110[1])에 입력되는 신호(LIN)를 "스타트 펄스(SP)"라고 부르는 경우가 있다.
- [0309] 또한 본 발명의 일 형태에 따른 신호 출력 회로 등의 반도체 장치에 사용하는 트랜지스터로서 플레이너형 트랜지스터 또는 스테거형 트랜지스터 등 VFET 이외의 구조의 트랜지스터를 사용하여도 좋다. 또는 VFET와, VFET 이외의 구조의 트랜지스터를 조합하여 사용하여도 좋다.
- [0310] 또한 시프트 레지스터(100)에 사용하는 신호 출력 회로(110)는 본 명세서 등에 기재된 구성에 한정되지 않는다. 시프트 레지스터(100)에 사용하는 신호 출력 회로(110)로서 다양한 회로 구성을 사용할 수 있다.
- [0311] 본 실시형태에 나타낸 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0312] (실시형태 2)
- [0313] 본 실시형태에서는 앞의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물(이하 산화물 반도체라고도 함)에 대하여 설명한다.
- [0314] OS 트랜지스터에 사용하는 금속 산화물은 적어도 인듐 또는 아연을 가지는 것이 바람직하고, 인듐 및 아연을 가지는 것이 더 바람직하다. 예를 들어 금속 산화물은 인듐과, M(M은 갈륨, 알루미늄, 이트륨, 주석, 실리콘, 붕소, 구리, 바나듐, 베릴륨, 타이타늄, 철, 니켈, 저마늄, 지르코늄, 몰리브데넘, 란타넘, 세륨, 네오디뮴, 하프늄, 탄탈럼, 텅스텐, 마그네슘, 및 코발트에서 선택된 1종류 또는 복수 종류)과, 아연을 가지는 것이 바람직하다. 특히 M은 갈륨, 알루미늄, 이트륨, 안티모니, 및 주석에서 선택된 1종류 또는 복수 종류인 것이 바람직하고, 갈륨이 더 바람직하다.
- [0315] 금속 산화물은 스퍼터링법, 유기 금속 화학 기상 성장(MOCVD: Metal Organic Chemical Vapor Deposition)법 등의 CVD법, 또는 ALD법 등에 의하여 형성할 수 있다.
- [0316] ALD법에서는 한 층씩 원자를 퇴적할 수 있기 때문에, 매우 얇게 성막이 가능하고, 종횡비가 높은 구조에 대한 성막이 가능하고, 핀홀 등의 결함이 적은 성막이 가능하고, 피복성이 우수한 성막이 가능하고, 저온에서의 성막이 가능하다는 등의 효과가 있다. 또한 ALD법에는 열을 이용한 성막 방법인 열 ALD(thermal ALD)법 및 플라즈마를 이용한 성막 방법인 플라즈마 ALD(PEALD: Plasma Enhanced ALD)법도 포함된다. 플라즈마를 이용함으로써, 더 낮은 온도에서 성막할 수 있기 때문에 바람직한 경우가 있다. 또한 ALD법에서 사용하는 전구체에는 탄소 또는 염소 등의 원소가 포함되는 경우가 있다. 그러므로 ALD법에 의하여 제공된 막은, 다른 성막법에 의하여 제공된 막과 비교하여 탄소 또는 염소 등의 원소를 많이 포함하는 경우가 있다. 또한 이들 원소는 XPS 또는 이차이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)을 사용하여 정량화할 수 있다.
- [0317] ALD법은 타겟 등으로부터 방출되는 입자가 퇴적되는 성막 방법과는 달리, 피처리물의 표면에서의 반응에 의하여 막이 형성되는 성막 방법이다. 따라서 피처리물의 형상의 영향을 받기 어렵고, 단차 피복성이 양호한 성막 방법이다. 특히 ALD법은 단차 피복성과 두께 균일성이 우수하기 때문에, 종횡비가 높은 개구부의 표면을 피복하는 경우 등에 적합하다.
- [0318] 이후에는 금속 산화물의 일례로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물에 대하여 설명한다. 또한 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물을 In-Ga-Zn 산화물이라고 부르는 경우가 있다.
- [0319] <결정 구조의 분류>
- [0320] 산화물 반도체의 결정 구조로서는 비정질(completely amorphous를 포함함), CAAC(c-axis-aligned crystalline), nc(nanocrystalline), CAC(cloud-aligned composite), 단결정(single crystal), 및 다결정(poly crystal) 등을 들 수 있다.
- [0321] 또한 막 또는 기판의 결정 구조는 X선 회절(XRD: X-Ray Diffraction) 스펙트럼을 사용하여 평가할 수 있다. 예를 들어 GIXD(Grazing-Incidence XRD) 측정에 의하여 얻어지는 XRD 스펙트럼을 사용하여 평가할 수 있다. 또한 GIXD법은 박막법 또는 Seemann-Bohlin법이라고도 한다. 또한 이하에서는 GIXD 측정에 의하여 얻어지는 XRD 스

펙트럼을 단순히 XRD 스펙트럼이라고 기재하는 경우가 있다.

- [0322] 예를 들어 석영 유리 기관에서는 XRD 스펙트럼의 피크의 형상이 거의 좌우 대칭이다. 한편으로 결정 구조를 가지는 In-Ga-Zn 산화물막에서는 XRD 스펙트럼의 피크의 형상이 좌우 비대칭이다. XRD 스펙트럼의 피크의 형상이 좌우 비대칭이라는 것은, 막 중 또는 기관 중의 결정의 존재를 명시한다. 바꿔 말하면 XRD 스펙트럼의 피크의 형상이 좌우 대칭이 아니면, 막 또는 기관은 비정질 상태라고 할 수 없다.
- [0323] 또한 막 또는 기관의 결정 구조는 나노빔 전자 회절법(NBED: Nano Beam Electron Diffraction)에 의하여 관찰되는 회절 패턴(나노빔 전자 회절 패턴이라고도 함)으로 평가할 수 있다. 예를 들어 석영 유리 기관의 회절 패턴에서는 헤일로(halo)가 관찰되고, 석영 유리가 비정질 상태인 것을 확인할 수 있다. 또한 실온에서 성막한 In-Ga-Zn 산화물막의 회절 패턴에서는 헤일로가 아니라 스폿 형상의 패턴이 관찰된다. 그러므로 실온에서 성막한 In-Ga-Zn 산화물은 단결정 또는 다결정도 아니고, 비정질 상태도 아닌 중간 상태이고, 비정질 상태라고 결론을 내릴 수 없는 것으로 추정된다.
- [0324] [산화물 반도체의 구조]
- [0325] 또한 산화물 반도체는 구조에 착안한 경우, 상기와는 다른 식으로 분류되는 경우가 있다. 예를 들어 산화물 반도체는 단결정 산화물 반도체와 이 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서, 예를 들어 상술한 CAAC-OS 및 nc-OS가 있다. 또한 비단결정 산화물 반도체에는 다결정 산화물 반도체, a-like OS(amorphous-like oxide semiconductor), 비정질 산화물 반도체 등이 포함된다.
- [0326] 여기서 상술한 CAAC-OS, nc-OS, 및 a-like OS에 대하여 자세히 설명한다.
- [0327] [CAAC-OS]
- [0328] CAAC-OS는 복수의 결정 영역을 포함하고, 상기 복수의 결정 영역은 c축이 특정 방향으로 배향되는 산화물 반도체이다. 또한 특정 방향이란, CAAC-OS막의 두께 방향, CAAC-OS막의 피형성면의 법선 방향, 또는 CAAC-OS막의 표면의 법선 방향을 말한다. 또한 결정 영역이란, 원자 배열에 주기성을 가지는 영역이다. 또한 원자 배열을 격자 배열로 간주하면, 결정 영역은 격자 배열이 정렬된 영역이기도 하다. 또한 CAAC-OS는 a-b면 방향에서 복수의 결정 영역이 연결되는 영역을 포함하고, 상기 영역은 변형을 가지는 경우가 있다. 또한 변형이란 복수의 결정 영역이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다. 즉 CAAC-OS는 c축 배향을 가지고, a-b면 방향으로는 명확한 배향을 가지지 않는 산화물 반도체이다.
- [0329] 또한 상기 복수의 결정 영역은 각각 하나 또는 복수의 미소한 결정(최대 직경이 10nm 미만인 결정)으로 구성된다. 결정 영역이 하나의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 10nm 미만이 된다. 또한 결정 영역이 다수의 미소한 결정으로 구성되는 경우, 상기 결정 영역의 최대 직경은 수십nm 정도가 되는 경우가 있다.
- [0330] 또한 In-Ga-Zn 산화물에서, CAAC-OS는 인듐(In) 및 산소를 가지는 층(이하 In층)과, 갈륨(Ga), 아연(Zn), 및 산소를 가지는 층(이하 (Ga, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 가지는 경향이 있다. 또한 인듐과 갈륨은 서로 치환될 수 있다. 따라서 (Ga, Zn)층에는 인듐이 포함되는 경우가 있다. 또한 In층에는 갈륨이 포함되는 경우가 있다. 또한 In층에는 아연이 포함되는 경우도 있다. 상기 층상 구조는 예를 들어 고분해능 TEM(Transmission Electron Microscope) 이미지에서 격자상(格子像)으로 관찰된다.
- [0331] 예를 들어 XRD 장치를 사용하여 CAAC-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는 c축 배향을 나타내는 피크가  $2\theta=31^\circ$  또는 그 근방에서 검출된다. 또한 c축 배향을 나타내는 피크의 위치( $2\theta$ 의 값)는 CAAC-OS를 구성하는 금속 원소의 종류, 조성 등에 따라 변동되는 경우가 있다.
- [0332] 또한 예를 들어 CAAC-OS막의 전자 회절 패턴에서 복수의 휘점(스폿)이 관측된다. 또한 어떤 스폿과 다른 스폿은 시료를 투과한 입사 전자선의 스폿(디렉트 스폿이라고도 함)을 대칭 중심으로 하여 점대칭의 위치에서 관측된다.
- [0333] 상기 특정 방향에서 결정 영역을 관찰한 경우, 상기 결정 영역 내의 격자 배열은 기본적으로 육방 격자이지만, 단위 격자는 정육각형에 한정되지 않고 비정육각형인 경우가 있다. 또한 상기 변형에서 오각형, 칠각형 등의 격자 배열을 가지는 경우가 있다. 또한 CAAC-OS에서는 변형 근방에서도 명확한 결정립계(그레인 바운더리)를 확인할 수 없다. 즉 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는 CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원자가 치환됨으로써 원자 사이의 결합

거리가 변화되는 것 등에 의하여 변형을 허용할 수 있기 때문이라고 생각된다.

[0334] 또한 명확한 결정립계가 확인되는 결정 구조는 소위 다결정(polycrystal)이다. 결정립계는 재결합 중심이 되고, 캐리어가 포획됨으로써 트랜지스터의 온 전류의 저하 및 전계 효과 이동도의 저하 등을 일으킬 가능성이 높다. 따라서 명확한 결정립계가 확인되지 않는 CAAC-OS는 트랜지스터의 반도체층에 적합한 결정 구조를 가지는 결정성 산화물 중 하나이다. 또한 CAAC-OS를 구성하기 위해서는 Zn을 포함하는 구성이 바람직하다. 예를 들어 In-Zn 산화물 및 In-Ga-Zn 산화물은 In 산화물보다 결정립계의 발생을 억제할 수 있기 때문에 적합하다.

[0335] CAAC-OS는 결정성이 높고, 명확한 결정립계가 확인되지 않는 산화물 반도체이다. 따라서 CAAC-OS는 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순물의 혼입 및/또는 결함의 생성 등에 의하여 저하되는 경우가 있기 때문에, CAAC-OS는 불순물 및 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 포함하는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 포함하는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면 제조 공정의 자유도를 높일 수 있게 된다.

[0336] [nc-OS]

[0337] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 가진다. 바꿔 말하면, nc-OS는 미소한 결정을 포함한다. 또한 상기 미소한 결정은 크기가 예를 들어 1nm 이상 10nm 이하, 특히 1nm 이상 3nm 이하이기 때문에 나노 결정이라고도 한다. 또한 nc-OS에서는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 그러므로 막 전체에서 배향성이 보이지 않는다. 따라서 nc-OS는 분석 방법에 따라서는 a-like OS 및 비정질 산화물 반도체와 구별할 수 없는 경우가 있다. 예를 들어 XRD 장치를 사용하여 nc-OS막의 구조 해석을 수행할 때,  $\theta/2\theta$  스캔을 사용한 Out-of-plane XRD 측정에서는 결정성을 나타내는 피크가 검출되지 않는다. 또한 나노 결정보다 큰 프로브 직경(예를 들어 50nm 이상)의 전자선을 사용하는 전자 회절(제한 시야 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면 헤일로 패턴과 같은 회절 패턴이 관측된다. 한편으로 나노 결정의 크기와 가깝거나 나노 결정보다 작은 프로브 직경(예를 들어 1nm 이상 30nm 이하)의 전자선을 사용하는 전자 회절(나노빔 전자 회절이라고도 함)을 nc-OS막에 대하여 수행하면, 디렉트 스폿을 중심으로 하는 링 형상의 영역 내에 복수의 스폿이 관측되는 전자 회절 패턴이 취득되는 경우가 있다.

[0338] [a-like OS]

[0339] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 가지는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 포함한다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다. 또한 a-like OS는 nc-OS 및 CAAC-OS에 비하여 막 중의 수소 농도가 높다.

[0340] [산화물 반도체의 구성]

[0341] 다음으로 상술한 CAC-OS에 대하여 자세히 설명한다. 또한 CAC-OS는 재료 구성에 관한 것이다.

[0342] [CAC-OS]

[0343] CAC-OS란, 예를 들어 금속 산화물을 구성하는 원소가 0.5nm 이상 10nm 이하로, 바람직하게는 1nm 이상 3nm 이하로, 또는 그 근방의 크기로 편재된 재료의 한 구성이다. 또한 이하에서는 금속 산화물에 하나 또는 복수의 금속 원소가 편재되고, 상기 금속 원소를 포함하는 영역이 0.5nm 이상 10nm 이하로, 바람직하게는 1nm 이상 3nm 이하로, 또는 그 근방의 크기로 혼합된 상태를 모자이크 패턴 또는 패치 패턴이라고도 한다.

[0344] 또한 CAC-OS란, 재료가 제 1 영역과 제 2 영역으로 분리하여 모자이크 패턴을 형성하고, 상기 제 1 영역이 막 중에 분포된 구성(이하 클라우딩상이라고도 함)이다. 즉, CAC-OS는 상기 제 1 영역과 상기 제 2 영역이 혼합된 구성을 가지는 복합 금속 산화물이다.

[0345] 여기서, In-Ga-Zn 산화물에서의 CAC-OS를 구성하는 금속 원소에 대한 In, Ga, 및 Zn의 원자수비를 각각 [In], [Ga], 및 [Zn]이라고 표기한다. 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서, 제 1 영역은 [In]이 CAC-OS막의 조성에서의 [In]보다 큰 영역이다. 또한 제 2 영역은 [Ga]가 CAC-OS막의 조성에서의 [Ga]보다 큰 영역이다. 또는 예를 들어 제 1 영역은 [In]이 제 2 영역에서의 [In]보다 크며, [Ga]가 제 2 영역에서의 [Ga]보다 작은 영역이다. 또한 제 2 영역은 [Ga]가 제 1 영역에서의 [Ga]보다 크며, [In]이 제 1 영역에서의 [In]보다 작은 영

역이다.

- [0346] 구체적으로 상기 제 1 영역은 인듐 산화물, 인듐 아연 산화물 등이 주성분인 영역이다. 또한 상기 제 2 영역은 갈륨 산화물, 갈륨 아연 산화물 등이 주성분인 영역이다. 즉 상기 제 1 영역을 In을 주성분으로 하는 영역으로 바꿔 말할 수 있다. 또한 상기 제 2 영역을 Ga를 주성분으로 하는 영역으로 바꿔 말할 수 있다.
- [0347] 또한 상기 제 1 영역과 상기 제 2 영역 사이에서 명확한 경계를 관찰할 수 없는 경우가 있다.
- [0348] 또한 In-Ga-Zn 산화물에서의 CAC-OS란, In, Ga, Zn, 및 O를 포함하는 재료 구성에 있어서, 일부에 Ga를 주성분으로 하는 영역을 포함하고, 일부에 In을 주성분으로 하는 영역을 포함하고, 이들 영역이 각각 모자이크 패턴이며 랜덤으로 존재하는 구성을 말한다. 따라서 CAC-OS는 금속 원소가 불균일하게 분포된 구조를 가지는 것으로 추측된다.
- [0349] CAC-OS는 예를 들어 기판을 의도적으로 가열하지 않는 조건에서 스퍼터링법에 의하여 형성할 수 있다. 또한 CAC-OS를 스퍼터링법에 의하여 형성하는 경우, 성막 가스로서 불활성 가스(대표적으로는 아르곤), 산소 가스, 및 질소 가스에서 선택된 어느 하나 또는 복수를 사용하면 좋다. 또한 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비는 낮을수록 바람직하다. 예를 들어 성막 시의 성막 가스의 총유량에 대한 산소 가스의 유량비를 0% 이상 30% 미만으로, 바람직하게는 0% 이상 10% 이하로 한다.
- [0350] 또한 예를 들어 In-Ga-Zn 산화물에서의 CAC-OS에서는 에너지 분산형 X선 분광법(EDX: Energy Dispersive X-ray spectroscopy)을 사용하여 취득한 EDX 맵핑으로부터, In을 주성분으로 하는 영역(제 1 영역)과, Ga를 주성분으로 하는 영역(제 2 영역)이 편재되고 혼합된 구조를 가지는 것을 확인할 수 있다.
- [0351] 여기서 제 1 영역은 제 2 영역에 비하여 도전성이 높은 영역이다. 즉 제 1 영역을 캐리어가 흐름으로써, 금속 산화물의 도전성이 발현된다. 따라서 제 1 영역이 금속 산화물 내에서 클라우드로 분포됨으로써, 높은 전계 효과 이동도( $\mu$ )를 실현할 수 있다.
- [0352] 한편으로, 제 2 영역은 제 1 영역에 비하여 절연성이 높은 영역이다. 즉 제 2 영역이 금속 산화물 내에 분포됨으로써 누설 전류를 억제할 수 있다.
- [0353] 따라서 CAC-OS를 트랜지스터에 사용하는 경우에는 제 1 영역에 기인하는 도전성과 제 2 영역에 기인하는 절연성이 상보적으로 작용함으로써, 스위칭 기능(On/Off 기능)을 CAC-OS에 부여할 수 있다. 즉, CAC-OS는 재료의 일부에서는 도전성의 기능을 가지고, 재료의 다른 일부에서는 절연성의 기능을 가지고, 재료 전체에서는 반도체로서의 기능을 가진다. 도전성의 기능과 절연성의 기능을 분리함으로써, 양쪽의 기능을 최대한 높일 수 있다. 따라서 CAC-OS를 트랜지스터에 사용함으로써, 높은 온 전류( $I_{on}$ ), 높은 전계 효과 이동도( $\mu$ ), 및 양호한 스위칭 동작을 실현할 수 있다.
- [0354] 또한 CAC-OS를 사용한 트랜지스터는 신뢰성이 높다. 따라서 CAC-OS는 표시 장치를 비롯한 다양한 반도체 장치에 최적이다.
- [0355] 산화물 반도체는 다양한 구조를 가지고, 각각이 상이한 특성을 가진다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, CAC-OS, nc-OS, CAAC-OS 중 2종류 이상을 포함하여도 좋다.
- [0356] <산화물 반도체를 포함하는 트랜지스터>
- [0357] 다음으로 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.
- [0358] 상기 산화물 반도체를 트랜지스터에 사용함으로써 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0359] 특히 채널이 형성되는 반도체층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물("IGZO"라고도 표기함)을 사용하는 것이 바람직하다. 또는 반도체층으로서 인듐(In), 알루미늄(Al), 및 아연(Zn)을 포함하는 산화물(IAZO라고도 표기함)을 사용하여도 좋다. 또는 반도체층으로서 인듐(In), 알루미늄(Al), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화물(IAGZO라고도 표기함)을 사용하여도 좋다.
- [0360] 트랜지스터에는 캐리어 농도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 예를 들어 산화물 반도체의 캐리어 농도는  $1 \times 10^{17} \text{ cm}^{-3}$  이하, 바람직하게는  $1 \times 10^{15} \text{ cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{13} \text{ cm}^{-3}$  이하, 더 바람직하

계는  $1 \times 10^{11} \text{ cm}^{-3}$  이하, 더 바람직하게는  $1 \times 10^{10} \text{ cm}^{-3}$  미만이고,  $1 \times 10^{-9} \text{ cm}^{-3}$  이상이다. 또한 산화물 반도체막의 캐리어 농도를 낮추는 경우에는 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 또한 캐리어 농도가 낮은 산화물 반도체를 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체라고 부르는 경우가 있다.

[0361] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[0362] 산화물 반도체의 트랩 준위에 포획된 전하는 소실하는 데 걸리는 시간이 길어 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0363] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물에는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다. 또한 산화물 반도체 내의 불순물이란, 예를 들어 산화물 반도체를 구성하는 주성분 이외를 말한다. 예를 들어 농도가 0.1atomic% 미만의 원소는 불순물이라고 할 수 있다.

[0364] <불순물>

[0365] 여기서 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0366] 산화물 반도체에 14족 원소의 하나인 실리콘 또는 탄소가 포함되면 산화물 반도체에서 결함 준위가 형성된다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 탄소의 농도를  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다. 또한 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 실리콘의 농도는  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $3 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하로 한다.

[0367] 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하고, 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 내의 알칼리 금속 또는 알칼리 토금속의 농도를  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 바람직하게는  $2 \times 10^{16} \text{ atoms/cm}^3$  이하로 한다.

[0368] 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 농도가 증가되어 n형화되기 쉽다. 이 결과, 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 또는 산화물 반도체에 질소가 포함되면, 트랩 준위가 형성되는 경우가 있다. 이 결과, 트랜지스터의 전기 특성이 불안정해지는 경우가 있다. 그러므로 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역 중의 질소 농도를  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{17} \text{ atoms/cm}^3$  이하로 한다.

[0369] 산화물 반도체에 포함되는 수소는 금속 원자와 결합되는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합되는 산소와 결합되어, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 가지기 쉽다. 그러므로 산화물 반도체 내의 채널 형성 영역 중의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는 SIMS에 의하여 얻어지는 산화물 반도체의 채널 형성 영역에서의 수소 농도를  $1 \times 10^{20} \text{ atoms/cm}^3$  이하, 바람직하게는  $5 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times 10^{19} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $5 \times 10^{18} \text{ atoms/cm}^3$  이하, 더 바람직하게는  $1 \times$

$10^{18}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $5 \times 10^{17}$  atoms/cm<sup>3</sup> 이하로 한다.

- [0370] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써 안정된 전기 특성을 부여할 수 있다.
- [0371] <마이크로파 처리>
- [0372] 또한 산화물 반도체 형성 후에 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써 상기 산화물 반도체의 불순물 농도를 저감할 수 있다. 마이크로파 처리란, 예를 들어 마이크로파를 사용하여 고밀도 플라즈마를 발생시키는 전원을 가지는 장치를 사용하는 처리를 말한다.
- [0373] 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 마이크로파 또는 RF 등의 고주파를 사용하여 산소 가스를 플라즈마화하고, 상기 산소 플라즈마를 작용시킬 수 있다. 또한 산화물 반도체에 작용하는 산소로서는 산소 원자, 산소 분자, 산소 이온, 및 산소 라디칼(O 라디칼이라고도 하는 홀전자(unpaired electron)를 가지는 원자, 분자, 또는 이온) 등 다양한 형태가 있다. 또한 산화물 반도체에 작용하는 산소는 상술한 형태 중 어느 하나 또는 복수이면 좋고, 특히 산소 라디칼인 것이 적합하다.
- [0374] 또한 상술한 산소를 포함하는 분위기에서 마이크로파 처리를 수행할 때 기판을 가열함으로써 산화물 반도체 내의 불순물 농도를 더 저감시킬 수 있기 때문에 적합하다. 상술한 기판의 가열은 100℃ 이상 650℃ 이하, 바람직하게는 200℃ 이상 600℃ 이하, 더 바람직하게는 300℃ 이상 450℃ 이하에서 수행하면 좋다.
- [0375] 상술한 산소를 포함하는 분위기에서의 마이크로파 처리를 수행할 때 기판을 가열함으로써, SIMS에 의하여 얻어지는 산화물 반도체의 탄소 농도를  $1 \times 10^{20}$  atoms/cm<sup>3</sup> 이하, 바람직하게는  $1 \times 10^{19}$  atoms/cm<sup>3</sup> 이하, 더 바람직하게는  $1 \times 10^{18}$  atoms/cm<sup>3</sup> 이하로 할 수 있다.
- [0376] 또한 앞에서는 산화물 반도체에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행하는 구성에 대하여 예시하였지만 이에 한정되지 않는다. 예를 들어 산화물 반도체 근방에 위치하는 절연층, 구체적으로는 산화 실리콘층에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행하여도 좋다. 산화 실리콘층에 대하여 산소를 포함하는 분위기에서 마이크로파 처리를 수행함으로써, 상기 산화 실리콘층 내에 포함된 수소를 H<sub>2</sub>O로서 외부로 방출시킬 수 있다. 산화물 반도체 근방에 위치하는 산화 실리콘층으로부터 수소를 방출시킴으로써 반도체층으로서 산화물 반도체를 사용한 트랜지스터의 신뢰성을 높일 수 있다. 따라서 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0377] 또한 마이크로파 처리를 수행함으로써 산화물 반도체의 결정화가 촉진되는 경우가 있다. 즉 산화물 반도체 또는 산화물 반도체 근방에 위치하는 절연층에 대하여 마이크로파 처리를 수행함으로써, 산화물 반도체의 결정성을 높일 수 있다.
- [0378] 본 실시형태에 나타낸 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0379] (실시형태 3)
- [0380] 본 실시형태에서는 본 발명의 일 형태에 따른 트랜지스터(10), 시프트 레지스터(100), 및 신호 출력 회로(110) 등을 사용할 수 있는 표시 장치(200)의 구성예에 대하여 설명한다.
- [0381] 도 34의 (A)에 표시 장치(200)의 사시도를 나타내었다. 표시 장치(200)는 기판(152)과 기판(148)이 접합된 구성을 가진다. 도 34의 (A)에서는 기판(152)을 파선으로 나타내었다.
- [0382] 표시 장치(200)는 표시부(235), 접속부(140), 제 1 구동 회로부(231), 제 2 구동 회로부(232), 배선(165) 등을 포함한다. 도 34의 (A)에는 표시 장치(200)에 IC(178) 및 FPC(179)가 실장되어 있는 예를 나타내었다. 그러므로 도 34의 (A)에 나타낸 구성은 표시 장치(200)와, IC(집적 회로)와, FPC를 포함하는 표시 모듈이라고 할 수도 있다.
- [0383] 접속부(140)는 표시부(235)의 외측에 제공된다. 접속부(140)는 표시부(235)의 1번 또는 복수의 변을 따라 제공될 수 있다. 접속부(140)는 하나이어도 좋고 복수이어도 좋다. 도 34의 (A)에는 표시부의 4변을 둘러싸도록 접속부(140)가 제공되어 있는 예를 나타내었다. 접속부(140)에서는 발광 디바이스의 공통 전극과 도전층이 전기적으로 접속되어 있어, 공통 전극에 전위를 인가할 수 있다.
- [0384] 배선(165)은 표시부(235), 제 1 구동 회로부(231), 및 제 2 구동 회로부(232)에 신호 및 전력을 공급하는 기능

을 가진다. 상기 신호 및 전력은 FPC(179)를 통하여 외부로부터 배선(165)에 입력되거나, IC(178)로부터 배선(165)에 입력된다.

- [0385] 도 34의 (A)에는 COG(Chip On Glass) 방식 또는 COF(Chip On Film) 방식 등으로 기관(148)에 IC(178)가 제공되어 있는 예를 나타내었다. IC(178)는 예를 들어 주사선 구동 회로 또는 신호선 구동 회로 등을 포함하여도 좋다. 또한 표시 장치(200) 및 표시 모듈은 IC를 제공하지 않는 구성으로 하여도 좋다. 또한 IC를 COF 방식 등으로 FPC에 실장하여도 좋다.
- [0386] 표시부(235)는 m행(m은 1 이상의 정수) n열(n은 1 이상의 정수)의 매트릭스 형태로 배치된 복수의 화소(230)를 포함한다. 또한 복수의 화소(230)는 예를 들어 화소(230a), 화소(230b), 및 화소(230c)로 분류된다. 화소(230a), 화소(230b), 및 화소(230c)는 각각 다른 색의 광을 나타내는 기능을 가진다. 예를 들어 화소(230a)가 적색(R)의 광을 나타내는 기능을 가지고, 화소(230b)가 녹색(G)의 광을 나타내는 기능을 가지고, 화소(230c)가 청색(B)의 광을 나타내는 기능을 가져도 좋다. 또는 예를 들어 화소(230a)가 황색(Y)의 광을 나타내는 기능을 가지고, 화소(230b)가 시안(C)의 광을 나타내는 기능을 가지고, 화소(230c)가 마젠타(M)의 광을 나타내는 기능을 가져도 좋다.
- [0387] 하나의 화소(230a), 하나의 화소(230b), 및 하나의 화소(230c)로 하나의 화소(240)를 구성함으로써 풀 컬러 표시를 실현할 수 있다. 따라서 화소(230)는 부화소로서 기능한다. 또한 도 34의 (A)에는 표시 장치(200)에서 부화소로서 기능하는 화소(230)를 스트라이프 배열로 배치하는 예를 나타내었다. 하나의 화소(240)를 구성하는 부화소의 개수는 3개에 한정되지 않고, 4개 이상으로 하여도 좋다. 예를 들어 R, G, B, 백색(W)의 광을 나타내는 4개의 부화소를 포함하여도 좋다. 또는 R, G, B, Y의 4색의 광을 나타내는 4개의 부화소를 포함하여도 좋다.
- [0388] 도 34의 (B)는 표시 장치(200)를 설명하는 블록도이다. 표시 장치(200)는 표시부(235), 제 1 구동 회로부(231), 및 제 2 구동 회로부(232)를 포함한다. 도 34의 (B)에는 첫 번째 행 n번째 열의 화소(230)를 화소(230[1,n])라고 나타내고, m번째 행 첫 번째 열의 화소(230)를 화소(230[m,1])라고 나타내고, m번째 행 n번째 열의 화소(230)를 화소(230[m,n])라고 나타내었다. 또한 표시부(235)에 포함된 임의의 화소(230)를 화소(230[r,s])라고 하는 경우가 있다. r는 1 이상 m 이하의 정수이고, s는 1 이상 n 이하의 정수이다.
- [0389] 제 1 구동 회로부(231)에 포함된 회로는 예를 들어 주사선 구동 회로로서 기능한다. 제 2 구동 회로부(232)에 포함되는 회로는 예를 들어 신호선 구동 회로로서 기능한다. 또한 표시부(235)를 끼우고 제 1 구동 회로부(231)와 대향하는 위치에 어떤 회로를 제공하여도 좋다. 표시부(235)를 끼우고 제 2 구동 회로부(232)와 대향하는 위치에 어떤 회로를 제공하여도 좋다. 또한 제 1 구동 회로부(231) 및 제 2 구동 회로부(232)에 포함된 회로를 통틀어 주변 구동 회로(233)라고 한다.
- [0390] 주사선 구동 회로로서 기능하는 제 1 구동 회로부(231)는 화소(230)를 1행마다 선택하는 기능을 가진다. 제 1 구동 회로부(231)에 의하여 첫 번째 행에 배치되어 있는 복수의 화소(230)에서 m번째 행에 배치되어 있는 복수의 화소(230)까지 순차적으로 선택하고, 선택된 화소(230)에 제 2 구동 회로부(232)로부터 공급되는 화상 신호를 기록함으로써 표시부(235)에 표시되는 화상을 재기록할 수 있다.
- [0391] 제 1 구동 회로부(231)에 의하여 첫 번째 행의 화소(230)를 선택하였을 때부터 m번째 행의 화소(230)를 선택할 때까지의 기간을 "프레임 기간"이라고 한다. 따라서 프레임 기간이란 표시부(235)에 표시하는 화상을 한 번 재기록하기 위하여 필요한 기간이다. 또한 1초당 화상의 재기록 횟수를 "프레임 주파수"라고 한다. 프레임 주파수는 프레임 기간의 역수(逆數)에 상당한다. 또한 "프레임 주파수"를 "구동 주파수"라고 말하는 경우가 있다.
- [0392] 표시 장치(200)에 동영상 표시하는 경우에는 프레임 주파수가 높은 것이 바람직하다. 구체적으로는 프레임 주파수를 60Hz 이상, 바람직하게는 120Hz 이상, 더 바람직하게는 240Hz 이상으로 하는 것이 좋다. 한편으로 프레임 주파수가 높아지면 표시 장치(200)의 소비 전력이 커진다.
- [0393] 주변 구동 회로(233)에는 시프트 레지스터 회로, 레벨 시프터 회로, 인버터 회로, 래치 회로, 아날로그 스위치 회로, 멀티플렉서 회로, 디멀티플렉서 회로, 논리 회로 등 다양한 회로를 사용할 수 있다.
- [0394] 주변 구동 회로(233)에는 본 발명의 일 형태에 따른 트랜지스터(10) 등을 사용할 수 있다. 또한 시프트 레지스터 회로에는 본 발명의 일 형태에 따른 시프트 레지스터(100) 또는 신호 출력 회로(110) 등을 사용할 수 있다. 또한 주변 구동 회로가 포함하는 트랜지스터와 화소(230)가 포함하는 트랜지스터를 같은 공정으로 형성하여도 좋다. 주변 구동 회로(233)에 본 발명의 일 형태에 따른 트랜지스터(10) 등을 사용함으로써 주변 구동 회로

(233)의 점유 면적을 축소할 수 있다.

- [0395] 또한 표시 장치(200)는 각각이 실질적으로 평행하게 배치되고, 또한 제 1 구동 회로부(231)에 포함된 회로에 의하여 전위가 제어되는 m개의 배선(236)과, 각각이 실질적으로 평행하게 배치되고, 또한 제 2 구동 회로부(232)에 포함된 회로에 의하여 전위가 제어되는 n개의 배선(237)을 포함한다.
- [0396] 또한 도 34의 (B)에는 화소(230)에 배선(236)과 배선(237)이 접속된 예를 나타내었다. 다만 배선(236)과 배선(237)은 일레이고 화소(230)와 접속되는 배선은 배선(236)과 배선(237)에 한정되지 않는다.
- [0397] <표시 소자>
- [0398] 표시 장치(200)는 다양한 형태가 사용되거나 다양한 표시 소자를 포함할 수 있다. 표시 소자의 일례로서는 EL(Electroluminescence) 소자(유기 EL 소자, 무기 EL 소자, 또는 유기물 및 무기물을 포함하는 EL 소자), LED(백색 LED, 적색 LED, 녹색 LED, 청색 LED 등), 트랜지스터(전류에 따라 발광하는 트랜지스터), 전자 방출 소자, 액정 소자, 전자 잉크, 전기 영동(泳動) 소자, GLV(grating light valve), MEMS(micro electro mechanical systems)를 사용한 표시 소자, DMD(digital micromirror device), DMS(digital micro shutter), MIRASOL(등록 상표), IMOD(interferometric modulator) 소자, 셔터 방식의 MEMS 표시 소자, 광 간섭 방식의 MEMS 표시 소자, 전기 습윤 소자, 압전 세라믹 디스플레이, 카본 나노튜브를 사용한 표시 소자 등, 전기적 또는 자기적 작용에 의하여 콘트라스트, 휘도, 반사율, 및 투과율 등이 변화되는 표시 매체를 포함하는 것이 있다. 또한 표시 소자로서 퀀텀닷(quantum dot)을 사용하여도 좋다.
- [0399] EL 소자를 사용한 표시 장치의 일례로서는 EL 디스플레이 등이 있다. 전자 방출 소자를 사용한 표시 장치의 일례로서는 FED(field emission display) 또는 SED 방식 평면형 디스플레이(SED: Surface-conduction Electron-emitter Display) 등이 있다. 퀀텀닷을 사용한 표시 장치의 일례로서는 퀀텀닷 디스플레이 등이 있다. 액정 소자를 사용한 표시 장치의 일례로서는 액정 디스플레이(투과형 액정 디스플레이, 반투과형 액정 디스플레이, 반사형 액정 디스플레이, 직시형 액정 디스플레이, 투사형 액정 디스플레이) 등이 있다. 전자 잉크, 전자 분류체(電子粉流體, Electric Liquid Powder)(등록 상표), 또는 전기 영동 소자를 사용한 표시 장치의 일례로서는 전자 페이퍼 등이 있다. 표시 장치는 PDP(plasma display panel)이어도 좋다.
- [0400] 또한 반투과형 액정 디스플레이 또는 반사형 액정 디스플레이를 실현하는 경우에는 화소 전극의 일부 또는 전부가 반사 전극으로서의 기능을 가지도록 하는 것이 바람직하다. 예를 들어 화소 전극의 일부 또는 전부가 알루미늄, 은 등을 가지도록 하는 것이 바람직하다. 또한 그 경우, 반사 전극 아래에 SRAM 등의 기억 회로를 제공할 수도 있다. 이로써 소비 전력을 더 저감할 수 있다.
- [0401] 또한 LED를 사용하는 경우, LED의 전극 또는 질화물 반도체 아래에 그래핀 또는 그래파이트를 배치하여도 좋다. 그래핀 또는 그래파이트는 복수의 층을 중첩시켜 다층막으로 하여도 좋다. 이와 같이, 그래핀 또는 그래파이트를 제공함으로써, 그 위에 질화물 반도체, 예를 들어 결정을 포함하는 n형 GaN 반도체층 등을 용이하게 성막할 수 있다. 또한 그 위에 결정을 포함하는 p형 GaN 반도체층 등을 제공하여 LED를 구성할 수 있다. 또한 그래핀 또는 그래파이트와 결정을 포함하는 n형 GaN 반도체층 사이에 AlN층을 제공하여도 좋다. 또한 LED가 가지는 GaN 반도체층을 MOCVD로 성막하여도 좋다. 다만 그래핀을 제공하면, LED가 가지는 GaN 반도체층을 스퍼터링법으로 성막할 수도 있다.
- [0402] <화소 회로의 구성예>
- [0403] 도 35의 (A) 내지 (D), 도 36의 (A) 내지 (D), 도 37의 (A), (B), 도 38의 (A) 및 (B)에 화소(230)의 구성예를 나타내었다. 화소(230)는 화소 회로(51)(화소 회로(51A), 화소 회로(51B), 화소 회로(51C), 화소 회로(51D), 화소 회로(51E), 화소 회로(51F), 화소 회로(51G), 화소 회로(51H), 화소 회로(51I), 화소 회로(51J), 화소 회로(51K), 또는 화소 회로(51L) 및 발광 소자(61)를 포함한다.
- [0404] 본 실시형태 등에서 설명하는 발광 소자(발광 디바이스라고도 함)란, 유기 EL 소자(OLED(Organic Light Emitting Diode)라고도 함) 등의 자발광형 표시 소자를 말한다. 또한 화소 회로와 전기적으로 접속되는 발광 소자는 LED(Light Emitting Diode), 마이크로 LED, QLED(Quantum-dot Light Emitting Diode), 반도체 레이저 등의 자발광형 발광 소자로 할 수 있다.
- [0405] 도 35의 (A)에 나타난 화소 회로(51A)는 트랜지스터(52A), 트랜지스터(52B), 및 용량 소자(53)를 포함하는 2Tr1C형 화소 회로이다.
- [0406] 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 배선(SL)과 전기적으로 접속되고, 트랜지스터(52A)의 게이트는 배

선(GL)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 트랜지스터(52B)의 게이트 및 용량 소자(53)의 한쪽 단자와 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 한쪽은 배선(ANO)과 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽은 용량 소자(53)의 다른 쪽 단자 및 발광 소자(61)의 애노드와 전기적으로 접속된다. 발광 소자(61)의 캐소드는 배선(VCOM)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽, 트랜지스터(52B)의 게이트, 및 용량 소자(53)의 한쪽 단자가 전기적으로 접속되는 영역이 노드(ND)로서 기능한다.

- [0407] 배선(GL)은 배선(236)에 상당하고, 배선(SL)은 배선(237)에 상당한다. 배선(VCOM)은 발광 소자(61)에 전류를 공급하기 위한 전위를 공급하는 배선이다. 트랜지스터(52A)는 배선(GL)의 전위에 기초하여 배선(SL)과 트랜지스터(52B)의 게이트 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 예를 들어 배선(ANO)에는 VDD가 공급되고, 배선(VCOM)에는 VSS가 공급된다.
- [0408] 트랜지스터(52A)를 온 상태로 함으로써 배선(SL)으로부터 노드(ND)에 화상 신호가 공급된다. 그 후, 트랜지스터(52A)를 오프 상태로 함으로써 화상 신호가 노드(ND)에 유지된다. 노드(ND)에 공급된 화상 신호를 확실하게 유지하기 위하여 트랜지스터(52A)로서 오프 전류가 낮은 트랜지스터를 사용하는 것이 바람직하다. 예를 들어 트랜지스터(52A)로서 OS 트랜지스터를 사용하는 것이 바람직하다.
- [0409] 트랜지스터(52A)에 OS 트랜지스터를 적용함으로써, 프레임 주파수를 매우 작게(예를 들어 1Hz 이하) 하여도, 표시부(235)의 화상 표시를 유지할 수 있다. 또한 예를 들어 프레임마다 재기록을 할 필요가 없는 정지 화상을 표시하는 경우에, 주변 구동 회로(233)의 동작을 정지하여도 화상을 계속 표시할 수 있다. 정지 화상을 표시하는 중에 주변 구동 회로(233)의 동작을 정지하는 이러한 구동 방법을 "아이들링 스톱(idling stop) 구동"이라고도 한다. 아이들링 스톱 구동을 수행함으로써 표시 장치의 소비 전력을 절감할 수 있다.
- [0410] 트랜지스터(52B)는 발광 소자(61)에 흐르는 전류의 양을 제어하는 기능을 가진다. 용량 소자(53)는 트랜지스터(52B)의 게이트 전위를 유지하는 기능을 가진다. 발광 소자(61)가 사출하는 광의 강도는 트랜지스터(52B)의 게이트(노드(ND))에 공급되는 화상 신호에 따라 제어된다.
- [0411] 도 35의 (B)에 나타난 화소 회로(51B)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 및 용량 소자(53)를 포함하는 3Tr1C형 화소 회로이다. 도 35의 (B)에 나타난 화소 회로(51B)는 도 35의 (A)에 나타난 화소 회로(51A)에 트랜지스터(52C)를 추가한 구성을 가진다.
- [0412] 트랜지스터(52C)의 소스 및 드레인 중 한쪽은 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 전기적으로 접속된다. 트랜지스터(52C)의 게이트는 배선(GL)과 전기적으로 접속된다. 트랜지스터(52C)의 소스 및 드레인 중 다른 쪽은 배선(V0)과 전기적으로 접속된다. 예를 들어 배선(V0)에는 기준 전위가 공급된다.
- [0413] 트랜지스터(52C)는 배선(GL)의 전위에 기초하여 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽과 배선(V0) 사이의 도통 상태 또는 비도통 상태를 제어하는 기능을 가진다. 배선(V0)은 기준 전위를 공급하기 위한 배선이다. 트랜지스터(52B)로서 n채널형 트랜지스터를 사용하는 경우에는 트랜지스터(52C)를 통하여 공급되는 배선(V0)의 기준 전위에 의하여 트랜지스터(52B)의 게이트-소스 간 전위의 편차를 억제할 수 있다.
- [0414] 또한 배선(V0)을 사용하여, 화소 파라미터의 설정에 사용할 수 있는 전류값을 취득할 수 있다. 더 구체적으로는 배선(V0)은 트랜지스터(52B)를 흐르는 전류 또는 발광 소자(61)를 흐르는 전류를 외부에 출력하기 위한 모니터선으로서 기능시킬 수 있다. 배선(V0)에 출력된 전류는 소스 폴로어 회로 등에 의하여 전압으로 변환되고 외부에 출력될 수 있다. 또는 A-D 컨버터 등에 의하여 디지털 신호로 변환되고 외부에 출력될 수 있다.
- [0415] 도 35의 (C)에 나타난 화소 회로(51C)는 상기 화소 회로(51A)의 트랜지스터(52A) 및 트랜지스터(52B)에 백 게이트를 포함하고 상기 백 게이트가 게이트와 전기적으로 접속되는 트랜지스터를 적용한 경우의 예이다. 또한 도 35의 (D)에 나타난 화소 회로(51D)는 화소 회로(51B)에 상기 트랜지스터를 적용한 경우의 예이다. 이에 의하여, 트랜지스터가 흘릴 수 있는 전류를 증대시킬 수 있다. 또한 여기서는 모든 트랜지스터로서 게이트와 백 게이트가 전기적으로 접속된 트랜지스터를 적용하였지만, 이에 한정되지 않는다. 또한 게이트와 백 게이트를 포함하고, 이들이 다른 배선과 전기적으로 접속된 트랜지스터를 적용하여도 좋다. 예를 들어 게이트 및 백 게이트 중 한쪽과 소스가 전기적으로 접속된 트랜지스터를 사용함으로써 신뢰성을 높일 수 있다.
- [0416] 도 36의 (A)에 나타난 화소 회로(51E)는 도 35의 (B)에 나타난 화소 회로(51B)에 트랜지스터(52D)를 추가한 구성을 가진다. 도 36의 (A)에 나타난 화소 회로(51E)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 트랜지스터(52D), 및 용량 소자(53)를 포함하는 4Tr1C형 화소 회로이다.

- [0417] 트랜지스터(52D)의 소스 및 드레인 중 한쪽은 노드(ND)와 전기적으로 접속되고, 다른 쪽은 배선(V0)과 전기적으로 접속되어 있다.
- [0418] 또한 화소 회로(51E)에는 배선(GL1), 배선(GL2), 및 배선(GL3)이 전기적으로 접속되어 있다. 배선(GL1)은 트랜지스터(52A)의 게이트와 전기적으로 접속되고, 배선(GL2)은 트랜지스터(52C)의 게이트와 전기적으로 접속되고, 배선(GL3)은 트랜지스터(52D)의 게이트와 전기적으로 접속되어 있다. 또한 본 실시형태 등에서 배선(GL1), 배선(GL2), 및 배선(GL3)을 통틀어 배선(GL)이라고 하는 경우가 있다. 따라서 배선(GL)은 하나에 한정되지 않고, 복수 개인 경우가 있다.
- [0419] 트랜지스터(52C)와 트랜지스터(52D)를 동시에 도통 상태로 함으로써, 트랜지스터(52B)의 소스와 게이트가 같은 전위가 되어, 트랜지스터(52B)를 비도통 상태로 할 수 있다. 이에 의하여, 발광 소자(61)에 흐르는 전류를 강제적으로 차단할 수 있다. 이러한 화소 회로는 표시 기간과 소등 기간을 번갈아 제공하는 표시 방법을 사용하는 경우에 적합하다.
- [0420] 도 36의 (B)에 나타난 화소 회로(51F)는 상기 화소 회로(51E)에 용량 소자(53A)를 추가한 경우의 예이다. 용량 소자(53A)는 저장 커패시터로서 기능한다. 도 36의 (A)에 나타난 화소 회로(51E)는 4Tr1C형 화소 회로이다. 또한 도 36의 (B)에 나타난 화소 회로(51F)는 4Tr2C형 화소 회로이다.
- [0421] 도 36의 (C)에 나타난 화소 회로(51G) 및 도 36의 (D)에 나타난 화소 회로(51H)는 각각 상기 화소 회로(51E) 또는 화소 회로(51F)에 백 게이트를 포함하는 트랜지스터를 적용한 경우의 예이다. 트랜지스터(52A), 트랜지스터(52C), 트랜지스터(52D)에는 게이트와 백 게이트가 전기적으로 접속된 트랜지스터가 적용되고, 트랜지스터(52B)에는 게이트 및 백 게이트 중 한쪽이 소스와 전기적으로 접속된 트랜지스터가 적용되어 있다.
- [0422] 도 37의 (A)에 나타난 화소 회로(51I)는 트랜지스터(52A), 트랜지스터(52B), 트랜지스터(52C), 트랜지스터(52D), 트랜지스터(52E), 트랜지스터(52F), 및 용량 소자(53)를 가지는 6Tr1C형 화소 회로이다.
- [0423] 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 배선(SL)과 전기적으로 접속되고, 트랜지스터(52A)의 게이트는 배선(GL1)과 전기적으로 접속된다. 트랜지스터(52D)의 소스 및 드레인 중 한쪽은 배선(ANO)과 전기적으로 접속되고, 트랜지스터(52D)의 게이트는 배선(GL2)과 전기적으로 접속된다. 트랜지스터(52D)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52B)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52B)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(52F)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52F)의 게이트는 배선(GL3)과 전기적으로 접속된다.
- [0424] 트랜지스터(52E)의 소스 및 드레인 중 한쪽은 트랜지스터(52D)의 소스 및 드레인 중 다른 쪽, 및 트랜지스터(52B)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 트랜지스터(52E)의 소스 및 드레인 중 다른 쪽은 트랜지스터(52B)의 게이트 및 용량 소자(53)의 한쪽 단자와 전기적으로 접속된다. 용량 소자(53)의 다른 쪽 단자는 트랜지스터(52F)의 소스 및 드레인 중 다른 쪽, 발광 소자(61)의 애노드, 및 트랜지스터(52C)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다.
- [0425] 트랜지스터(52E)의 게이트 및 트랜지스터(52C)의 게이트는 배선(GL4)과 전기적으로 접속된다. 트랜지스터(52C)의 소스 및 드레인 중 다른 쪽은 배선(V0)과 전기적으로 접속된다. 트랜지스터(52E)의 소스 및 드레인 중 다른 쪽, 트랜지스터(52B)의 게이트, 그리고 용량 소자(53)의 한쪽 단자가 전기적으로 접속되는 영역이 노드(ND)로서 기능한다. 화소 회로(51I)에서는 특히 트랜지스터(52E)에 OS 트랜지스터를 사용하는 것이 바람직하다.
- [0426] 또한 도 37의 (B)에 나타난 바와 같이 화소 회로(51J)에 포함되는 트랜지스터에 백 게이트를 포함하는 트랜지스터를 사용하여도 좋다. 트랜지스터(52A), 트랜지스터(52C), 트랜지스터(52D), 트랜지스터(52E), 및 트랜지스터(52F)에는 게이트와 백 게이트가 전기적으로 접속된 트랜지스터가 적용되고, 트랜지스터(52B)에는 백 게이트가 소스 및 드레인 중 다른 쪽과 전기적으로 접속된 트랜지스터가 적용되어 있다.
- [0427] 트랜지스터(52A), 트랜지스터(52C), 트랜지스터(52D), 트랜지스터(52E), 및 트랜지스터(52F)로서 본 발명의 일 형태에 따른 트랜지스터(10)를 사용할 수 있다.
- [0428] 도 38의 (A)에 나타난 화소(230)는 화소 회로(51K) 및 액정 소자(62)를 포함한다. 또한 화소 회로(51K)는 트랜지스터(52A)와 용량 소자(53)를 포함한다. 또한 도 38의 (A)에서 트랜지스터(52A)의 소스 및 드레인 중 한쪽은 배선(SL)과 전기적으로 접속되고, 트랜지스터(52A)의 게이트는 배선(GL)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 다른 쪽은 용량 소자(53)의 한쪽 단자 및 액정 소자(62)와 전기적으로 접속된다. 용량 소자(53)의 다른 쪽 단자는 배선(VCOM)과 전기적으로 접속된다. 트랜지스터(52A)의 소스 및 드레인 중 다

른 쪽, 용량 소자(53)의 한쪽 단자, 및 액정 소자(62)가 전기적으로 접속되는 영역이 노드(ND)로서 기능한다. 액정 소자(62)는 노드(ND)에 기록되는 데이터에 의하여 배향 상태가 설정된다.

- [0429] 액정 소자(62)를 포함하는 표시 장치의 구동 방법으로서, 예를 들어 TN(Twisted Nematic) 모드, STN(Super Twisted Nematic) 모드, VA 모드, ASM(Axially Symmetric Aligned Micro-cell) 모드, OCB(Optically Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드, MVA 모드, PVA(Patterned Vertical Alignment) 모드, IPS 모드, FFS 모드, 또는 TBA(Transverse Bend Alignment) 모드 등을 사용하여도 좋다. 또한 표시 장치의 구동 방법으로서 상술한 구동 방법 외에, ECB(Electrically Controlled Birefringence) 모드, PDLC(Polymer Dispersed Liquid Crystal) 모드, PNLC(Polymer Network Liquid Crystal) 모드, 게스트 호스트 모드 등이 있다. 다만 이들에 한정되지 않고, 액정 소자 및 그 구동 방식으로서 다양한 것을 사용할 수 있다.
- [0430] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용할 수 있다. 이들 액정 재료는 조건에 따라 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 등방상 등을 나타낸다.
- [0431] 또한 배향막을 사용하지 않는 블루상(Blue Phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이고, 콜레스테릭 액정을 승온하면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도 범위에서만 발현하기 때문에, 온도 범위를 개선하기 위하여 5중량% 이상의 키랄제를 혼합시킨 액정 조성물을 액정층에 사용한다. 블루상을 나타내는 액정과 키랄제를 포함하는 액정 조성물은, 응답 속도가 1msec 이하로 짧고, 광학적 등방성을 가지기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또한 배향막을 제공하지 않아도 되기 때문에 러빙 처리도 필요하지 않아, 러빙 처리로 인하여 발생하는 정전 파괴를 방지할 수 있고, 제작 공정 중의 액정 표시 장치의 불량 및 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시킬 수 있다.
- [0432] 또한 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누고, 각 영역에서 다른 방향으로 분자가 정렬되는 멀티 도메인화 또는 멀티 도메인 설계라고 불리는 방법을 사용할 수 있다.
- [0433] 또한 액정 재료의 고유 저항은  $1 \times 10^9 \Omega \cdot \text{cm}$  이상이고, 바람직하게는  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상이고, 더 바람직하게는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상이다. 또한 본 명세서에서의 고유 저항의 값은 20℃에서 측정한 값으로 한다.
- [0434] 또한 도 38의 (B)에 나타낸 바와 같이 화소(230)는 화소 회로(51K) 대신에 화소 회로(51L)를 포함하여도 좋다. 화소 회로(51L)는 백 게이트를 포함하는 트랜지스터(52A)를 포함한다. 도 38의 (B)에 나타낸 트랜지스터(52A)는 게이트가 백 게이트와 전기적으로 접속된다. 따라서 게이트와 백 게이트가 항상 같은 전위가 된다.
- [0435] 본 발명의 일 형태에 따른 트랜지스터(10)를 표시 장치의 화소 회로에 사용함으로써 화소 회로의 점유 면적을 축소할 수 있다. 따라서 표시 장치의 정세도를 높일 수 있다. 예를 들어 정세도가 1000ppi 이상, 바람직하게는 2000ppi 이상, 더 바람직하게는 3000ppi 이상, 더 바람직하게는 4000ppi 이상, 더 바람직하게는 5000ppi 이상, 더 바람직하게는 6000ppi 이상이며, 10000ppi 이하, 9000ppi 이하, 또는 8000ppi 이하인 표시 장치를 실현할 수 있다.
- [0436] 또한 화소 회로의 점유 면적이 축소됨으로써 표시 장치의 화소수를 증가시킬(해상도를 높게 할) 수 있다. 예를 들어 HD(화소수 1280×720), FHD(화소수 1920×1080), WQHD(화소수 2560×1440), WQXGA(화소수 2560×1600), 4K2K(화소수 3840×2160), 또는 8K4K(화소수 7680×4320) 등 매우 높은 해상도의 표시 장치를 실현할 수 있다.
- [0437] 따라서 본 발명의 일 형태에 따른 트랜지스터(10)를 표시 장치의 화소 회로에 사용함으로써 표시 장치의 표시 품질을 높일 수 있다. 또한 EL 소자를 사용한 보텀 이미션형 표시 장치에서는 화소의 개구율을 높일 수 있다. 개구율이 높은 화소는 개구율이 낮은 화소와 같은 휘도의 발광을, 개구율이 낮은 화소보다 적은 전류 밀도로 실현할 수 있다. 따라서 표시 장치의 신뢰성을 높일 수 있다.
- [0438] [주변 회로의 구성예]
- [0439] 도 39의 (A)에 제 2 구동 회로부(232)의 구성예를 나타내었다. 제 2 구동 회로부(232)는 시프트 레지스터(512), 래치 회로(513), 및 버퍼(514)를 포함한다. 또한 배선(237)으로서 배선(237[1]), 배선(237[2]), 배선(237[3]), 및 배선(237[n])을 나타내었다. 또한 도 39의 (B)에 제 1 구동 회로부(231)의 구성예를 나타내었다. 제 1 구동 회로부(231)는 시프트 레지스터(522) 및 버퍼(523)를 포함한다. 또한 배선(236)으로서 배선

(236[1]), 배선(236[2]), 배선(236[3]), 및 배선(236[n])을 나타내었다.

- [0440] 시프트 레지스터(512) 및 시프트 레지스터(522)에는 스타트 펄스(SP), 신호(CLK) 등이 입력된다. 시프트 레지스터(512) 및 시프트 레지스터(522)로서 앞의 실시형태에서 설명한 시프트 레지스터(100)를 사용할 수 있다.
- [0441] <화소 레이아웃>
- [0442] 도 40의 (A) 내지 (G) 및 도 41의 (A) 내지 (K)를 사용하여, 주로 도 34의 (A)와 상이한 화소 레이아웃에 대하여 설명한다. 부화소의 배열에 특별한 한정은 없고 다양한 화소 레이아웃을 적용할 수 있다. 부화소의 배열로서는 예를 들어 스트라이프 배열, S스트라이프 배열, 매트릭스 배열, 델타 배열, 베이어 배열, 펜타일 배열 등이 있다.
- [0443] 또한 도 34의 (A), 도 40의 (A) 내지 (G), 및 도 41의 (A) 내지 (K)에 나타낸 부화소의 평면 형상은 발광 영역의 평면 형상에 상당한다.
- [0444] 또한 부화소의 평면 형상으로는 예를 들어 삼각형, 사각형(장방형, 정방형을 포함함), 오각형 등의 다각형, 이들 다각형의 모서리가 둥근 형상, 타원형, 또는 원형 등이 있다.
- [0445] 부화소(화소(230))가 가지는 화소 회로(51)는 발광 영역과 중첩되어 배치되어도 좋고, 발광 영역의 외측에 배치되어도 좋다.
- [0446] 도 40의 (A)에 나타낸 화소(240)에는 S 스트라이프 배열이 적용되어 있다. 도 40의 (A)에 나타낸 화소(240)는 화소(230a), 화소(230b), 및 화소(230c)의 3종류의 부화소로 구성된다.
- [0447] 도 40의 (B)에 나타낸 화소(240)는 평면 형상이 모서리가 둥글고 실질적으로 사다리꼴 형상인 화소(230a)와, 평면 형상이 모서리가 둥글고 실질적으로 삼각형인 화소(230b)와, 평면 형상이 모서리가 둥글고 실질적으로 사각형 또는 실질적으로 육각형인 화소(230c)를 포함한다. 또한 화소(230a)는 화소(230b)보다 발광 면적이 크다. 이와 같이 각 부화소의 형상 및 크기는 각각 독립적으로 결정할 수 있다. 예를 들어 발광 디바이스를 포함하는 부화소의 신뢰성이 높을수록 크기를 작게 할 수 있다.
- [0448] 도 40의 (C)에 나타낸 화소(240A) 및 화소(240B)에는 펜타일 배열이 적용되어 있다. 도 40의 (C)에는 화소(230a) 및 화소(230b)를 포함하는 화소(240A)와 화소(230b) 및 화소(230c)를 포함하는 화소(240B)가 번갈아 배치된 예를 나타내었다.
- [0449] 도 40의 (D) 내지 (F)에 나타낸 화소(240A) 및 화소(240B)에는 델타 배열이 적용되어 있다. 화소(240A)는 위쪽 행(첫 번째 행)에 2개의 부화소(화소(230a) 및 화소(230b))를 포함하고, 아래쪽 행(두 번째 행)에 하나의 부화소(화소(230c))를 포함한다. 화소(240B)는 위쪽 행(첫 번째 행)에 하나의 부화소(화소(230c))를 포함하고, 아래쪽 행(두 번째 행)에 2개의 부화소(화소(230a) 및 화소(230b))를 포함한다.
- [0450] 도 40의 (D)는 각 부화소의 평면 형상이 모서리가 둥글고 실질적으로 사각형인 예를 나타낸 것이고, 도 40의 (E)는 각 부화소의 평면 형상이 원형인 예를 나타낸 것이고, 도 40의 (F)는 각 부화소의 평면 형상이 모서리가 둥글고 실질적으로 육각형인 예를 나타낸 것이다.
- [0451] 도 40의 (F)에서는 각 부화소가 최대한 조밀하게 배열된 육각형의 영역의 내측에 배치되어 있다. 각 부화소는 그 하나의 부화소에 착안하였을 때, 6개의 부화소로 둘러싸이도록 배치되어 있다. 또한 같은 색의 광을 나타내는 부화소가 인접하지 않도록 제공되어 있다. 예를 들어 화소(230a)에 착안하였을 때, 이를 둘러싸도록 3개의 화소(230b)와 3개의 화소(230c)가 번갈아 배치되도록 각각의 부화소가 제공되어 있다.
- [0452] 도 40의 (G)는 각 색의 부화소가 지그재그로 배치된 예를 나타낸 것이다. 구체적으로는 평면시에서 열 방향으로 배열되는 2개의 부화소(예를 들어 화소(230a)와 화소(230b), 또는 화소(230b)와 화소(230c))의 위쪽 변의 위치가 어긋나 있다.
- [0453] 도 40의 (A) 내지 (G)에 나타낸 각 화소에서, 예를 들어 화소(230a)를 적색의 광을 방출하는 부화소 R로 하고, 화소(230b)를 녹색의 광을 방출하는 부화소 G로 하고, 화소(230c)를 청색의 광을 방출하는 부화소 B로 하는 것이 바람직하다. 또한 부화소의 구성은 이에 한정되지 않고, 부화소가 나타내는 색과 그 배열 순서는 적절히 결정할 수 있다. 예를 들어 화소(230b)를 적색의 광을 나타내는 부화소 R로 하고, 화소(230a)를 녹색의 광을 나타내는 부화소 G로 하여도 좋다.
- [0454] 포토리소그래피법에서는 가공하는 패턴이 미세화될수록 광 회절의 영향을 무시할 수 없게 되기 때문에, 노광에

의하여 포토마스크의 패턴을 전사할 때 충실(忠實)성이 낮아져 레지스트 마스크를 원하는 형상으로 가공하기 어려워진다. 그러므로 포토마스크의 패턴이 직사각형이어도 모서리가 둥근 패턴이 형성되기 쉽다. 따라서 부화소의 평면 형상이 다각형이며 모서리가 둥근 형상, 타원형, 또는 원형 등이 될 경우가 있다.

- [0455] 또한 레지스트 마스크를 사용하여 Et층을 섬 형상으로 가공하는 경우, Et층 위에 형성한 레지스트막은 Et층의 내열 온도보다 낮은 온도에서 경화시킬 필요가 있다. 그러므로 Et층의 재료의 내열 온도 및 레지스트 재료의 경화 온도에 따라서는 레지스트막의 경화가 충분하지 못하는 경우가 있다. 경화가 충분하지 못한 레지스트막은 가공 시에 원하는 형상과 다른 형상이 될 경우가 있다. 그 결과, Et층의 평면 형상이 다각형이며 모서리가 둥근 형상, 타원형, 또는 원형 등이 될 경우가 있다. 예를 들어 평면 형상이 정방형인 레지스트 마스크를 형성하는 경우에, 평면 형상이 원형인 레지스트 마스크가 형성되어 Et층의 평면 형상이 원형이 될 경우가 있다.
- [0456] 또한 Et층의 평면 형상을 원하는 형상으로 하기 위하여 설계 패턴과 전사 패턴이 일치하도록 마스크 패턴을 미리 보정하는 기술(OPC(Optical Proximity Correction: 광 근접 효과 보정) 기술)을 사용하여도 좋다. 구체적으로 OPC 기술에서는 마스크 패턴상의 도형의 모서리 부분 등에 보정용 패턴을 추가한다.
- [0457] 도 41의 (A) 내지 (I)에 나타난 바와 같이 화소는 4종류의 부화소를 포함하는 구성으로 할 수 있다.
- [0458] 도 41의 (A) 내지 (C)에 나타난 화소(240)에는 스트라이프 배열이 적용되어 있다.
- [0459] 도 41의 (A)는 각 부화소의 평면 형상이 장방형인 예를 나타낸 것이고, 도 41의 (B)는 각 부화소의 평면 형상이 2개의 반원형과 장방형이 연결된 예를 나타낸 것이고, 도 41의 (C)는 각 부화소의 평면 형상이 타원형인 예를 나타낸 것이다.
- [0460] 도 41의 (D) 내지 (F)에 나타난 화소(240)에는 매트릭스 배열이 적용되어 있다.
- [0461] 도 41의 (D)는 각 부화소가 정사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 41의 (E)는 각 부화소가 모서리가 둥근 대략 정사각형의 평면 형상을 가지는 예를 나타낸 것이고, 도 41의 (F)는 각 부화소가 원형의 평면 형상을 가지는 예를 나타낸 것이다.
- [0462] 도 41의 (G) 및 (H)에는 하나의 화소(240)가 2행 3열로 배치된 부화소로 구성되는 예를 나타내었다.
- [0463] 도 41의 (G)에 나타난 화소(240)는 화소(240) 내의 위쪽 행(첫 번째 행)에 3개의 부화소(화소(230a), 화소(230b), 화소(230c))를 포함하고, 아래쪽 행(두 번째 행)에, 하나의 부화소(화소(230d))를 포함한다. 바꿔 말하면 화소(240)는 왼쪽 열(첫 번째 열)에 화소(230a)를 포함하고, 가운데 열(두 번째 열)에 화소(230b)를 포함하고, 오른쪽 열(세 번째 열)에 화소(230c)를 포함하고, 이 3열에 걸쳐 화소(230d)를 더 포함한다.
- [0464] 도 41의 (H)에 나타난 화소(240)는 위쪽 행(첫 번째 행)에 3개의 부화소(화소(230a), 화소(230b), 화소(230c))를 포함하고, 아래쪽 행(두 번째 행)에 3개의 화소(230d)를 포함한다. 바꿔 말하면 화소(240)는 화소(240) 내의 왼쪽 열(첫 번째 열)에 화소(230a) 및 화소(230d)를 포함하고, 가운데 열(두 번째 열)에 화소(230b) 및 화소(230d)를 포함하고, 오른쪽 열(세 번째 열)에 화소(230c) 및 화소(230d)를 포함한다. 도 41의 (H)에 나타난 바와 같이, 위쪽 행과 아래쪽 행의 부화소의 배치를 일치시키는 구성으로 함으로써, 제조 공정에서 발생할 수 있는 먼지 등을 효율적으로 제거할 수 있다. 따라서 표시 품질이 높은 표시 장치를 제공할 수 있다.
- [0465] 도 41의 (I)에는 하나의 화소(240)가 3행 2열로 배치된 부화소로 구성되는 예를 나타내었다.
- [0466] 도 41의 (I)에 나타난 화소(240)는 화소(240) 내의 위쪽 행(첫 번째 행)에 화소(230a)를 포함하고, 가운데 행(두 번째 행)에 화소(230b)를 포함하고, 첫 번째 행으로부터 두 번째 행에 걸쳐 화소(230c)를 포함하고, 아래쪽 행(세 번째 행)에 하나의 부화소(화소(230d))를 포함한다. 바꿔 말하면 화소(240)는 화소(240) 내의 왼쪽 열(첫 번째 열)에 화소(230a) 및 화소(230b)를 포함하고, 오른쪽 열(두 번째 열)에 화소(230c)를 포함하고, 이 2열에 걸쳐 화소(230d)를 더 포함한다.
- [0467] 도 41의 (A) 내지 (I)에 나타난 화소(240)는 화소(230a), 화소(230b), 화소(230c), 및 화소(230d)의 4개의 부화소로 구성된다.
- [0468] 화소(230a), 화소(230b), 화소(230c), 및 화소(230d)는 발광색이 상이한 발광 디바이스를 각각 포함하는 구성으로 할 수 있다. 화소(230a), 화소(230b), 화소(230c), 및 화소(230d)로서는 R, G, B, 백색(W)의 4색의 부화소, R, G, B, Y의 4색의 부화소, 또는 R, G, B, 적외광(IR)의 부화소 등을 들 수 있다.
- [0469] 도 41의 (A) 내지 (I)에 나타난 각 화소(240)에서 예를 들어 화소(230a)를 적색의 광을 방출하는 부화소 R로 하

고, 화소(230b)를 녹색의 광을 방출하는 부화소 G로 하고, 화소(230c)를 청색의 광을 방출하는 부화소 B로 하고, 화소(230d)를 백색의 광을 방출하는 부화소 W, 황색의 광을 방출하는 부화소, 또는 근적외광을 방출하는 부화소 중 어느 것으로 하여도 좋다. 이와 같은 구성으로 하는 경우, 도 41의 (G) 및 (H)에 나타난 화소(240)에서는 R, G, B의 레이아웃이 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다. 또한 도 41의 (I)에 나타난 화소(240)에서는 R, G, B의 레이아웃이 소위 S 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다.

- [0470] 또한 화소(240)는 수광 소자(수광 디바이스라고도 함)를 가지는 부화소를 포함하여도 좋다.
- [0471] 도 41의 (A) 내지 (I)에 나타난 각 화소(240)에서 화소(230a) 내지 화소(230d) 중 어느 하나를 수광 디바이스를 포함하는 부화소로 하여도 좋다.
- [0472] 도 41의 (A) 내지 (I)에 나타난 각 화소(240)에서 예를 들어 화소(230a)를 적색의 광을 나타내는 부화소 R로 하고, 화소(230b)를 녹색의 광을 나타내는 부화소 G로 하고, 화소(230c)를 청색의 광을 나타내는 부화소 B로 하고, 화소(230d)를 수광 디바이스를 포함하는 부화소 S로 하여도 좋다. 이와 같은 구성으로 하는 경우, 도 41의 (G) 및 (H)에 나타난 화소(240)에서는 R, G, B의 레이아웃이 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다. 또한 도 41의 (I)에 나타난 화소(240)에서는 R, G, B의 레이아웃이 소위 S 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다.
- [0473] 수광 디바이스를 포함하는 부화소 S가 검출하는 광의 파장은 특별히 한정되지 않는다. 부화소 S는 가시광 및 적외광 중 한쪽 또는 양쪽을 검출하는 구성으로 할 수 있다.
- [0474] 도 41의 (J) 및 (K)에 나타난 바와 같이 하나의 화소(240)가 5종류의 부화소를 포함하는 구성으로 하여도 좋다.
- [0475] 도 41의 (J)에는 하나의 화소(240)가 2행 3열로 배치된 부화소로 구성되는 예를 나타내었다.
- [0476] 도 41의 (J)에 나타난 화소(240)는 화소(240) 내의 위쪽 행(첫 번째 행)에 3개의 부화소(화소(230a), 화소(230b), 화소(230c))를 포함하고, 아래쪽 행(두 번째 행)에 2개의 부화소(화소(230d), 화소(230e))를 포함한다. 바꿔 말하면 화소(240)는 화소(240) 내의 왼쪽 열(첫 번째 열)에 화소(230a) 및 화소(230d)를 포함하고, 가운데 열(두 번째 열)에 화소(230b)를 포함하고, 오른쪽 열(세 번째 열)에 화소(230c)를 포함하고, 두 번째 열로부터 세 번째 열에 걸쳐 화소(230e)를 더 포함한다.
- [0477] 도 41의 (K)에는 하나의 화소(240)가 3행 2열로 배치된 부화소로 구성되는 예를 나타내었다.
- [0478] 도 41의 (K)에 나타난 화소(240)는 화소(240) 내의 위쪽 행(첫 번째 행)에 화소(230a)를 포함하고, 가운데 행(두 번째 행)에 화소(230b)를 포함하고, 첫 번째 행으로부터 두 번째 행에 걸쳐 화소(230c)를 포함하고, 아래쪽 행(세 번째 행)에 2개의 부화소(화소(230d), 화소(230e))를 포함한다. 바꿔 말하면 화소(240)는 왼쪽 열(첫 번째 열)에 화소(230a), 화소(230b), 화소(230d)를 포함하고, 오른쪽 열(두 번째 열)에 화소(230c) 및 화소(230e)를 포함한다.
- [0479] 도 41의 (J) 및 (K)에 나타난 각 화소(240)에서 예를 들어 화소(230a)를 적색의 광을 나타내는 부화소 R로 하고, 화소(230b)를 녹색의 광을 나타내는 부화소 G로 하고, 화소(230c)를 청색의 광을 나타내는 부화소 B로 하는 것이 바람직하다. 이와 같은 구성으로 하는 경우, 도 41의 (J)에 나타난 화소(240)에서는 부화소의 레이아웃이 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다. 또한 도 41의 (K)에 나타난 화소(240)에서는 부화소의 레이아웃이 소위 S 스트라이프 배열이 되기 때문에 표시 품질을 높일 수 있다.
- [0480] 도 41의 (J) 및 (K)에 나타난 각 화소(240)에서 예를 들어 화소(230d)와 화소(230e) 중 적어도 한쪽에 수광 디바이스를 포함하는 부화소 S를 적용하여도 좋다. 화소(230d) 및 화소(230e)의 양쪽에 수광 디바이스를 사용하는 경우, 수광 디바이스의 구성이 서로 달라도 좋다. 예를 들어 검출하는 광의 파장 영역이 적어도 부분적으로 서로 달라도 좋다. 구체적으로는 화소(230d) 및 화소(230e) 중 한쪽은 주로 가시광을 검출하는 수광 디바이스를 포함하고, 다른 쪽은 주로 적외광을 검출하는 수광 디바이스를 포함하여도 좋다.
- [0481] 도 41의 (J) 및 (K)에 나타난 각 화소(240)에서 예를 들어 화소(230d)와 화소(230e) 중 한쪽에 수광 디바이스를 포함하는 부화소 S를 적용하고, 다른 쪽에 광원으로 사용될 수 있는 발광 디바이스를 포함하는 부화소를 적용하여도 좋다. 예를 들어 화소(230d) 및 화소(230e) 중 한쪽은 적외광을 나타내는 부화소 IR(도시하지 않았음)로 하고, 다른 쪽은 적외광을 검출하는 수광 디바이스를 포함하는 부화소 S(도시하지 않았음)로 하여도 좋다.
- [0482] 부화소 R, 부화소 G, 부화소 B, 부화소 IR, 부화소 S를 가지는 화소에서는 부화소 R, 부화소 G, 부화소 B를 사

용하여 화상을 표시하면서, 부화소 IR를 광원으로서 사용하여 부화소 S에서 부화소 IR가 방출하는 적외광의 반사광을 검출할 수 있다.

- [0483] 상술한 바와 같이 본 발명의 일 형태의 표시 장치는 화소(240)에 다양한 부화소(화소(230))의 레이아웃을 적용할 수 있다. 또한 화소(240)에 발광 디바이스 및 수광 디바이스의 양쪽을 가지는 구성을 적용하여도 좋다. 이 경우에서도 다양한 레이아웃을 적용할 수 있다.
- [0484] 본 실시형태에 나타난 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0485] (실시형태 4)
- [0486] 본 실시형태에서는 발광 소자(61)에 사용할 수 있는 발광 디바이스에 대하여 설명한다.
- [0487] 도 42의 (A)에 나타난 바와 같이 발광 디바이스는 한 쌍의 전극(하부 전극(761) 및 상부 전극(762)) 사이에 EL층(763)을 포함한다. EL층(763)은 층(780), 발광층(771), 및 층(790) 등의 복수의 층으로 구성할 수 있다.
- [0488] 발광층(771)은 적어도 발광 물질(발광 재료라고도 함)을 포함한다.
- [0489] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780)은 정공 주입성이 높은 물질을 포함하는 층(정공 주입층), 정공 수송성이 높은 물질을 포함하는 층(정공 수송층), 및 전자 차단성이 높은 물질을 포함하는 층(전자 차단층) 중 하나 또는 복수를 포함한다. 또한 층(790)은 전자 주입성이 높은 물질을 포함하는 층(전자 주입층), 전자 수송성이 높은 물질을 포함하는 층(전자 수송층), 및 정공 차단성이 높은 물질을 포함하는 층(정공 차단층) 중 하나 또는 복수를 포함한다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780)과 층(790)은 상기와 반대의 구성이 된다.
- [0490] 한 쌍의 전극 사이에 제공된 층(780), 발광층(771), 및 층(790)을 포함하는 구성은 단일의 발광 유닛으로서 기능할 수 있고, 본 명세서에서는 도 42의 (A)의 구성을 싱글 구조라고 부른다.
- [0491] 도 42의 (B)는 도 42의 (A)에 나타난 발광 디바이스가 가지는 EL층(763)의 변형예이다. 구체적으로는 도 42의 (B)에 나타난 발광 디바이스는 하부 전극(761) 위의 층(781)과, 층(781) 위의 층(782)과, 층(782) 위의 발광층(771)과, 발광층(771) 위의 층(791)과, 층(791) 위의 층(792)과, 층(792) 위의 상부 전극(762)을 포함한다.
- [0492] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(781)을 정공 주입층, 층(782)을 정공 수송층, 층(791)을 전자 수송층, 층(792)을 전자 주입층으로 할 수 있다. 또한 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(781)을 전자 주입층, 층(782)을 전자 수송층, 층(791)을 정공 수송층, 층(792)을 정공 주입층으로 할 수 있다. 이러한 층 구조로 함으로써, 발광층(771)에 캐리어가 효율적으로 주입되어 발광층(771)에서의 캐리어 재결합의 효율을 높일 수 있다.
- [0493] 또한 도 42의 (C) 및 (D)에 나타난 바와 같이 층(780)과 층(790) 사이에 복수의 발광층(발광층(771, 772, 773))이 제공되는 구성도 싱글 구조의 변형예이다. 또한 도 42의 (C) 및 (D)에는 3개의 발광층을 포함하는 예를 나타내었지만, 싱글 구조의 발광 디바이스에서의 발광층은 2개이어도 좋고, 4개 이상이어도 좋다. 또한 싱글 구조의 발광 디바이스는 2개의 발광층 사이에 버퍼층을 포함하여도 좋다. 버퍼층으로서 예를 들어 캐리어 수송층(정공 수송층 및 전자 수송층)을 사용할 수 있다.
- [0494] 도 42의 (E) 및 (F)에 나타난 바와 같이 복수의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)(중간층이라고도 함)을 사이에 두고 직렬로 접속된 구성을 탠덤 구조라고 부른다. 또한 탠덤 구조를 스택 구조라고 불러도 좋다. 탠덤 구조로 함으로써, 고휘도 발광이 가능한 발광 디바이스로 할 수 있다. 또한 탠덤 구조는 싱글 구조를 적용하는 경우에 비하여 같은 휘도를 얻는 데 필요한 전류의 양을 감소시킬 수 있기 때문에, 신뢰성을 높일 수 있다.
- [0495] 또한 도 42의 (D) 및 (F)는 표시 장치가 발광 디바이스와 중첩되는 층(764)을 포함하는 예이다. 도 42의 (D)는 층(764)이 도 42의 (C)에 나타난 발광 디바이스와 중첩되는 예를 나타낸 것이고, 도 42의 (F)는 층(764)이 도 42의 (E)에 나타난 발광 디바이스와 중첩되는 예를 나타낸 것이다. 도 42의 (D) 및 (F)에서는 상부 전극(762)층으로 광을 추출하기 때문에, 상부 전극(762)에는 가시광을 투과시키는 도전막을 사용한다.
- [0496] 층(764)으로서는 색 변환층 및 컬러 필터(착색층) 중 한쪽 또는 양쪽을 사용할 수 있다.
- [0497] 도 42의 (C) 및 (D)에서 발광층(771), 발광층(772), 및 발광층(773)에 같은 색의 광을 발하는 발광 물질을 사용하여도 좋고, 같은 발광 물질을 사용하여도 좋다. 예를 들어 발광층(771), 발광층(772), 및 발광층(773)에 청

색광을 발하는 발광 물질을 사용하여도 좋다. 청색광을 나타내는 부화소에서는 발광 디바이스가 발하는 청색광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는 도 42의 (D)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스가 발하는 청색의 광이 더 긴 파장의 광으로 변환되므로 적색 또는 녹색의 광을 추출할 수 있다. 또한 층(764)으로서 색 변환층과 착색층의 양쪽을 사용하는 것이 바람직하다. 발광 디바이스가 발하는 광의 일부는 색 변환층에서 변환되지 않고 그대로 투과하는 경우가 있다. 색 변환층을 투과한 광이 착색층을 통하여 추출됨으로써, 원하는 색의 광 이외의 광이 착색층에 의하여 흡수되고, 부화소가 나타내는 광의 색 순도를 높일 수 있다.

[0498] 도 42의 (C) 및 (D)에서 발광층(771), 발광층(772), 및 발광층(773)에 각각의 발광색이 상이한 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773)이 각각 발하는 광이 보색 관계에 있는 경우, 백색 발광이 얻어진다. 예를 들어 싱글 구조의 발광 디바이스는 청색광을 발하는 발광 물질을 가지는 발광층, 및 청색보다 장파장의 가시광을 발하는 발광 물질을 가지는 발광층을 가지는 것이 바람직하다.

[0499] 도 42의 (D)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0500] 예를 들어 싱글 구조의 발광 디바이스가 3층의 발광층을 가지는 경우, 적색(R) 광을 발하는 발광 물질을 가지는 발광층, 녹색(G) 광을 발하는 발광 물질을 가지는 발광층, 및 청색(B) 광을 발하는 발광 물질을 가지는 발광층을 가지는 것이 바람직하다. 발광층의 적층순으로서는 양극 측으로부터 R, G, B, 또는 양극 측으로부터 R, B, G 등으로 할 수 있다. 이때, R와 G 또는 B 사이에 버퍼층이 제공되어 있어도 좋다.

[0501] 예를 들어 싱글 구조의 발광 디바이스가 2층의 발광층을 포함하는 경우, 청색(B)의 광을 방출하는 발광 물질을 가지는 발광층, 및 황색(Y)의 광을 방출하는 발광 물질을 가지는 발광층을 포함하는 구성이 바람직하다. 상기 구성을 BY 싱글 구조의 발광 디바이스라고 부르는 경우가 있다.

[0502] 백색광을 발하는 발광 디바이스는 2종류 이상의 발광 물질을 포함하는 것이 바람직하다. 백색 발광을 얻기 위해서는 2개 이상의 발광 물질의 각 발광이 보색 관계가 되는 발광 물질을 선택하면 좋다. 예를 들어 제 1 발광층의 발광색과 제 2 발광층의 발광색을 보색 관계가 되도록 함으로써, 전체로서 백색 발광하는 발광 디바이스를 얻을 수 있다. 또한 발광층을 3개 이상 가지는 발광 디바이스의 경우도 마찬가지이다.

[0503] 또한 도 42의 (C), (D)에서도 도 42의 (B)에 나타낸 바와 같이 층(780)과 층(790)을 각각 2층 이상의 층으로 이루어지는 적층 구조로 하여도 좋다.

[0504] 도 42의 (E) 및 (F)에서 발광층(771)과 발광층(772)에 같은 색의 광을 발하는 발광 물질을 사용하여도 좋고, 같은 발광 물질을 사용하여도 좋다. 예를 들어 각 색의 광을 나타내는 부화소가 가지는 발광 디바이스에서, 발광층(771)과 발광층(772)에 각각 청색광을 발하는 발광 물질을 사용하여도 좋다. 청색광을 나타내는 부화소에서는 발광 디바이스가 발하는 청색광을 추출할 수 있다. 또한 적색의 광을 나타내는 부화소 및 녹색의 광을 나타내는 부화소에서는 도 42의 (F)에 나타낸 층(764)으로서 색 변환층을 제공함으로써, 발광 디바이스가 발하는 청색의 광이 더 긴 파장의 광으로 변환되므로 적색 또는 녹색의 광을 추출할 수 있다. 또한 층(764)으로서 색 변환층과 착색층의 양쪽을 사용하는 것이 바람직하다.

[0505] 각 색의 광을 나타내는 부화소에 도 42의 (E) 또는 (F)에 나타낸 구성의 발광 디바이스를 사용하는 경우, 부화소에 따라 상이한 발광 물질을 사용하여도 좋다. 구체적으로는 적색광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 적색광을 발하는 발광 물질을 사용하여도 좋다. 마찬가지로, 녹색광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 녹색광을 발하는 발광 물질을 사용하여도 좋다. 청색광을 나타내는 부화소가 가지는 발광 디바이스에서 발광층(771)과 발광층(772)에 각각 청색광을 발하는 발광 물질을 사용하여도 좋다. 이러한 구성의 표시 장치는 탠덤 구조의 발광 디바이스가 적용되고, 또한 SBS(Side By Side) 구조를 가진다고 할 수 있다. 그러므로 탠덤 구조의 장점과 SBS 구조의 장점을 모두 가질 수 있다. 이에 의하여 고휘도 발광이 가능하며, 신뢰성이 높은 발광 디바이스를 실현할 수 있다.

[0506] 도 42의 (E) 및 (F)에서 발광층(771) 및 발광층(772)에 발광색이 서로 다른 발광 물질을 사용하여도 좋다. 발광층(771)이 방출하는 광과 발광층(772)이 방출하는 광이 보색 관계에 있는 경우, 백색 발광이 얻어진다. 도 42의 (F)에 나타낸 층(764)으로서 컬러 필터를 제공하여도 좋다. 백색의 광이 컬러 필터를 투과함으로써 원하는 색의 광을 얻을 수 있다.

[0507] 또한 도 42의 (E) 및 (F)에는 발광 유닛(763a)이 하나의 발광층(771)을 포함하고, 발광 유닛(763b)이 하나의 발

광층(772)을 포함하는 예를 나타내었지만, 이에 한정되지 않는다. 발광 유닛(763a) 및 발광 유닛(763b)은 각각 2층 이상의 발광층을 포함하여도 좋다.

- [0508] 도 42의 (E) 및 (F)에는 2개의 발광 유닛을 포함하는 발광 디바이스를 예시하였지만, 이에 한정되지 않는다. 발광 디바이스는 발광 유닛을 3개 이상 가져도 좋다. 또한 발광 유닛을 2개 가지는 구성을 2단 탠덤 구조라고 부르고, 발광 유닛을 3개 가지는 구성을 3단 탠덤 구조라고 불러도 좋다.
- [0509] 도 42의 (E) 및 (F)에서 발광 유닛(763a)은 층(780a), 발광층(771), 및 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b), 발광층(772), 및 층(790b)을 포함한다.
- [0510] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 층(780a) 및 층(780b)은 각각 정공 주입층, 정공 수송층, 및 전자 차단층 중 하나 또는 복수를 포함한다. 또한 층(790a) 및 층(790b)은 각각 전자 주입층, 전자 수송층, 및 정공 차단층 중 하나 또는 복수를 포함한다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 층(780a)과 층(790a)은 상기와 반대의 구성이 되고, 층(780b)과 층(790b)도 상기와 반대의 구성이 된다.
- [0511] 하부 전극(761)이 양극이고 상부 전극(762)이 음극인 경우, 예를 들어 층(780a)은 정공 주입층과, 정공 주입층 위의 정공 수송층을 포함하고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790a)은 전자 수송층을 포함하고, 발광층(771)과 전자 수송층 사이의 정공 차단층을 더 포함하여도 좋다. 또한 층(780b)은 정공 수송층을 포함하고, 정공 수송층 위의 전자 차단층을 더 포함하여도 좋다. 또한 층(790b)은 전자 수송층과, 전자 수송층 위의 전자 주입층을 포함하고, 발광층(772)과 전자 수송층 사이의 정공 차단층을 더 포함하여도 좋다. 하부 전극(761)이 음극이고 상부 전극(762)이 양극인 경우, 예를 들어 층(780a)은 전자 주입층과, 전자 주입층 위의 전자 수송층을 포함하고, 전자 수송층 위의 정공 차단층을 더 포함하여도 좋다. 또한 층(790a)은 정공 수송층을 포함하고, 발광층(771)과 정공 수송층 사이의 전자 차단층을 더 포함하여도 좋다. 또한 층(780b)은 전자 수송층을 포함하고, 전자 수송층 위의 정공 차단층을 더 포함하여도 좋다. 또한 층(790b)은 정공 수송층과, 정공 수송층 위의 정공 주입층을 포함하고, 발광층(772)과 정공 수송층 사이의 전자 차단층을 더 포함하여도 좋다.
- [0512] 탠덤 구조의 발광 디바이스를 제작하는 경우, 2개의 발광 유닛은 전하 발생층(785)을 개재하여 적층된다. 전하 발생층(785)은 적어도 전하 발생 영역을 포함한다. 전하 발생층(785)은 한 쌍의 전극 사이에 전압을 인가한 경우에 2개의 발광 유닛 중 한쪽에 전자를 주입하고, 다른 쪽에 정공을 주입하는 기능을 가진다.
- [0513] 탠덤 구조의 발광 디바이스의 일례로서 도 43의 (A) 내지 (C)에 나타낸 구성을 들 수 있다.
- [0514] 도 43의 (A)는 발광 유닛을 3개 가지는 구성을 나타낸 것이다. 도 43의 (A)에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 사이에 두고 직렬로 접속되어 있다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b)과, 발광층(772)과, 층(790b)을 포함하고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 포함한다. 또한 층(780c)은 층(780a) 및 층(780b)에 적용할 수 있는 구성을 사용할 수 있고, 층(790c)은 층(790a) 및 층(790b)에 적용할 수 있는 구성을 사용할 수 있다.
- [0515] 도 43의 (A)에서 발광층(771), 발광층(772), 및 발광층(773)은 같은 색의 광을 발하는 발광 물질을 포함하는 것이 바람직하다. 구체적으로는 발광층(771), 발광층(772), 및 발광층(773)이 각각 적색(R)의 발광 물질을 가지는 구성(소위 R\R\R의 3단 탠덤 구조), 발광층(771), 발광층(772), 및 발광층(773)이 각각 녹색(G)의 발광 물질을 가지는 구성(소위 G\G\G의 3단 탠덤 구조), 또는 발광층(771), 발광층(772), 및 발광층(773)이 각각 청색(B)의 발광 물질을 가지는 구성(소위 B\B\B의 3단 탠덤 구조)으로 할 수 있다. 또한 "a\b"는 a의 광을 방출하는 발광 물질을 포함하는 발광 유닛 위에 전하 발생층을 개재하여 b의 광을 방출하는 발광 물질을 포함하는 발광 유닛이 제공되는 것을 의미하고, a, b는 색을 의미한다.
- [0516] 도 43의 (A)에서 발광층(771), 발광층(772), 및 발광층(773) 중 일부 또는 모두에 상이한 색의 광을 발하는 발광 물질을 사용하여도 좋다. 발광층(771), 발광층(772), 및 발광층(773)의 발광색의 조합으로서는 예를 들어 어느 2개가 청색(B)이며 나머지 하나가 황색(Y)인 구성, 그리고 어느 하나가 적색(R)이며 다른 하나가 녹색(G)이며 나머지 하나가 청색(B)인 구성이 있다.
- [0517] 또한 각각 같은 색의 광을 발하는 발광 물질은 상기 구성에 한정되지 않는다. 예를 들어 도 43의 (B)에 나타낸 바와 같이 복수의 발광층을 가지는 발광 유닛을 적층시킨 탠덤형 발광 디바이스로 하여도 좋다. 도 43의 (B)는 2개의 발광 유닛(발광 유닛(763a) 및 발광 유닛(763b))이 전하 발생층(785)을 사이에 두고 직렬로 접속된 구성을 나타낸 것이다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771a), 발광층(771b), 및 발광층(771c)과, 층

(790a)을 포함하고, 발광 유닛(763b)은 층(780b)과, 발광층(772a), 발광층(772b), 및 발광층(772c)과, 층(790b)을 포함한다.

- [0518] 도 43의 (B)에서는 발광층(771a), 발광층(771b), 및 발광층(771c)에 대하여 보색 관계가 되도록 발광 물질을 선택하여 발광 유닛(763a)이 백색 발광(W)을 나타낼 수 있는 구성으로 한다. 또한 발광층(772a), 발광층(772b), 및 발광층(772c)에 대해서도 보색 관계가 되도록 발광 물질을 선택하여 발광 유닛(763b)이 백색 발광(W)을 나타낼 수 있는 구성으로 한다. 즉 도 43의 (B)의 구성은 W\W의 2단 탠덤 구조이다. 또한 보색 관계가 되는 발광 물질의 적층 순서에 대해서는 특별히 한정되지 않는다. 실시자가 적절히 최적의 적층순을 선택할 수 있다. 또한 도시하지 않았지만, W\W\W의 3단 탠덤 구조 또는 4단 이상의 탠덤 구조로 하여도 좋다.
- [0519] 탠덤 구조의 발광 디바이스를 사용하는 경우 황색(Y)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 가지는 B\Y 또는 Y\B의 2단 탠덤 구조, 적색(R)과 녹색(G)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 가지는 R·G\B 또는 B\R·G의 2단 탠덤 구조, 청색(B)의 광을 발하는 발광 유닛과, 황색(Y)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 이 순서대로 가지는 B\Y\B의 3단 탠덤 구조, 청색(B)의 광을 발하는 발광 유닛과, 황록색(YG)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 이 순서대로 가지는 B\YG\B의 3단 탠덤 구조, 청색(B)의 광을 발하는 발광 유닛과, 녹색(G)의 광을 발하는 발광 유닛과, 청색(B)의 광을 발하는 발광 유닛을 이 순서대로 가지는 B\G\B의 3단 탠덤 구조 등을 들 수 있다. 또한 "a·b"는 하나의 발광 유닛이 a의 광을 방출하는 발광 물질과 b의 광을 방출하는 발광 물질을 포함하는 것을 의미한다.
- [0520] 도 43의 (C)에 나타낸 바와 같이 하나의 발광층을 가지는 발광 유닛과 복수의 발광층을 가지는 발광 유닛을 조합하여도 좋다.
- [0521] 구체적으로는 도 43의 (C)에 나타낸 구성에서는 복수의 발광 유닛(발광 유닛(763a), 발광 유닛(763b), 및 발광 유닛(763c))이 각각 전하 발생층(785)을 사이에 두고 직렬로 접속된 구성이다. 또한 발광 유닛(763a)은 층(780a)과, 발광층(771)과, 층(790a)을 포함하고, 발광 유닛(763b)은 층(780b)과, 발광층(772a), 발광층(772b), 및 발광층(772c)과, 층(790b)을 포함하고, 발광 유닛(763c)은 층(780c)과, 발광층(773)과, 층(790c)을 포함한다.
- [0522] 예를 들어 도 43의 (C)에 나타낸 구성에서 발광 유닛(763a)이 청색(B)의 광을 발하는 발광 유닛이고, 발광 유닛(763b)이 적색(R), 녹색(G), 및 황록색(YG)의 광을 발하는 발광 유닛이고, 발광 유닛(763c)이 청색(B)의 광을 발하는 발광 유닛인 B\R·G·YG\B의 3단 탠덤 구조 등을 적용할 수 있다.
- [0523] 예를 들어 발광 유닛의 적층수와 색의 순서로서는 양극 측으로부터 B, Y의 2단 구조, B와 발광 유닛 X의 2단 구조, B, Y, B의 3단 구조, B, X, B의 3단 구조가 있고, 발광 유닛 X에서의 발광층의 적층수와 색의 순서는 양극 측으로부터 R, Y의 2층 구조, R, G의 2층 구조, G, R의 2층 구조, G, R, G의 3층 구조, 또는 R, G, R의 3층 구조 등으로 할 수 있다. 또한 2개의 발광층 사이에 다른 층이 제공되어도 좋다.
- [0524] 다음으로 발광 디바이스에 사용할 수 있는 재료에 대하여 설명한다.
- [0525] 하부 전극(761) 및 상부 전극(762) 중 광을 추출하는 측의 전극에는 가시광을 투과시키는 도전막을 사용한다. 또한 광을 추출하지 않는 측의 전극으로서는 가시광을 반사하는 도전막을 사용하는 것이 바람직하다. 또한 표시 장치가 적외광을 방출하는 발광 디바이스를 포함하는 경우에는 광을 추출하는 측의 전극으로서는 가시광 및 적외광을 투과시키는 도전막을 사용하고, 광을 추출하지 않는 측의 전극으로서는 가시광 및 적외광을 반사하는 도전막을 사용하는 것이 바람직하다.
- [0526] 광을 추출하지 않는 측의 전극으로서는 가시광을 투과시키는 도전막을 사용하여도 좋다. 이 경우, 반사층과 EL층(763) 사이에 상기 전극을 배치하는 것이 바람직하다. 즉 EL층(763)의 발광은 상기 반사층에 의하여 반사되어 표시 장치로부터 추출되어도 좋다.
- [0527] 발광 디바이스의 한 쌍의 전극을 형성하는 재료로서는 금속, 합금, 전기 전도성 화합물, 및 이들의 혼합물 등을 적절히 사용할 수 있다. 상기 재료로서 구체적으로는 알루미늄, 마그네슘, 타이타늄, 크로뮴, 망가니즈, 철, 코발트, 니켈, 구리, 갈륨, 아연, 인듐, 주석, 몰리브덴, 탄탈럼, 텅스텐, 팔라듐, 금, 백금, 은, 이트륨, 네오디뮴 등의 금속, 및 이들을 적절히 조합하여 포함하는 합금을 들 수 있다. 또한 상기 재료로서 인듐 주석 산화물(In-Sn 산화물, ITO라고도 함), In-Si-Sn 산화물(ITSO라고도 함), 인듐 아연 산화물(In-Zn 산화물), 및 In-W-Zn 산화물 등을 들 수 있다. 또한 상기 재료로서는 알루미늄, 니켈, 및 란타넘의 합금(Al-Ni-La) 등의 알루미늄을 포함하는 합금(알루미늄 합금), 그리고 은과 마그네슘의 합금, 및 은과 팔라듐과 구리의 합금(Ag-Pd-

Cu, APC라고도 표기함) 등의 은을 포함하는 합금을 들 수 있다. 그 외에 상기 재료로서는 위에서 예시하지 않은, 원소 주기율표에서 1족 또는 2족에 속하는 원소(예를 들어 리튬, 세슘, 칼슘, 스트론튬), 유로퓸, 이터븀 등의 희토류 금속 및 이들을 적절히 조합하여 포함하는 합금, 그래핀 등을 들 수 있다.

- [0528] 발광 디바이스에는 미소 광공진기(마이크로캐비티) 구조가 적용되는 것이 바람직하다. 따라서 발광 디바이스가 가지는 한 쌍의 전극의 한쪽은 가시광에 대한 투과성 및 반사성을 가지는 전극(반투과·반반사 전극)인 것이 바람직하고, 다른 쪽은 가시광에 대한 반사성을 가지는 전극(반사 전극)인 것이 바람직하다. 발광 디바이스가 마이크로캐비티 구조를 가짐으로써 발광층으로부터 얻어지는 발광을 양쪽 전극 사이에서 공진시켜, 발광 디바이스로부터 사출되는 광을 강하게 할 수 있다.
- [0529] 가시광에 대하여 투과성을 가지는 전극의 근적외광 투과율은 40% 이상으로 한다. 예를 들어 가시광에 대하여 투과성을 가지는 전극을 발광 디바이스에 사용하는 경우에는 가시광(파장 400nm 이상 750nm 미만의 광)의 투과율이 40% 이상인 전극을 사용하는 것이 바람직하다. 반투과·반반사 전극의 가시광 반사율은 10% 이상 95% 이하, 바람직하게는 30% 이상 80% 이하로 한다. 반사 전극의 가시광 반사율은 40% 이상 100% 이하, 바람직하게는 70% 이상 100% 이하로 한다. 또한 이들 전극의 저항률은  $1 \times 10^{-2} \Omega \text{cm}$  이하가 바람직하다.
- [0530] 발광 디바이스는 적어도 발광층을 포함한다. 또한 발광 디바이스는 발광층 외의 층으로서 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 차단 재료, 전자 수송성이 높은 물질, 전자 차단 재료, 전자 주입성이 높은 물질, 또는 바이폴러성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함하는 층을 더 포함하여도 좋다. 예를 들어 발광 디바이스는 발광층 외에, 정공 주입층, 정공 수송층, 정공 차단층, 전하 발생층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 1층 이상을 가지는 구성으로 할 수 있다.
- [0531] 발광 디바이스에는 저분자 화합물 및 고분자 화합물의 어느 쪽이든 사용할 수 있고, 무기 화합물이 포함되어도 좋다. 발광 디바이스를 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.
- [0532] 발광층은 1종류 또는 복수 종류의 발광 물질을 포함한다. 발광 물질로서는 청색, 자색, 청자색, 녹색, 황록색, 황색, 주황색, 또는 적색 등의 발광색을 나타내는 물질을 적절히 사용한다. 또한 발광 물질로서 근적외광을 방출하는 물질을 사용할 수도 있다.
- [0533] 발광 물질로서는 형광 재료, 인광 재료, TADF 재료, 및 퀀텀닷 재료 등을 들 수 있다.
- [0534] 형광 재료로서는 예를 들어 피렌 유도체, 안트라센 유도체, 트라이페닐렌 유도체, 플루오렌 유도체, 카바졸 유도체, 다이벤조싸이오펜 유도체, 다이벤조퓨란 유도체, 다이벤조퀴녹살린 유도체, 퀴녹살린 유도체, 피리딘 유도체, 피리미딘 유도체, 페난트렌 유도체, 및 나프탈렌 유도체 등이 있다.
- [0535] 인광 재료로서는 예를 들어 4H-트리아졸 골격, 1H-트리아졸 골격, 이미다졸 골격, 피리미딘 골격, 피라진 골격, 또는 피리딘 골격을 가지는 유기 금속 착체(특히 이리듐 착체), 전자 흡인기를 가지는 페닐피리딘 유도체를 리간드로 하는 유기 금속 착체(특히 이리듐 착체), 백금 착체, 및 희토류 금속 착체 등이 있다.
- [0536] 발광층은 발광 물질(게스트 재료)에 더하여 1종류 또는 복수 종류의 유기 화합물(호스트 재료, 어시스트 재료 등)을 포함하여도 좋다. 1종류 또는 복수 종류의 유기 화합물로서는 정공 수송성이 높은 물질(정공 수송성 재료) 및 전자 수송성이 높은 물질(전자 수송성 재료) 중 한쪽 또는 양쪽을 사용할 수 있다. 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다. 전자 수송성 재료로서는 후술하는 전자 수송층에 사용할 수 있는 전자 수송성이 높은 재료를 사용할 수 있다. 또한 1종류 또는 복수 종류의 유기 화합물로서 양극성 재료 또는 TADF 재료를 사용하여도 좋다.
- [0537] 발광층은 예를 들어 인광 재료와, 들뜬 복합체를 형성하기 쉬운 조합인 정공 수송성 재료 및 전자 수송성 재료를 가지는 것이 바람직하다. 이러한 구성으로 함으로써, 들뜬 복합체로부터 발광 물질(인광 재료)로의 에너지 이동인 ExTET(Exciplex-Triplet Energy Transfer)를 사용한 발광을 효율적으로 얻을 수 있다. 발광 물질의 가장 낮은 에너지 측의 흡수대의 파장과 중첩되는 발광을 나타내는 들뜬 복합체를 형성하는 조합을 선택함으로써, 에너지 이동이 원활해져 발광을 효율적으로 얻을 수 있다. 이 구성에 의하여, 발광 디바이스의 고효율, 저전압 구동, 장수명을 동시에 실현할 수 있다.
- [0538] 정공 주입층은 양극으로부터 정공 수송층에 정공을 주입하는 층이고, 정공 주입성이 높은 재료를 포함하는 층이다. 정공 주입성이 높은 재료로서는 방향족 아민 화합물 및 정공 수송성 재료와 역셉터성 재료(전자 수용성 재료)를 포함하는 복합 재료 등을 들 수 있다.

- [0539] 정공 수송성 재료로서는 후술하는 정공 수송층에 사용할 수 있는 정공 수송성이 높은 재료를 사용할 수 있다.
- [0540] 억셉터성 재료로서는 예를 들어 원소 주기율표에서의 4족 내지 8족에 속하는 금속의 산화물을 사용할 수 있다. 구체적으로는 산화 몰리브데넘, 산화 바나듐, 산화 나이오븀, 산화 탄탈럼, 산화 크로뮴, 산화 텅스텐, 산화 망가니즈, 및 산화 레늄을 들 수 있다. 그 중에서도, 산화 몰리브데넘은 대기 중에서도 안정적이고 흡습성이 낮으며 취급하기 쉽기 때문에 특히 바람직하다. 또한 플루오린을 포함하는 유기 억셉터성 재료를 사용할 수도 있다. 또한 퀴노다이메테인 유도체, 클로라닐 유도체, 및 헥사아자트라이페닐렌 유도체 등의 유기 억셉터성 재료를 사용할 수도 있다.
- [0541] 예를 들어 정공 주입성이 높은 재료로서, 정공 수송성 재료와 상술한 원소 주기율표의 4족 내지 8족에 속하는 금속의 산화물(대표적으로는 산화 몰리브데넘)을 포함하는 재료를 사용하여도 좋다.
- [0542] 정공 수송층은 정공 주입층에 의하여 양극으로부터 주입된 정공을 발광층으로 수송하는 층이다. 정공 수송층은 정공 수송성 재료를 포함하는 층이다. 정공 수송성 재료로서는 정공 이동도가  $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$  이상인 물질이 바람직하다. 또한 전자보다 정공의 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 정공 수송성 재료로서는  $\pi$  전자 과잉형 헤테로 방향족 화합물(예를 들어 카바졸 유도체, 싸이오펜 유도체, 퓨란 유도체 등), 방향족 아민(방향족 아민 골격을 가지는 화합물) 등의 정공 수송성이 높은 재료가 바람직하다.
- [0543] 전자 차단층은 발광층에 접하여 제공된다. 전자 차단층은 정공 수송성을 가지며 전자를 차단할 수 있는 재료를 포함하는 층이다. 전자 차단층에는 상기 정공 수송성 재료 중 전자 차단성을 가지는 재료를 사용할 수 있다.
- [0544] 전자 차단층은 정공 수송성을 가지므로 정공 수송층이라고 부를 수도 있다. 또한 정공 수송층 중 전자 차단성을 가지는 층을 전자 차단층이라고 부를 수도 있다.
- [0545] 전자 수송층은 전자 주입층에 의하여 음극으로부터 주입된 전자를 발광층으로 수송하는 층이다. 전자 수송층은 전자 수송성 재료를 포함하는 층이다. 전자 수송성 재료로서는 전자 이동도가  $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$  이상인 물질이 바람직하다. 또한 정공보다 전자의 수송성이 높은 물질이면, 이들 외의 물질을 사용할 수도 있다. 전자 수송성 재료로서는 퀴놀린 골격을 가지는 금속 착체, 벤조퀴놀린 골격을 가지는 금속 착체, 옥사졸 골격을 가지는 금속 착체, 싸이아졸 골격을 가지는 금속 착체 등 외에, 옥사다이아졸 유도체, 트리아아졸 유도체, 이미다졸 유도체, 옥사졸 유도체, 싸이아졸 유도체, 페난트롤린 유도체, 퀴놀린 배위자를 가지는 퀴놀린 유도체, 벤조퀴놀린 유도체, 퀴놀살린 유도체, 다이벤조퀴놀살린 유도체, 피리딘 유도체, 바이피리딘 유도체, 피리미딘 유도체, 그 외에 질소 함유 헤테로 방향족 화합물을 포함한  $\pi$  전자 부족형 헤테로 방향족 화합물 등의 전자 수송성이 높은 재료를 사용할 수 있다.
- [0546] 정공 차단층은 발광층에 접하여 제공된다. 정공 차단층은 전자 수송성을 가지며 정공을 차단할 수 있는 재료를 포함하는 층이다. 정공 차단층에는 상기 전자 수송성 재료 중 정공 차단성을 가지는 재료를 사용할 수 있다.
- [0547] 정공 차단층은 전자 수송성을 가지므로 전자 수송층이라고 부를 수도 있다. 또한 전자 수송층 중 정공 차단성을 가지는 층을 정공 차단층이라고 부를 수도 있다.
- [0548] 전자 주입층은 음극으로부터 전자 수송층에 전자를 주입하는 층이고, 전자 주입성이 높은 재료를 포함하는 층이다. 전자 주입성이 높은 재료로서는 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 전자 주입성이 높은 재료로서는 전자 수송성 재료와 도너성 재료(전자 공여성 재료)를 포함하는 복합 재료를 사용할 수도 있다.
- [0549] 전자 주입성이 높은 재료의 최저 비점유 분자 궤도(LUMO: Lowest Unoccupied Molecular Orbital) 준위는 음극에 사용하는 재료의 일함수의 값과의 차이가 작은(구체적으로는 0.5eV 이하) 것이 바람직하다.
- [0550] 전자 주입층에는 예를 들어 리튬, 세슘, 이터븀, 플루오린화 리튬(LiF), 플루오린화 세슘(CsF), 플루오린화 칼슘( $\text{CaF}_x$ , X는 임의의 수), 8-(퀴놀리놀레이토)리튬(약칭: Liq), 2-(2-피리딜)페놀레이토리튬(약칭: LiPP), 2-(2-피리딜)-3-피리딜페놀레이토리튬(약칭: LiPPy), 4-페닐-2-(2-피리딜)페놀레이토리튬(약칭: LiPPP), 리튬 산화물( $\text{LiO}_x$ ), 탄산 세슘 등과 같은 알칼리 금속, 알칼리 토금속, 또는 이들의 화합물을 사용할 수 있다. 또한 전자 주입층은 2개 이상의 적층 구조로 하여도 좋다. 상기 적층 구조로서는 예를 들어 첫 번째 층에 플루오린화 리튬을 사용하고, 두 번째 층에 이터븀을 사용하는 구성이 있다.
- [0551] 전자 주입층은 전자 수송성 재료를 포함하여도 좋다. 예를 들어 비공유 전자쌍을 포함하고, 전자 부족형 헤테

로 방향족 고리를 가지는 화합물을 전자 수송성 재료에 사용할 수 있다. 구체적으로는 피리딘 고리, 다이아진 고리(피리미딘 고리, 피라진 고리, 피리다진 고리), 트리아진 고리 중 적어도 하나를 가지는 화합물을 사용할 수 있다.

- [0552] 또한 비공유 전자쌍을 가지는 유기 화합물의 LUMO 준위는  $-3.6\text{eV}$  이상  $-2.3\text{eV}$  이하인 것이 바람직하다. 또한 일반적으로 CV(사이클릭 볼타메트리), 광전자 분광법, 광 흡수 분광법, 역광전자 분광법 등에 의하여 유기 화합물의 최고 점유 분자 궤도(HOMO: Highest Occupied Molecular Orbital) 준위 및 LUMO 준위를 추산할 수 있다.
- [0553] 예를 들어 4,7-다이페닐-1,10-페난트롤린(약칭: BPhen), 2,9-다이(나프탈렌-2-일)-4,7-다이페닐-1,10-페난트롤린(약칭: NBPhen), 2,2'-(1,3-페닐렌)비스(9-페닐-1,10-페난트롤린)(약칭: mPPhen2P), 다이퀴녹살리노[2,3-a:2',3'-c]페나진(약칭: HATNA), 2,4,6-트리스[3'-(피리딘-3-일)바이페닐-3-일]-1,3,5-트리아진(약칭: TmPPPz) 등을, 비공유 전자쌍을 가지는 유기 화합물에 사용할 수 있다. 또한 NBPhen은 BPhen과 비교하여 높은 유리 전이점(Tg)을 가지므로 내열성이 우수하다.
- [0554] 전하 발생층은 상술한 바와 같이 적어도 전하 발생 영역을 포함한다. 전하 발생 영역은 엑셉터성 재료를 포함하는 것이 바람직하고, 예를 들어 상술한 정공 주입층에 적용할 수 있는 정공 수송성 재료와 엑셉터성 재료를 포함하는 것이 바람직하다.
- [0555] 전하 발생층은 전자 주입성이 높은 재료를 포함하는 층을 가지는 것이 바람직하다. 상기 층은 전자 주입 버퍼층이라고 부를 수도 있다. 전자 주입 버퍼층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 주입 버퍼층을 제공함으로써 전하 발생 영역과 전자 수송층 사이의 주입 장벽을 완화할 수 있기 때문에, 전하 발생 영역에서 발생한 전자를 전자 수송층에 용이하게 주입할 수 있다.
- [0556] 전자 주입 버퍼층은 알칼리 금속 또는 알칼리 토금속을 포함하는 것이 바람직하고, 예를 들어 알칼리 금속의 화합물 또는 알칼리 토금속의 화합물을 포함하는 구성으로 할 수 있다. 구체적으로, 전자 주입 버퍼층은 알칼리 금속과 산소를 포함하는 무기 화합물, 또는 알칼리 토금속과 산소를 포함하는 무기 화합물을 포함하는 것이 바람직하고, 리튬과 산소를 포함하는 무기 화합물(산화 리튬(Li<sub>2</sub>O) 등)을 포함하는 것이 더 바람직하다. 그 외, 전자 주입 버퍼층에는 상술한 전자 주입층에 적용할 수 있는 재료가 적합하다.
- [0557] 전하 발생층은 전자 수송성이 높은 재료를 포함하는 층을 포함하는 것이 바람직하다. 상기 층은 전자 릴레이층이라고 부를 수도 있다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층 사이에 제공되는 것이 바람직하다. 전하 발생층이 전자 주입 버퍼층을 포함하지 않는 경우, 전자 릴레이층은 전하 발생 영역과 전자 수송층 사이에 제공되는 것이 바람직하다. 전자 릴레이층은 전하 발생 영역과 전자 주입 버퍼층(또는 전자 수송층)의 상호 작용을 방지하여 전자를 원활하게 전달하는 기능을 가진다.
- [0558] 전자 릴레이층에는 구리(II) 프탈로시아닌(약칭: CuPc) 등의 프탈로시아닌계 재료, 또는 금속-산소 결합과 방향족 리간드를 가지는 금속 착체를 사용하는 것이 바람직하다.
- [0559] 또한 상술한 전하 발생 영역, 전자 주입 버퍼층, 및 전자 릴레이층은 단면 형상 또는 특성 등에 따라 명확히 구별할 수 없는 경우가 있다.
- [0560] 또한 전하 발생층은 엑셉터성 재료 대신에 도너성 재료를 포함하여도 좋다. 예를 들어 전하 발생층은 상술한 전자 주입층에 적용할 수 있는 전자 수송성 재료와 도너성 재료를 포함하는 층을 포함하여도 좋다.
- [0561] 발광 유닛을 적층할 때, 2개의 발광 유닛 사이에 전하 발생층을 제공함으로써 구동 전압의 상승을 억제할 수 있다.
- [0562] 본 실시형태에 나타낸 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0563] (실시형태 5)
- [0564] 본 실시형태에서는 발광 소자(61)의 형성 방법의 일례에 대하여 설명한다.
- [0565] 도 44의 (A)에 발광 소자(61)의 평면 개략도를 나타내었다. 발광 소자(61)는 적색을 나타내는 발광 소자(61R), 녹색을 나타내는 발광 소자(61G), 및 청색을 나타내는 발광 소자(61B)를 각각 복수로 포함한다. 도 44의 (A)에서는 각 발광 소자를 쉽게 구별하기 위하여, 각 발광 소자의 발광 영역 내에 R, G, B의 부호를 붙였다. 또한 도 44의 (A)에는 적색(R), 녹색(G), 및 청색(B)의 3개의 발광색을 가지는 구성을 예시하였지만, 이에 한정되지 않는다. 예를 들어 4개 이상의 색을 가지는 구성으로 하여도 좋다.

- [0566] 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)는 각각 매트릭스 형태로 배열되어 있다. 도 44의 (A)에는 한 방향으로 동일한 색의 발광 소자가 배치된 소위 스트라이프 배치를 나타내었지만 발광 소자의 배치 방법은 이에 한정되지 않는다.
- [0567] 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)로서는 OLED(Organic Light Emitting Diode) 또는 QOLED(Quantum-dot Organic Light Emitting Diode) 등의 유기 EL 디바이스를 사용하는 것이 바람직하다. EL 소자에 포함되는 발광 물질로서는 형광을 발하는 물질(형광 재료), 인광을 발하는 물질(인광 재료), 열 활성화 지연 형광을 나타내는 물질(열 활성화 지연 형광(TADF: Thermally activated delayed fluorescence) 재료) 등을 들 수 있다. EL 소자가 가지는 발광 물질로서는 유기 화합물뿐만 아니라 무기 화합물(퀀텀닷 재료 등)을 사용할 수도 있다.
- [0568] 도 44의 (B)는 도 44의 (A)에서의 일점쇄선 A1-A2에 대응하는 단면 개략도이다. 도 44의 (B)에는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 단면을 나타내었다. 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)는 각각 절연체(363) 위에 제공되고, 화소 전극으로서 기능하는 도전체(171) 및 공통 전극으로서 기능하는 도전체(173)를 포함한다. 절연체(363)로서는 무기 절연막 및 유기 절연막 중 한쪽 또는 양쪽을 사용할 수 있다. 절연체(363)로서 무기 절연막을 사용하는 것이 바람직하다. 무기 절연막으로서는 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물 절연막 및 질화물 절연막이 있다.
- [0569] 발광 소자(61R)는 화소 전극으로서 기능하는 도전체(171)와 공통 전극으로서 기능하는 도전체(173) 사이에 EL층(172R)을 포함한다. EL층(172R)은 적어도 적색의 파장 영역에 피크를 가지는 광을 방출하는 발광성 유기 화합물을 포함한다. 발광 소자(61G)가 포함하는 EL층(172G)은 적어도 녹색의 파장 영역에 피크를 가지는 광을 방출하는 발광성 유기 화합물을 포함한다. 발광 소자(61B)가 포함하는 EL층(172B)은 적어도 청색의 파장 영역에 피크를 가지는 광을 방출하는 발광성 유기 화합물을 포함한다.
- [0570] EL층(172R), EL층(172G), 및 EL층(172B)은 각각 발광성 물질을 포함하는 층(발광층) 이외에, 전자 주입층, 전자 수송층, 정공 주입층, 및 정공 수송층 중 하나 이상을 포함하여도 좋다.
- [0571] 화소 전극으로서 기능하는 도전체(171)는 발광 소자마다 제공되어 있다. 또한 공통 전극으로서 기능하는 도전체(173)는 각 발광 소자에 공통된 하나의 층으로서 제공되어 있다. 화소 전극으로서 기능하는 도전체(171) 및 공통 전극으로서 기능하는 도전체(173) 중 어느 한쪽에 가시광에 대하여 투과성을 가지는 도전막을 사용하고, 다른 쪽에 반사성을 가지는 도전막을 사용한다. 화소 전극으로서 기능하는 도전체(171)를 투광성, 공통 전극으로서 기능하는 도전체(173)를 반사성으로 함으로써 배면 발광형(보텀 이미션형)의 표시 장치로 할 수 있고, 반대로 화소 전극으로서 기능하는 도전체(171)를 반사성, 공통 전극으로서 기능하는 도전체(173)를 투광성으로 함으로써 전면 발광형(탑 이미션형)의 표시 장치로 할 수 있다. 또한 화소 전극으로서 기능하는 도전체(171)와 공통 전극으로서 기능하는 도전체(173)의 양쪽을 투광성으로 함으로써 양면 발광형(듀얼 이미션형)의 표시 장치로 할 수도 있다.
- [0572] 예를 들어 발광 소자(61R)가 탑 이미션형인 경우, 발광 소자(61R)로부터 사출되는 광(175R)은 도전체(173) 측으로 사출된다. 발광 소자(61G)가 탑 이미션형인 경우, 발광 소자(61G)로부터 사출되는 광(175G)은 도전체(173) 측으로 사출된다. 발광 소자(61B)가 탑 이미션형인 경우, 발광 소자(61B)로부터 사출되는 광(175B)은 도전체(173) 측으로 사출된다.
- [0573] 화소 전극으로서 기능하는 도전체(171)의 단부를 덮어 절연체(272)가 제공된다. 절연체(272)의 단부는 테이퍼형상인 것이 바람직하다. 절연체(272)에는 절연체(363)에 사용할 수 있는 재료와 같은 재료를 사용할 수 있다.
- [0574] 절연체(272)는 인접한 발광 소자(61)가 의도치 않게 전기적으로 단락되어, 잘못 발광되는 것을 방지하기 위하여 제공한다. 또한 EL층(172)의 형성에 메탈 마스크를 사용하는 경우, 메탈 마스크가 도전체(171)에 접촉되지 않도록 하는 기능도 가진다.
- [0575] EL층(172R), EL층(172G), 및 EL층(172B)은 각각 화소 전극으로서 기능하는 도전체(171)의 평면과 접한 영역과, 절연체(272)의 표면과 접한 영역을 포함한다. 또한 EL층(172R), EL층(172G), 및 EL층(172B)의 단부는 절연체(272) 위에 위치한다.
- [0576] 도 44의 (B)에 나타낸 바와 같이, 발광색이 상이한 발광 소자 사이에서 2개의 EL층 사이에 틈이 제공되어 있다. 이와 같이 EL층(172R), EL층(172G), 및 EL층(172B)이 서로 접촉하지 않도록 제공되어 있는 것이 바람직하다.

이로써 인접한 2개의 EL층을 통하여 전류가 흘러, 의도치 않은 발광이 발생하는 것(크로스토크라고도 함)을 방지할 수 있다. 그러므로 콘트라스트를 높일 수 있고, 표시 품질이 높은 표시 장치를 실현할 수 있다.

- [0577] EL층(172R), EL층(172G), 및 EL층(172B)은 메탈 마스크 등의 새도 마스크를 사용한 진공 증착법 등으로 구분 형성할 수 있다. 또는 포토리소그래피법에 의하여 이들을 구분 형성하여도 좋다. 포토리소그래피법을 사용함으로써, 메탈 마스크를 사용한 경우에는 실현하기 어려운, 정세도가 높은 표시 장치를 실현할 수 있다. 또한 인접한 EL층 사이의 누설 전류가 저감되기 때문에 매우 선명하고 콘트라스트가 높으므로 표시 품질이 높은 표시 장치를 실현할 수 있다.
- [0578] 예를 들어 메탈 마스크를 사용한 형성 방법에서는 인접한 발광 소자(61) 사이의 거리를 10 $\mu$ m 미만으로 하는 것은 어렵지만, 포토리소그래피법을 사용하면 8 $\mu$ m 이하, 3 $\mu$ m 이하, 2 $\mu$ m 이하, 또는 1 $\mu$ m 이하까지 좁힐 수 있다. 여기서 인접한 발광 소자(61) 사이의 거리는 인접한 2개의 화소 전극의 단부에서 단부까지의 거리로 규정할 수 있다. 또는 인접한 발광 소자(61) 사이의 거리는 인접한 2개의 EL층의 단부에서 단부까지의 거리로 규정할 수 있다.
- [0579] 또한 본 명세서 등에서, 메탈 마스크 또는 FMM(파인 메탈 마스크, 고정세 메탈 마스크)을 사용하여 제작되는 디바이스를 MM(메탈 마스크) 구조의 디바이스라고 부르는 경우가 있다. 또한 본 명세서 등에서, 메탈 마스크 또는 FMM을 사용하지 않고 제작되는 디바이스를 MML(메탈 마스크리스) 구조의 디바이스라고 부르는 경우가 있다.
- [0580] 인접한 발광 소자(61) 사이의 간격을 상기와 같이 축소함으로써 2개의 발광 소자 사이에 존재할 수 있는 비발광 영역의 면적을 크게 축소할 수 있어 개구율을 100%에 가깝게 할 수 있다. 예를 들어 개구율은 50% 이상, 60% 이상, 70% 이상, 80% 이상, 나아가서는 90% 이상이고, 100% 미만의 개구율을 실현할 수도 있다.
- [0581] 또한 EL층 자체의 패턴(가공 사이즈라고도 함)도 메탈 마스크를 사용한 경우에 비하여 매우 작게 할 수 있다. 또한 예를 들어 EL층을 구분 형성하기 위하여 메탈 마스크를 사용한 경우에는 EL층의 중앙과 끝부분에서 두께에 편차가 발생하기 때문에, EL층의 면적에 대하여 발광 영역으로서 사용할 수 있는 유효 면적이 작아진다. 한편, 상기 제작 방법에서는 균일한 두께로 성막한 막을 가공함으로써 EL층을 형성하기 때문에, EL층 내에서 두께를 균일하게 할 수 있어, 미세한 패턴이어도 거의 전체 영역을 발광 영역으로서 사용할 수 있다. 그러므로 상기 제작 방법에 의하면 높은 정세도와 높은 개구율을 겸비할 수 있다.
- [0582] FMM을 사용하여 형성된 유기막은 단부에 가까울수록 두께가 얇아지는 테이퍼 각이 매우 작음(예를 들어 0° 보다 크고 30° 미만인) 막이 되는 경우가 많다. 그러므로 FMM을 사용하여 형성된 유기막은 그 측면과 평면이 연속적으로 이어지기 때문에 측면을 명확하게 확인하기는 어렵다. 한편으로 FMM을 사용하지 않고 가공된 EL층은 명확한 측면을 포함한다. EL층의 측면은, 테이퍼 각이 30° 이상 120° 이하, 바람직하게는 60° 이상 120° 이하인 부분을 가지는 것이 바람직하다.
- [0583] 공통 전극으로서 기능하는 도전체(173) 위에는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 덮어 보호층(271)이 제공되어 있다. 보호층(271)은 위쪽으로부터 각 발광 소자로 물 등의 불순물이 확산되는 것을 방지하는 기능을 가진다.
- [0584] 보호층(271)은 예를 들어 적어도 무기 절연막을 포함하는 단층 구조 또는 적층 구조로 할 수 있다. 무기 절연막으로서는 예를 들어 산화 실리콘막, 산화질화 실리콘막, 질화산화 실리콘막, 질화 실리콘막, 산화 알루미늄막, 산화질화 알루미늄막, 산화 하프늄막 등의 산화물막 또는 질화물막이 있다. 또는 보호층(271)으로서 인듐 갈륨 산화물, 인듐 갈륨 아연 산화물(IGZO) 등의 반도체 재료를 사용하여도 좋다. 또한 보호층(271)은 ALD법, CVD법, 및 스퍼터링법을 사용하여 형성하면 좋다. 또한 보호층(271)으로서, 무기 절연막을 포함하는 구성을 예시하였지만 이에 한정되지 않는다. 예를 들어 보호층(271)을 무기 절연막과 유기 절연막의 적층 구조로 하여도 좋다.
- [0585] 또한 본 명세서에서 질화산화물이란 산소보다 질소의 함유량이 많은 화합물을 말한다. 또한 산화 질화물이란, 질소보다 산소의 함유량이 많은 화합물을 말한다. 또한 각 원소의 함유량은 예를 들어 러더퍼드 후방 산란법(RBS: Rutherford Backscattering Spectrometry) 등을 이용하여 측정할 수 있다.
- [0586] 보호층(271)으로서, 인듐 갈륨 아연 산화물을 사용하는 경우, 웨트 에칭법 또는 드라이 에칭법을 사용하여 가공할 수 있다. 예를 들어 보호층(271)으로서 IGZO를 사용하는 경우, 옥살산, 인산, 또는 혼합 약액(예를 들어 인산, 아세트산, 질산, 및 물의 혼합 약액(혼산 알루미늄 에칭액이라고도 함)) 등의 약액을 사용할 수 있다. 또한 상기 혼산 알루미늄 에칭액은 체적비로 인산:아세트산:질산:물=53.3:6.7:3.3:36.7 및 그 근방의 비율로 할

수 있다.

- [0587] 또한 도 44의 (B)에 나타낸 구조를, 후술하는 SBS 구조라고 호칭하여도 좋다.
- [0588] 도 44의 (C)에는 상기와 다른 예를 나타내었다. 구체적으로는 도 44의 (C)에서는 백색광을 나타내는 발광 소자(61W)를 포함한다. 발광 소자(61W)는 화소 전극으로서 기능하는 도전체(171)와 공통 전극으로서 기능하는 도전체(173) 사이에 백색광을 나타내는 EL층(172W)을 포함한다.
- [0589] EL층(172W)은 예를 들어 각각의 발광색이 보색 관계가 되도록 선택된 2개 이상의 발광층이 적층된 구성으로 할 수 있다. 또한 발광층 사이에 전하 발생층이 끼워진 적층형 EL층을 사용하여도 좋다.
- [0590] 도 44의 (C)에서는 3개의 발광 소자(61W)를 나란히 배치하여 나타내었다. 왼쪽의 발광 소자(61W)의 상부에는 착색층(264R)이 제공되어 있다. 착색층(264R)은 적색광을 투과시키는 밴드 패스 필터로서 기능한다. 마찬가지로, 중앙의 발광 소자(61W)의 상부에는 녹색광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)의 상부에는 청색광을 투과시키는 착색층(264B)이 제공되어 있다. 이에 의하여, 표시 장치는 컬러 화상을 표시할 수 있다.
- [0591] 여기서, 인접한 2개의 발광 소자(61W) 사이에서 EL층(172W)과 공통 전극으로서 기능하는 도전체(173)가 각각 분리되어 있다. 이로써, 인접한 2개의 발광 소자(61W)에서 EL층(172W)을 통하여 전류가 흘러 의도치 않은 발광이 발생하는 것을 방지할 수 있다. 특히 EL층(172W)으로서 2개의 발광층 사이에 전하 발생층이 제공되는 적층형 EL층을 사용한 경우에는 정세도가 높을수록, 즉 인접 화소 사이의 거리가 작을수록 크로스토크의 영향이 현저해져, 콘트라스트가 저하되는 등의 문제가 있다. 그러므로 이러한 구성으로 함으로써, 정세도와 콘트라스트가 모두 높은 표시 장치를 실현할 수 있다.
- [0592] EL층(172W)과 공통 전극으로서 기능하는 도전체(173)는 포토리소그래피법으로 분리시키는 것이 바람직하다. 이로써 발광 소자 간의 간격을 좁힐 수 있기 때문에, 예를 들어 메탈 마스크 등 새도 마스크를 사용한 경우에 비하여 개구율이 높은 표시 장치를 실현할 수 있다.
- [0593] 또한 보텀 이미션형 발광 소자의 경우에는 화소 전극으로서 기능하는 도전체(171)와 절연체(363) 사이에 착색층을 제공하면 좋다.
- [0594] 도 44의 (D)에는 상기와 다른 예를 나타내었다. 구체적으로는 도 44의 (D)는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 사이에 절연체(272)가 제공되지 않은 구성이다. 이 구성으로 함으로써, 개구율이 높은 표시 장치로 할 수 있다. 또한 절연체(272)를 제공하지 않음으로써 발광 소자(61)의 요철이 저감되기 때문에, 표시 장치의 시야각이 향상된다. 구체적으로는 시야각을 150° 이상 180° 미만, 바람직하게는 160° 이상 180° 미만으로 할 수 있다.
- [0595] 또한 보호층(271)은 EL층(172R), EL층(172G), 및 EL층(172B)의 측면을 덮는다. 상기 구성으로 함으로써 EL층(172R), EL층(172G), 및 EL층(172B)의 측면으로부터 들어갈 수 있는 불순물(대표적으로는 물 등)을 억제할 수 있다. 또한 인접한 발광 소자(61) 사이의 누설 전류가 저감되기 때문에, 채도 및 콘트라스트가 향상되며 소비 전력이 저감된다.
- [0596] 또한 도 44의 (D)에 나타낸 구성에서는 도전체(171), EL층(172R), 및 도전체(173)의 평면 형상이 실질적으로 일치한다. 이와 같은 구조는 도전체(171), EL층(172R), 및 도전체(173)를 형성한 후, 레지스트 마스크 등을 사용하여 일괄적으로 형성할 수 있다. 이와 같은 공정은 도전체(173)를 마스크로서 사용하여 EL층(172R) 및 도전체(173)를 가공하기 때문에, 셀프 얼라이먼트 패터닝(self-alignment patterning)이라고 부를 수도 있다. 또한 여기서는 EL층(172R)에 대하여 설명하였지만 EL층(172G) 및 EL층(172B)도 같은 구성으로 할 수 있다.
- [0597] 또한 도 44의 (D)는 보호층(271) 위에 보호층(273)이 더 제공되는 구조이다. 예를 들어 보호층(271)을 피복성이 높은 막을 성막할 수 있는 장치(대표적으로는 ALD 장치 등)를 사용하여 형성하고, 보호층(273)을 보호층(271)보다 피복성이 낮은 막이 성막되는 장치(대표적으로는 스퍼터링 장치 등)를 사용하여 형성함으로써, 보호층(271)과 보호층(273) 사이에 영역(275)을 제공할 수 있다. 또한 바꿔 말하면 영역(275)은 EL층(172R)과 EL층(172G) 사이 및 EL층(172G)과 EL층(172B) 사이에 위치한다.
- [0598] 또한 영역(275)은 예를 들어 공기, 질소, 산소, 이산화 탄소, 및 18족 원소(대표적으로는 헬륨, 네온, 아르곤, 제논, 크립톤 등)에서 선택되는 어느 하나 또는 복수를 포함한다. 또한 영역(275)에는 예를 들어 보호층(273)의 성막 시에 사용하는 기체가 포함되는 경우가 있다. 예를 들어 스퍼터링법으로 보호층(273)을 성막하는 경우, 영역(275)에는 상기 18족 원소 중 어느 하나 또는 복수가 포함되는 경우가 있다. 또한 영역(275)에 기체

가 포함되는 경우, 가스 크로마토그래피법 등으로 기체의 동정 등을 수행할 수 있다. 또는 스퍼터링법으로 보호층(273)을 성막하는 경우, 보호층(273)의 막 내에도 스퍼터링 시에 사용한 가스가 포함되는 경우가 있다. 이 경우, 보호층(273)을 에너지 분산형 X선 분석(EDX 분석) 등으로 해석하였을 때, 아르곤 등의 원소가 검출되는 경우가 있다.

[0599] 또한 영역(275)의 굴절률이 보호층(271)의 굴절률보다 낮은 경우, EL층(172R), EL층(172G), 또는 EL층(172B)으로부터 방출되는 광이 보호층(271)과 영역(275)의 계면에서 반사된다. 이로써 EL층(172R), EL층(172G), 또는 EL층(172B)으로부터 방출되는 광이 인접한 화소에 입사하는 것을 억제할 수 있는 경우가 있다. 이로써 근접 화소로부터 방출된 다른 색의 광이 혼입되는 것을 억제할 수 있기 때문에, 표시 장치의 표시 품질을 높일 수 있다.

[0600] 또한 도 44의 (D)에 나타낸 구성의 경우, 발광 소자(61R)와 발광 소자(61G) 사이의 영역 또는 발광 소자(61G)와 발광 소자(61B) 사이의 영역(이하에서는 단순히 발광 소자 간의 거리라고 함)을 좁힐 수 있다. 구체적으로는 발광 소자 간의 거리를 1 $\mu$ m 이하, 바람직하게는 500nm 이하, 더 바람직하게는 200nm 이하, 100nm 이하, 90nm 이하, 70nm 이하, 50nm 이하, 30nm 이하, 20nm 이하, 15nm 이하, 또는 10nm 이하로 할 수 있다. 바꿔 말하면 EL층(172R)의 측면과 EL층(172G)의 측면의 간격 또는 EL층(172G)의 측면과 EL층(172B)의 측면의 간격이 1 $\mu$ m 이하인 영역을 포함하고, 바람직하게는 0.5 $\mu$ m(500nm) 이하인 영역을 포함하고, 더 바람직하게는 100nm 이하인 영역을 포함한다.

[0601] 또한 예를 들어 영역(275)이 기체를 가지는 경우, 발광 소자 간을 소자 분리하면서, 각 발광 소자로부터의 광의 혼색 또는 크로스토크 등을 억제할 수 있다.

[0602] 또한 영역(275)은 공간이어도 좋고, 충전재로 매립되어 있어도 좋다. 충전재로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐부티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 또한 충전재로서 포토레지스트를 사용하여도 좋다. 충전재로서 사용하는 포토레지스트는 포지티브형 포토레지스트이어도 좋고, 네거티브형 포토레지스트이어도 좋다.

[0603] 도 45의 (A)에는 상기와 다른 예를 나타내었다. 구체적으로 도 45의 (A)에 나타낸 구성은, 도 44의 (D)에 나타낸 구성과 절연체(363)의 구성이 다르다. 절연체(363)는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)의 가공 시에, 평면의 일부가 연삭되어 오목부를 가진다. 또한 상기 오목부에는 보호층(271)이 형성된다. 바꿔 말하면, 단면에서 보았을 때 도전체(171)의 하면보다 보호층(271)의 하면이 아래에 위치하는 영역을 포함한다. 상기 영역을 가짐으로써, 아래쪽으로부터 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)에 들어갈 수 있는 불순물(대표적으로는 물 등)을 억제할 수 있다. 또한 상기 오목부는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)를 가공할 때 각 발광 소자의 측면에 부착될 수 있는 불순물(잔류물이라고도 함)을 웨트 에칭 등에 의하여 제거할 때 형성될 수 있다. 상기 잔류물을 제거한 후, 각 발광 소자의 측면을 보호층(271)으로 덮음으로써 신뢰성이 높은 표시 장치로 할 수 있다.

[0604] 또한 도 45의 (B)에는 상기와 다른 예를 나타내었다. 구체적으로는 도 45의 (B)에 나타낸 구성은 도 45의 (A)에 나타낸 구성에 더하여 절연체(276)와 마이크로렌즈 어레이(277)를 포함한다. 절연체(276)는 접촉층으로서의 기능을 가진다. 또한 절연체(276)의 굴절률이 마이크로렌즈 어레이(277)의 굴절률보다 낮은 경우, 마이크로렌즈 어레이(277)는 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)로부터 방출되는 광을 집광할 수 있다. 이로써 표시 장치의 광 추출 효율을 높일 수 있다. 특히 사용자가 표시 장치의 표시면의 정면으로부터 상기 표시면을 보았을 때, 밝은 화상을 확인할 수 있으므로 적합하다. 또한 절연체(276)로서는 자외선 경화형 등의 광 경화형 접착제, 반응 경화형 접착제, 열 경화형 접착제, 혐기형 접착제 등 각종 경화형 접착제를 사용할 수 있다. 이들 접착제로서는, 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드, PVC(폴리바이닐클로라이드) 수지, PVB(폴리바이닐부티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 특히 에폭시 수지 등의 투습성이 낮은 재료가 바람직하다. 또한 2액 혼합형 수지를 사용하여도 좋다. 또한 접착 시트 등을 사용하여도 좋다.

[0605] 또한 도 45의 (C)에는 상기와 다른 예를 나타내었다. 구체적으로 도 45의 (C)에 나타낸 구성은 도 45의 (A)에 나타낸 구성에서의 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 대신에 3개의 발광 소자(61W)를 포함한다. 또한 3개의 발광 소자(61W)의 위쪽에 절연체(276)를 포함하고, 절연체(276)의 위쪽에 착색층(264R), 착색층(264G), 및 착색층(264B)을 포함한다. 구체적으로는 왼쪽의 발광 소자(61W)와 중첩되는 위치에 적색광을 투과시키는 착색층(264R)이 제공되고, 중앙의 발광 소자(61W)와 중첩되는 위치에 녹색광을 투과시키는 착색층

(264G)이 제공되고, 오른쪽의 발광 소자(61W)와 중첩되는 위치에 청색광을 투과시키는 착색층(264B)이 제공되어 있다. 이에 의하여 반도체 장치는 컬러 화상을 표시할 수 있다. 도 45의 (C)에 나타난 구성은 도 44의 (C)에 나타난 구성의 변형예이기도 하다.

- [0606] 또한 도 45의 (D)에는 상기와 다른 예를 나타내었다. 구체적으로 도 45의 (D)에 나타난 구성에서는 보호층(271)이 도전체(171) 및 EL층(172)의 측면과 인접하여 제공되어 있다. 또한 도전체(173)는 각 발광 소자에 공통된 하나의 층으로서 제공되어 있다. 또한 도 45의 (D)에 나타난 구성에서는 영역(275)이 충전재로 매립되어 있는 것이 바람직하다.
- [0607] 발광 소자(61)에 미소 광공진기(마이크로캐비티) 구조를 부여함으로써 발광색의 색 순도를 높일 수 있다. 발광 소자(61)에 마이크로캐비티 구조를 부여하기 위해서는 도전체(171)와 도전체(173) 사이의 거리  $d$ 와 EL층(172)의 굴절률  $n$ 의 곱(광학 거리)이 파장  $\lambda$ 의 2분의 1의  $m$ 배( $m$ 은 1 이상의 정수임)가 되도록 구성하면 좋다. 거리  $d$ 는 수학식 1로 산출할 수 있다.
- [0608]  $d = m \times \lambda / (2 \times n) \cdots$  수학식 1.
- [0609] 수학식 1에 따르면 마이크로캐비티 구조의 발광 소자(61)는 방출하는 광의 파장(발광색)에 따라 거리  $d$ 가 결정된다. 거리  $d$ 는 EL층(172)의 두께에 상당한다. 따라서 EL층(172G)은 EL층(172B)보다 두껍게 제공되고, EL층(172R)은 EL층(172G)보다 두껍게 제공되는 경우가 있다.
- [0610] 또한 엄밀하게는 거리  $d$ 는 반사 전극으로서 기능하는 도전체(171)의 반사 영역에서 방출하는 광에 대한 투과성 및 반사성을 가지는 전극(반투과·반반사 전극)으로서 기능하는 도전체(173)의 반사 영역까지의 거리이다. 예를 들어 도전체(171)가 은과 투명 도전막인 ITO(Indium Tin Oxide)의 적층이고, ITO가 EL층(172) 측에 있는 경우, ITO의 막 두께를 조정함으로써 발광색에 따른 거리  $d$ 를 설정할 수 있다. 즉 EL층(172R), EL층(172G), 및 EL층(172B)의 두께가 같아도, 상기 ITO의 두께를 변경함으로써 발광색에 적합한 거리  $d$ 를 얻을 수 있다.
- [0611] 그러나 도전체(171) 및 도전체(173)에서의 반사 영역의 위치를 엄밀하게 결정하기 어려운 경우가 있다. 이 경우, 도전체(171)와 도전체(173)의 임의의 위치를 반사 영역으로 가정함으로써 마이크로캐비티의 효과를 충분히 얻을 수 있는 것으로 한다.
- [0612] 발광 소자(61)는 정공 주입층, 정공 수송층, 발광층, 전자 수송층, 전자 주입층 등으로 구성된다. 발광 소자(61)의 자세한 구성예에 대해서는 다른 실시형태에서 설명한다. 마이크로캐비티 구조에서 광의 추출 효율을 높이기 위하여 반사 전극으로서 기능하는 도전체(171)에서 발광층까지의 광학 거리를  $\lambda/4$ 의 홀수배로 하는 것이 바람직하다. 상기 광학 거리를 실현하기 위하여 발광 소자(61)를 구성하는 각 층의 두께를 적절히 조정하는 것이 바람직하다.
- [0613] 또한 광을 도전체(173) 측으로 사출하는 경우에는 도전체(173)의 반사율이 투과율보다 큰 것이 바람직하다. 도전체(173)의 광의 투과율을 바람직하게는 2% 이상 50% 이하로, 더 바람직하게는 2% 이상 30% 이하로, 더 바람직하게는 2% 이상 10% 이하로 하는 것이 좋다. 도전체(173)의 투과율을 낮게(반사율을 높게) 함으로써 마이크로캐비티의 효과를 높일 수 있다.
- [0614] 도 46의 (A)에는 상기와 다른 예를 나타내었다. 구체적으로 도 46의 (A)에 나타난 구성은 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 각각에서 EL층(172)이 도전체(171)의 단부를 넘어 연장되어 있다. 예를 들어 발광 소자(61R)에서 EL층(172R)이 도전체(171)의 단부를 넘어 연장되어 있다. 또한 발광 소자(61G)에서 EL층(172G)이 도전체(171)의 단부를 넘어 연장되어 있다. 발광 소자(61B)에서 EL층(172B)이 도전체(171)의 단부를 넘어 연장되어 있다.
- [0615] 또한 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 각각에서 EL층(172)과 보호층(271)은 절연체(270)를 개재하여 중첩되는 영역을 포함한다. 또한 인접한 발광 소자(61) 사이의 영역에서 보호층(271) 위에 절연체(278)가 제공되어 있다.
- [0616] 절연체(278)로서는 에폭시 수지, 아크릴 수지, 실리콘(silicone) 수지, 페놀 수지, 폴리이미드, PVC(폴리바이닐 클로라이드) 수지, PVB(폴리바이닐부티랄) 수지, EVA(에틸렌바이닐아세테이트) 수지 등을 들 수 있다. 또한 절연체(278)로서 포토레지스트를 사용하여도 좋다. 절연체(278)로서 사용하는 포토레지스트는 포지티브형 포토레지스트이어도 좋고, 네거티브형 포토레지스트이어도 좋다.
- [0617] 또한 발광 소자(61R), 발광 소자(61G), 발광 소자(61B), 및 절연체(278) 위에 공통층(174)이 제공되고, 공통층(174) 위에 도전체(173)가 제공되어 있다. 공통층(174)은 EL층(172R)과 접한 영역과, EL층(172G)과 접한 영역

과, EL층(172B)과 접한 영역을 포함한다. 공통층(174)은 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B)에 의하여 공유된다.

- [0618] 공통층(174)으로서는 정공 주입층, 정공 수송층, 정공 차단층, 전자 차단층, 전자 수송층, 및 전자 주입층 중 하나 이상을 적용할 수 있다. 예를 들어 공통층(174)은 캐리어 주입층(정공 주입층 또는 전자 주입층)이어도 좋다. 또한 공통층(174)은 EL층(172)의 일부라고 할 수도 있다. 또한 공통층(174)은 필요에 따라 제공하면 좋다. 공통층(174)을 제공하는 경우, EL층(172)에 포함되는 층 중, 공통층(174)과 같은 기능을 가지는 층을 제공하지 않아도 된다.
- [0619] 또한 도전체(173) 위에 보호층(273)이 제공되고, 보호층(273) 위에 절연체(276)가 제공되어 있다.
- [0620] 또한 도 46의 (B)에는 상기와 다른 예를 나타내었다. 구체적으로 도 46의 (B)에 나타낸 구성은 도 46의 (A)에 나타낸 구성에서의 발광 소자(61R), 발광 소자(61G), 및 발광 소자(61B) 대신에 3개의 발광 소자(61W)를 포함한다. 또한 3개의 발광 소자(61W)의 위쪽에 절연체(276)를 포함하고, 절연체(276)의 위쪽에 착색층(264R), 착색층(264G), 및 착색층(264B)을 포함한다. 구체적으로는 왼쪽의 발광 소자(61W)와 중첩되는 위치에 적색광을 투과시키는 착색층(264R)이 제공되고, 중앙의 발광 소자(61W)와 중첩되는 위치에 녹색광을 투과시키는 착색층(264G)이 제공되고, 오른쪽의 발광 소자(61W)와 중첩되는 위치에 청색광을 투과시키는 착색층(264B)이 제공되어 있다. 이에 의하여 반도체 장치는 컬러 화상을 표시할 수 있다. 도 46의 (B)에 나타낸 구성은 도 45의 (C)에 나타낸 구성의 변형예이기도 하다.
- [0621] 또한 도 46의 (C)에 나타낸 바와 같이, 절연체(363) 위에 발광 소자(61R), 발광 소자(61G), 및 수광 소자(71)를 제공하여도 좋다. 도 46의 (C)에 나타낸 수광 소자(71)는 발광 소자(61)의 EL층(172)을 광전 변환층으로서 기능하는 활성층(182)("수광층"이라고도 함)으로 치환함으로써 실현할 수 있다. 활성층(182)은 입사한 광의 파장 및 강도에 따라 저항값이 변화되는 기능을 가진다. 활성층(182)은 EL층(172)과 마찬가지로 유기 화합물로 형성할 수 있다. 또한 활성층(182)으로서 실리콘 등의 무기 재료를 사용하여도 좋다.
- [0622] 수광 소자(71)는 표시 장치의 외부로부터 보호층(273), 도전체(173), 및 공통층(174)을 통하여 입사한 광(DLin)을 검출하는 기능을 가진다. 수광 소자(71)와 중첩시켜, 광(DLin)의 입사 측에 임의의 파장 영역의 광을 투과시키는 착색층을 제공하여도 좋다.
- [0623] 본 실시형태에 나타낸 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.
- [0624] (실시형태 6)
- [0625] 본 실시형태에서는 앞의 실시형태에서 설명한 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있는 전자 기기에 대하여 설명한다.
- [0626] 본 발명의 일 형태에 따른 표시 장치를 전자 기기의 표시부에 적용할 수 있다. 따라서 표시 품질이 높은 전자 기기를 실현할 수 있다. 또는 정세도가 매우 높은 전자 기기를 실현할 수 있다. 또는 신뢰성이 높은 전자 기기를 실현할 수 있다.
- [0627] 본 발명의 일 형태에 따른 표시 장치, 시프트 레지스터, 또는 신호 출력 회로 등을 사용한 전자 기기로서, 텔레비전, 모니터 등의 표시 장치, 조명 장치, 데스크톱형 또는 노트북형 퍼스널 컴퓨터, 워드 프로세서, DVD(Digital Versatile Disc) 등의 기록 매체에 저장된 정지 화상 또는 동영상상을 재생하는 화상 재생 장치, 포터블 CD 플레이어, 라디오, 테이프리코더, 헤드폰 스테레오, 스테레오, 탁상시계, 벽걸이 시계, 코드리스 전화기, 트랜시버, 자동차 전화, 휴대 전화, 휴대 정보 단말기, 태블릿형 단말기, 휴대용 게임기, 파칭코기 등의 고정식 게임기, 전자식 탁상 계산기, 전자 수첩, 전자책 단말기, 전자 번역기, 음성 입력 기기, 비디오 카메라, 디지털 스틸 카메라, 전기 면도기, 전자레인지 등의 고주파 가열 장치, 전기밥솥, 전기 세탁기, 전기 청소기, 운수기, 선풍기, 모발 건조기, 에어컨디셔너, 가습기, 제습기 등의 공기 조화 설비, 식기 세척기, 식기 건조기, 의류 건조기, 이불 건조기, 전기 냉장고, 전기 냉동고, 전기 냉동 냉장고, DNA 저장용 냉동고, 회중전등, 체인소 등의 공구, 연기 감지기, 투석 장치 등의 의료 기기 등이 있다. 또한 유도등, 신호기, 벨트 컨베이어, 엘리베이터, 에스컬레이터, 산업용 로봇, 전력 저장 시스템, 전력의 평준화와 스마트 그리드를 위한 축전 장치 등의 산업 기기를 들 수 있다. 또한 연료를 사용한 엔진 또는 축전체로부터의 전력을 사용한 전동기에 의하여 추진하는 이동체 등도 전자 기기의 범주에 포함되는 경우가 있다. 상기 이동체로서는 예를 들어 전기 자동차(EV), 내연 기관과 전동기를 겸비한 하이브리드 자동차(HV), 플러그인 하이브리드 자동차(PHV), 이들의 타이어 차륜이 무한 궤도로 대체된 궤도 차량(tracked vehicle), 전동 어시스트 자전거를 포함하는 원동기 부착 자전거, 자동 이륜차, 전동 휠체어, 골프용 카트, 소형 또는 대형 선박, 잠수함, 헬리콥터, 항공기, 로켓, 인공위성, 우주 탐

사기, 행성 탐사기, 우주선 등이 있다.

- [0628] 전자 기기는 이차 전지(배터리)를 포함하여도 좋고, 비접촉 전력 전송(傳送)을 사용하여 이차 전지를 충전할 수 있는 것이 바람직하다.
- [0629] 이차 전지로서는 예를 들어 리튬 이온 이차 전지, 니켈 수소 전지, 니켈 카드뮴 전지, 유기 라디칼 전지, 납 축 전지, 공기 이차 전지, 니켈 아연 전지, 은 아연 전지 등이 있다.
- [0630] 전자 기기는 안테나를 포함하여도 좋다. 안테나로 신호를 수신함으로써 표시부에 영상 및 정보 등을 표시할 수 있다. 또한 전자 기기가 안테나 및 이차 전지를 가지는 경우, 안테나를 비접촉 전력 전송에 사용하여도 좋다.
- [0631] 전자 기기는 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 검지, 검출, 또는 측정하는 기능을 가지는 것)를 포함하여도 좋다.
- [0632] 본 발명의 일 형태에 따른 표시 장치, 시프트 레지스터, 또는 신호 출력 회로 등을 포함하는 전자 기기는 다양한 기능을 가질 수 있다. 예를 들어 다양한 정보(정지 화상, 동영상, 텍스트 화상 등)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 또는 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)를 실행하는 기능, 무선 통신 기능, 기록 매체에 저장된 프로그램 또는 데이터를 관독하는 기능 등을 가질 수 있다.
- [0633] 또한 복수의 표시부를 가지는 전자 기기에서는 표시부의 일부에 화상 정보를 주로 표시하고, 다른 일부에 문자 정보를 주로 표시하는 기능, 또는 복수의 표시부에 시차(視差)를 고려한 화상을 표시함으로써, 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한 수상부(受像部)를 가지는 전자 기기에서는 정지 화상 또는 동영상을 촬영하는 기능, 촬영한 화상을 자동 또는 수동으로 보정하는 기능, 촬영한 화상을 기록 매체(외부 또는 전자 기기에 내장됨)에 저장하는 기능, 촬영한 화상을 표시부에 표시하는 기능 등을 가질 수 있다. 또한 본 발명의 일 형태의 전자 기기에 포함되는 기능은 이들에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0634] 본 발명의 일 형태에 따른 표시 장치, 시프트 레지스터, 또는 신호 출력 회로 등을 포함하는 표시 장치는 고정 세 화상을 표시할 수 있다. 그러므로 특히 휴대형 전자 기기, 장착형 전자 기기(웨어러블 기기), 및 전자책 단말기 등에 적합하게 사용할 수 있다. 예를 들어 VR(Virtual Reality) 기기 또는 AR(Augmented Reality) 기기 등에 적합하게 사용할 수 있다.
- [0635] 도 47의 (A)는 파인더(8100)가 장착된 상태의 카메라(8000)의 외관을 나타낸 도면이다.
- [0636] 카메라(8000)는 하우징(8001), 표시부(8002), 조작 버튼(8003), 셔터 버튼(8004) 등을 포함한다. 또한 카메라(8000)에는 탈착 가능한 렌즈(8006)가 장착되어 있다. 또한 카메라(8000)는 렌즈(8006)와 하우징이 일체화되어 있어도 좋다.
- [0637] 카메라(8000)는 셔터 버튼(8004)을 누르거나 터치 패널로서 기능하는 표시부(8002)를 터치함으로써 촬상할 수 있다.
- [0638] 하우징(8001)은 전극을 가지는 마운트를 가지고, 파인더(8100) 외에 스트로보 장치 등을 접속할 수 있다.
- [0639] 파인더(8100)는 하우징(8101), 표시부(8102), 버튼(8103) 등을 포함한다.
- [0640] 하우징(8101)은 카메라(8000)의 마운트와 연결되는 마운트에 의하여 카메라(8000)에 장착되어 있다. 파인더(8100)는 카메라(8000)로부터 수신한 영상 등을 표시부(8102)에 표시할 수 있다.
- [0641] 버튼(8103)은 전원 버튼 등으로서의 기능을 가진다.
- [0642] 카메라(8000)의 표시부(8002) 및 파인더(8100)의 표시부(8102)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다. 또한 파인더(8100)는 카메라(8000)에 내장되어 있어도 좋다.
- [0643] 도 47의 (B)는 헤드 마운트 디스플레이(8200)의 외관을 나타낸 도면이다.
- [0644] 헤드 마운트 디스플레이(8200)는 장착부(8201), 렌즈(8202), 본체(8203), 표시부(8204), 및 케이블(8205) 등을 포함한다. 또한 장착부(8201)에는 배터리(8206)가 내장되어 있다.
- [0645] 케이블(8205)은 배터리(8206)로부터 본체(8203)에 전력을 공급한다. 본체(8203)는 무선 수신기 등을 포함하고, 수신한 영상 정보를 표시부(8204)에 표시할 수 있다. 또한 본체(8203)는 카메라를 포함하고, 사용자의 안구 또는 눈꺼풀의 움직임의 정보를 입력 수단으로서 사용할 수 있다.

- [0646] 또한 장착부(8201)는 사용자와 접촉하는 위치에 사용자의 안구의 움직임에 따라 흐르는 전류를 검지할 수 있는 복수의 전극이 제공되고 시선을 인식하는 기능을 가져도 좋다. 또한 상기 전극에 흐르는 전류에 의하여 사용자의 맥박을 모니터링하는 기능을 가져도 좋다. 또한 장착부(8201)는 온도 센서, 압력 센서, 가속도 센서 등의 각종 센서를 포함하여도 좋고, 사용자의 생체 정보를 표시부(8204)에 표시하는 기능, 사용자의 머리 움직임에 맞추어 표시부(8204)에 표시되는 영상을 변화시키는 기능 등을 가져도 좋다. 표시부(8204)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다.
- [0647] 도 47의 (C) 내지 (E)는 헤드 마운트 디스플레이(8300)의 외관을 나타낸 도면이다. 헤드 마운트 디스플레이(8300)는 하우징(8301), 표시부(8302), 밴드상의 고정구(8304), 한 쌍의 렌즈(8305)를 포함한다.
- [0648] 사용자는 렌즈(8305)를 통하여 표시부(8302)의 표시를 볼 수 있다. 또한 표시부(8302)를 만곡시켜 배치하면, 사용자는 높은 현장감을 느낄 수 있어 바람직하다. 또한 표시부(8302)의 상이한 영역에 표시된 다른 화상을 렌즈(8305)를 통하여 봄으로써 시차를 사용한 3차원 표시 등을 할 수도 있다. 또한 하나의 표시부(8302)를 제공하는 구성에 한정되지 않고, 2개의 표시부(8302)를 제공하여 사용자의 한쪽 눈마다 하나의 표시부를 배치하여도 좋다.
- [0649] 표시부(8302)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다. 본 발명의 일 형태에 따른 표시 장치는 매우 높은 정세도를 실현할 수도 있다. 예를 들어 도 47의 (E)와 같이 렌즈(8305)로 확대된 표시를 보는 경우에도, 화소는 사용자에게 인식되기 어렵다. 즉 표시부(8302)를 사용하여 사용자에게 현실감이 높은 영상을 보이게 할 수 있다.
- [0650] 도 47의 (F)는 고글형 헤드 마운트 디스플레이(8400)의 외관을 나타낸 도면이다. 헤드 마운트 디스플레이(8400)는 한 쌍의 하우징(8401)과, 장착부(8402)와, 완충 부재(8403)를 포함한다. 한 쌍의 하우징(8401) 내에는 각각 표시부(8404) 및 렌즈(8405)가 제공된다. 표시부(8404)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다. 한 쌍의 표시부(8404)에 서로 다른 화상을 표시함으로써, 시차를 사용한 3차원 표시를 수행할 수 있다.
- [0651] 사용자는 렌즈(8405)를 통하여 표시부(8404)를 볼 수 있다. 렌즈(8405)는 초점 조정 기구를 포함하고, 사용자의 시력에 따라 위치를 조정할 수 있다. 표시부(8404)는 정사각형 또는 가로로 긴 직사각형인 것이 바람직하다. 이에 의하여 현장감을 높일 수 있다.
- [0652] 장착부(8402)는 사용자의 얼굴 크기에 따라 조정할 수 있고, 또한 흘러내리지 않도록 가소성 및 탄성을 가지는 것이 바람직하다. 또한 장착부(8402)의 일부는 골전도 이어폰으로서 기능하는 진동 기구를 가지는 것이 바람직하다. 이에 의하여 별도로 이어폰, 스피커 등의 음향 기기가 불필요하고, 장착하기만 하면 영상과 음성을 즐길 수 있다. 또한 하우징(8401) 내에 무선 통신에 의하여 음성 데이터를 출력하는 기능을 가져도 좋다.
- [0653] 장착부(8402)와 완충 부재(8403)는 사용자의 얼굴(이마, 뺨 등)에 접촉하는 부분이다. 완충 부재(8403)가 사용자의 얼굴과 밀착되면, 광 누설을 방지할 수 있기 때문에 몰입감을 더 높일 수 있다. 완충 부재(8403)는 사용자가 헤드 마운트 디스플레이(8400)를 장착하였을 때 사용자의 얼굴에 밀착되도록 부드러운 소재를 사용하는 것이 바람직하다. 예를 들어 고무, 실리콘(silicone) 고무, 우레탄, 스펀지 등의 소재를 사용할 수 있다. 또한 스펀지 등의 표면을 천, 피혁(천연 피혁 또는 합성 피혁) 등으로 덮은 것을 사용하면, 사용자의 얼굴과 완충 부재(8403) 사이에 틈이 생기기 어렵기 때문에 광 누설을 방지할 수 있다. 또한 이와 같은 소재를 사용하면 촉감이 좋고, 추운 계절 등에 장착한 경우에 사용자가 차갑다고 느끼지 않기 때문에 바람직하다. 완충 부재(8403) 또는 장착부(8402) 등 사용자의 피부에 접촉되는 부재를 탈착 가능한 구성으로 하면, 클리닝 또는 교환이 용이하기 때문에 바람직하다.
- [0654] 도 48의 (A)에는 텔레비전 장치의 일례를 나타내었다. 텔레비전 장치(7100)에서는 하우징(7101)에 표시부(7000)가 포함되어 있다. 여기서는 스탠드(7103)에 의하여 하우징(7101)을 지지한 구성을 나타내었다. 표시부(7000)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다.
- [0655] 도 48의 (A)에 나타낸 텔레비전 장치(7100)의 조작은 하우징(7101)이 가지는 조작 스위치 및 별체의 리모트 컨트롤러(7111)에 의하여 수행할 수 있다. 또는 표시부(7000)에 터치 센서를 포함하여도 좋고, 손가락 등으로 표시부(7000)를 터치함으로써 텔레비전 장치(7100)를 조작하여도 좋다. 리모트 컨트롤러(7111)는 상기 리모트 컨트롤러(7111)로부터 출력되는 정보를 표시하는 표시부를 포함하여도 좋다. 리모트 컨트롤러(7111)의 조작 키 또는 터치 패널에 의하여 채널 및 음량을 조작할 수 있고, 표시부(7000)에 표시되는 영상을 조작할 수 있다.

- [0656] 또한 텔레비전 장치(7100)는 수신기 및 모뎀 등을 가지는 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송을 수신할 수 있다. 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속함으로써, 한 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자 사이, 또는 수신자끼리 등)의 정보 통신을 수행할 수도 있다.
- [0657] 도 48의 (B)에는 노트북 퍼스널 컴퓨터의 일례를 나타내었다. 노트북형 퍼스널 컴퓨터(7200)는 하우징(7211), 키보드(7212), 포인팅 디바이스(7213), 외부 접속 포트(7214) 등을 포함한다. 하우징(7211)에 표시부(7000)가 포함되어 있다. 표시부(7000)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다.
- [0658] 도 48의 (C) 및 (D)에는 디지털 사이니지의 일례를 나타내었다.
- [0659] 도 48의 (C)에 나타난 디지털 사이니지(7300)는 하우징(7301), 표시부(7000), 및 스피커(7303) 등을 포함한다. 또한 LED 램프, 조작 키(전원 스위치 또는 조작 스위치를 포함함), 접속 단자, 각종 센서, 마이크로폰 등을 가질 수 있다.
- [0660] 도 48의 (D)에는 원기둥 모양의 기둥(7401)에 장착된 디지털 사이니지(7400)를 나타내었다. 디지털 사이니지(7400)는 기둥(7401)의 곡면을 따라 제공된 표시부(7000)를 포함한다.
- [0661] 도 48의 (C) 및 (D)에서는 표시부(7000)에 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다.
- [0662] 표시부(7000)가 넓을수록 한번에 제공할 수 있는 정보량을 늘릴 수 있다. 또한 표시부(7000)가 넓을수록 사람의 눈에 띄기 쉽기 때문에, 예를 들어 광고의 홍보 효과를 높일 수 있다.
- [0663] 표시부(7000)에 터치 패널을 적용함으로써, 표시부(7000)에 화상 또는 동영상을 표시할 뿐만 아니라, 사용자가 직관적으로 조작할 수도 있어 바람직하다. 또한 노선 정보 또는 교통 정보 등의 정보를 제공하기 위한 용도로 사용하는 경우에는 직관적인 조작에 의하여 사용성을 높일 수 있다.
- [0664] 도 48의 (C) 및 (D)에 나타난 바와 같이, 디지털 사이니지(7300) 또는 디지털 사이니지(7400)는 사용자가 소유하는 스마트폰 등의 정보 단말기(7311) 또는 정보 단말기(7411)와 무선 통신에 의하여 연계 가능한 것이 바람직하다. 예를 들어 표시부(7000)에 표시되는 광고의 정보를 정보 단말기(7311) 또는 정보 단말기(7411)의 화면에 표시할 수 있다. 또한 정보 단말기(7311) 또는 정보 단말기(7411)를 조작함으로써, 표시부(7000)의 표시를 전환할 수 있다.
- [0665] 또한 디지털 사이니지(7300) 또는 디지털 사이니지(7400)에 정보 단말기(7311) 또는 정보 단말기(7411)의 화면을 조작 수단(컨트롤러)으로서 사용한 게임을 실행시킬 수도 있다. 이로써 불특정 다수의 사용자가 동시에 게임에 참가하여 즐길 수 있다.
- [0666] 도 48의 (E)에 나타난 정보 단말기(7550)는 하우징(7551), 표시부(7552), 마이크로폰(7557), 스피커부(7554), 카메라(7553), 및 조작 스위치(7555) 등을 포함한다. 표시부(7552)에는 본 발명의 일 형태에 따른 표시 장치를 적용할 수 있다. 또한 표시부(7552)는 터치 패널로서의 기능을 가진다. 또한 정보 단말기(7550)는 하우징(7551)의 내측에 안테나, 배터리 등을 포함한다. 정보 단말기(7550)는 예를 들어 스마트폰, 휴대 전화기, 태블릿형 정보 단말기, 태블릿형 퍼스널 컴퓨터, 전자책 단말기 등으로서 사용할 수 있다.
- [0667] 도 48의 (F)에는 손목시계형 정보 단말기의 일례를 나타내었다. 정보 단말기(7660)는 하우징(7661), 표시부(7662), 밴드(7663), 버클(7664), 조작 스위치(7665), 입출력 단자(7666) 등을 포함한다. 또한 정보 단말기(7660)는 하우징(7661)의 내측에 안테나 및 배터리 등을 포함한다. 정보 단말기(7660)는 이동 전화, 전자 메일, 문장 열람 및 작성, 음악 재생, 인터넷 통신, 컴퓨터 게임 등의 다양한 애플리케이션을 실행할 수 있다.
- [0668] 또한 표시부(7662)는 터치 센서가 제공되고, 손가락 또는 스타일러스 등으로 화면을 터치함으로써 조작할 수 있다. 예를 들어 표시부(7662)에 표시된 아이콘(7667)을 터치함으로써 애플리케이션을 기동할 수 있다. 조작 스위치(7665)는 시각 설정 외에 전원의 온, 오프 동작, 무선 통신의 온, 오프 동작, 매너 모드의 실행 및 해제, 절전 모드의 실행 및 해제 등, 다양한 기능을 가지게 할 수 있다. 예를 들어 정보 단말기(7660)에 설치된 운영 체제에 의하여 조작 스위치(7665)의 기능을 설정할 수도 있다.
- [0669] 또한 정보 단말기(7660)는 통신 규격에 따른 근거리 무선 통신을 실행할 수 있다. 예를 들어 무선 통신할 수 있는 헤드셋과 상호 통신함으로써, 핸즈프리로 통화할 수도 있다. 또한 정보 단말기(7660)는 입출력 단자(7666)를 포함하고, 입출력 단자(7666)를 통하여 다른 정보 단말기와 데이터의 송수신을 수행할 수 있다. 또한 입출력 단자(7666)를 통하여 충전을 수행할 수도 있다. 또한 충전 동작은 입출력 단자(7666)를 통하지 않고 무선 급전에 의하여 수행하여도 좋다.

[0670] 본 실시형태에 나타난 구성은 다른 실시형태에 기재되는 구성과 적절히 조합하여 사용할 수 있다.

[0671] (실시예)

[0672] 도 11 등을 사용하여 설명한 트랜지스터(10)를 제작하고, 그 트랜지스터 특성을 측정하였다. 본 실시예에서는 제작한 트랜지스터(10)의 트랜지스터 특성 측정 결과를 나타낸다.

[0673] 표 1에 제작한 트랜지스터의 적층 구성을 나타낸다. 또한 개구(159)로서 지름 2 μm의 개구를 형성하였다.

[0674] [표 1]

층	재료	막 두께
절연층(164)	질화 실리콘	300nm
도전층(163)	Ti \ Al \ Ti	50 \ 200 \ 50nm
절연층(162)	산화질화 실리콘	100nm
반도체층(161)	IGZO(1:1:1)	20nm
도전층(160)	ITSO	100nm
절연층(158)	질화 실리콘	30nm
절연층(157)	산화질화 실리콘	500nm
절연층(156)	질화 실리콘	30nm
도전층(155)	ITSO	100nm

[0675]

[0676] 구체적으로는 기판 위에 두께 100nm의 ITSO막을 스퍼터링법으로 형성하고, ITSO막 위에 포토리소그래피법을 사용하여 레지스트 마스크를 형성하고, 레지스트 마스크를 마스크로서 사용하여 ITSO막을 선택적으로 제거하여 도전층(155)을 형성하였다. 도전층(155) 형성 후, 레지스트 마스크를 제거하였다.

[0677] 다음으로 도전층(155) 위에 절연층(156)으로서 두께 30nm의 질화 실리콘막을 CVD법으로 형성하고, 절연층(156) 위에 절연층(157)으로서 두께 500nm의 산화질화 실리콘막을 CVD법으로 형성하고, 절연층(157) 위에 절연층(158)으로서 두께 30nm의 질화 실리콘막을 CVD법으로 형성하였다.

[0678] 다음으로 절연층(158) 위에 두께 100nm의 ITSO막을 스퍼터링법으로 형성하고, ITSO막 위에 포토리소그래피법을 사용하여 레지스트 마스크를 형성하고, 레지스트 마스크를 마스크로서 사용하여 ITSO막을 선택적으로 제거하여 도전층(160)을 형성하였다. 도전층(160) 형성 후, 레지스트 마스크를 제거하였다.

[0679] 다음으로 도전층(160) 및 절연층(158) 위에 레지스트 마스크를 포토리소그래피법으로 형성하고, 레지스트 마스크를 마스크로서 사용하여 도전층(160), 절연층(158), 절연층(157), 및 절연층(156)을 선택적으로 제거하여 개구(159)를 형성하였다. 개구(159) 형성 후, 레지스트 마스크를 제거하였다.

[0680] 다음으로 개구(159), 도전층(160), 및 절연층(158) 위에 두께가 20nm이며 금속 원소의 원자수비가 In:Ga:Zn=1:1:1인 IGZO막을 스퍼터링법으로 형성하였다. 이어서 IGZO막 위에 레지스트 마스크를 포토리소그래피법으로 형성하고, 레지스트 마스크를 마스크로서 사용하여 IGZO막을 선택적으로 제거하여 반도체층(161)을 형성하였다.

[0681] 다음으로 반도체층(161), 도전층(160), 및 절연층(158) 위에 절연층(162)으로서 두께 100nm의 산화질화 실리콘막을 CVD법으로 형성하였다.

[0682] 다음으로 절연층(162) 위에 금속막으로서 두께 50nm의 타이타늄(Ti)막, 두께 200nm의 알루미늄(Al)막, 및 두께 50nm의 타이타늄(Ti)막을 순차적으로 적층하였다. 이어서 금속막 위에 레지스트 마스크를 포토리소그래피법으로 형성하고, 레지스트 마스크를 마스크로서 사용하여 금속막을 선택적으로 제거하여 도전층(163)을 형성하였다.

[0683] 다음으로 도전층(163) 및 절연층(162) 위에 절연층(164)으로서 두께 300nm의 질화 실리콘막을 CVD법으로 형성하였다.

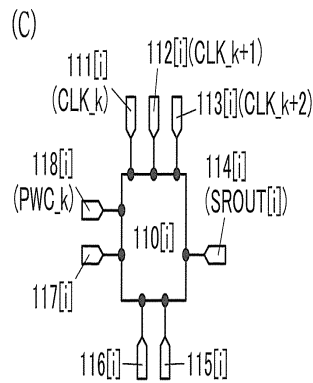
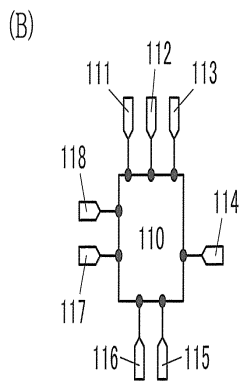
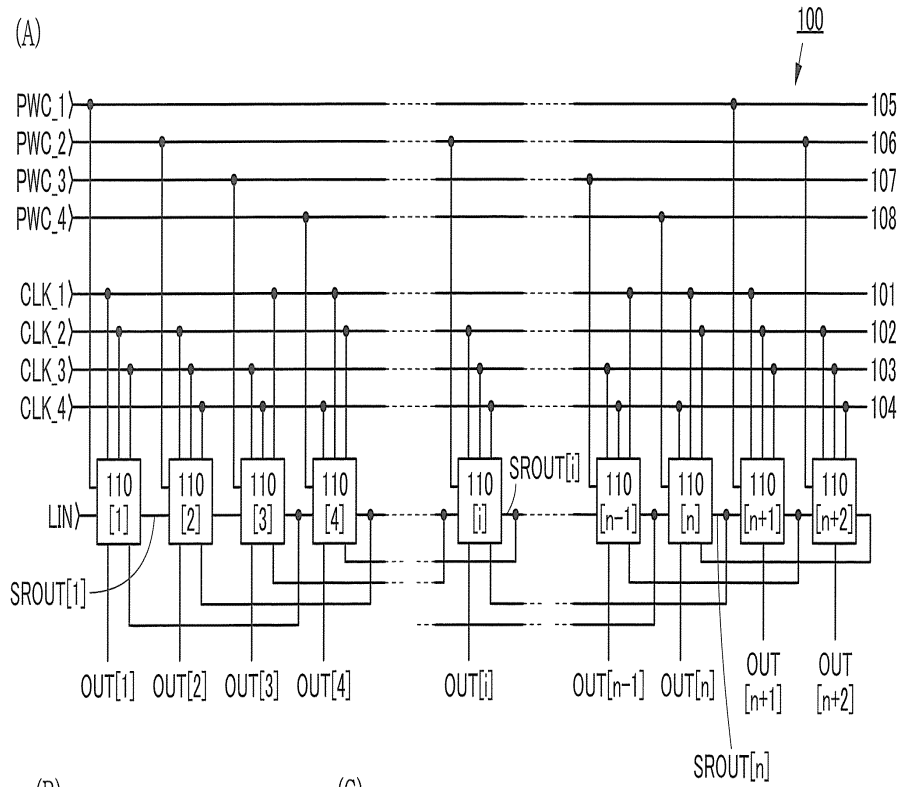
- [0684] VFET인 트랜지스터(10)는 도전층(155) 및 도전층(160) 중 한쪽을 소스로서 사용하고, 다른 쪽을 드레인으로서 사용한다. 이때, 도전층(155) 및 도전층(160) 중 어느 쪽을 소스로서 사용하는지에 따라 트랜지스터 특성이 변화되는 경우가 있다.
- [0685] 도 49의 (A1) 및 (A2)에 트랜지스터(10)의 단면 모식도를 나타내었다. 도 49의 (B1), (C1), (B2), 및 (C2)에 제작한 트랜지스터(10)의 트랜지스터 특성의 측정 결과를 나타내었다.
- [0686] 도 49의 (B1) 및 (C1)는 도전층(163)을 게이트(G)로서 사용하고, 도전층(155)을 소스(S)로서 사용하고, 도전층(160)을 드레인(D)으로서 사용한 경우(도 49의 (A1) 참조)의 트랜지스터(10)의 트랜지스터 특성을 나타낸 것이다. 도 49의 (B2) 및 (C2)는 도전층(163)을 게이트(G)로서 사용하고, 도전층(155)을 드레인(D)으로서 사용하고, 도전층(160)을 소스(S)로서 사용한 경우(도 49의 (A2) 참조)의 트랜지스터(10)의 트랜지스터 특성을 나타낸 것이다.
- [0687] 도 49의 (B1) 및 (B2)는 트랜지스터 특성의 일종인 Id-Vg 특성을 나타낸 것이다. 도 49의 (B1) 및 (B2)에서 가로축은 게이트 전압(Vg)을 나타내고, 세로축은 드레인 전류(Id)를 대수로 나타낸다. 또한 도 49의 (B1) 및 (B2)에서는 드레인과 소스 사이의 전위차("드레인 전압" 또는 "Vd"라고도 함)를 1V, 2V, 3V, 4V, 5V의 5레벨로 설정하고, 레벨마다 측정된 Id-Vg 특성을 나타내었다.
- [0688] 도 49의 (C1) 및 (C2)는 트랜지스터 특성의 일종인 Id-Vd 특성을 나타낸 것이다. 도 49의 (C1) 및 (C2)에서 가로축은 드레인 전압(Vd)을 나타내고, 세로축은 Id를 나타낸다. 또한 도 49의 (C1) 및 (C2)에서는 Vg를 1V, 2V, 3V, 4V, 5V의 5레벨로 설정하고, 레벨마다 측정된 Id-Vd 특성을 나타내었다.
- [0689] 도 49의 (B1) 및 (B2)의 Id-Vg 특성, 도 49의 (C1) 및 (C2)의 Id-Vd 특성에서는 둘 다 도전층(155)을 드레인으로서 사용하고, 도전층(160)을 소스로서 사용한 경우에 온 전류인 Id가 증가되는 것이 시사되었다. 구체적으로는 도전층(155)을 드레인으로서 사용하고, 도전층(160)을 소스로서 사용함으로써 트랜지스터(10)의 온 오프 비율이 향상되고(도 49의 (B1) 및 (B2) 참조), 트랜지스터가 온 상태일 때의 소스와 드레인 사이의 저항("온 저항"이라고도 함)이 작아진다(도 49의 (C1) 및 (C2) 참조). 도전층(155)을 드레인으로서 사용하고, 도전층(160)을 소스로서 사용함으로써 트랜지스터(10)의 트랜지스터 특성이 향상되는 것이 확인되었다.
- [0690] 소스와 드레인을 교체하면 온 전류가 변화되는 트랜지스터 특성의 비대칭성은 VFET의 구조에 기인한 것으로 생각된다. 예를 들어 도전층(155)의 바닥면을 기준으로 하였을 때, 도전층(155)의 상면과 도전층(163)의 바닥면이 상이한 높이에 위치한다(도 49의 (A1) 등 참조). 그러므로 개구(159)의 밑부분에서 반도체층(161)의 일부에 게이트로서 기능하는 도전층(163)과 중첩되지 않는 영역(169)이 생긴다.
- [0691] 반도체층(161)의 영역(169)은 도전층(163)과 중첩되지 않기 때문에, 도전층(163)에 전위(H)가 공급되어도 영역(169)의 저항값이 감소되기 어렵다. 도전층(155)을 드레인으로서 사용함으로써 DIBL(Drain-induced barrier lowering)이 일어나, 영역(169)의 저항값이 감소되어 온 전류가 증가되었다고 추측된다.

**부호의 설명**

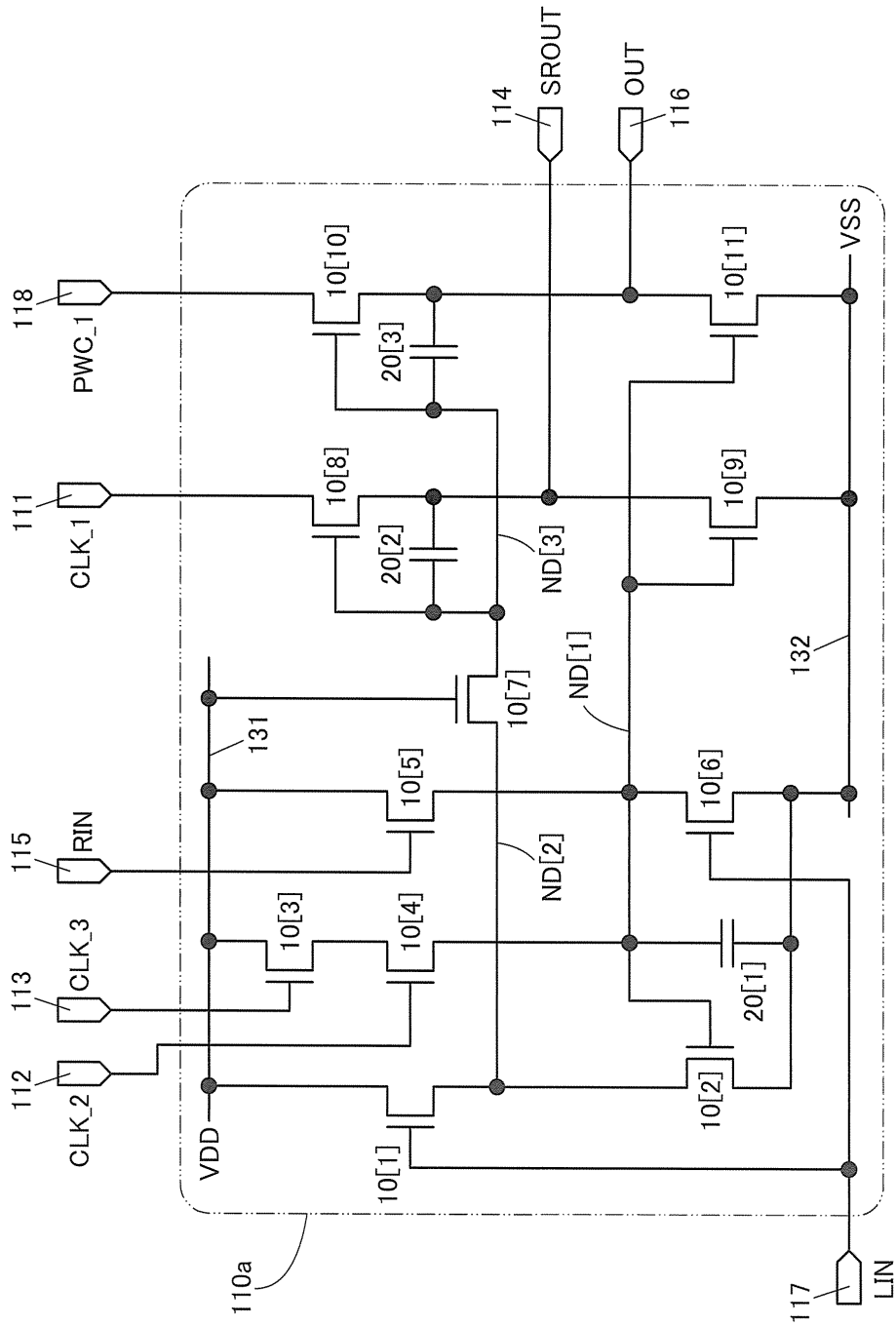
- [0692] 10: 트랜지스터, 51: 화소 회로, 53: 용량, 61: 발광 소자, 62: 액정 소자, 71: 수광 소자, 100: 시프트 레지스터, 110: 신호 출력 회로, 111: 단자

도면

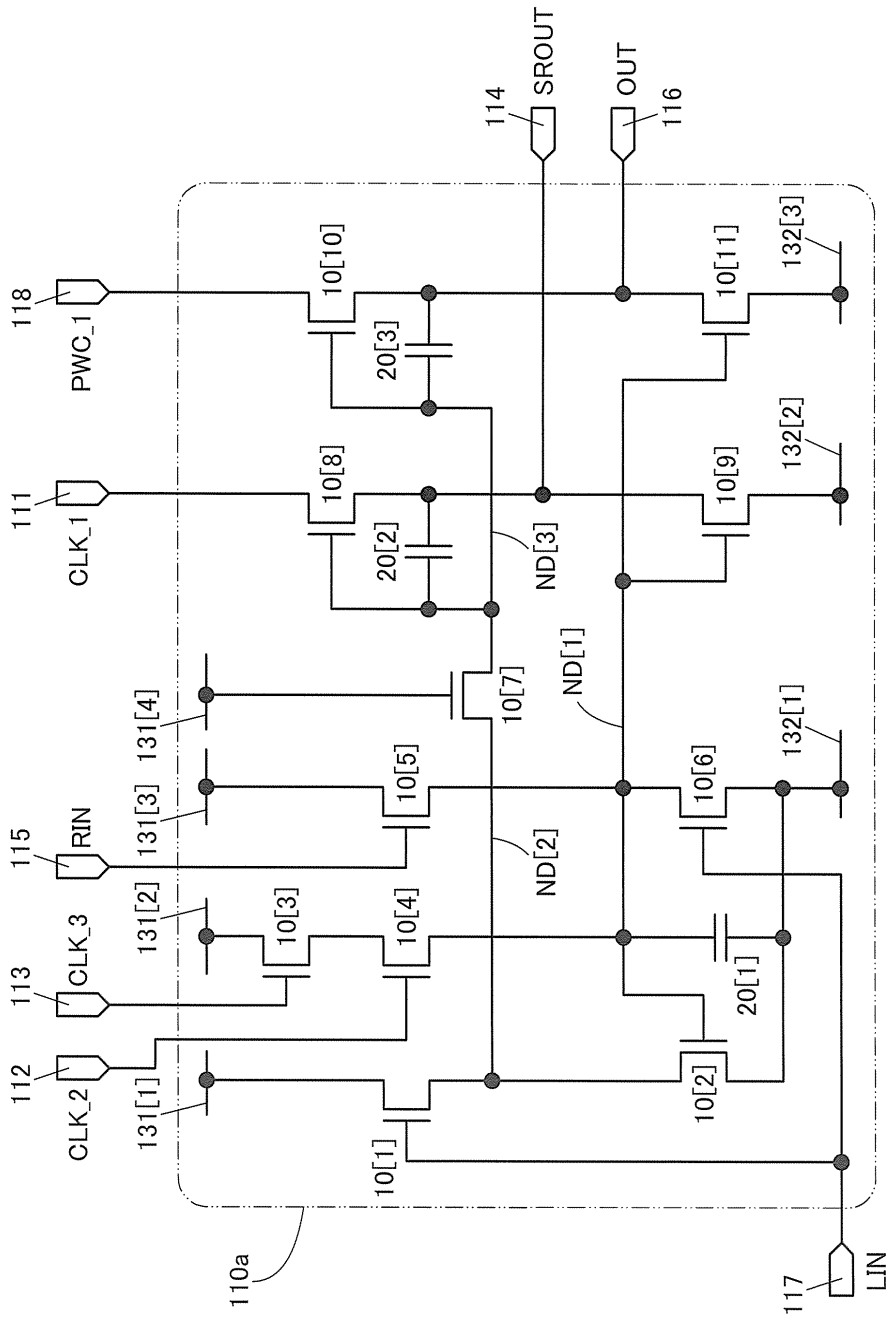
도면1



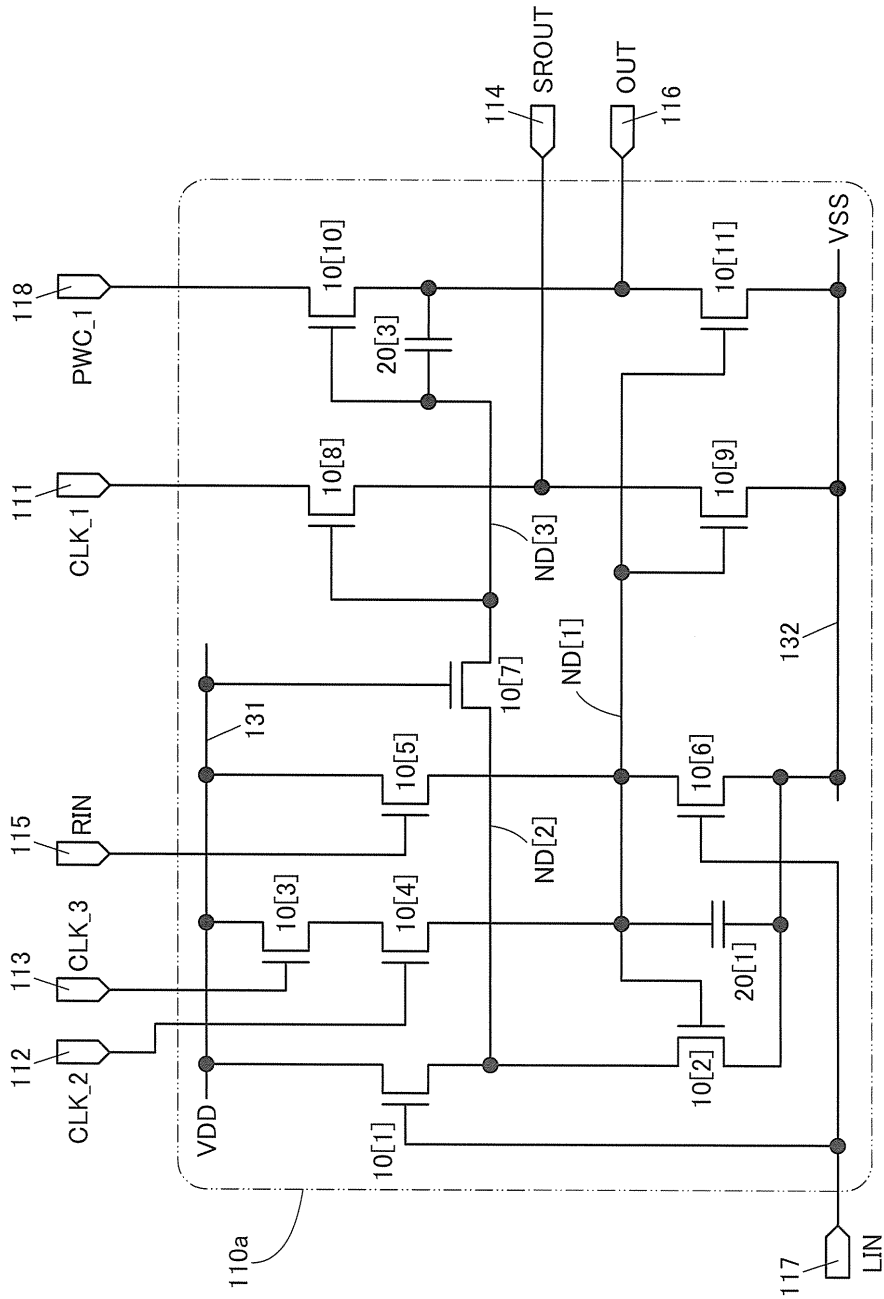
도면2



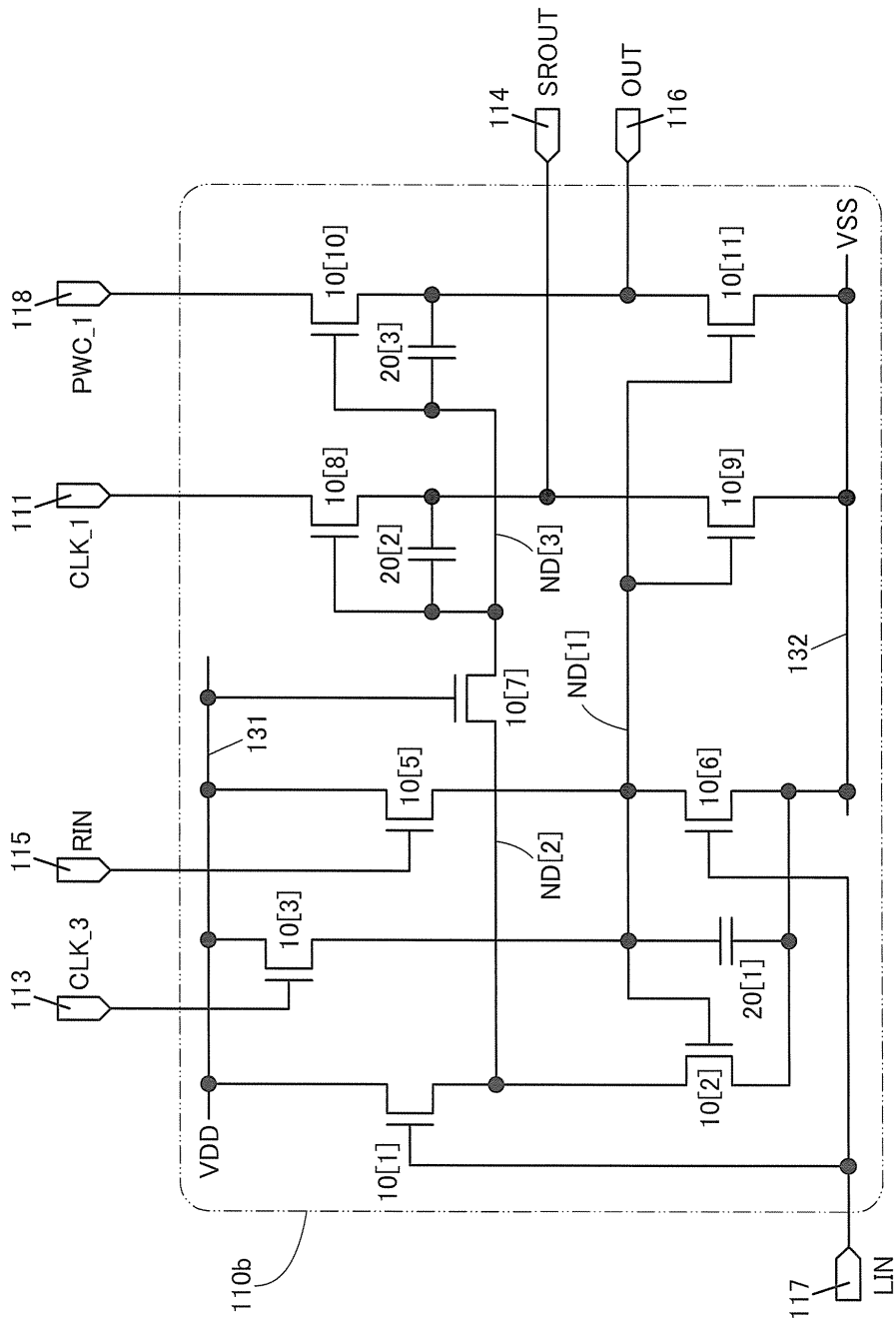
도면3



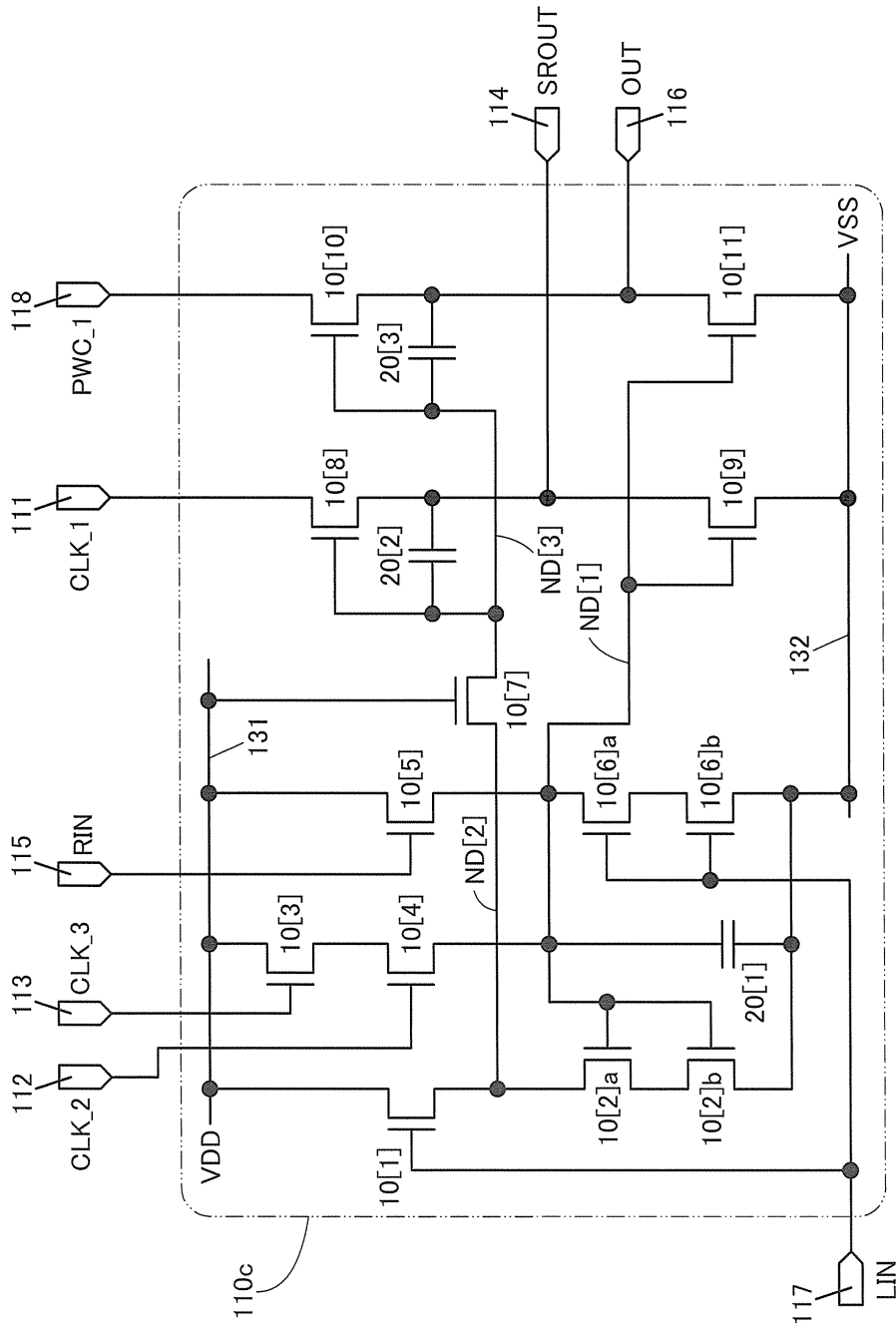
도면4



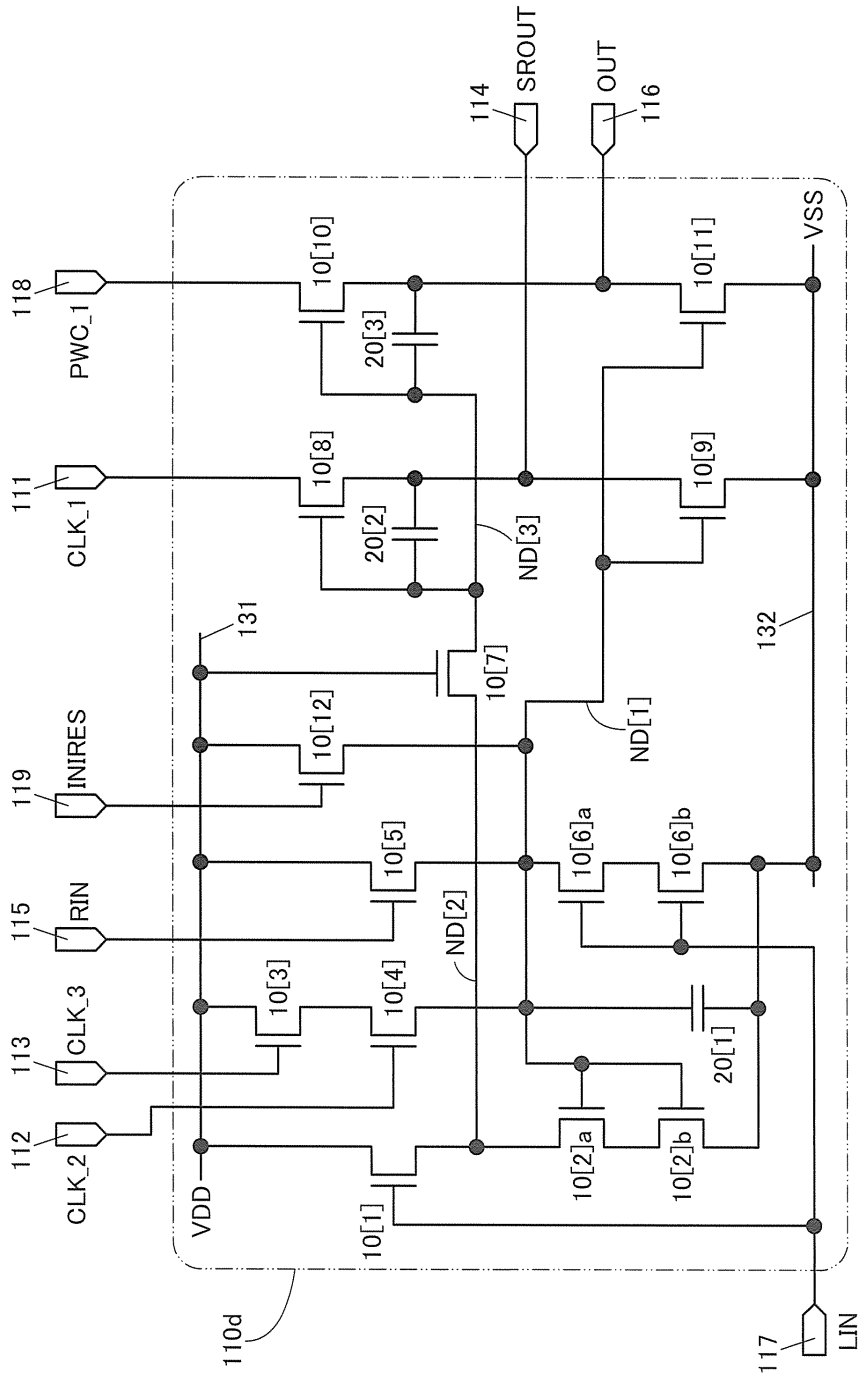
도면5



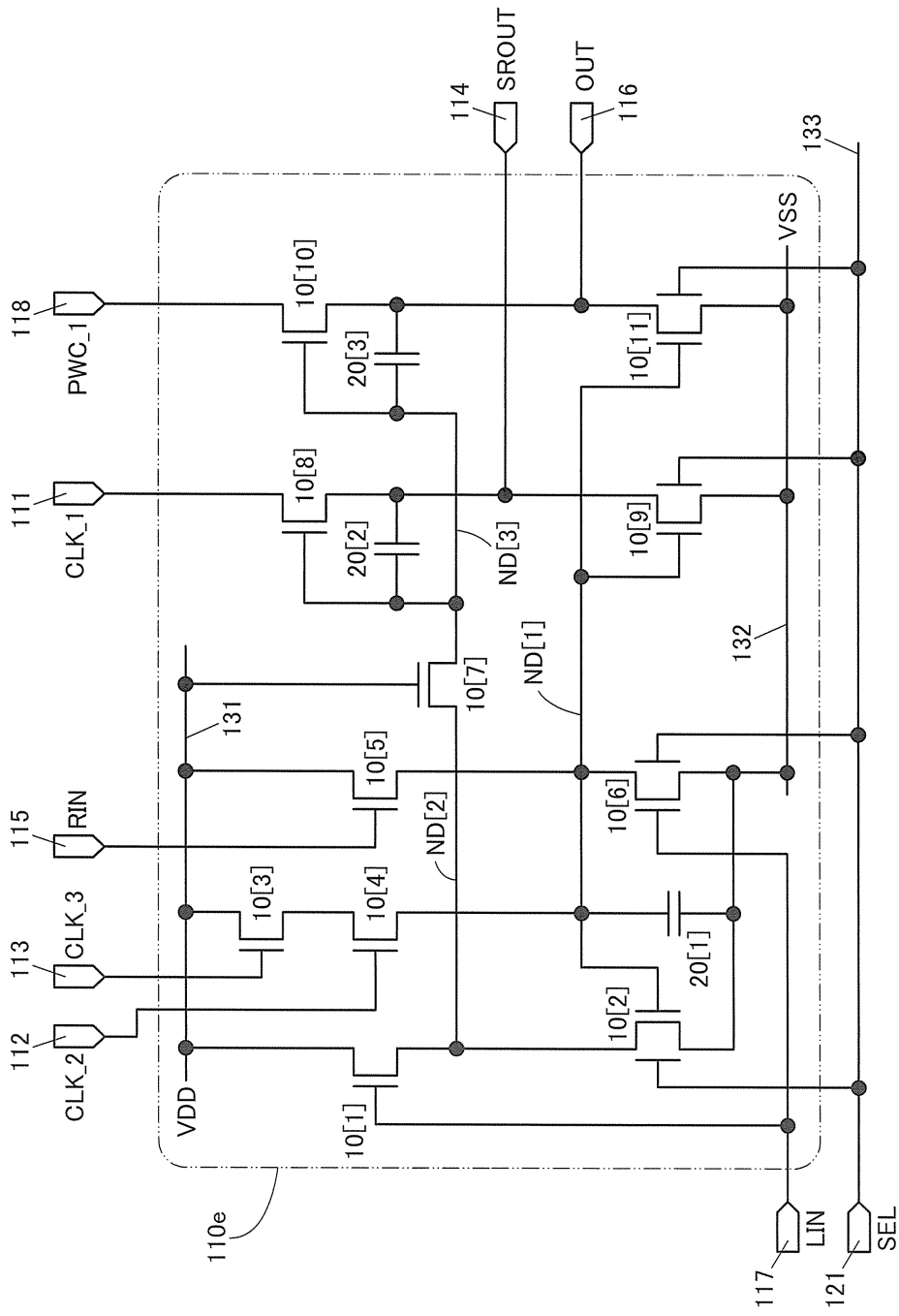
도면6



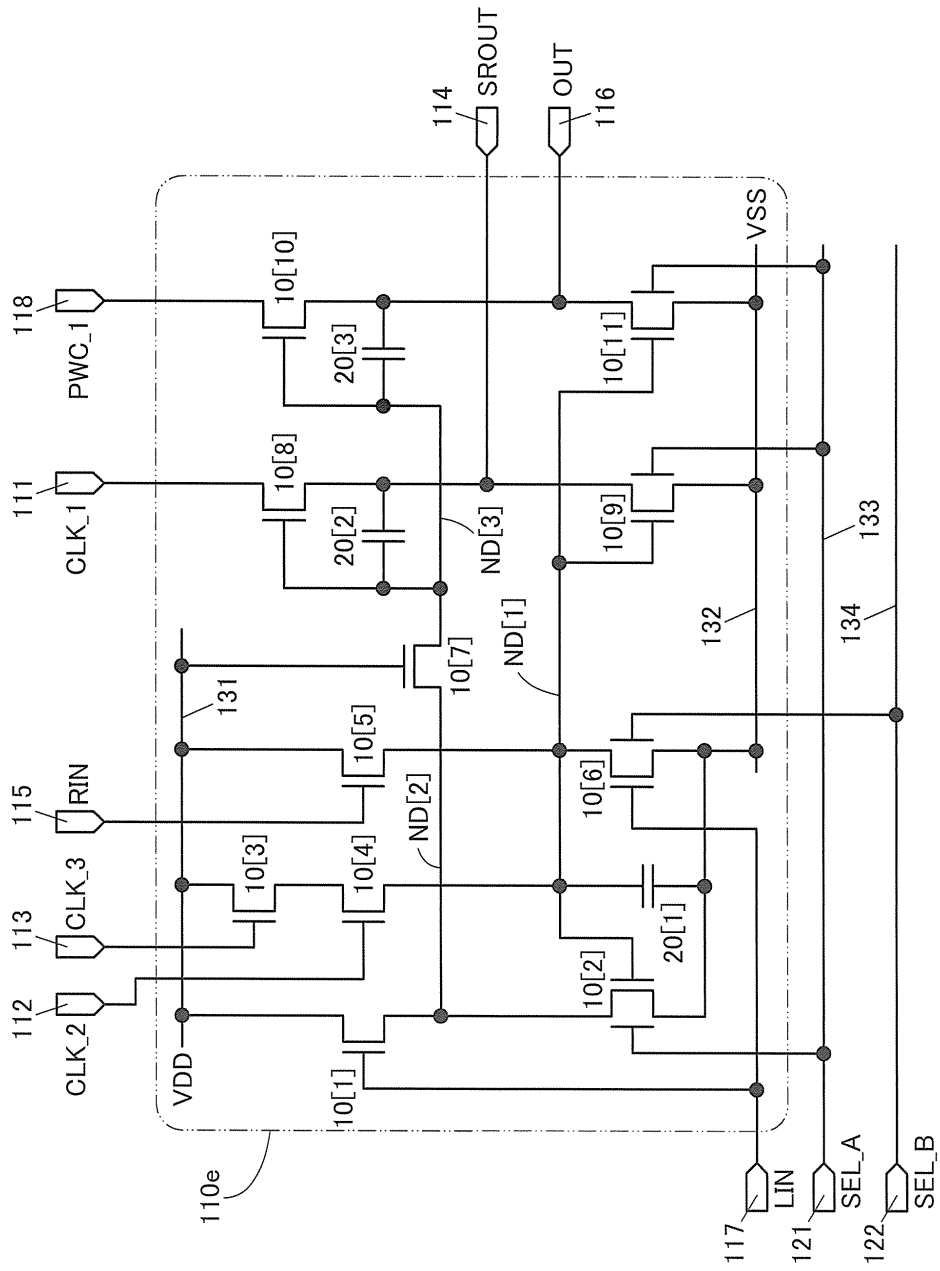
도면7



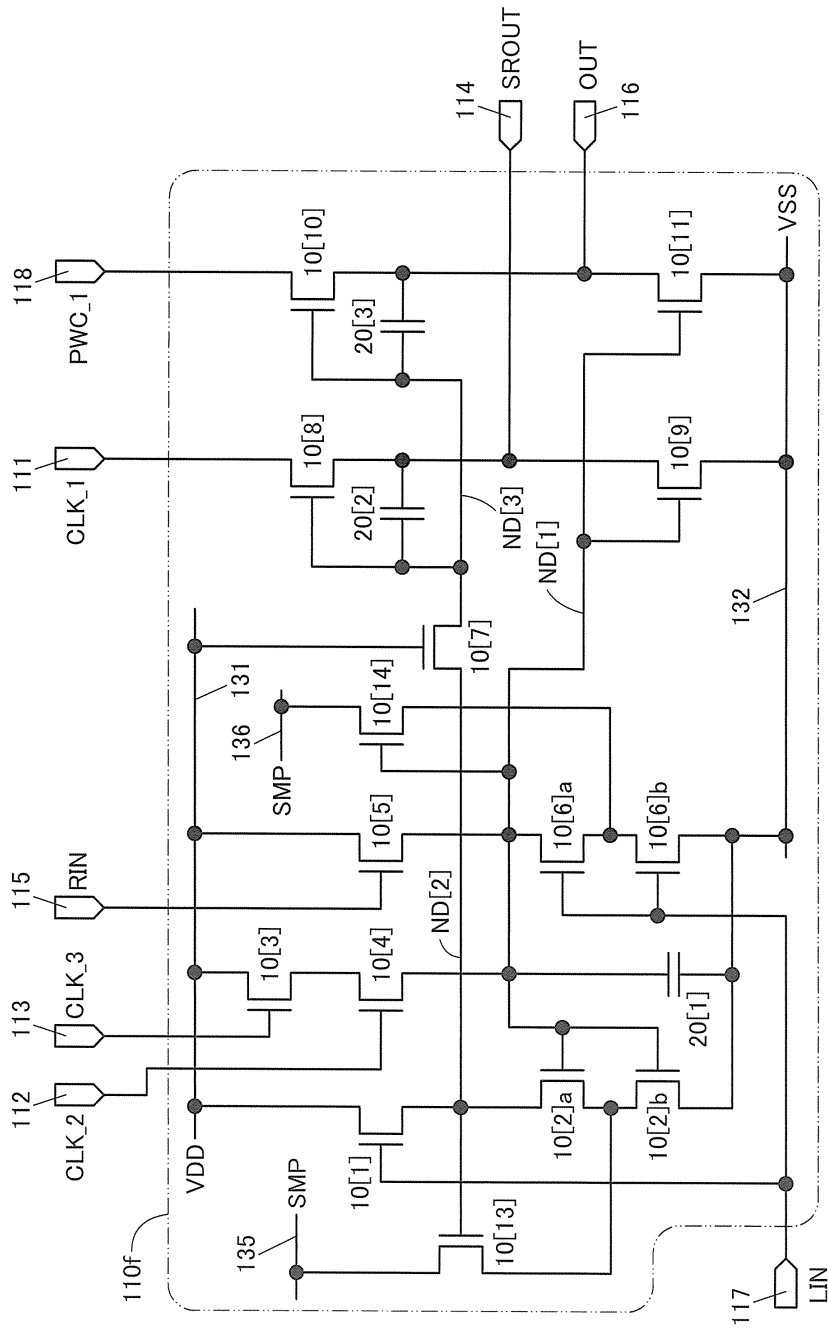
도면8



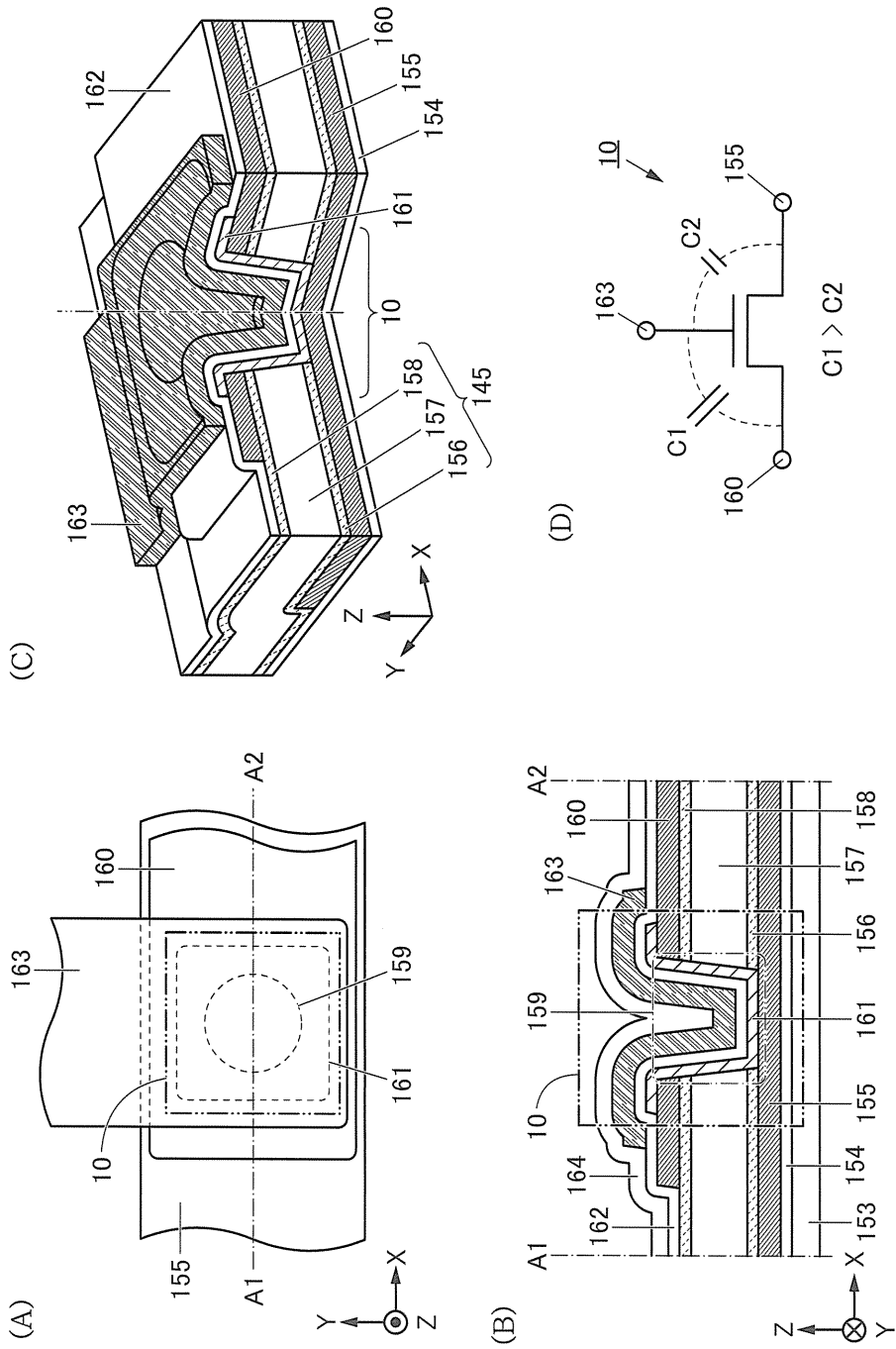
도면9



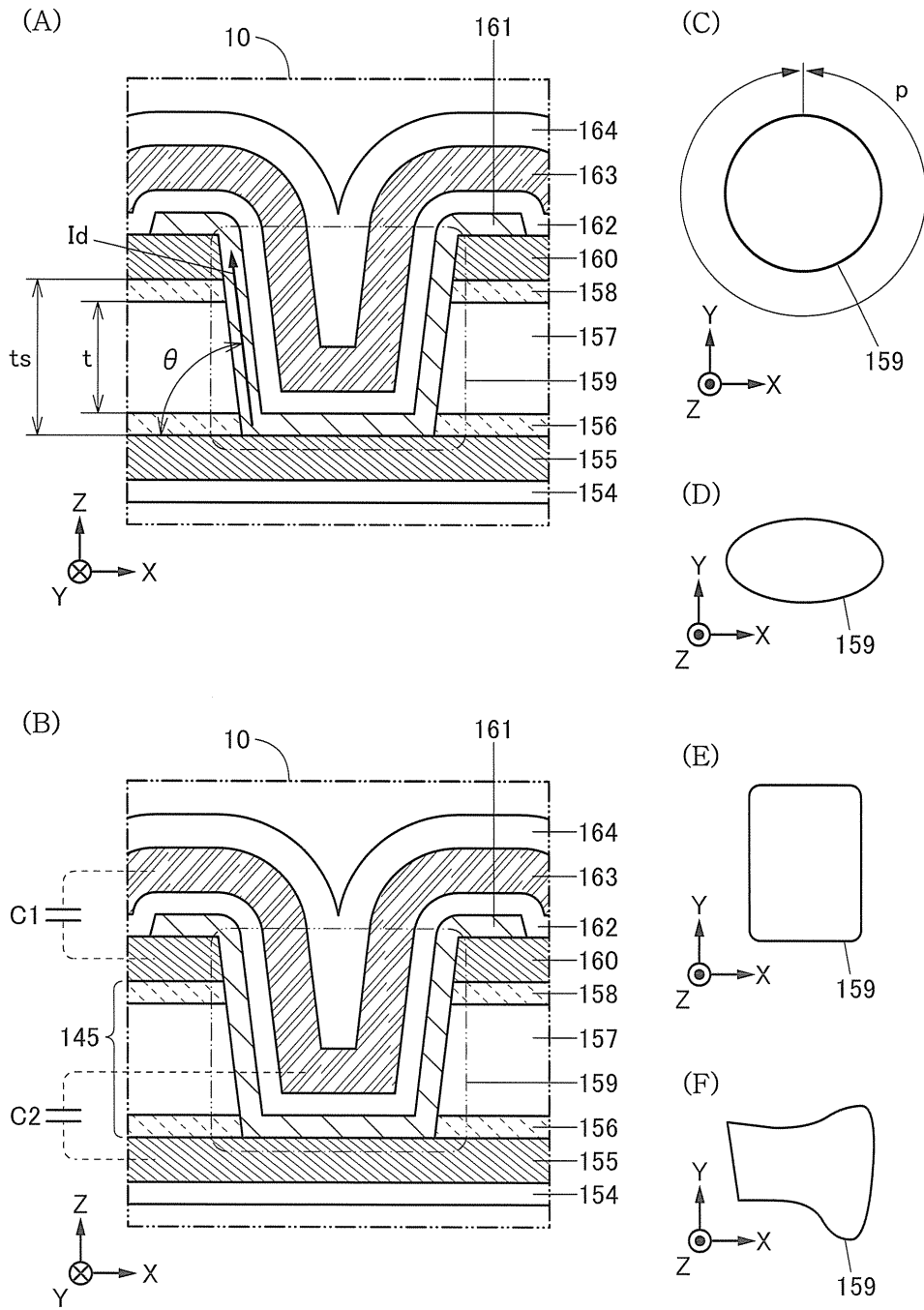
도면10



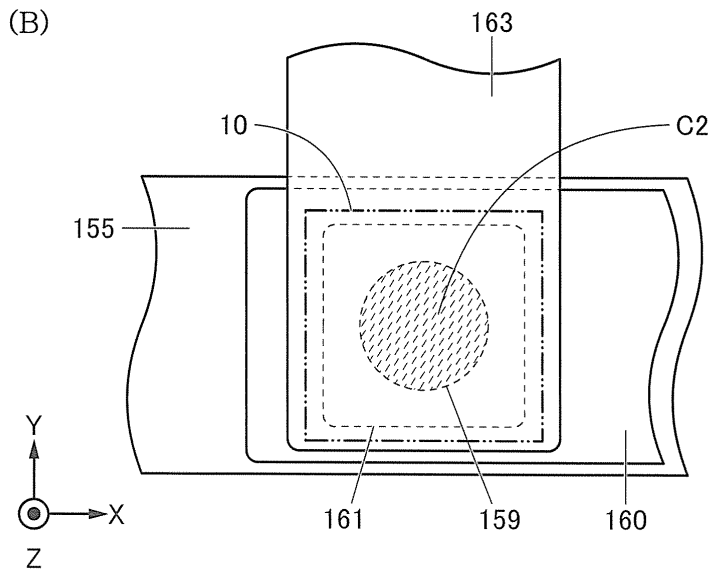
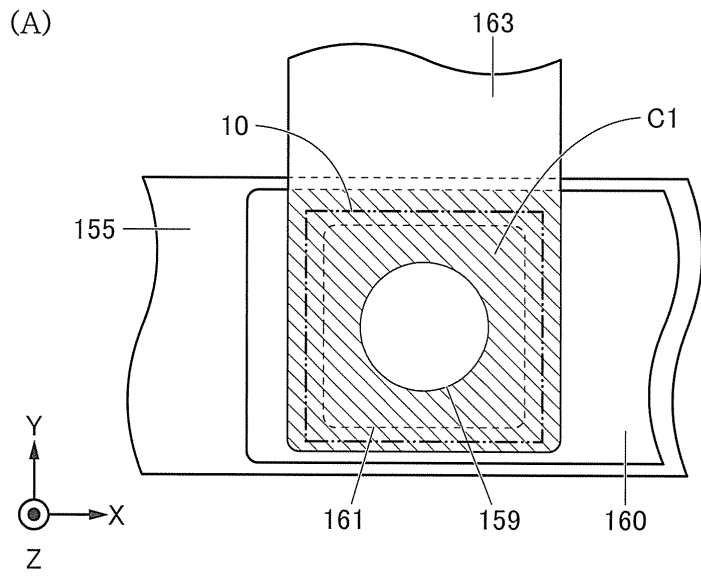
도면11



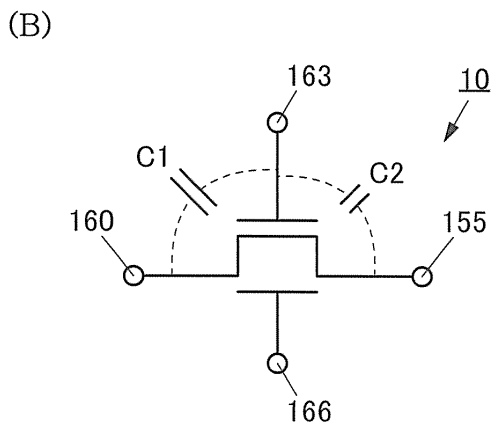
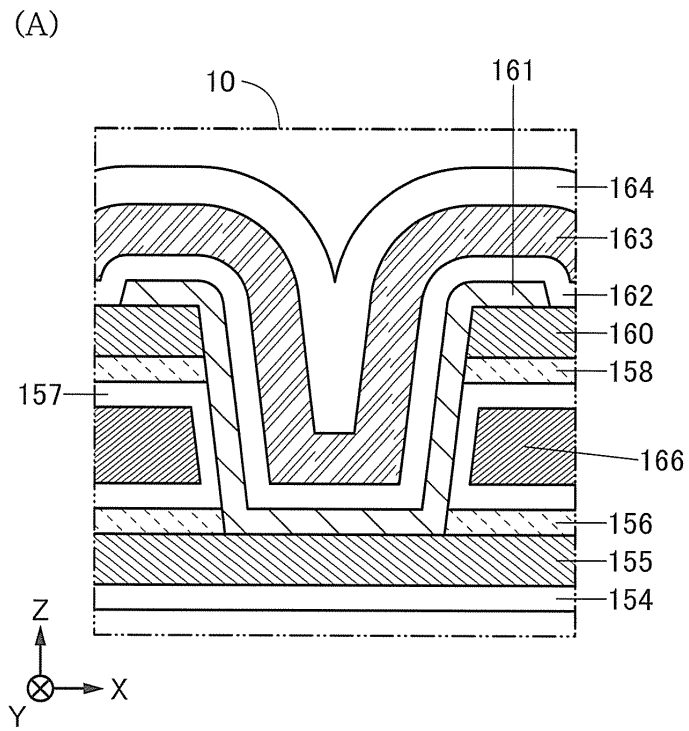
도면12



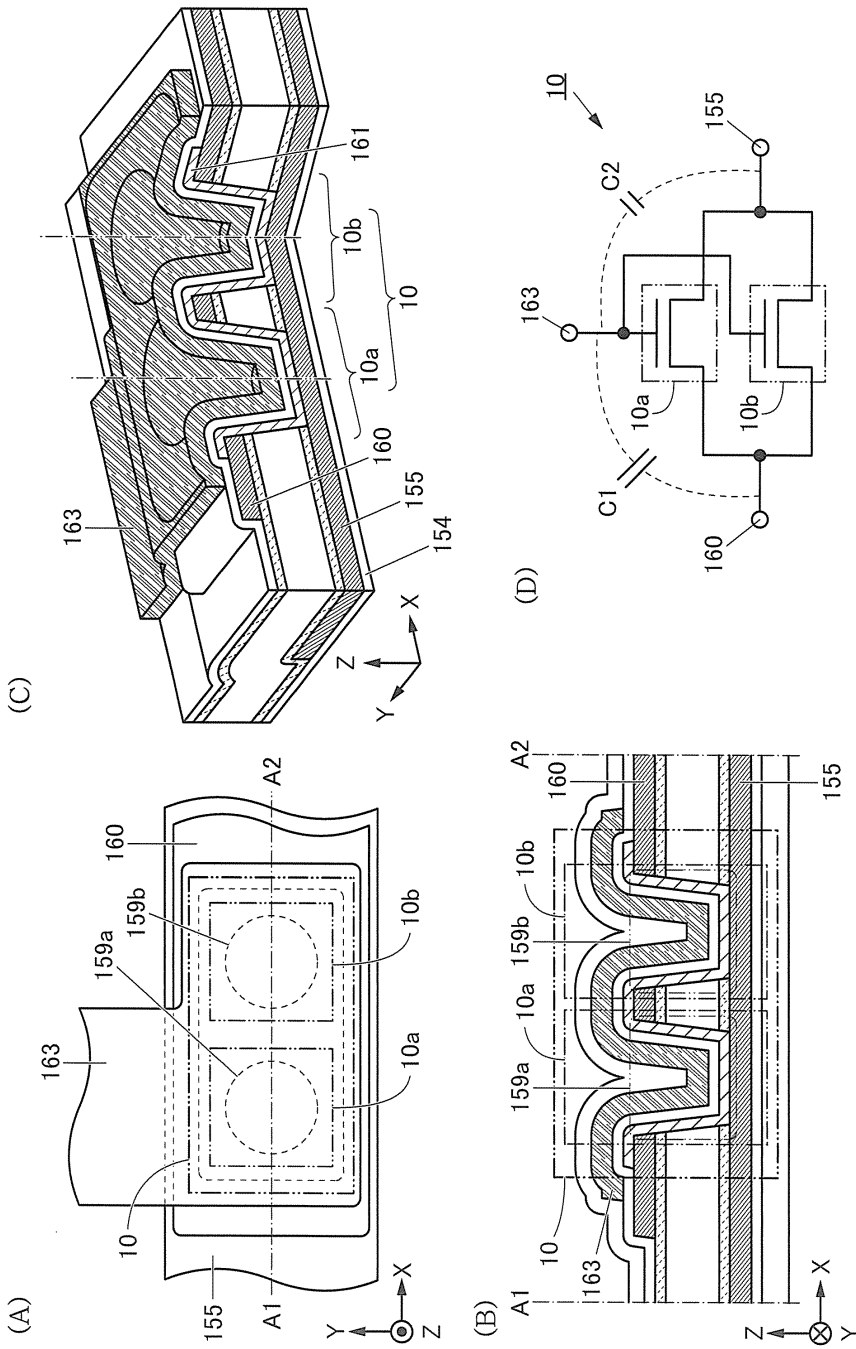
도면13



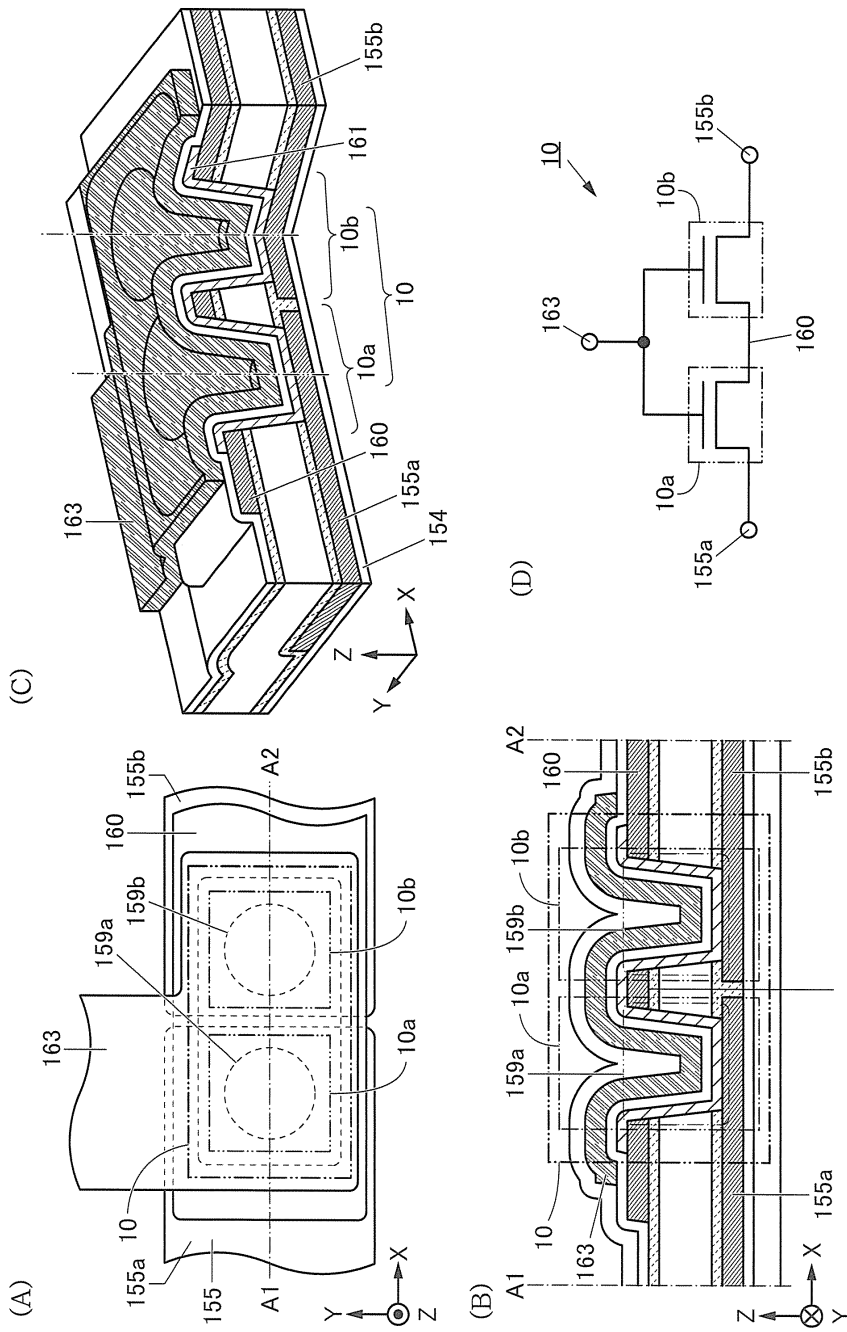
도면14



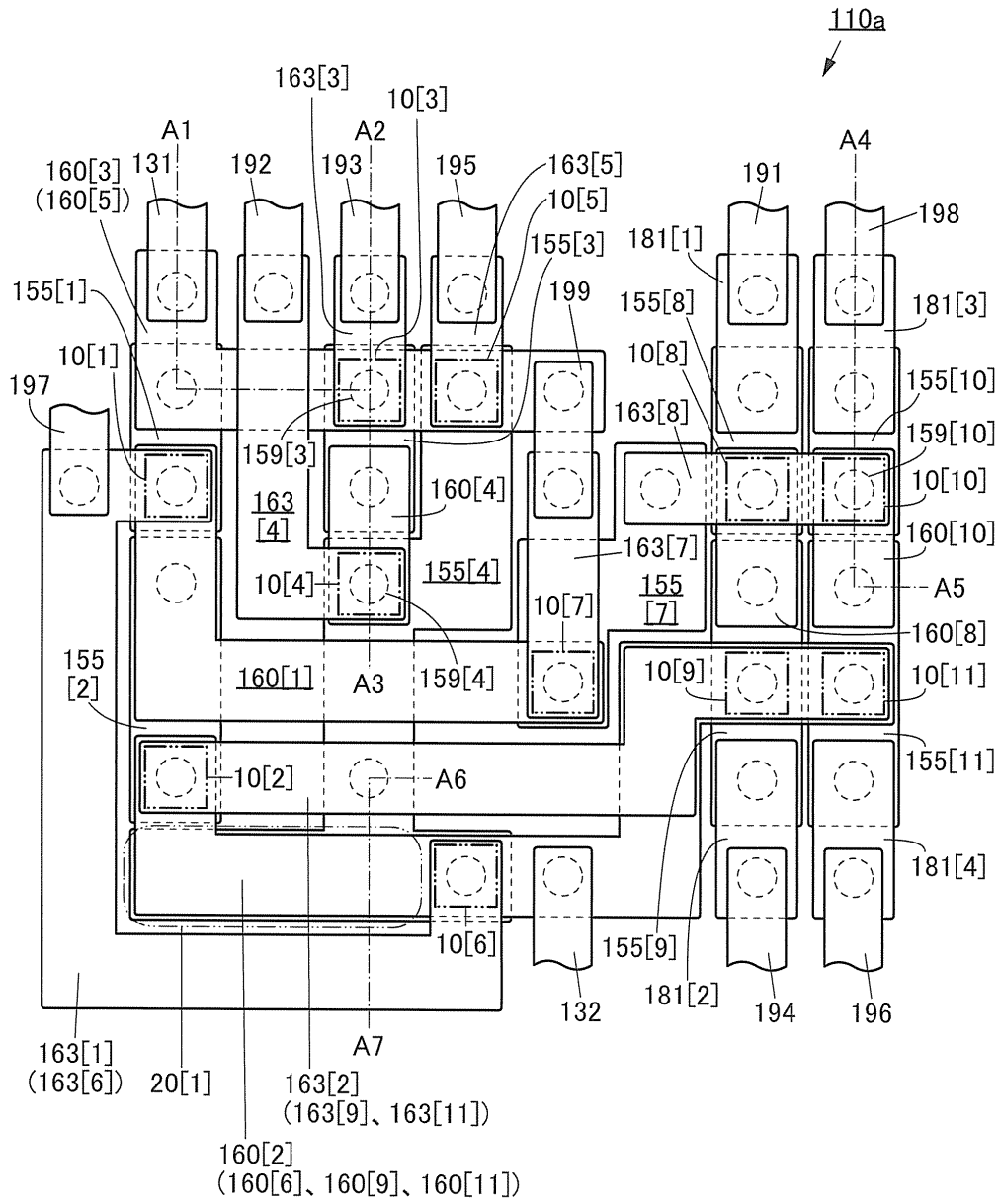
도면15



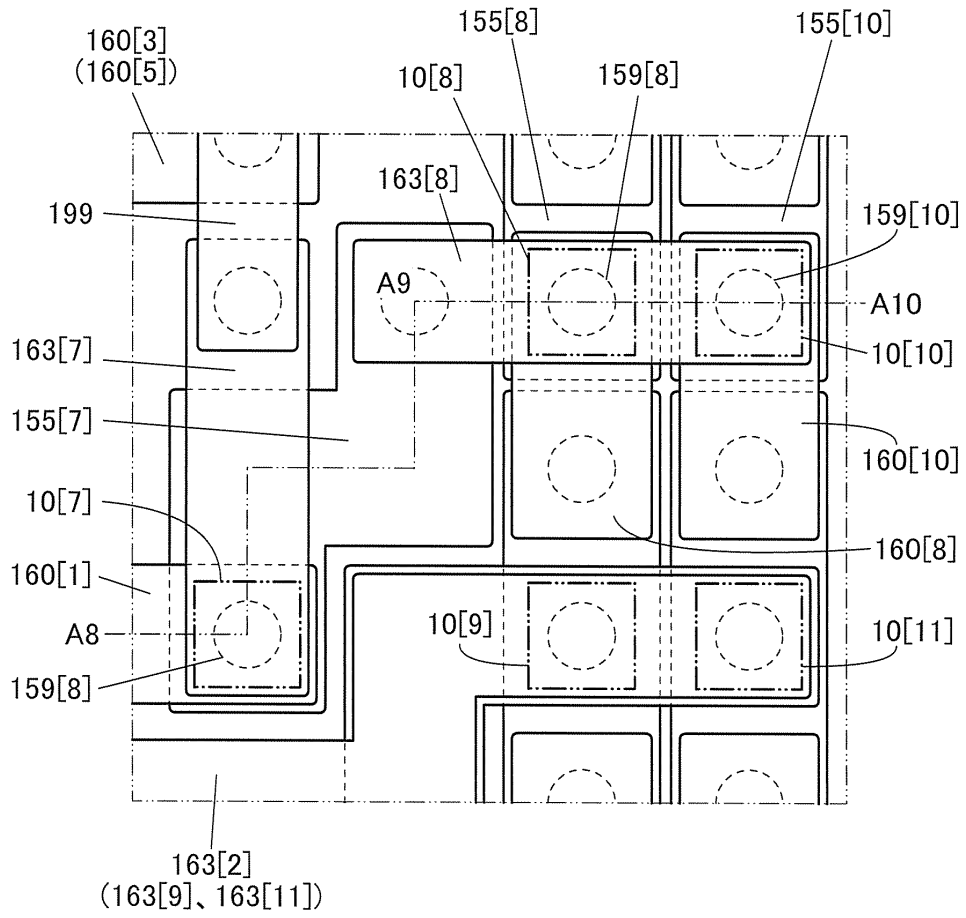
도면16



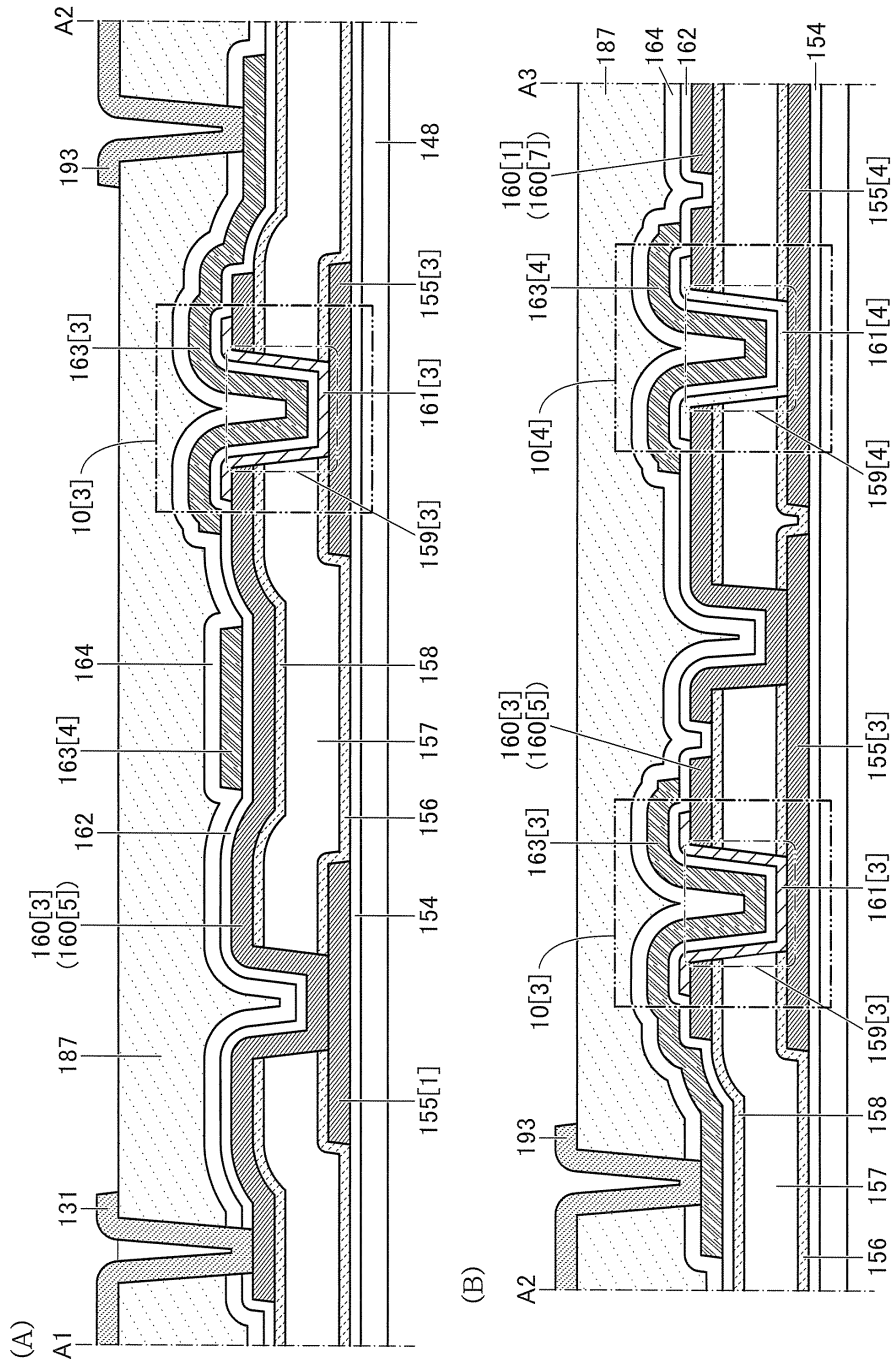
도면17



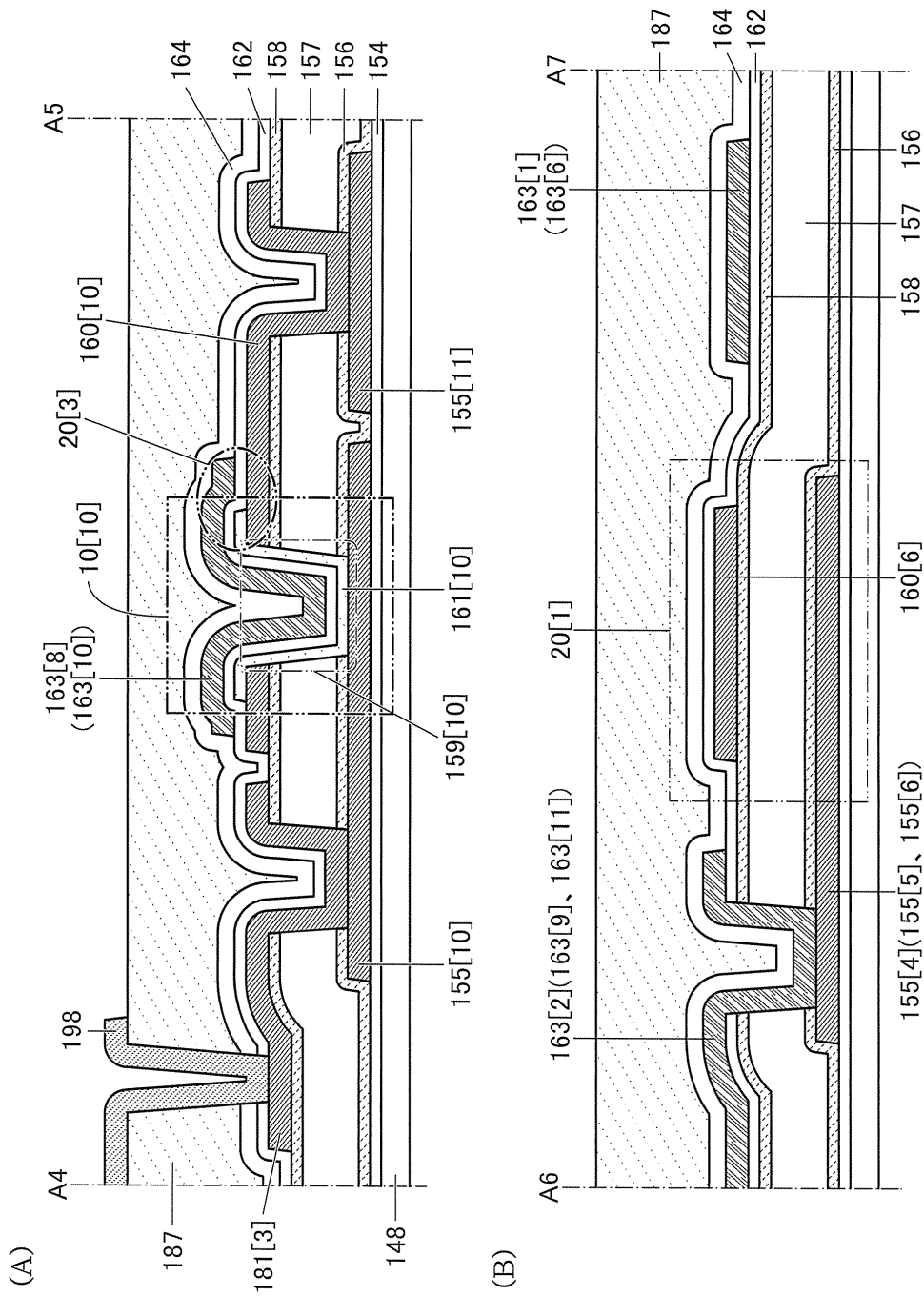
도면18



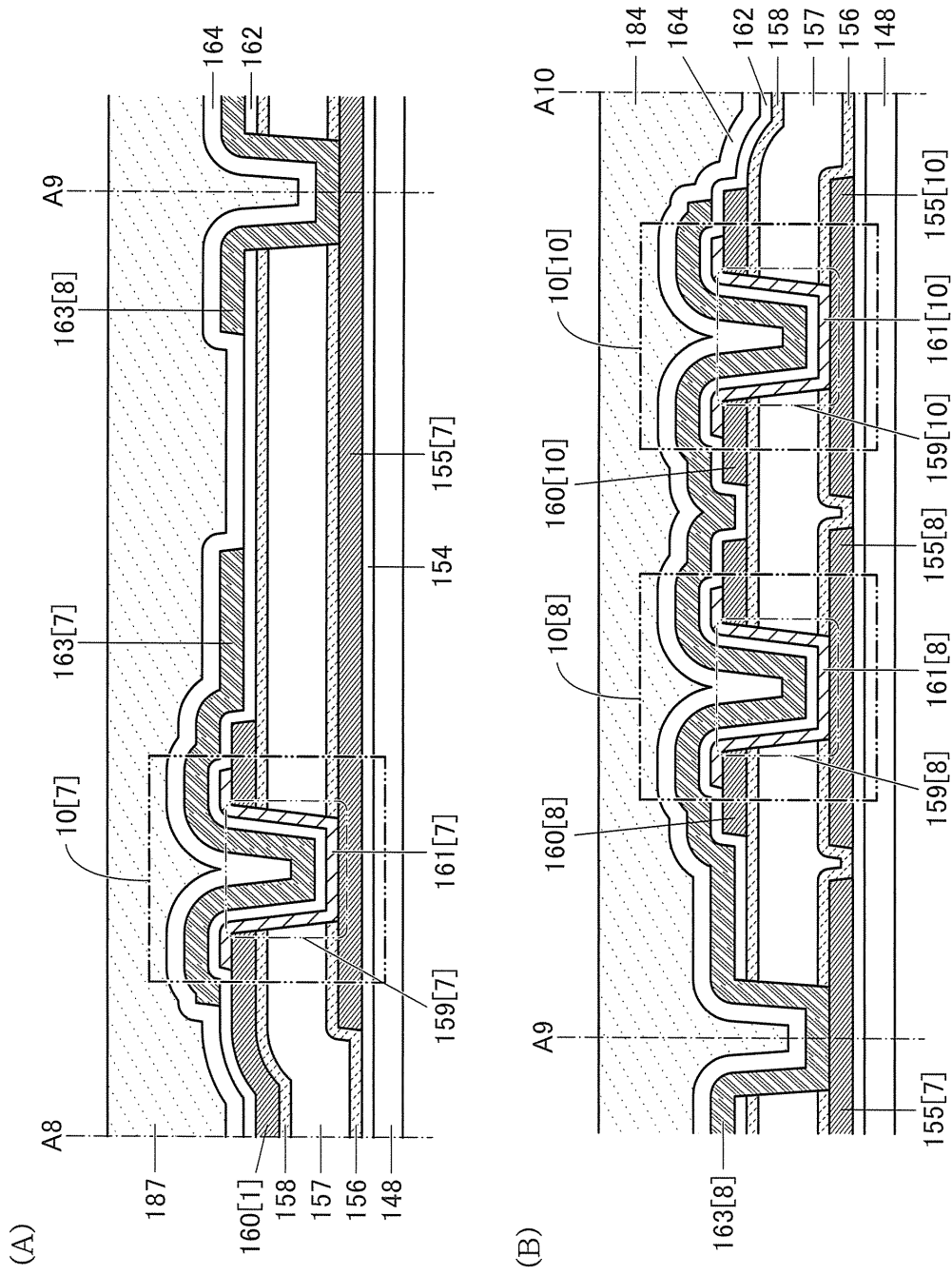
도면19



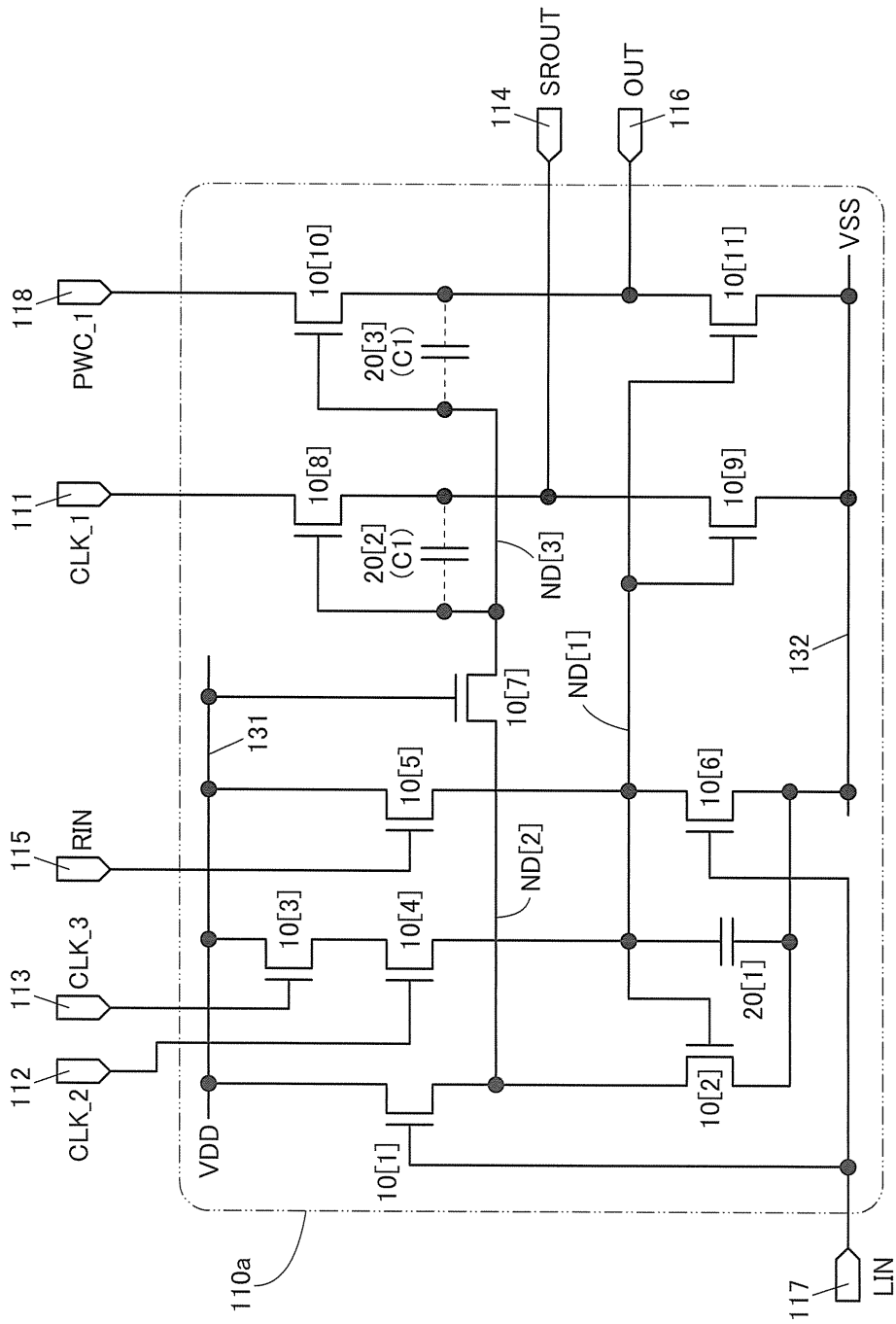
도면20



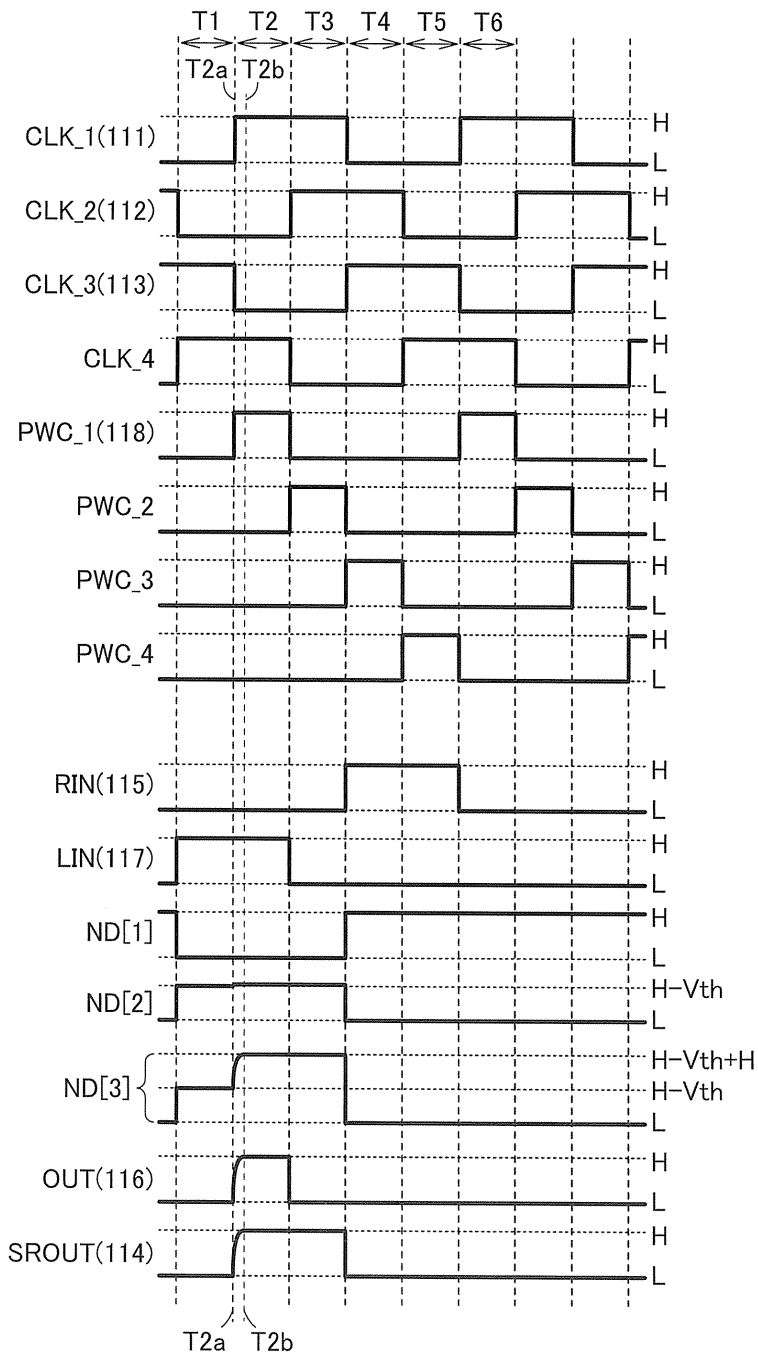
도면21



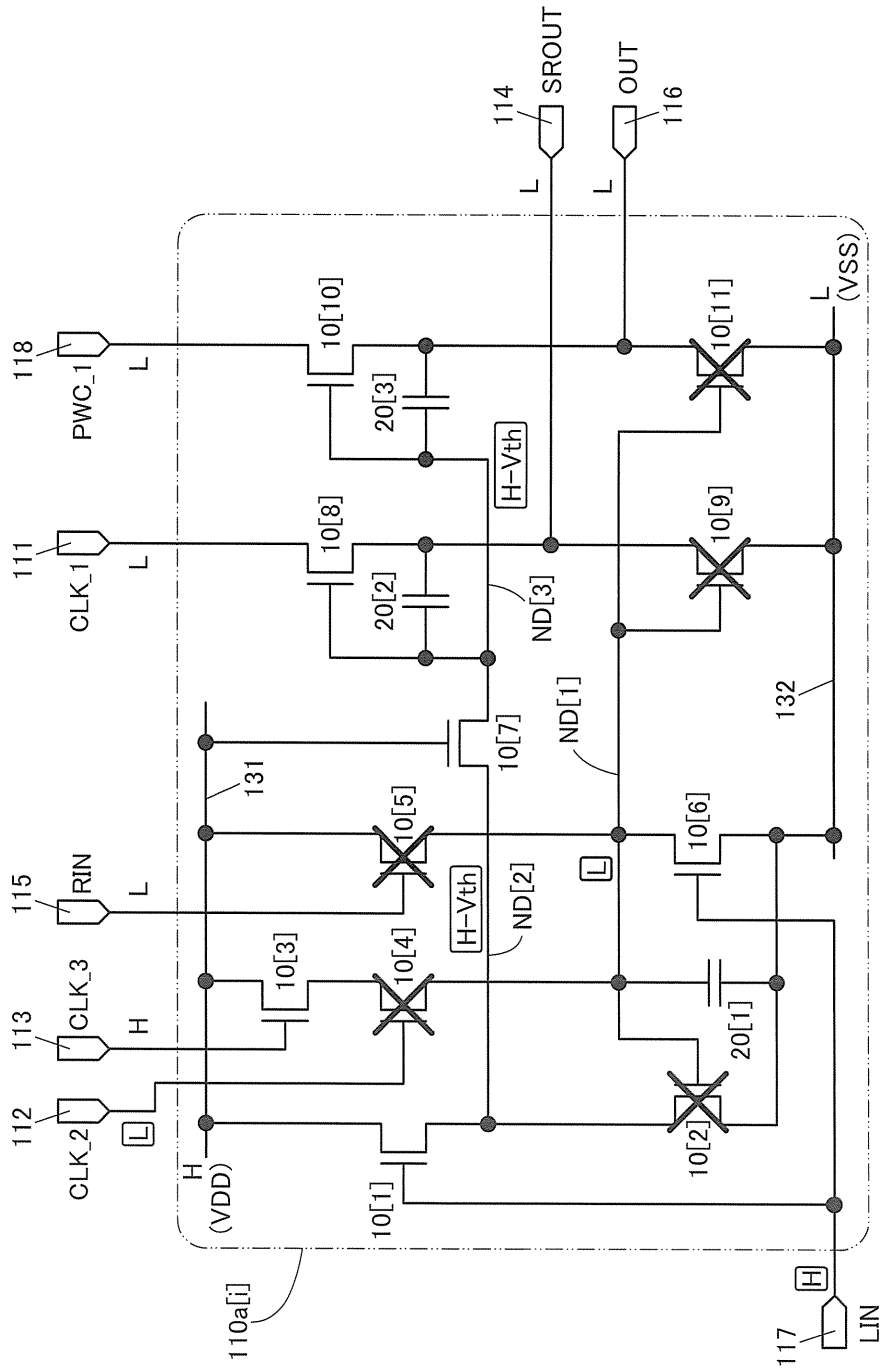
도면22



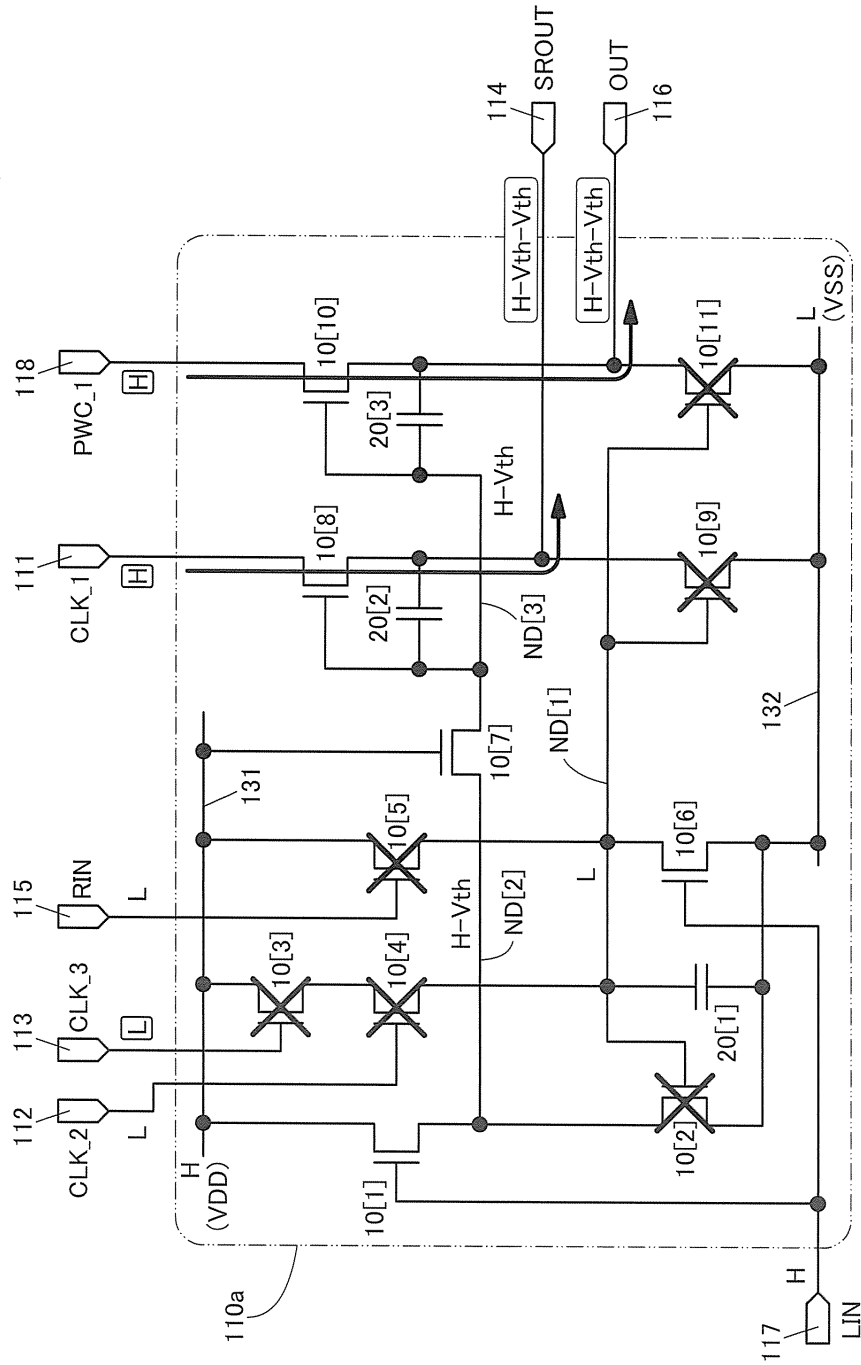
도면23



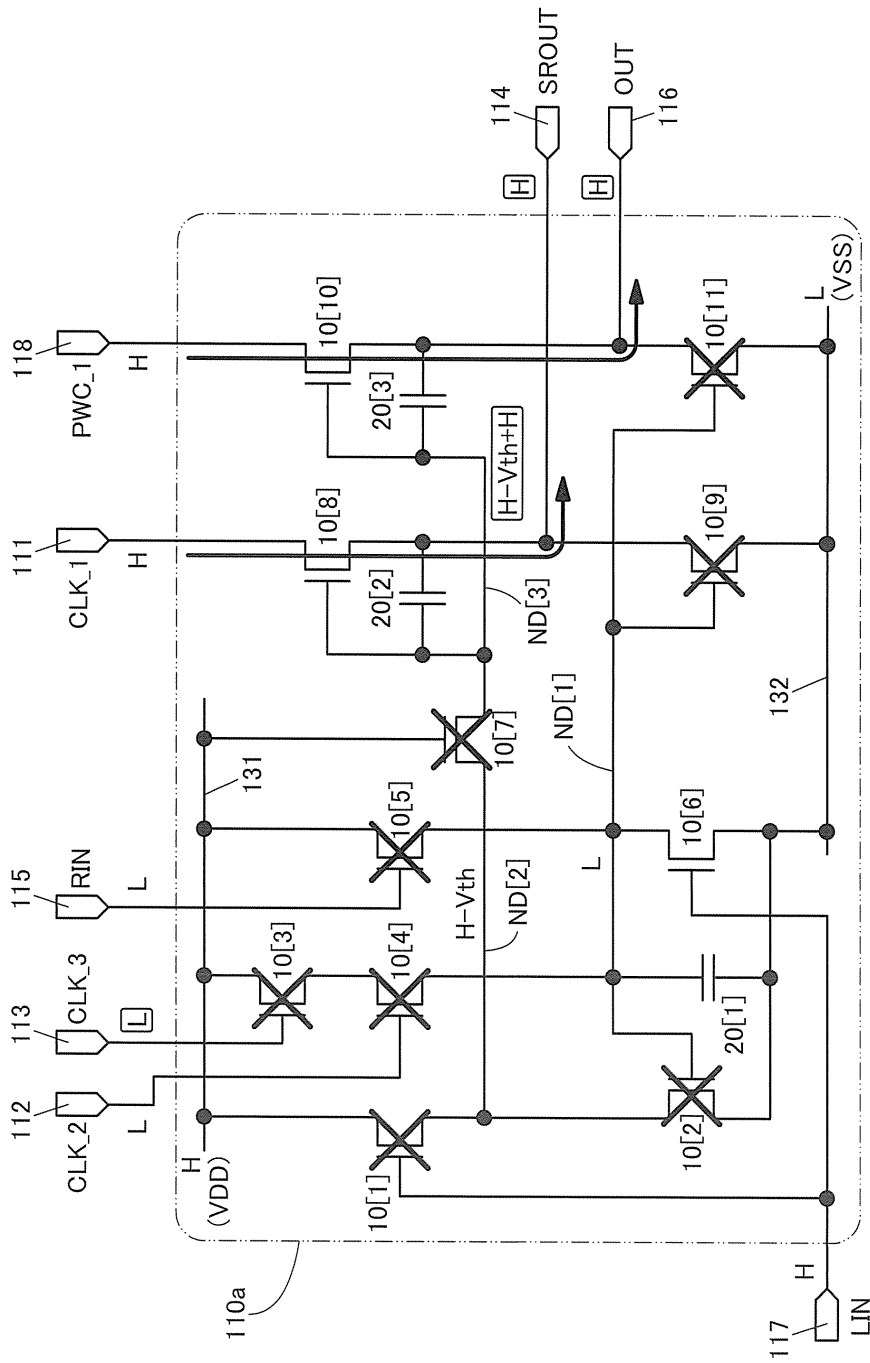
도면24



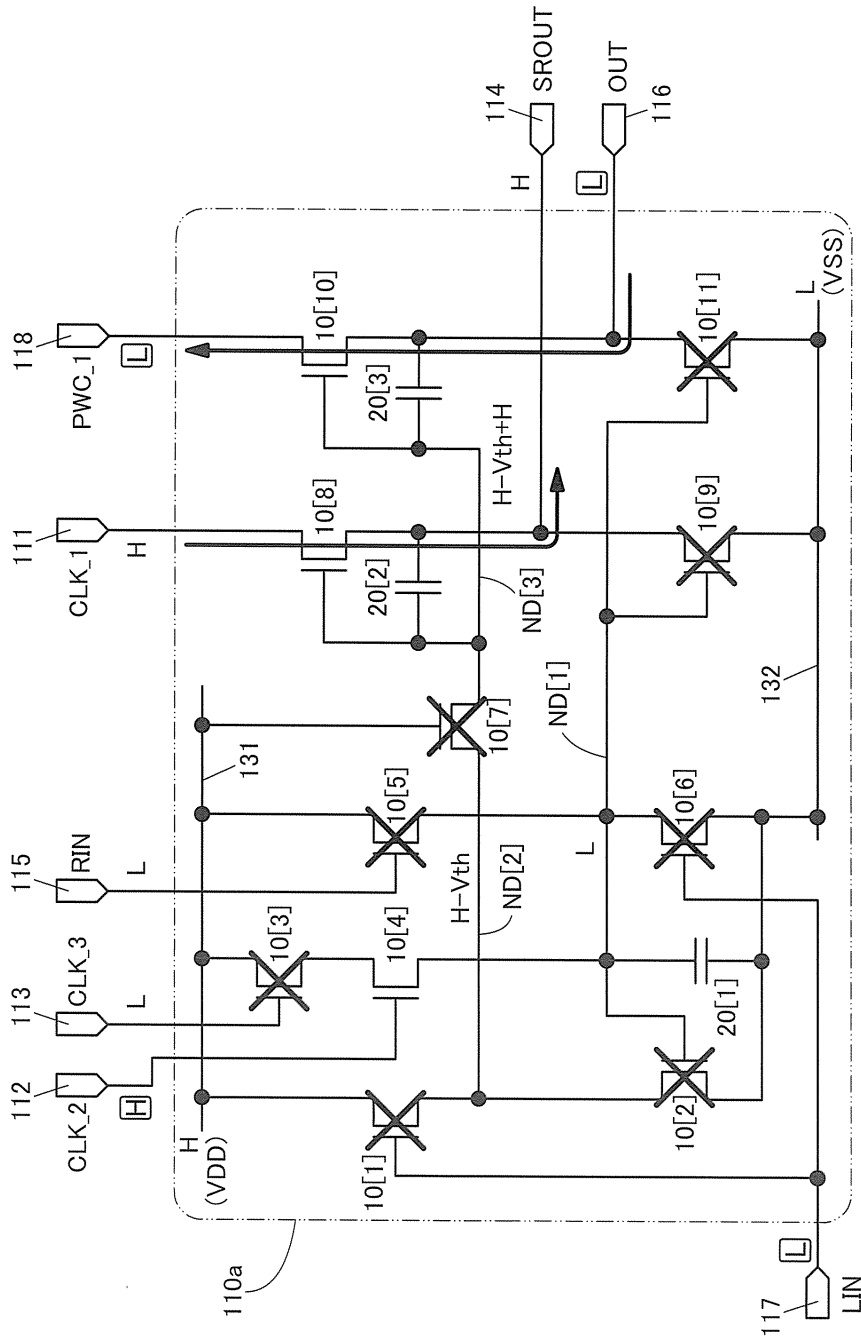
도면25



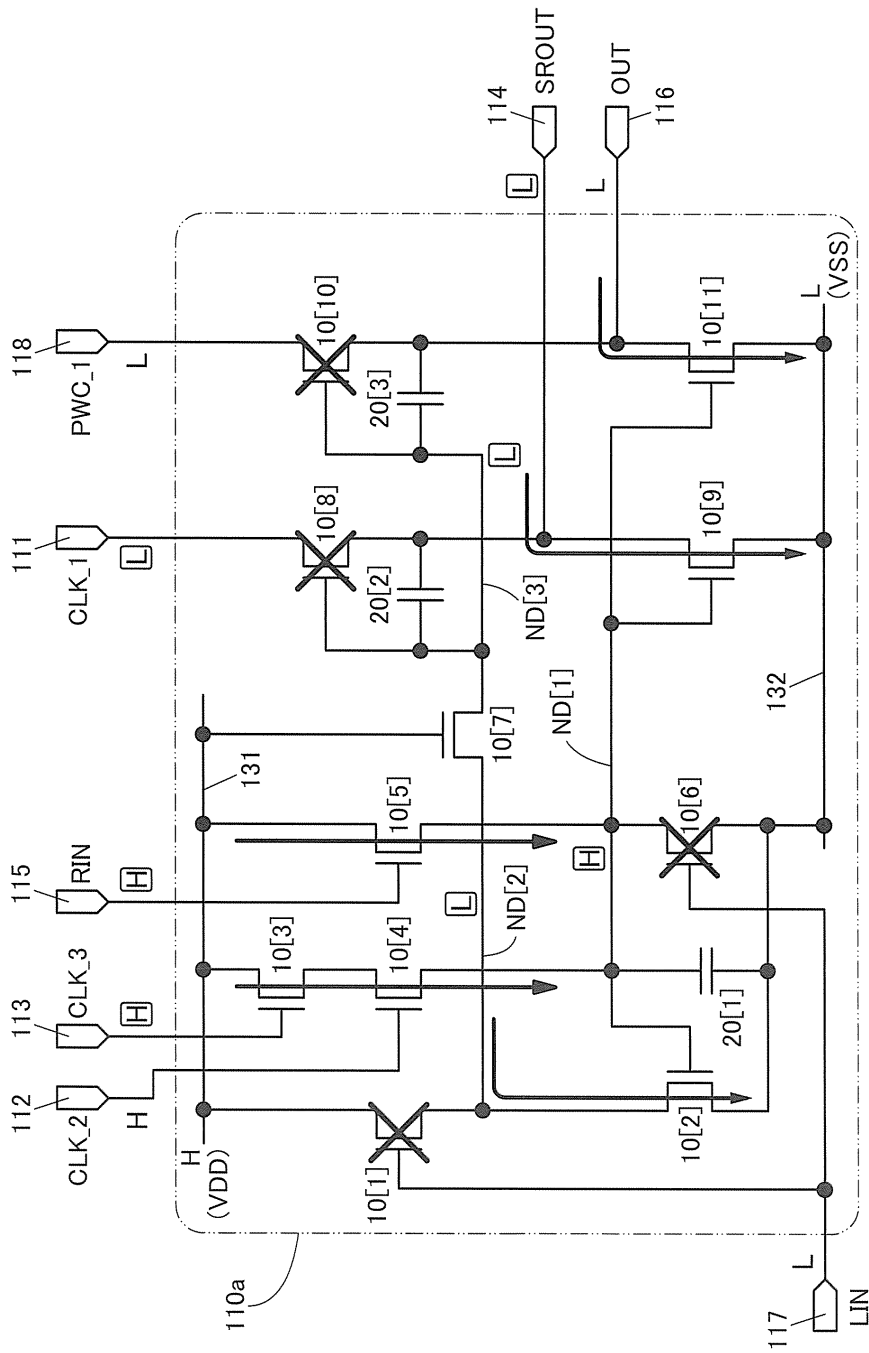
도면26



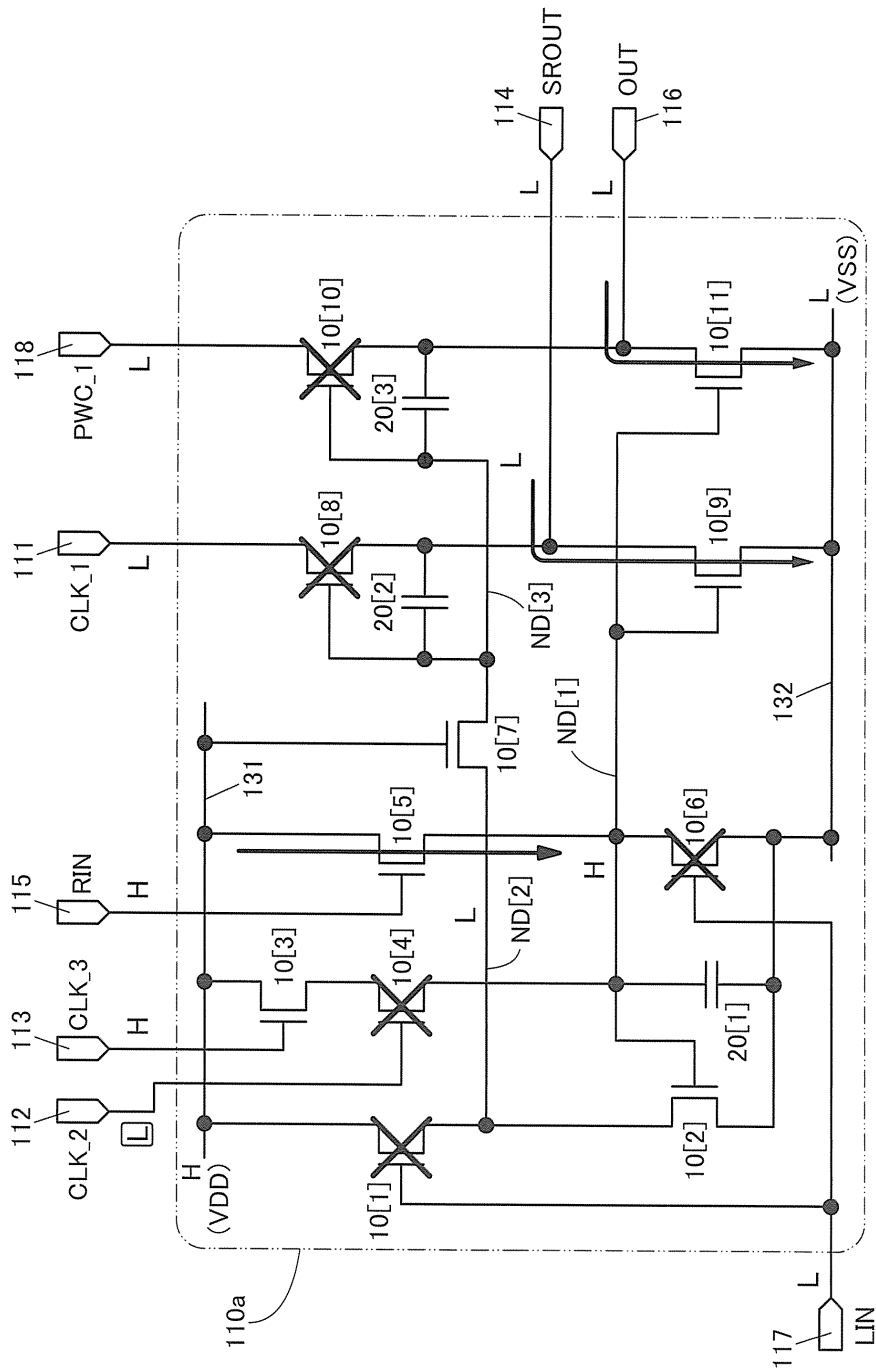
도면27



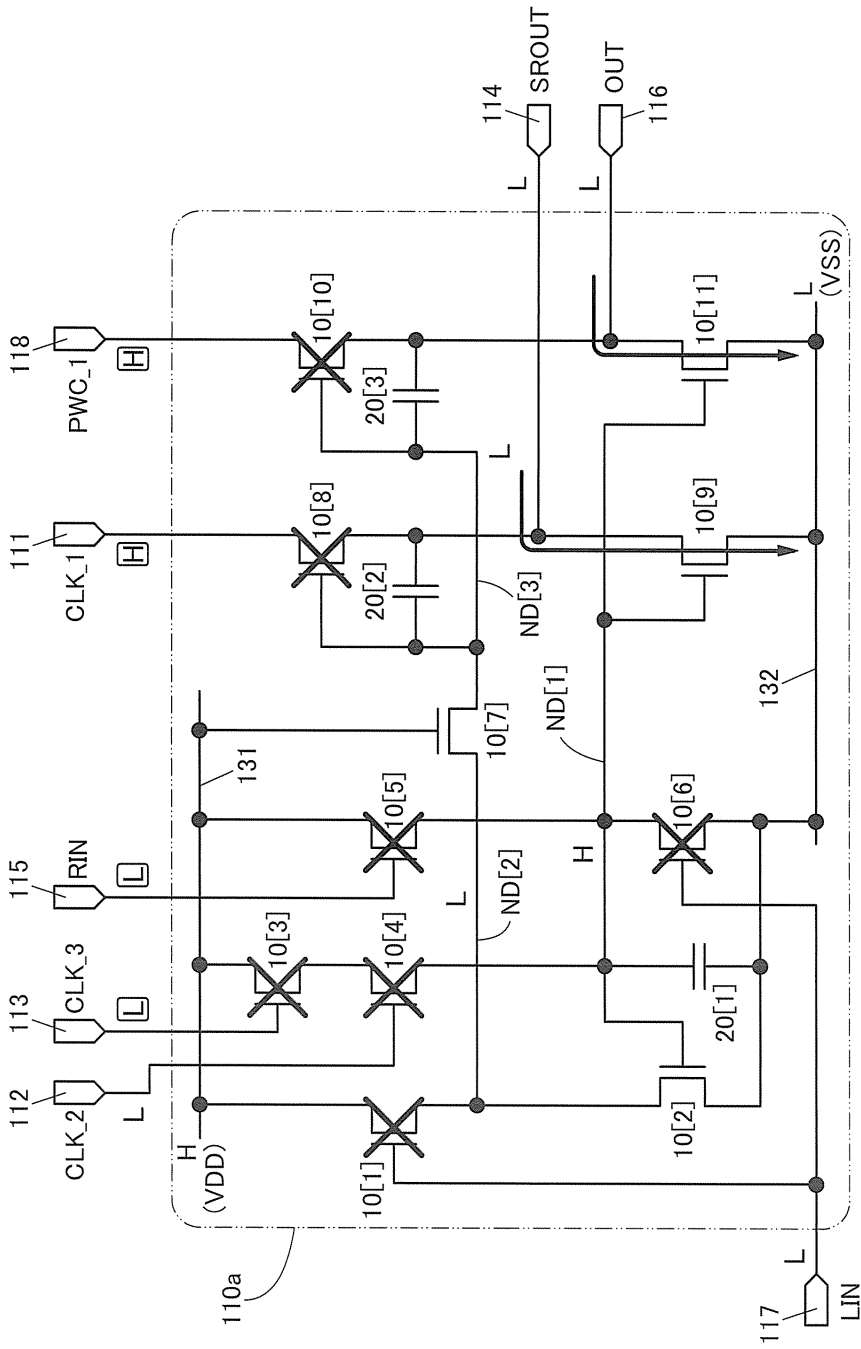
도면28



도면29

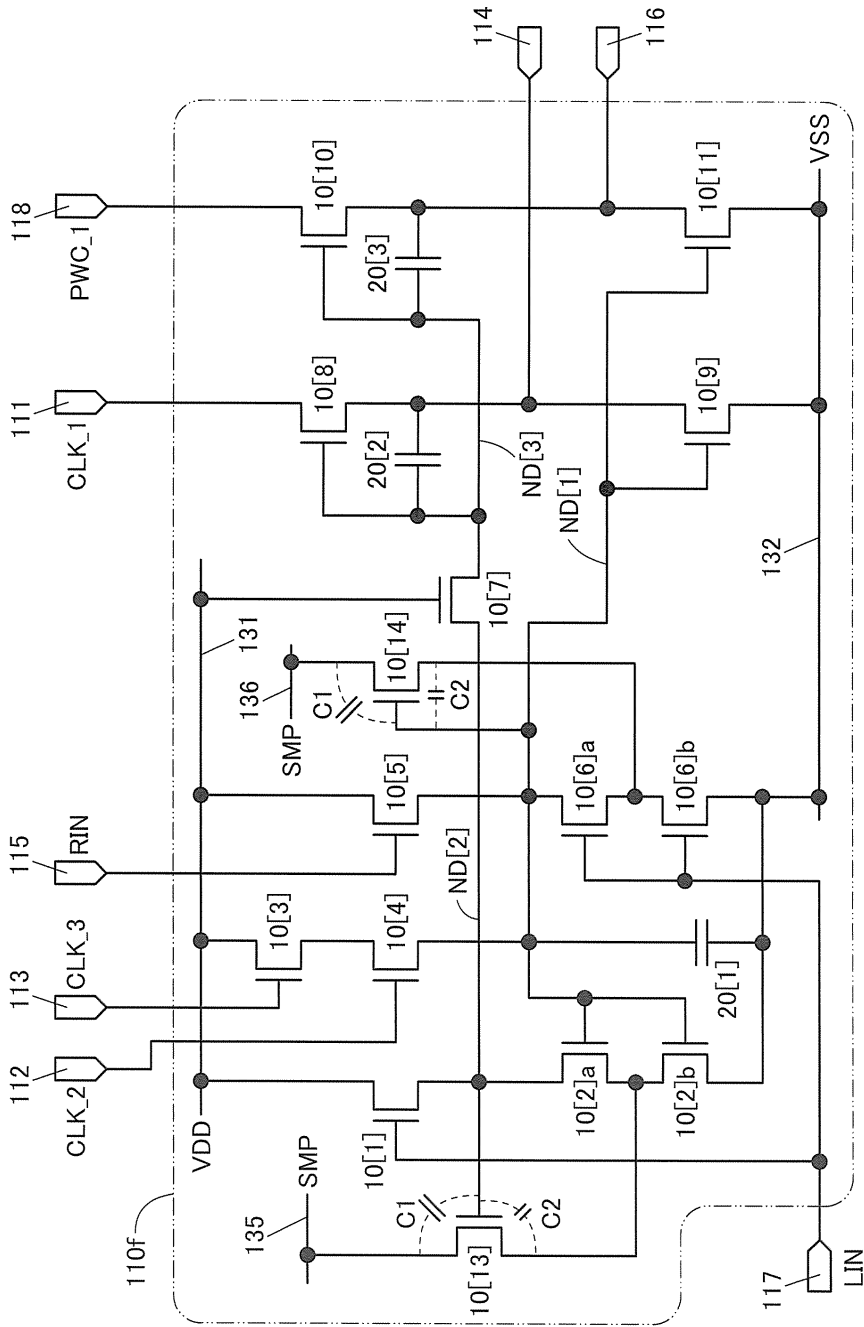


도면30

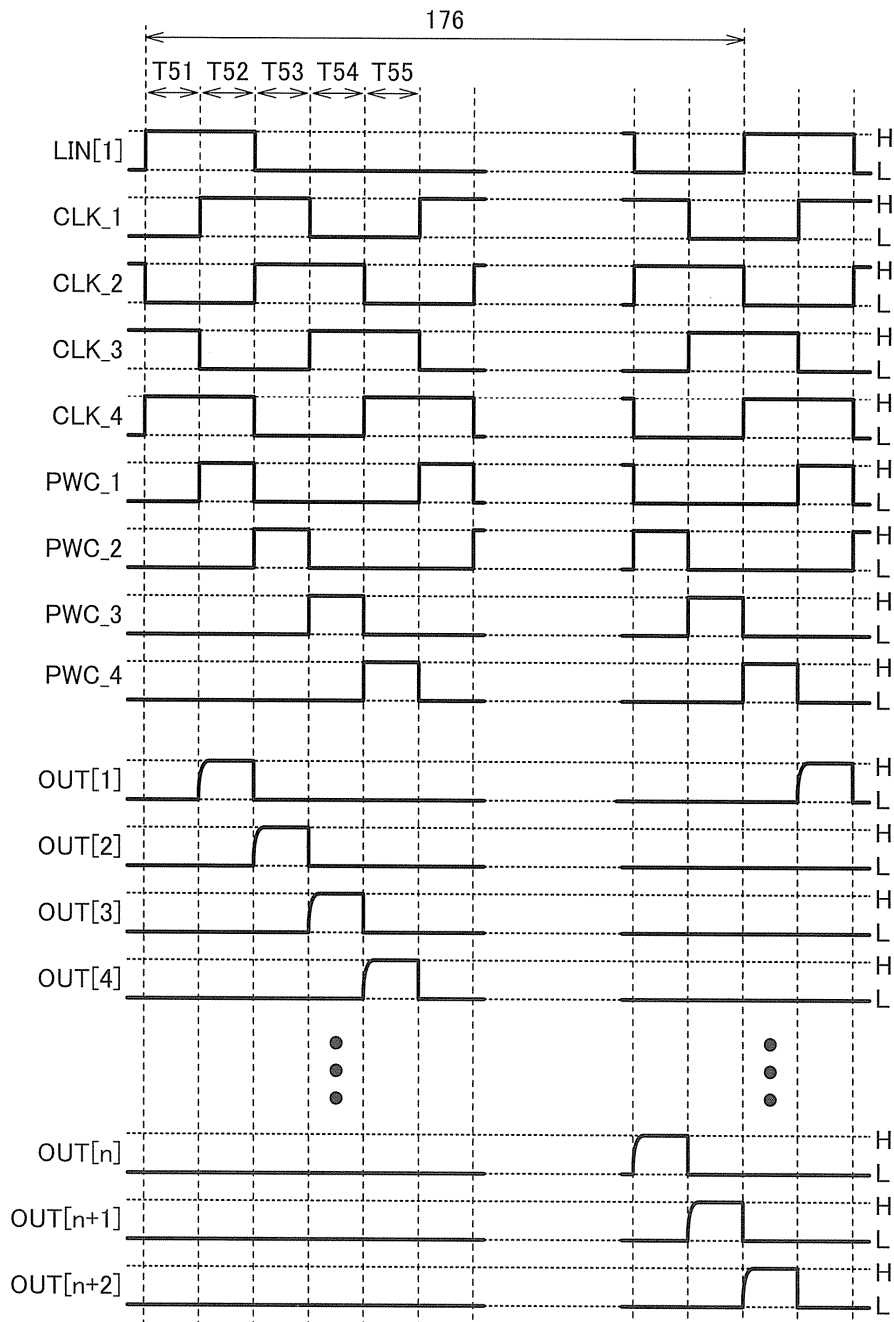




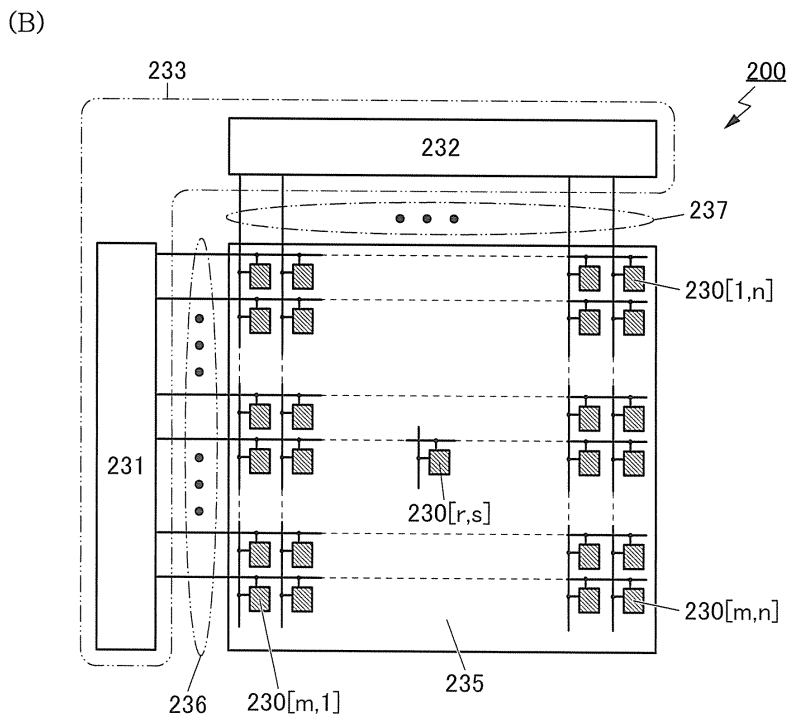
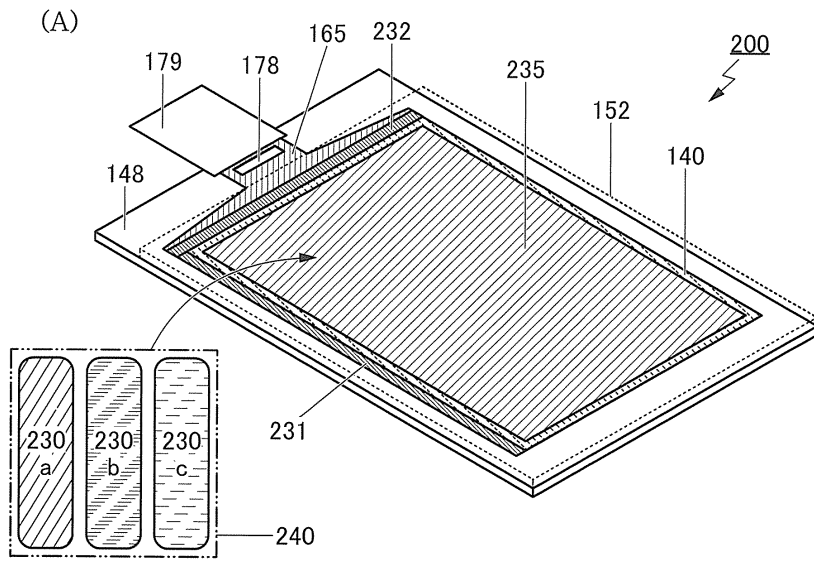
도면32



도면33

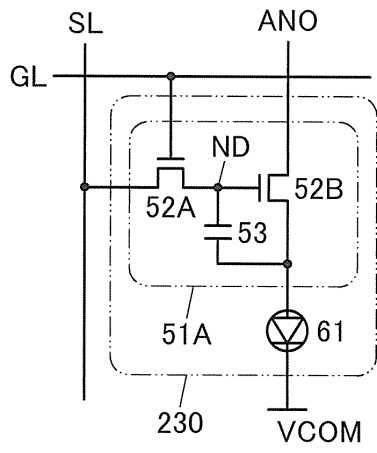


도면34

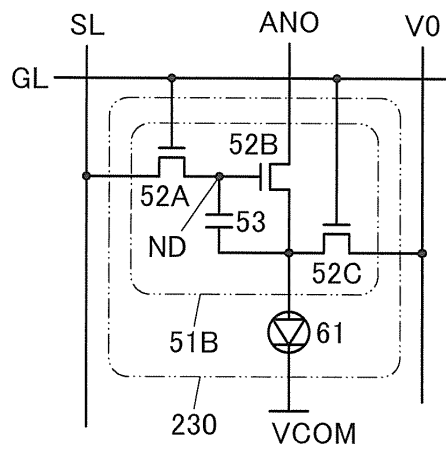


도면35

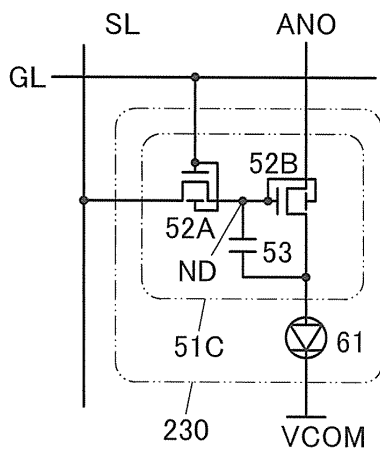
(A)



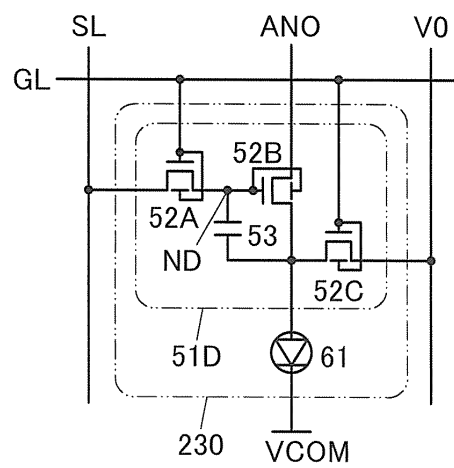
(B)



(C)

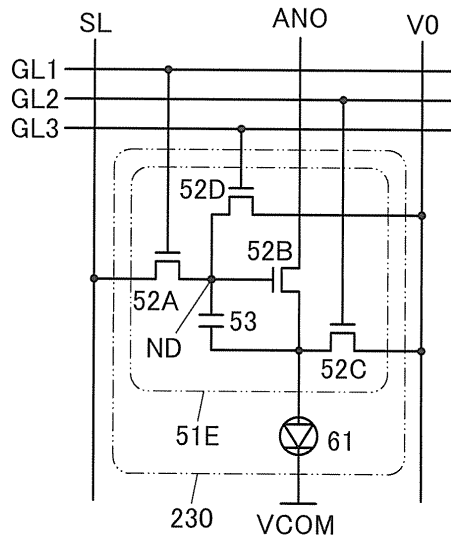


(D)

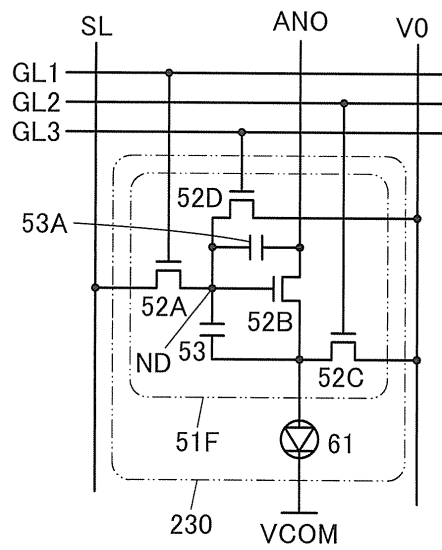


도면36

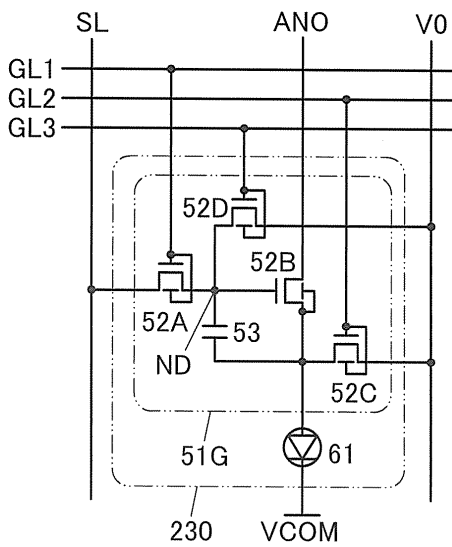
(A)



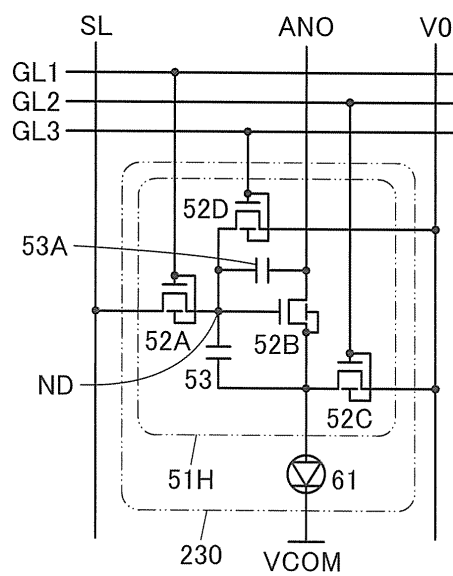
(B)



(C)



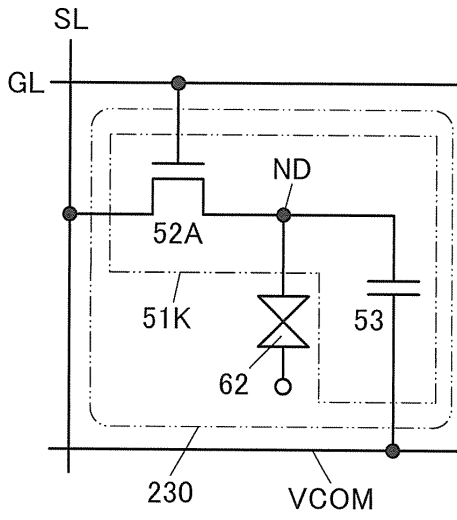
(D)



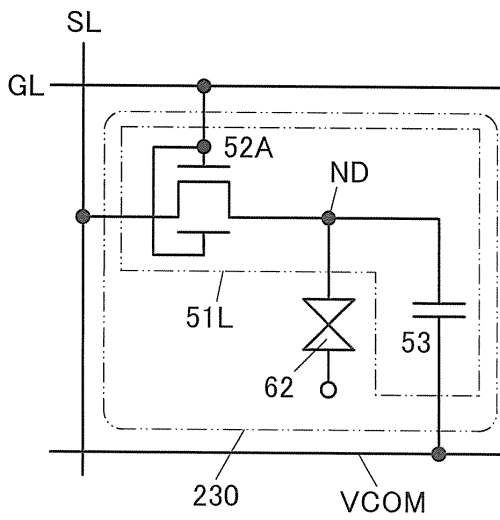


도면38

(A)



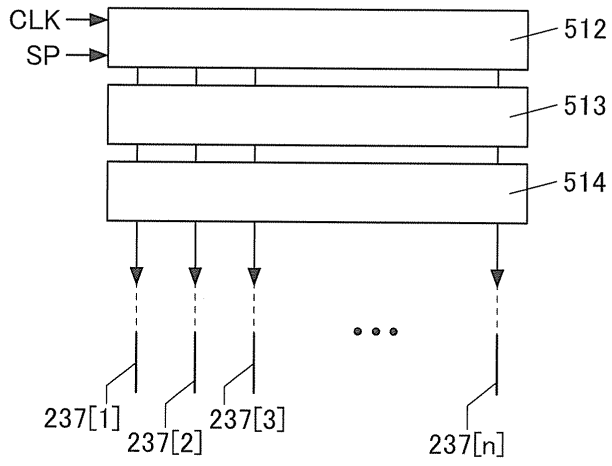
(B)



도면39

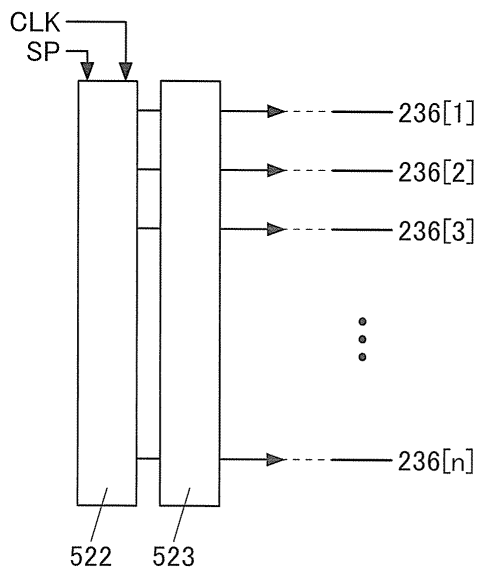
(A)

232

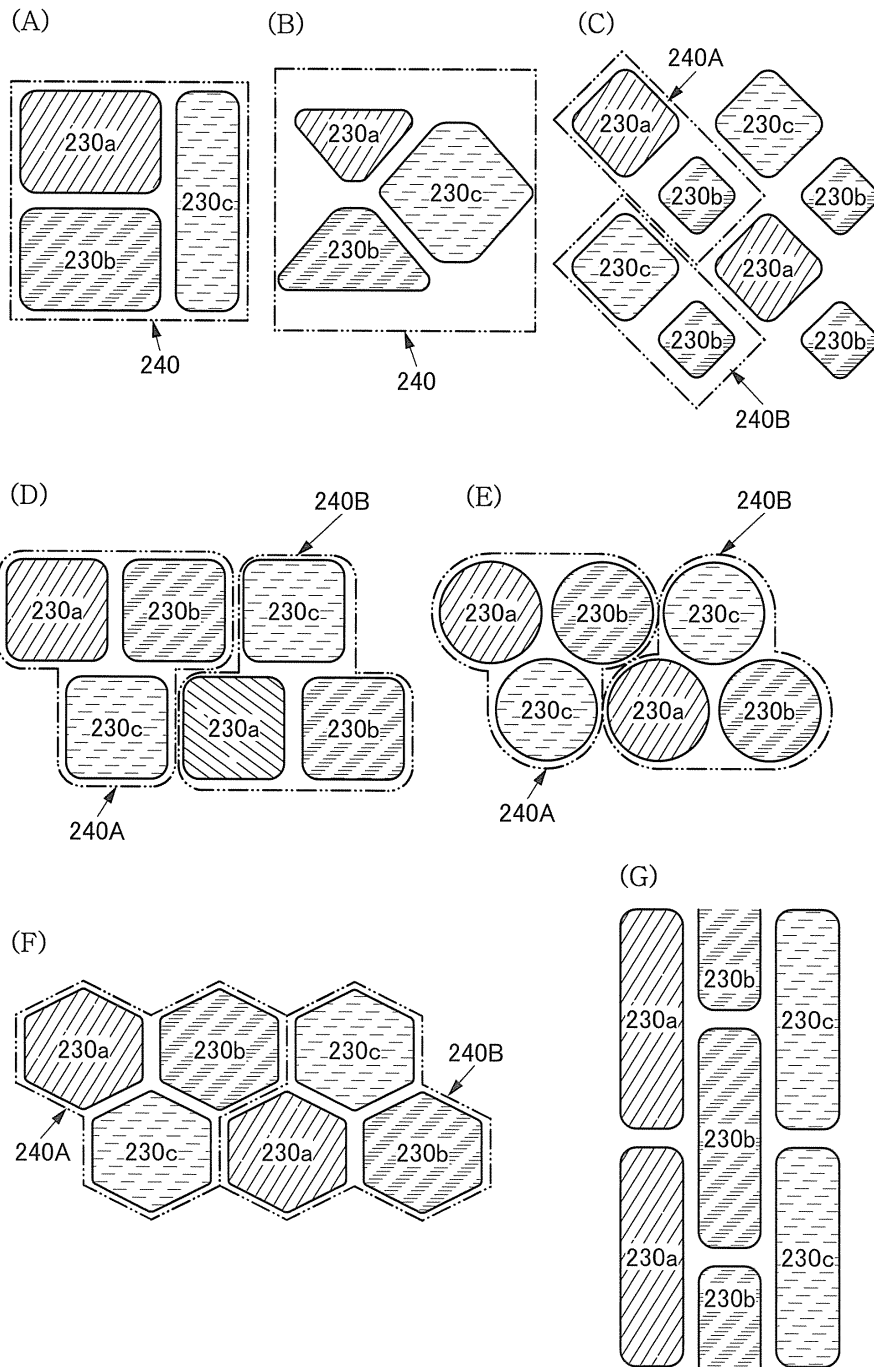


(B)

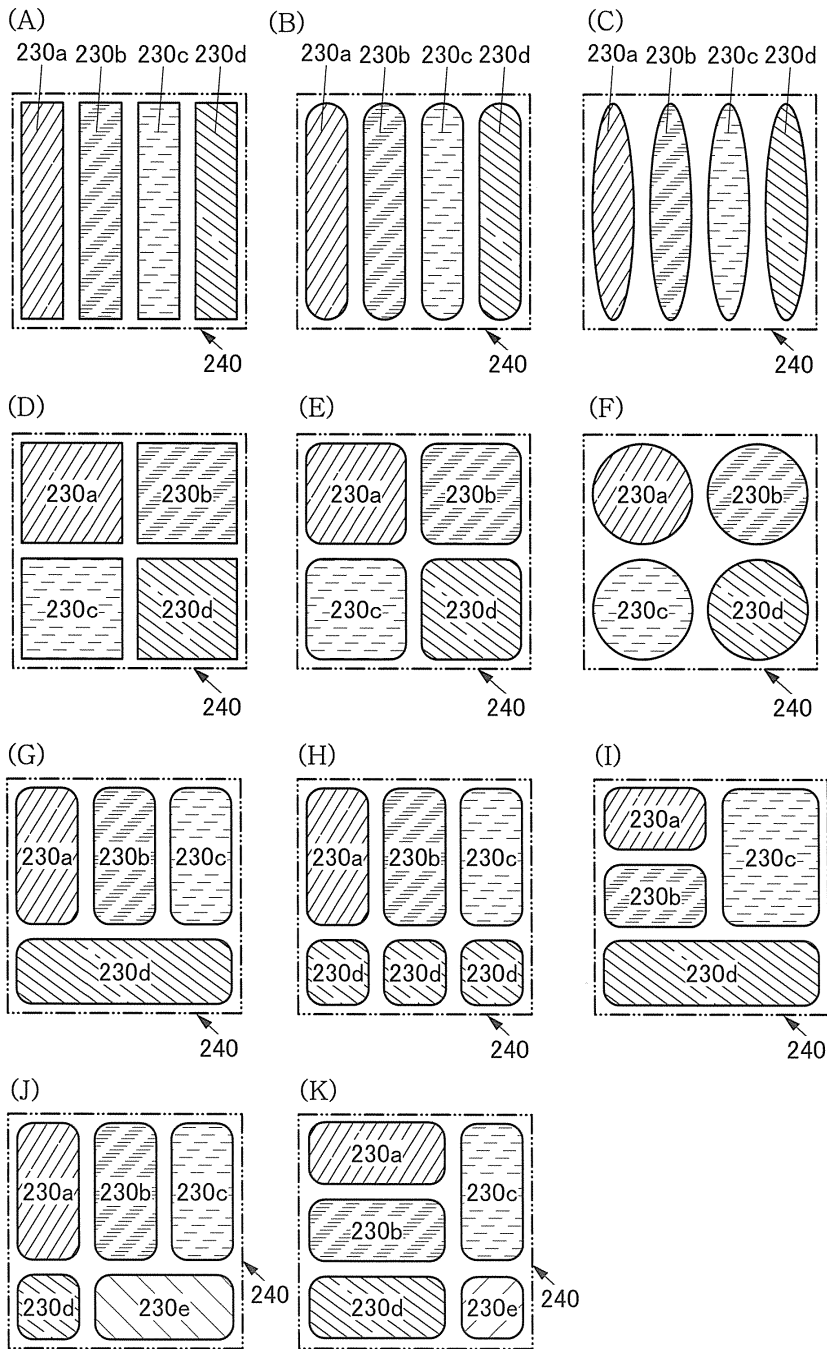
231



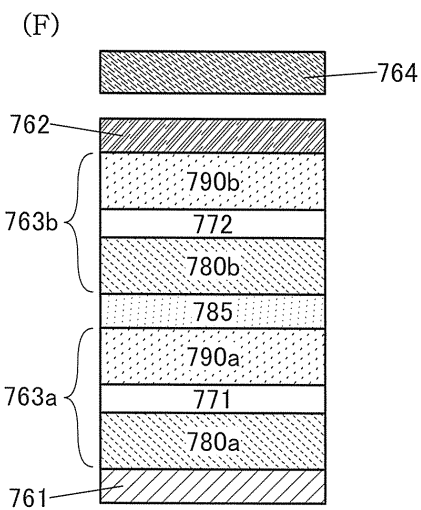
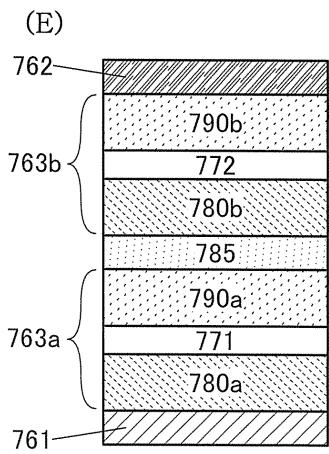
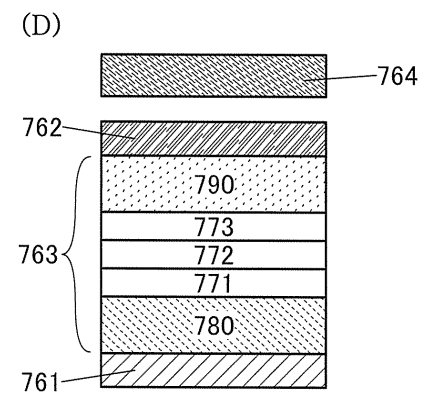
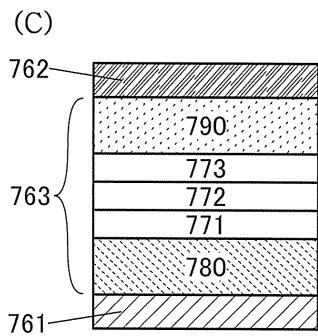
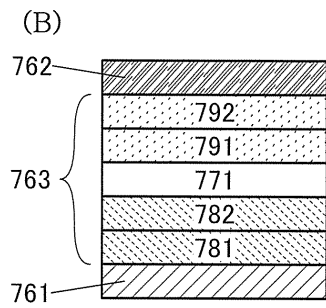
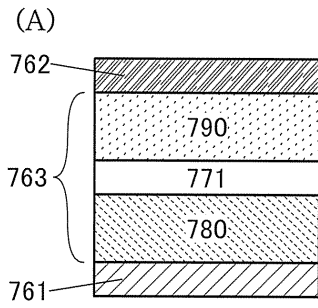
도면40



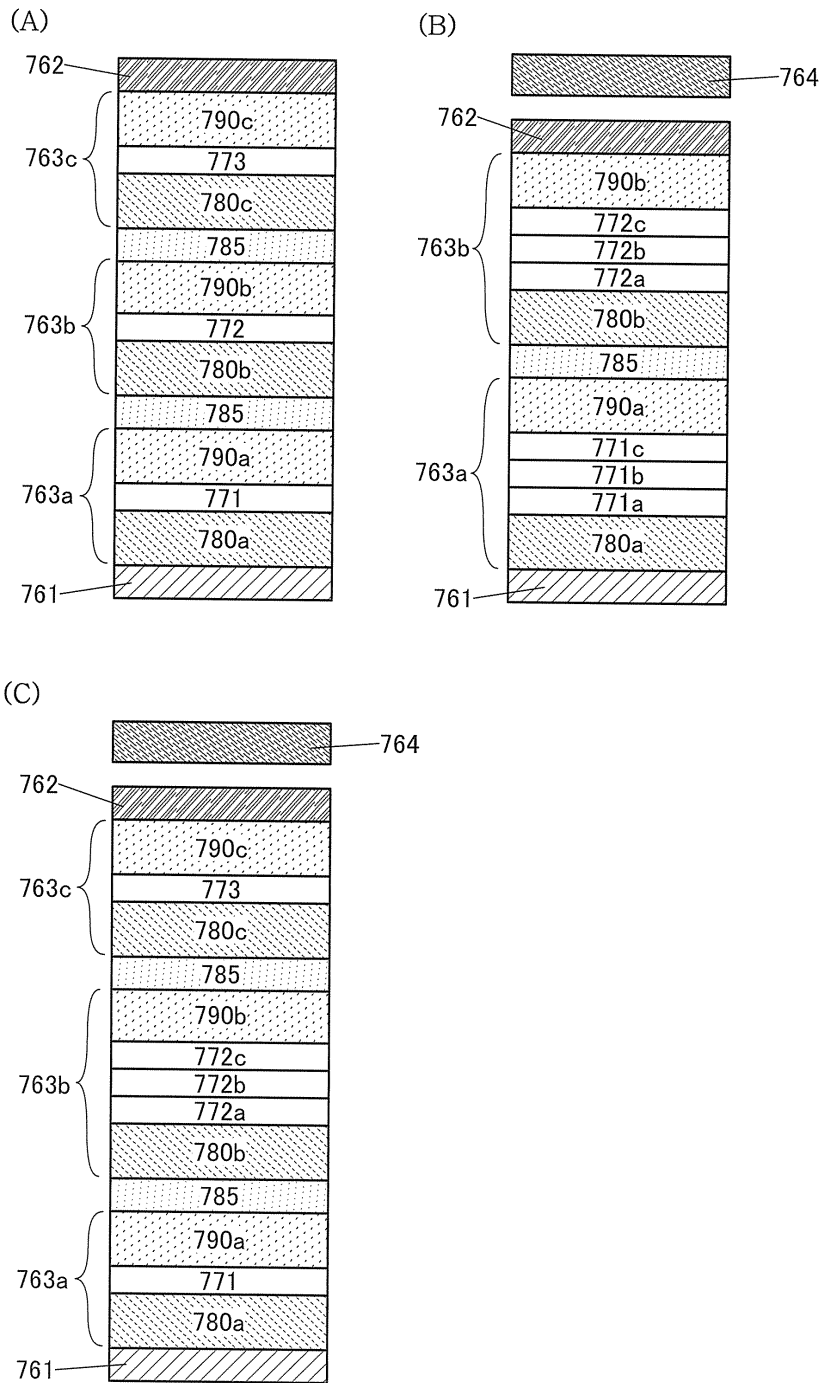
도면41



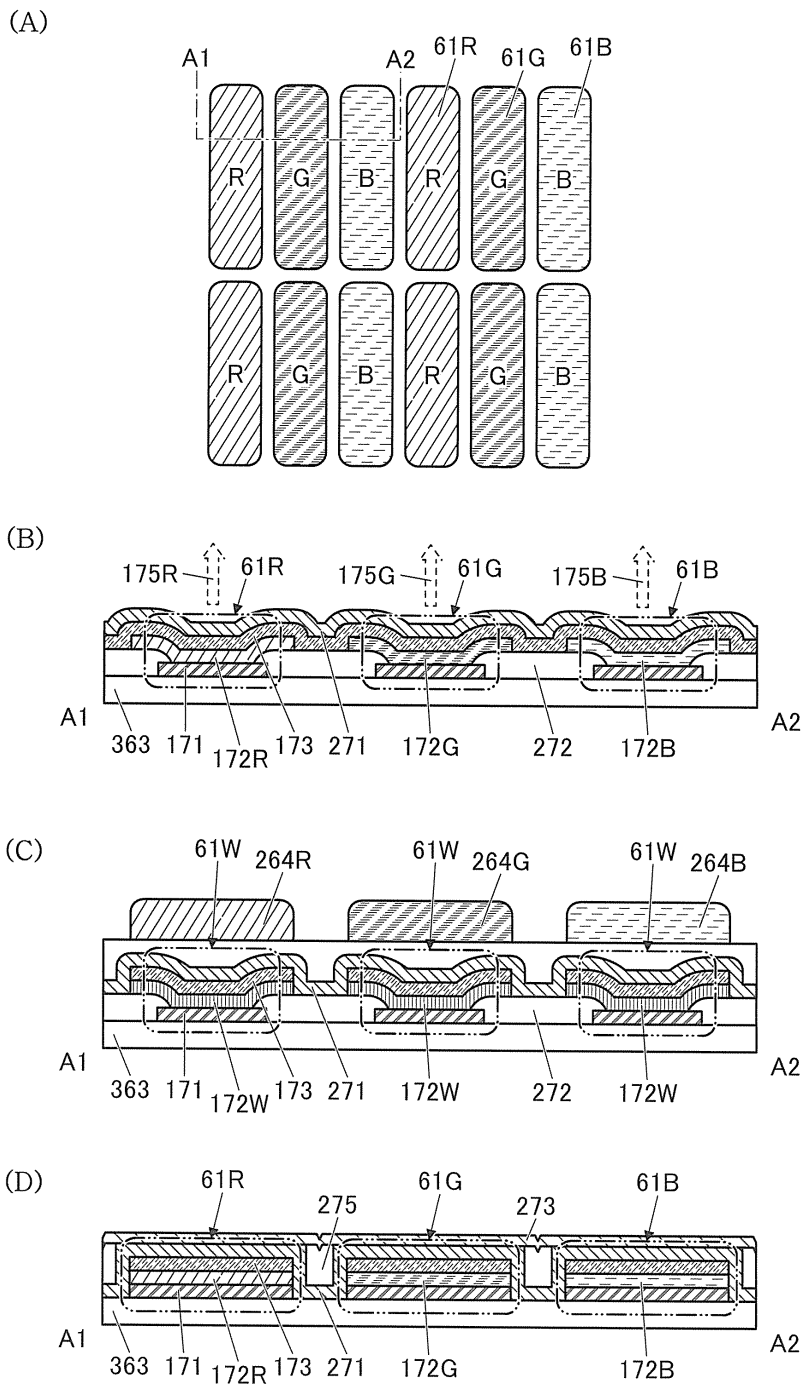
도면42



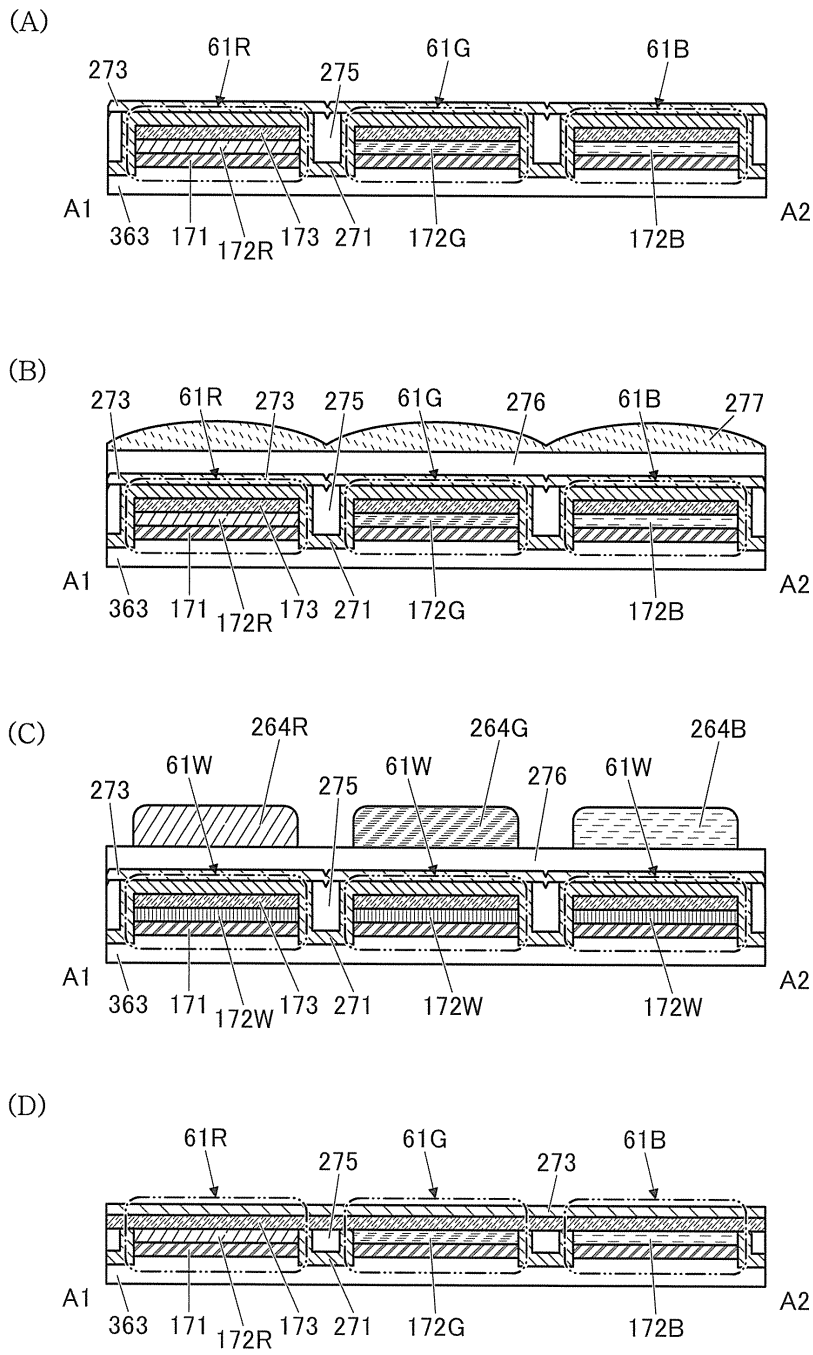
도면43



도면44

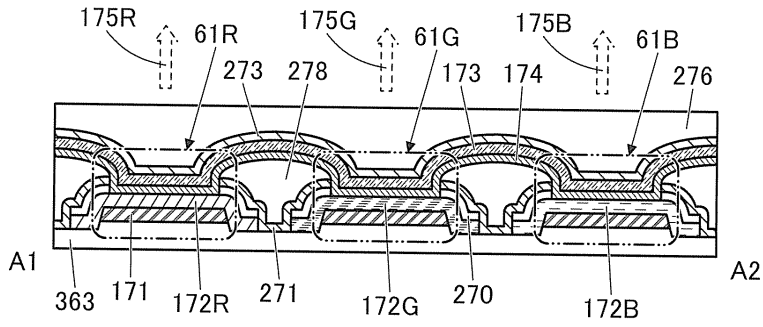


도면45

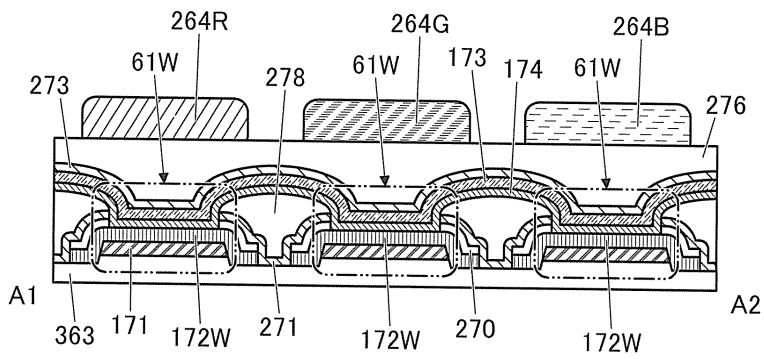


도면46

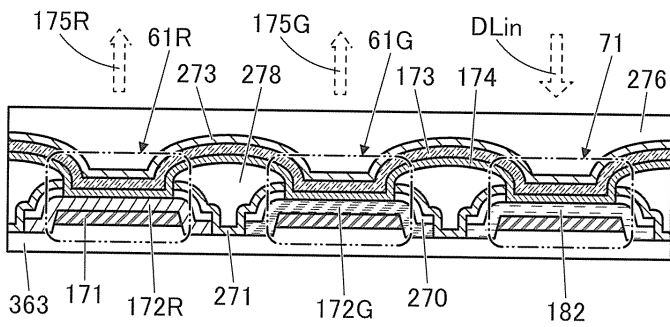
(A)



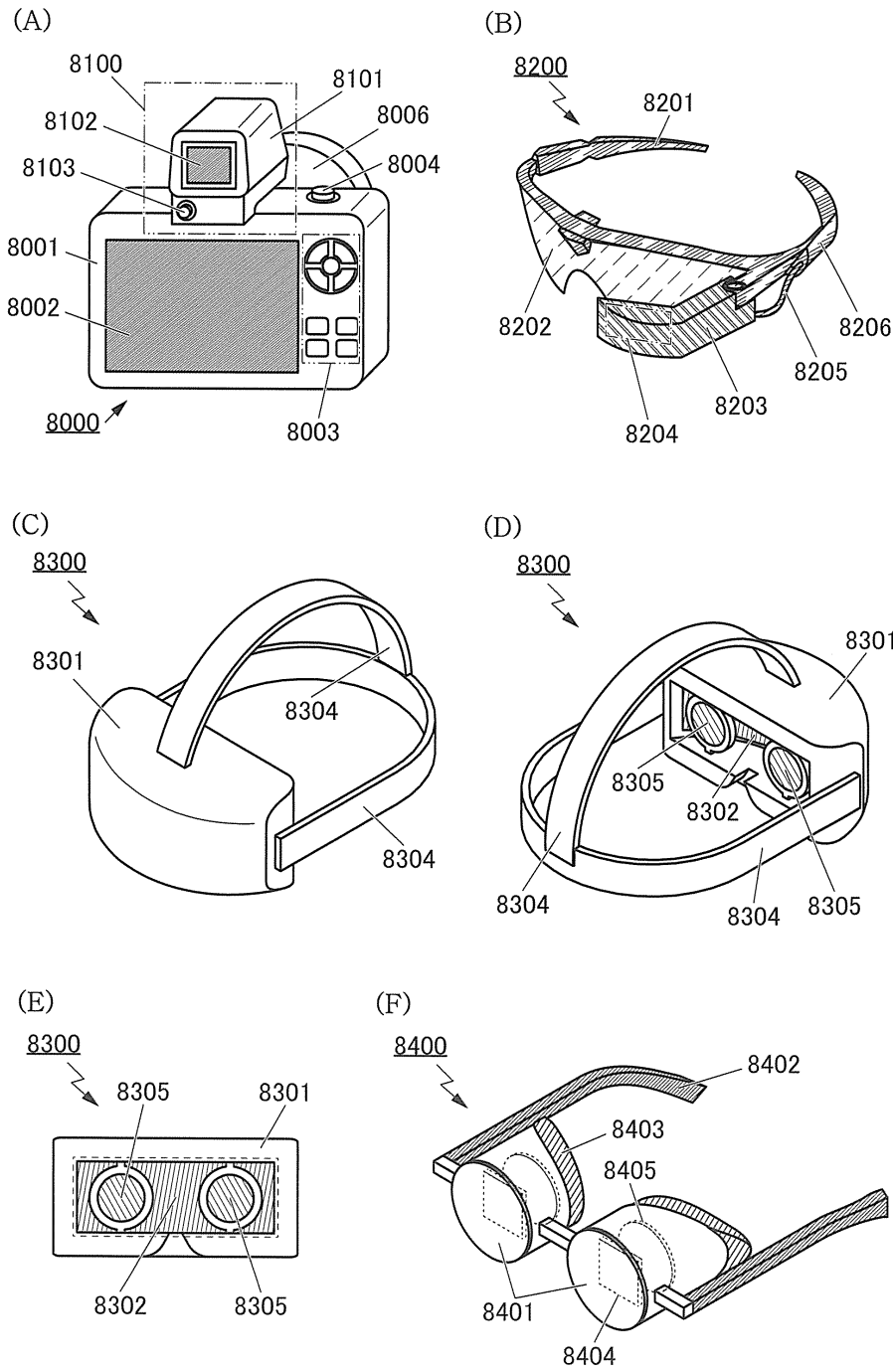
(B)



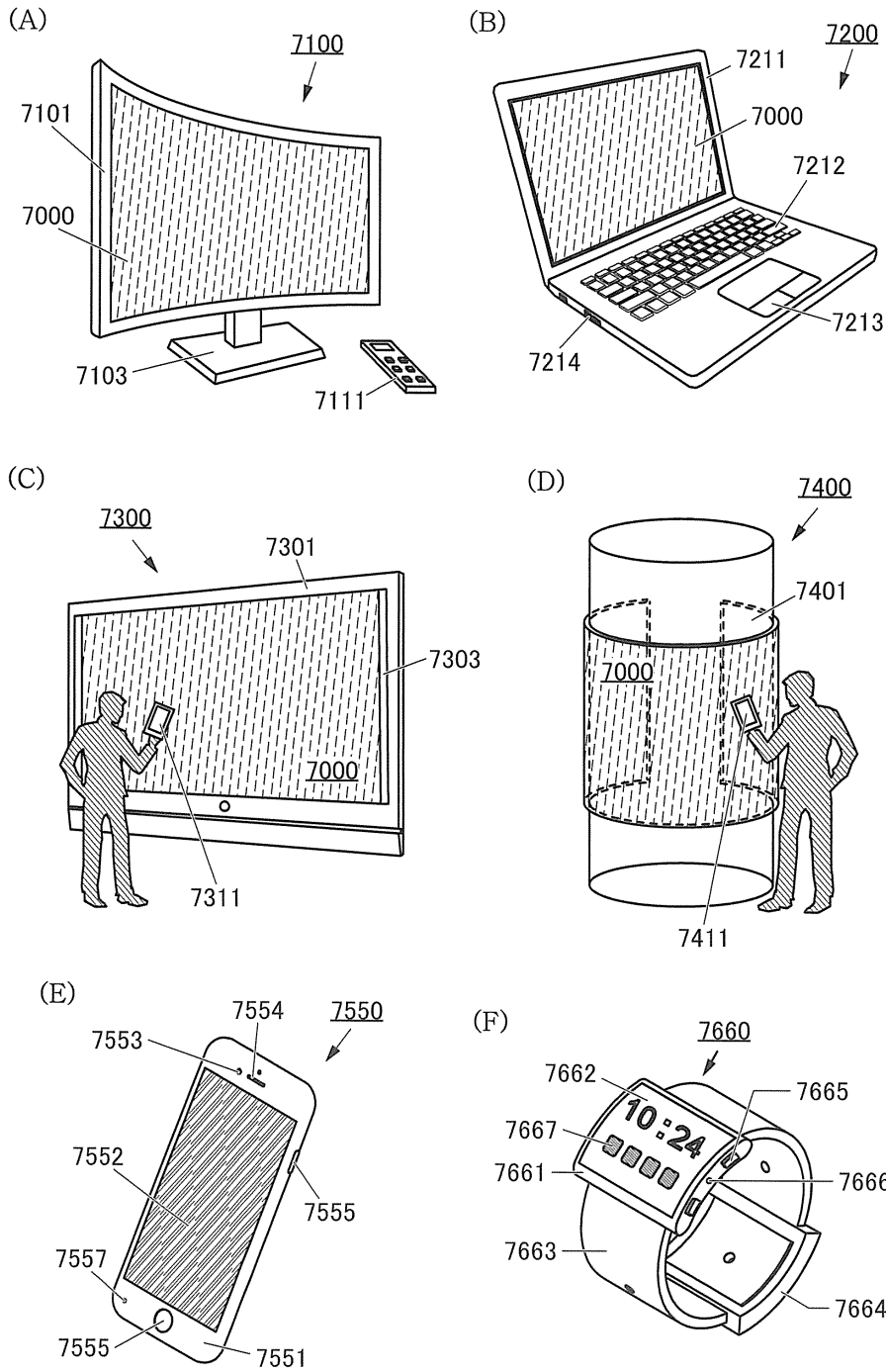
(C)



도면47



도면48



도면49

