

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成24年9月27日(2012.9.27)

【公開番号】特開2012-60017(P2012-60017A)

【公開日】平成24年3月22日(2012.3.22)

【年通号数】公開・登録公報2012-012

【出願番号】特願2010-203423(P2010-203423)

【国際特許分類】

H 01 L 29/78 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 29/78 6 5 2 N

H 01 L 29/78 6 5 2 H

H 01 L 29/78 6 5 8 A

H 01 L 29/78 6 5 8 E

【手続補正書】

【提出日】平成24年8月10日(2012.8.10)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【0 0 0 5】

本発明の実施形態にかかる電力用半導体装置は、対向する第1の電極と第2の電極との間に垂直方向に電流が流れる素子部及び垂直方向と直交する水平面内で素子部を囲んだ環状構造の終端部を有し、第1導電形の第1の半導体層と、第1のドリフト層と、第2のドリフト層と、ゲート配線層と、複数の第2導電形ベース層と、第1導電形のソース層と、ゲート電極と、を備える。第1のドリフト層は、第1の半導体層の上に形成され第1の半導体層よりも第1導電形の不純物濃度が低い第1導電形の第1のエピタキシャル層と、第1のエピタキシャル層中の素子部においてのみ水平面に平行な第1の方向に交互に繰り返し配置され第1のエピタキシャル層よりも第1の不純物濃度が高い第1の第1導電形ピラー層と第1の第2導電形ピラー層と、を有する。第2のドリフト層は、第1のドリフト層上に形成され第1のエピタキシャル層よりも第1導電形の不純物濃度が高い第1導電形の第2のエピタキシャル層と、第2の第2導電形ピラー層と、第2の第1導電形ピラー層と、第3の第2導電形ピラー層と、第3の第1導電形ピラー層と、を有する。第2の第2導電形ピラー層は、第2のエピタキシャル層中の素子部において第1の方向に沿って離間配置され第1の第2導電形ピラー層と接続される。第2の第1導電形ピラー層は、隣り合う第2の第2導電形ピラー層に挟まれた第2のエピタキシャル層からなり第1の第1導電形ピラー層と接続される。第3の第2導電形ピラー層は、第2のエピタキシャル層中の終端部において第1の方向に沿って離間配置され第1のエピタキシャル層上に配置される。第3の第1導電形ピラー層は、隣り合う第3の第2導電形ピラー層に挟まれた第2のエピタキシャル層からなり第1のエピタキシャル層上に配置される。ゲート配線層は、素子部と終端部との境界において、絶縁膜を介して第2のドリフト層上に配置される。複数の第2導電形ベース層は、素子部において、第2のドリフト層の表面に選択的に形成され、第2の第2導電形ピラー層と電気的に接続される。第1導電形のソース層は、第2導電形ベース層の表面に選択的に形成される。ゲート電極は、ソース層、ベース層、第2の第1導電形ピラー層の上に、ゲート絶縁膜を介して形成され、ゲート配線層に電気的に接続される。第1の電極は、第1の半導体層の第1のドリフト層とは反対側の表面に電気的に接続さ

れている。第2の電極は、ソース層及びベース層と電気的に接続されている。

【手続補正2】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

対向する第1の電極と第2の電極との間に垂直方向に電流が流れる素子部と、前記垂直方向と直交する水平面内で前記素子部を囲んだ環状構造の終端部と、を有する電力用半導体装置であって、

第1導電形の第1の半導体層と、

前記第1の半導体層の上に形成された前記第1の半導体層よりも第1導電形の不純物濃度が低い第1導電形の第1のエピタキシャル層と、前記第1のエピタキシャル層中の前記素子部においてのみ前記水平面に平行な第1の方向に交互に繰り返し配置され前記第1のエピタキシャル層よりも第1導電形の不純物濃度が高い第1の第1導電形ピラー層と第1の第2導電形ピラー層と、を有する、第1のドリフト層と、

前記第1のドリフト層上に形成され、前記第1のエピタキシャル層よりも第1導電形の不純物濃度が高い第1導電形の第2のエピタキシャル層と、前記第2のエピタキシャル層中の前記素子部において前記第1の方向に沿って離間配置され前記第1の第2導電形ピラー層と接続された第2の第2導電形ピラー層と、隣り合う前記第2の第2導電形ピラー層に挟まれた前記第2のエピタキシャル層からなり前記第1の第1導電形ピラー層と接続された第2の第1導電形ピラー層と、前記第2のエピタキシャル層中の前記終端部において前記第1の方向に沿って離間配置され前記第1のエピタキシャル層上に配置された第3の第2導電形ピラー層と、隣り合う前記第3の第2導電形ピラー層に挟まれた前記第2のエピタキシャル層からなり前記第1のエピタキシャル層上に配置された第3の第1導電形ピラー層と、を有する第2のドリフト層と、

前記素子部において、前記第2のドリフト層の表面に選択的に形成され、前記第2の第2導電形ピラー層と電気的に接続された複数の第2導電形ベース層と、

前記第2導電形ベース層の表面に選択的に形成された第1導電形のソース層と、

前記ソース層、前記ベース層、前記第2の第1導電形ピラー層の上に、ゲート絶縁膜を介して形成されたゲート電極と、

を備え、

前記第1の電極は、前記第1の半導体層の前記第1のドリフト層とは反対側の表面に電気的に接続され、

前記第2の電極は、前記ソース層及び前記ベース層と電気的に接続されていることを特徴とする電力用半導体装置。

【請求項2】

前記第1のドリフト層中の前記第1の第1導電形ピラー層は、前記垂直方向における前記第1導電形不純物の濃度分布の中心に前記第1導電形不純物濃度の極大値を有する複数の第1の第1導電形層が前記垂直方向に第1の結合部で結合して形成され、前記第1の結合部において前記第1導電形不純物濃度が極小値を有しており、

前記第1のドリフト層中の前記第1の第2導電形ピラー層は、前記垂直方向における前記第2導電形不純物の濃度分布の中心に前記第2導電形不純物濃度の極大値を有する複数の第2導電形層が前記垂直方向に第2の結合部で結合して形成され、前記第2の結合部において前記第2導電形不純物濃度が極小値を有しており、

前記第2のドリフト層中の前記第2導電形ピラー層は、前記垂直方向における前記第2導電形不純物の濃度分布に前記第2導電形不純物濃度の極大値を有しない、ことを特徴とする請求項1記載の電力用半導体装置。

【請求項3】

前記複数の第1の第1導電形層と前記複数の第2導電形層とは、それぞれ、中心に不純物濃度の極大値を有する拡散層であり、

前記第2のドリフト層の前記第2の第2導電形ピラー層は、前記第2の第1導電形エピタキシャル層に形成されたトレンチに埋め込まれた埋込層であることを特徴とする請求項2記載の電力用半導体装置。

【請求項4】

前記第2のドリフト層の前記第2の第1導電形ピラー層は、前記第1のドリフト層の前記第1の第1導電形ピラー層よりも第1導電形の不純物濃度が高く、

前記第2のドリフト層の前記第2の第2導電形ピラー層は、前記第1のドリフト層の第1の第2導電形ピラー層よりも第2の導電形の不純物の濃度が高いことを特徴とする請求項1～3のいずれか1つに記載の電力用半導体装置。

【請求項5】

前記第1のドリフト層中のダイシングされたチップ端部に隣接した部分において、前記垂直方向における前記第1導電形不純物の濃度分布の中心に前記第1導電形不純物濃度の極大値を有する複数の第2の第1導電形層が前記垂直方向に結合して形成されたピラー層がさらに配置されていることを特徴とする請求項1～4のいずれか1つに記載の電力用半導体装置。

【請求項6】

前記第2のドリフト層の前記第2の第2導電形ピラー層は、前記第2の電極側に向かうほど前記第1の方向における幅が広くなることを特徴とする請求項1～5のいずれか1つに記載の電力用半導体装置。

【請求項7】

第2導電形のコレクタ層が前記第1の電極と前記第1の半導体層との間にさらに設けられ、

前記第2導電形のコレクタ層は、前記第1の電極と前記第1の半導体層とにそれぞれ電気的に接続されていることを特徴とする請求項1～6のいずれか1つに記載の電力用半導体装置。

【請求項8】

第1の電極と第2の電極との間に垂直方向に電流が流れる素子部と、前記垂直方向と直交する水平面内で前記素子部を囲んだ環状構造の終端部と、を有する電力用半導体装置を製造する方法であって、

第1導電形の第1の半導体層を形成する工程と、

前記第1の半導体層よりも第1導電形の不純物濃度が低い第1導電形の第1のエピタキシャル層を有する第1のドリフト層を前記第1の半導体層の上に形成する工程と、

前記第1のエピタキシャル層よりも第1導電形の不純物濃度が高い第1導電形の第2エピタキシャル層と、前記第2エピタキシャル層中の前記素子部に設けられた第2の第2導電形ピラー層と、前記第2エピタキシャル層中の前記素子部に設けられ前記第2のエピタキシャル層からなる第2の第1導電形ピラー層と、前記第2エピタキシャル層中の前記終端部に設けられ前記第1のエピタキシャル層上に配置された第3の第2導電形ピラー層と、前記第2エピタキシャル層中の前記終端部に設けられ前記第2のエピタキシャル層からなり前記第1のエピタキシャル層上に配置された第3の第1導電形ピラー層と、を有する第2のドリフト層を前記第1のドリフト層上に形成する工程と、

熱処理の工程と、

素子部において、ゲート絶縁膜を介してゲート電極を形成する工程と、

素子部において、前記第2のドリフト層の表面に選択的に形成され、前記第2の第2導電形ピラー層と電気的に接続された複数の第2導電形ベース層を形成する工程と、

前記第2導電形ベース層の表面に選択的に形成された第1導電形ソース層を形成する工程と、

前記第1の半導体層の前記第1のドリフト層と反対側の表面に電気的に接続されるよう前記第1の電極を形成する工程と、

前記第1導電形ソース層と前記第2導電形ベース層と電気的に接続されるように前記第2の電極を形成する工程と、
を備え、

前記第1のドリフト層を形成する工程は、

前記第1のエピタキシャル層の第1層を前記第1の半導体層上にエピタキシャル成長する工程と、

前記素子部においてだけ、前記第1のエピタキシャル層の第1層の表面に、第1のマスクを介して、前記水平面に平行な第1の方向に離間して第1導電形不純物を含む第1の第1導電形不純物層を形成する工程と、

前記素子部においてだけ、前記第1のエピタキシャル層の第1層の表面に、第2のマスクを介して、前記第1の方向に所定の間隔で離間しそれぞれの隣り合う前記第1の第1導電形不純物層の間に第2導電形不純物を含む第2導電形不純物層を形成する工程と、

前記第1の第1導電形不純物層及び前記第2導電形不純物層が形成された前記第1のエピタキシャル層の前記第1層上に、前記第1のエピタキシャル層の第2層をエピタキシャル成長する工程と、

を含み、

前記第2のドリフト層を形成する工程は、

前記第2のエピタキシャル層を前記第1のドリフト層上にエピタキシャル成長する工程と、

前記素子部において、前記第1の方向に離間配置され、前記第1の第1導電形不純物層の直上で前記第1のドリフト層に達する第1のトレンチ、及び、前記終端部において、前記第1の方向に離間配置され、前記第1のドリフト層の前記第1のエピタキシャル層に達する第2のトレンチを、それぞれ第3のマスクを介して前記第2のエピタキシャル層に形成することで、隣り合う前記第1のトレンチ間に前記第2の第1導電形ピラー層を、隣り合う前記第2のトレンチ間に前記第3の第1導電形ピラー層をそれぞれ形成する工程と、

前記第2のエピタキシャル層の前記第1のトレンチ及び前記第2のトレンチ内に、前記第2の第2導電形ピラー層及び前記第3の第2導電形ピラー層を埋込形成する工程と、

を含み、

前記熱処理の工程は、前記第1導電形不純物を拡散させることで前記第1の第1導電形不純物層から第1の第1導電形ピラー層を、前記第2の第1導電形ピラー層に電気的に接続されるように前記第1のドリフト層中に形成し、前記第2導電形不純物を拡散させることで前記第2導電形不純物層から第1の第2導電形ピラー層を、前記第2の第2導電形ピラー層に電気的に接続されるように前記第1のドリフト層中に形成する工程を含む、

ことを特徴とする電力用半導体装置の製造方法。

【請求項9】

前記第1のドリフト層を形成する工程中の、前記素子部においてだけ前記第1のマスクを介して第1の第1導電形不純物層を形成する工程は、前記第1のマスクを介して、前記終端部のダイシングされてチップ端部となるべき位置に隣接して、前記第1導電形不純物を含む第2の第1導電形不純物層も一体に形成する工程を含むことを特徴とする請求項8記載の電力用半導体装置の製造方法。

【請求項10】

前記第1のトレンチ及び前記第2のトレンチは、前記垂直方向において前記第1のドリフト層から離れるほど、前記第1の方向における幅が広くなることを特徴とする請求項8または9に記載の電力用半導体装置の製造方法。

【請求項11】

前記第1の電極と前記第1の半導体層との間に、第2導電形のコレクタ層を形成する工程をさらに含むことを特徴とする請求項8～10のいずれか1つに記載の電力用半導体装置の製造方法。