

(19) **日本国特許庁(JP)**

(12) **公開特許公報(A)**

(11)特許出願公開番号

特開2010-87502

(P2010-87502A)

(43) 公開日 平成22年4月15日(2010.4.15)

(51) Int.Cl.

F I

テーマコード (参考)

HO 1 L 25/065 (2006.01)

H01L 25/08

$$Z$$

5 F 0 3 3

HO 1 L 25/07 (2006.01)

HO 1 L 23/52

C

H O 1 L 25/18 (2006.01)

HO 1 L 21/88

T

HO 1 L 23/52 (2006.01)

HO 1 L 21/3205 (2006.01)

審査請求 未請求 請求項の数 12 O L (全 35 頁)

(21) 出願番号 特願2009-207677 (P2009-207677)

(22) 出願日 平成21年9月9日 (2009. 9. 9)

(31) 優先權主張番号 12/285,101

(32) 優先日 平成20年9月29日 (2008. 9. 29)

(33) 優先權主張国 米国 (US)

(71) 出願人 500475649

ヘッドウェイテクノロジーズ インコーポ
レイテッド

アメリカ合衆国 カリフォルニア州 95
035 ミルピタス サウス ヒルビュー
ドライブ 678

(71) 出願人 000003067

T D K株式会社

東京都中央区日本橋一丁目13番1号

(74) 代理人 100107559

弁理士 星宮 勝美

(74) 代理人 100115118

弁理士 渡邊 和浩

[最終頁に続く](#)

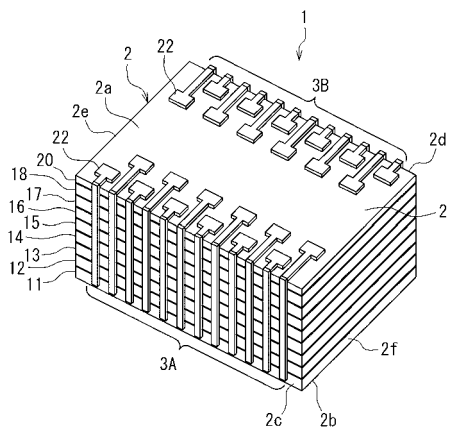
(54) 【発明の名称】 メモリデバイスを実現する積層チップパッケージ

(57) 【要約】

【課題】メモリデバイスを実現する積層チップパッケージにおいて、チップ間の電氣的接続を行う配線を容易に形成でき、且つ配線の信頼性を高めることができるようにする。

【解決手段】積層チップパッケージ１は、本体２と、本体２の側面に配置された配線３Ａ，３Ｂとを備えている。本体２は、それぞれ第１の種類の半導体チップを含む複数の第１の種類の階層部分１２～１８と、第２の種類の半導体チップを含む第２の種類の階層部分１１とを含んでいる。第１の種類の半導体チップは、複数のメモリセルを含んでいる。第２の種類の半導体チップは、複数の第１の種類の階層部分に含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含んでいる。各階層部分は、半導体チップの少なくとも１つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。各電極の端面は、本体２の側面に配置され、配線３Ａ，３Ｂに接続されている。

【選択図】図 1



【特許請求の範囲】

【請求項 1】

上面、下面および 4 つの側面を有する本体と、
前記本体の少なくとも 1 つの側面に配置された配線とを備え、
前記本体は、積層された複数の階層部分を含み、
前記複数の階層部分は、それぞれ第 1 の種類の半導体チップを含む複数の第 1 の種類の階層部分と、第 2 の種類の半導体チップを含む第 2 の種類の階層部分とを含み、
前記第 1 の種類の半導体チップは、複数のメモリセルを含み、
前記第 2 の種類の半導体チップは、前記複数の第 1 の種類の階層部分に含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含み、
前記第 1 の種類の半導体チップと前記第 2 の種類の半導体チップは、いずれも、上面、下面および 4 つの側面を有し、
前記複数の階層部分の各々は、前記第 1 の種類または第 2 の種類の半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、前記第 1 の種類または第 2 の種類の半導体チップに接続された複数の電極とを含み、
前記絶縁部は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有し、
前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、
前記配線は、前記複数の階層部分における複数の電極の端面に接続されていることを特徴とする積層チップパッケージ。

【請求項 2】

前記第 1 の種類の半導体チップは、更に、そこに含まれる複数のメモリセルのみに関係する回路を含むことを特徴とする請求項 1 記載の積層チップパッケージ。

【請求項 3】

更に、前記本体の上面と下面の少なくとも一方に配置され、前記配線に接続された複数の端子を備えたことを特徴とする請求項 1 記載の積層チップパッケージ。

【請求項 4】

前記本体の 4 つの側面は、前記配線が配置された少なくとも 1 つの第 1 の種類の側面と、前記配線が配置されていない少なくとも 1 つの第 2 の種類の側面とを含み、
前記第 1 の種類または第 2 の種類の半導体チップの 4 つの側面は、前記本体の前記少なくとも 1 つの第 1 の種類の側面との間に前記絶縁部が配置された少なくとも 1 つの第 1 の種類の側面と、前記本体の前記少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含むことを特徴とする請求項 1 記載の積層チップパッケージ。

【請求項 5】

積層チップパッケージと、前記積層チップパッケージに接合された回路層とを備えた電子部品であって、
前記積層チップパッケージは、上面、下面および 4 つの側面を有する本体と、前記本体の少なくとも 1 つの側面に配置された配線とを備え、
前記本体は、積層された複数の階層部分を含み、
前記複数の階層部分の各々は、上面、下面および 4 つの側面を有すると共に複数のメモリセルを含む半導体チップと、前記半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、
前記絶縁部は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有し、
前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、
前記配線は、前記複数の階層部分における複数の電極の端面に接続され、
前記回路層は、前記積層チップパッケージの前記配線に接続されて、前記複数の階層部

分に含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含むことを特徴とする電子部品。

【請求項 6】

前記半導体チップは、更に、そこに含まれる複数のメモリセルのみに関係する回路を含むことを特徴とする請求項 5 記載の電子部品。

【請求項 7】

前記積層チップパッケージは、更に、前記本体の上面と下面の少なくとも一方に配置され、前記配線に接続された複数の端子を備え、前記回路層は、前記複数の端子に接続されていることを特徴とする請求項 5 記載の電子部品。

【請求項 8】

前記本体の 4 つの側面は、前記配線が配置された少なくとも 1 つの第 1 の種類の側面と、前記配線が配置されていない少なくとも 1 つの第 2 の種類の側面とを含み、

前記半導体チップの 4 つの側面は、前記本体の前記少なくとも 1 つの第 1 の種類の側面との間に前記絶縁部が配置された少なくとも 1 つの第 1 の種類の側面と、前記本体の前記少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含むことを特徴とする請求項 5 記載の電子部品。

【請求項 9】

積層された複数の積層チップパッケージと、前記複数の積層チップパッケージのうちの 1 つに接合され且つ電氣的に接続された回路層とを備えた電子部品であって、

上下に隣接する 2 つの積層チップパッケージは、互いに電氣的に接続され、

前記複数の積層チップパッケージの各々は、上面、下面および 4 つの側面を有する本体と、前記本体の少なくとも 1 つの側面に配置された配線とを備え、

前記本体は、積層された複数の階層部分を含み、

前記複数の階層部分の各々は、上面、下面および 4 つの側面を有すると共に複数のメモリセルを含む半導体チップと、前記半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、前記半導体チップに接続された複数の電極とを含み、

前記絶縁部は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有し、

前記複数の電極の各々は、前記配線が配置された前記本体の前記少なくとも 1 つの側面に配置され且つ前記絶縁部によって囲まれた端面を有し、

前記配線は、前記複数の階層部分における複数の電極の端面に接続され、

前記回路層は、複数の前記積層チップパッケージに含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含むことを特徴とする電子部品。

【請求項 10】

前記半導体チップは、更に、そこに含まれる複数のメモリセルのみに関係する回路を含むことを特徴とする請求項 9 記載の電子部品。

【請求項 11】

前記複数の積層チップパッケージの各々は、更に、前記本体の上面に配置され、前記配線に接続された複数の第 1 の端子と、前記本体の下面に配置され、前記配線に接続された複数の第 2 の端子とを備え、

前記上下に隣接する 2 つの積層チップパッケージにおいて、下側の積層チップパッケージの複数の第 1 の端子と上側の積層チップパッケージの複数の第 2 の端子とが電氣的に接続されていることを特徴とする請求項 9 記載の電子部品。

【請求項 12】

前記本体の 4 つの側面は、前記配線が配置された少なくとも 1 つの第 1 の種類の側面と、前記配線が配置されていない少なくとも 1 つの第 2 の種類の側面とを含み、

前記半導体チップの 4 つの側面は、前記本体の前記少なくとも 1 つの第 1 の種類の側面との間に前記絶縁部が配置された少なくとも 1 つの第 1 の種類の側面と、前記本体の前記少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含むことを特徴とする請求項 9 記載の電子部品。

10

20

30

40

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、積層された複数のチップを含み、メモリデバイスを実現する積層チップパッケージ、ならびに、積層された複数のチップを含む積層チップパッケージを備え、メモリデバイスを実現する電子部品に関する。

【背景技術】

【0002】

近年、携帯電話やノート型パーソナルコンピュータに代表される携帯機器では、軽量化と高性能化が求められている。それに伴い、携帯機器に用いられる電子部品の高集積化が求められている。また、半導体メモリの大容量化のためにも、電子部品の高集積化が求められている。

【0003】

近年、高集積化された電子部品として、システム・イン・パッケージ (System in Package; 以下、S i Pと記す。)、特に複数のチップを積層する3次元実装技術を用いたS i Pが注目されている。本出願において、積層された複数のチップを含むパッケージを、積層チップパッケージと呼ぶ。この積層チップパッケージには、高集積化が可能になるという利点に加え、配線の長さの短縮が可能になることから、回路の動作の高速化や配線の浮遊容量の低減が可能になるという利点がある。

【0004】

積層チップパッケージを製造するための3次元実装技術の主なものには、基板上に複数のチップを積層し、各チップに形成された複数の電極と、基板に形成された外部接続端子とを、ワイヤボンディングによって接続するワイヤボンディング方式と、積層される各チップにそれぞれ複数の貫通電極を形成し、この貫通電極によってチップ間の配線を行う貫通電極方式とがある。

【0005】

ワイヤボンディング方式では、ワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点がある。

【0006】

貫通電極方式では、上記のワイヤボンディング方式における問題点は解消される。しかし、貫通電極方式では、チップに貫通電極を形成するために多くの工程が必要であることから、積層チップパッケージのコストが高くなるという問題点がある。すなわち、貫通電極方式では、チップに貫通電極を形成するために、後に切断されることによって複数のチップとなるウェハに、複数の貫通電極用の複数の穴を形成し、次に、この複数の穴内およびウェハの上面上に絶縁層とシード層を形成し、次に、めっき法によって複数の穴内にCu等の金属を充填して複数の貫通電極を形成し、次に、余分なシード層を除去するという一連の工程が必要である。

【0007】

また、貫通電極方式では、比較的大きなアスペクト比の穴に金属を充填して貫通電極を形成する。そのため、貫通電極方式では、穴への金属の充填の不良によって貫通電極にボイドやキーホールが発生しやすく、そのため、貫通電極による配線の信頼性が低下しやすいという問題点がある。

【0008】

また、貫通電極方式では、上下のチップの貫通電極同士を例えば半田により接続することによって、上下のチップを物理的に接合する。そのため、貫通電極方式では、上下のチップを正確に位置合わせした上で、高温下で上下のチップを接合する必要がある。しかし、高温下で上下のチップを接合する際には、チップの伸縮によって、上下のチップ間の位置ずれが生じて、上下のチップ間の電氣的接続の不良が発生しやすい。

【0009】

また、貫通電極方式では、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しいという問題点がある。すなわち、貫通電極方式によって製造された積層チップパッケージでは、上下のチップの貫通電極同士が例えば半田によって接続されている。そのため、この積層チップパッケージから不良チップを取り外す際には、不良チップと他のチップとの間の半田を加熱により溶融させる必要がある。しかし、これにより、良品チップ間の半田も溶融するため、良品チップ間の半田が酸化したり、流れ出したりして、良品チップ間の電氣的接続の不良が発生するおそれがある。そのため、貫通電極方式では、積層された複数のチップに1つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しく、その結果、積層チップパッケージの歩留まりが低くなると共に、コストが高くなる。

10

【0010】

特許文献1には、以下のような積層チップパッケージの製造方法が記載されている。この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成して、Neo-Wafer（ネオ・ウェハ）と呼ばれる構造物を作製する。次に、このNeo-Waferを切断して、それぞれ、1つ以上のチップとこのチップの周囲を囲む樹脂と複数のリードとを含むNeo-chip（ネオ・チップ）と呼ばれる複数の構造物を作製する。チップに接続された複数のリードの端面は、Neo-chipの側面において露出する。次に、複数種類のNeo-chipを積層して積層体を作製する。この積層体において、各層毎のチップに接続された複数のリードの端面は、積層体の同じ側面において露出している。

20

【0011】

非特許文献1には、特許文献1に記載された製造方法と同様の方法で積層体を作製すると共に、この積層体の2つ側面に配線を形成することが記載されている。

【0012】

特許文献2には、それぞれフレキシブルなポリマー基板に1以上の電子的要素と複数の導電トレースとを形成してなる複数の能動層を積層して構成された多層モジュールが記載されている。

【0013】

特許文献3には、メモリセルブロックとメモリ周辺回路ブロックとを、異なる半導体チップ上に形成することと、2つのチップを積層し、これらを半田バンプで接続することが記載されている。

30

【0014】

特許文献4には、複数のLSIメモリチップと1つのLSIロジックチップとを積層し、これらを貫通電極によって接続した半導体装置が記載されている。

【先行技術文献】

【特許文献】

【0015】

【特許文献1】米国特許第5,953,588号明細書

【特許文献2】米国特許第7,127,807 B2号明細書

40

【特許文献3】米国特許第5,838,603号明細書

【特許文献4】米国特許出願公開第US2007/0023887 A1号明細書

【非特許文献】

【0016】

【非特許文献1】Keith D. Gann, "Neo-Stacking Technology", HDI Magazine, 1999年12月

【発明の概要】

【発明が解決しようとする課題】

【0017】

特許文献1に記載された製造方法では、工程数が多く、積層チップパッケージのコスト

50

が高くなるという問題点がある。また、この製造方法では、処理されたウェハより切り出された複数のチップを埋め込み用樹脂中に埋め込んだ後、各チップに接続される複数のリードを形成してNeo-Waferを作製するため、Neo-Waferを作製する際に複数のチップの正確な位置合わせが必要になる。この点からも、積層チップパッケージのコストが高くなる。

【0018】

特許文献2に記載された多層モジュールでは、1つの能動層において電子的要素が占める領域の割合を大きくすることができず、その結果、集積度を大きくすることが困難である。

【0019】

以下、フラッシュメモリ、DRAM、SRAM等のメモリデバイスを構成するメモリチップについて考える。一般的なメモリチップは、1つの半導体チップに、複数のメモリセルとその周囲に配置された制御回路とが形成されたものである。制御回路は、複数のメモリセルに対する書き込みと読み出しを制御する回路であり、周辺回路とも呼ばれる。

【0020】

従来、1つのメモリチップで大容量のメモリデバイスを構成する場合には、それぞれ複数のメモリセルを含む複数のメモリセルブロックを平面的に配置し、これら複数のメモリセルブロックの周囲に制御回路を配置していた。この場合、複数のメモリセルブロック間が、細くて長い配線によって接続される。そのため、この場合には、配線の抵抗値が高くなると共に、配線によって浮遊容量が発生する。この配線の高い抵抗値や浮遊容量は、メモリデバイスの動作の高速化の妨げとなる。

【0021】

そこで、3次元実装技術を利用してメモリデバイスを構成することが考えられる。3次元実装技術を利用してメモリデバイスを構成する技術としては、以下のような技術が知られている。前述のように、特許文献3には、メモリセルブロックとメモリ周辺回路ブロックとを、異なる半導体チップ上に形成することと、2つのチップを積層し、これらを半田バンプで接続することが記載されている。また、特許文献4には、複数のLSIメモリチップと1つのLSIロジックチップとを積層し、これらを貫通電極によって接続した半導体装置が記載されている。

【0022】

しかしながら、複数のチップを積層し、貫通電極によってチップ間の配線を行ってメモリデバイスを構成する場合には、前述のように、貫通電極による配線を容易に形成することができないと共に、貫通電極による配線の信頼性が低下しやすいという問題点がある。特に、大容量のメモリデバイスを構成する場合には、配線が複雑になるため、上記の問題点が顕著になる。

【0023】

本発明はかかる問題点に鑑みてなされたもので、その第1の目的は、積層された複数のチップを含み、メモリデバイスを実現する積層チップパッケージであって、チップ間の電氣的接続を行う配線を容易に形成でき、且つ配線の信頼性を高めることができるようにした積層チップパッケージを提供することにある。

【0024】

本発明の第2の目的は、積層された複数のチップを含む積層チップパッケージを備え、メモリデバイスを実現する電子部品であって、チップ間の電氣的接続を行う配線を容易に形成でき、且つ配線の信頼性を高めることができるようにした電子部品を提供することにある。

【課題を解決するための手段】

【0025】

本発明の積層チップパッケージは、上面、下面および4つの側面を有する本体と、本体の少なくとも1つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分は、それぞれ第1の種類の半導体チップを含む複数の第1の種類の階層部分と、第2の種類の半導体チップを含む第2の種類の階層部分とを

10

20

30

40

50

含んでいる。第 1 の種類の半導体チップは、複数のメモリセルを含んでいる。第 2 の種類の半導体チップは、複数の第 1 の種類の階層部分に含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含んでいる。第 1 の種類の半導体チップと第 2 の種類の半導体チップは、いずれも、上面、下面および 4 つの側面を有している。複数の階層部分の各々は、第 1 の種類または第 2 の種類の半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、第 1 の種類または第 2 の種類の半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有している。複数の電極の各々は、配線が配置された本体の少なくとも 1 つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。

10

【0026】

本発明の積層チップパッケージにおいて、第 1 の種類の半導体チップは、更に、そこに含まれる複数のメモリセルのみに関係する回路を含んでいてもよい。

【0027】

また、本発明の積層チップパッケージは、更に、本体の上面と下面の少なくとも一方に配置され、配線に接続された複数の端子を備えていてもよい。

【0028】

また、本発明の積層チップパッケージにおいて、本体の 4 つの側面は、配線が配置された少なくとも 1 つの第 1 の種類の側面と、配線が配置されていない少なくとも 1 つの第 2 の種類の側面とを含んでいてもよい。この場合、第 1 の種類または第 2 の種類の半導体チップの 4 つの側面は、本体の少なくとも 1 つの第 1 の種類の側面との間に絶縁部が配置された少なくとも 1 つの第 1 の種類の側面と、本体の少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含んでいてもよい。

20

【0029】

本発明の第 1 の電子部品は、積層チップパッケージと、積層チップパッケージに接合された回路層とを備えている。積層チップパッケージは、上面、下面および 4 つの側面を有する本体と、本体の少なくとも 1 つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、上面、下面および 4 つの側面を有すると共に複数のメモリセルを含む半導体チップと、半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有している。複数の電極の各々は、配線が配置された本体の少なくとも 1 つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。回路層は、積層チップパッケージの配線に接続されて、複数の階層部分に含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含んでいる。

30

【0030】

本発明の第 1 の電子部品において、半導体チップは、更に、そこに含まれる複数のメモリセルのみに関係する回路を含んでいてもよい。

【0031】

また、本発明の第 1 の電子部品において、積層チップパッケージは、更に、本体の上面と下面の少なくとも一方に配置され、配線に接続された複数の端子を備えていてもよい。この場合、回路層は、複数の端子に接続されていてもよい。

40

【0032】

また、本発明の第 1 の電子部品において、本体の 4 つの側面は、配線が配置された少なくとも 1 つの第 1 の種類の側面と、配線が配置されていない少なくとも 1 つの第 2 の種類の側面とを含んでいてもよい。この場合、半導体チップの 4 つの側面は、本体の少なくとも 1 つの第 1 の種類の側面との間に絶縁部が配置された少なくとも 1 つの第 1 の種類の側面と、本体の少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含んでいてもよい。

50

【 0 0 3 3 】

本発明の第 2 の電子部品は、積層された複数の積層チップパッケージと、複数の積層チップパッケージのうちの 1 つに接合され且つ電氣的に接続された回路層とを備えている。上下に隣接する 2 つの積層チップパッケージは、互いに電氣的に接続されている。複数の積層チップパッケージの各々は、上面、下面および 4 つの側面を有する本体と、本体の少なくとも 1 つの側面に配置された配線とを備えている。本体は、積層された複数の階層部分を含んでいる。複数の階層部分の各々は、上面、下面および 4 つの側面を有すると共に複数のメモリセルを含む半導体チップと、半導体チップの 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部と、半導体チップに接続された複数の電極とを含んでいる。絶縁部は、配線が配置された本体の少なくとも 1 つの側面に配置された少なくとも 1 つの端面を有している。複数の電極の各々は、配線が配置された本体の少なくとも 1 つの側面に配置され且つ絶縁部によって囲まれた端面を有している。配線は、複数の階層部分における複数の電極の端面に接続されている。回路層は、複数の積層チップパッケージに含まれる複数のメモリセルに対する書き込みと読み出しを制御する回路を含んでいる。

10

【 0 0 3 4 】

本発明の第 2 の電子部品において、半導体チップは、更に、そこに含まれる複数のメモリセルのみに関係する回路を含んでいてもよい。

【 0 0 3 5 】

また、本発明の第 2 の電子部品において、複数の積層チップパッケージの各々は、更に、本体の上面に配置され、配線に接続された複数の第 1 の端子と、本体の下面に配置され、配線に接続された複数の第 2 の端子とを備えていてもよい。この場合、上下に隣接する 2 つの積層チップパッケージにおいて、下側の積層チップパッケージの複数の第 1 の端子と上側の積層チップパッケージの複数の第 2 の端子とが電氣的に接続されていてもよい。

20

【 0 0 3 6 】

また、本発明の第 2 の電子部品において、本体の 4 つの側面は、配線が配置された少なくとも 1 つの第 1 の種類の側面と、配線が配置されていない少なくとも 1 つの第 2 の種類の側面とを含んでいてもよい。この場合、半導体チップの 4 つの側面は、本体の少なくとも 1 つの第 1 の種類の側面との間に絶縁部が配置された少なくとも 1 つの第 1 の種類の側面と、本体の少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含んでいてもよい。

30

【 発明の効果 】

【 0 0 3 7 】

本発明の積層チップパッケージもしくは本発明の第 1 または第 2 の電子部品によれば、本体の少なくとも 1 つの側面に配置された配線によって、積層された複数のチップを電氣的に接続することができることから、チップ間の電氣的接続を行う配線を容易に形成でき、且つ配線の信頼性を高めることが可能になるという効果を奏する。

【 図面の簡単な説明 】

【 0 0 3 8 】

【 図 1 】 本発明の第 1 の実施の形態に係る積層チップパッケージの斜視図である。

【 図 2 】 図 1 に示した積層チップパッケージに含まれる 1 つの階層部分を示す斜視図である。

40

【 図 3 】 図 1 に示した積層チップパッケージを構成する複数の階層部分の一例を示す分解斜視図である。

【 図 4 】 図 1 に示した積層チップパッケージを構成する複数の階層部分の他の例を示す分解斜視図である。

【 図 5 】 本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法における一工程で作製される基礎構造物前ウェハの一部を示す断面図である。

【 図 6 】 図 5 に示した工程に続く工程で作製される研磨前基礎構造物本体の一部を示す断面図である。

【 図 7 】 図 6 に示した工程に続く工程で作製される構造物の一部を示す断面図である。

50

【図 8】図 7 に示した工程に続く工程で作製される研磨前基礎構造物の一部を示す断面図である。

【図 9】図 8 に示した工程に続く工程で作製される構造物の一部を示す断面図である。

【図 10】図 9 に示した工程に続く工程で作製される基礎構造物の一部を示す断面図である。

【図 11】図 10 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図 12】図 11 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

【図 13】図 12 に示した工程に続く工程で作製される積層体の一部を示す断面図である。

10

【図 14】図 5 に示した工程で作製される基礎構造物前ウェハを示す斜視図である。

【図 15】図 14 に示した基礎構造物前ウェハにおける半導体チップ予定部の内部の構造の一例を示す断面図である。

【図 16】図 6 に示した工程で作製される研磨前基礎構造物本体の一部を示す斜視図である。

【図 17】図 8 に示した工程で作製される研磨前基礎構造物の一部を示す斜視図である。

【図 18】図 10 に示した工程で作製される基礎構造物の一部を示す斜視図である。

【図 19】図 13 に示した工程に続く工程を示す説明図である。

【図 20】図 19 に示した工程に続く工程で作製される積層基礎構造物の一部を示す断面図である。

20

【図 21】図 19 に示した工程に続く工程で作製される積層基礎構造物を示す斜視図である。

【図 22】図 20 に示した工程に続く工程で作製される本体集合体の一部を示す断面図である。

【図 23】図 22 に示した工程で作製される本体集合体の一例を示す斜視図である。

【図 24】図 22 に示した工程で作製される本体集合体の他の例を示す斜視図である。

【図 25】図 22 に示した工程で作製される本体集合体の一部を示す斜視図である。

【図 26】本発明の第 1 の実施の形態に係る積層チップパッケージの製造方法において、複数の本体集合体を並べる方法の一例を示す説明図である。

30

【図 27】それぞれ治具が張り付けられた複数の本体集合体が並べられた状態を示す斜視図である。

【図 28】それぞれ治具が張り付けられていない複数の本体集合体が並べられた状態を示す斜視図である。

【図 29】配線が形成された後の本体集合体の一部を示す斜視図である。

【図 30】本体集合体を切断して作製された複数の積層チップパッケージを示す斜視図である。

【図 31】本発明の第 1 の実施の形態に係る積層チップパッケージの使用例を示す斜視図である。

【図 32】本発明の第 1 の実施の形態に係る積層チップパッケージの他の使用例を示す斜視図である。

40

【図 33】本発明の第 1 の実施の形態に係る積層チップパッケージの更に他の使用例を示す斜視図である。

【図 34】本発明の第 2 の実施の形態に係る積層チップパッケージに含まれる 1 つの階層部分を示す斜視図である。

【図 35】本発明の第 2 の実施の形態における研磨前基礎構造物本体の一部を示す斜視図である。

【図 36】本発明の第 3 の実施の形態に係る電子部品の斜視図である。

【図 37】図 36 に示した電子部品の分解斜視図である。

【図 38】本発明の第 3 の実施の形態に係る電子部品の製造過程を示す斜視図である。

50

【図 3 9】図 3 6 に示した電子部品の使用例を示す斜視図である。

【図 4 0】本発明の第 4 の実施の形態に係る積層チップパッケージの斜視図である。

【図 4 1】下面側から見た図 4 0 の積層チップパッケージを示す斜視図である。

【図 4 2】本発明の第 5 の実施の形態に係る電子部品の一態様を示す斜視図である。

【図 4 3】本発明の第 5 の実施の形態に係る電子部品の他の態様を示す斜視図である。

【発明を実施するための形態】

【0039】

[第 1 の実施の形態]

以下、本発明の実施の形態について図面を参照して詳細に説明する。始めに、図 1 を参照して、本発明の第 1 の実施の形態に係る積層チップパッケージの構成について説明する。図 1 は、本実施の形態に係る積層チップパッケージの斜視図である。図 1 に示したように、本実施の形態に係る積層チップパッケージ 1 は、直方体形状の本体 2 を備えている。本体 2 は、上面 2 a、下面 2 b、互いに反対側を向いた第 1 の側面 2 c および第 2 の側面 2 d、ならびに互いに反対側を向いた第 3 の側面 2 e および第 4 の側面 2 f を有している。

10

【0040】

積層チップパッケージ 1 は、更に、本体 2 の少なくとも 1 つの側面に配置された配線を備えている。図 1 に示した例では、積層チップパッケージ 1 は、本体 2 の第 1 の側面 2 c に配置された第 1 の配線 3 A と、本体 2 の第 2 の側面 2 d に配置された第 2 の配線 3 B とを備えている。以下、任意の配線に関しては符号 3 を付して表す。

20

【0041】

本体 2 は、積層された複数の階層部分を含んでいる。図 1 には、一例として、本体 2 が、下から順に配置された 8 つの階層部分 1 1, 1 2, 1 3, 1 4, 1 5, 1 6, 1 7, 1 8 を含んでいる例を示している。しかし、本体 2 に含まれる階層部分の数は 8 つに限らず、複数であればよい。以下の説明では、任意の階層部分に関しては、符号 1 0 を付して表す。

【0042】

本体 2 は、更に、最も上に配置された階層部分 1 8 の上に積層された端子層 2 0 を含んでいる。上下に隣接する 2 つの階層部分の間、および階層部分 1 8 と端子層 2 0 の間は、それぞれ、接着剤によって接合されている。階層部分 1 1 ~ 1 8 と端子層 2 0 は、いずれも、上面と、下面と、4 つの側面とを有している。端子層 2 0 は、上面と下面を有する端子層本体 2 1 と、この端子層本体 2 1 の上面に配置された複数のパッド状端子 2 2 とを含んでいる。複数のパッド状端子 2 2 は、積層チップパッケージ 1 における外部接続端子として機能する。複数のパッド状端子 2 2 のうちのいくつかは、本体 2 の側面 2 c に配置された端面を有し、この端面に第 1 の配線 3 A が接続されている。複数のパッド状端子 2 2 のうちの他のいくつかは、本体 2 の側面 2 d に配置された端面を有し、この端面に第 2 の配線 3 B が接続されている。

30

【0043】

積層チップパッケージ 1 は、更に、樹脂等の絶縁性の材料によって形成され、本体 2 の上面 2 a および複数のパッド状端子 2 2 を覆うオーバーコート層を備えていてもよい。この場合、オーバーコート層には、複数のパッド状端子 2 2 の各々の一部を露出させる複数の開口部を形成する。

40

【0044】

図 2 は、1 つの階層部分 1 0 を示す斜視図である。図 2 に示したように、階層部分 1 0 は、半導体チップ 3 0 を含んでいる。半導体チップ 3 0 は、上面 3 0 a、下面 3 0 b、互いに反対側を向いた第 1 の側面 3 0 c および第 2 の側面 3 0 d、ならびに互いに反対側を向いた第 3 の側面 3 0 e および第 4 の側面 3 0 f を有している。側面 3 0 c, 3 0 d, 3 0 e, 3 0 f は、それぞれ、本体 2 の側面 2 c, 2 d, 2 e, 2 f に向いている。

【0045】

階層部分 1 0 は、更に、半導体チップ 3 0 の 4 つの側面のうちの少なくとも 1 つの側面

50

を覆う絶縁部 3 1 と、半導体チップ 3 0 に接続された複数の電極 3 2 とを含んでいる。絶縁部 3 1 は、配線が配置された本体 2 の少なくとも 1 つの側面に配置された少なくとも 1 つの端面 3 1 a を有している。図 2 に示した例では、絶縁部 3 1 は、半導体チップ 3 0 の 4 つの側面の全てを覆い、絶縁部 3 1 は、本体 2 の 4 つの側面に配置された 4 つの端面 3 1 a を有している。また、この例では、絶縁部 3 1 は、半導体チップ 3 0 の上面 3 0 a も覆っている。

【 0 0 4 6 】

また、図 2 に示した例では、複数の電極 3 2 は、複数の第 1 の電極 3 2 A と、複数の第 2 の電極 3 2 B とを含んでいる。複数の第 1 の電極 3 2 A の各々は、本体 2 の第 1 の側面 2 c に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 A a を有している。複数の第 2 の電極 3 2 B の各々は、本体 2 の第 2 の側面 2 d に配置され且つ絶縁部 3 1 によって囲まれた端面 3 2 B a を有している。本体 2 の第 1 の側面 2 c に配置された第 1 の配線 3 A は、複数の階層部分 1 0 における複数の第 1 の電極 3 2 A の端面 3 2 A a に接続されている。本体 2 の第 2 の側面 2 d に配置された第 2 の配線 3 B は、複数の階層部分 1 0 における複数の第 2 の電極 3 2 B の端面 3 2 B a に接続されている。以下、任意の電極に関しては符号 3 2 を付して表し、任意の電極 3 2 の端面に関しては符号 3 2 a を付して表す。

10

【 0 0 4 7 】

積層チップパッケージ 1 は、フラッシュメモリ、D R A M、S R A M、M R A M、P R O M、F e R A M 等のメモリデバイスを実現するものである。複数の階層部分 1 0 は、それぞれ第 1 の種類の半導体チップ 3 0 を含む複数の第 1 の種類の階層部分と、第 2 の種類の半導体チップ 3 0 を含む 1 つ以上の第 2 の種類の階層部分とを含んでいる。第 1 の種類の半導体チップ 3 0 は、複数のメモリセルを含んでいる。第 2 の種類の半導体チップ 3 0 は、複数の第 1 の種類の階層部分に含まれる複数のメモリセルに対する書き込みと読み出しを制御する制御回路を含んでいる。ここでは、一例として、階層部分 1 1 が第 2 の種類の階層部分で、他の階層部分 1 2 ~ 1 8 が第 1 の種類の階層部分であるものとする。

20

【 0 0 4 8 】

第 2 の種類の半導体チップ 3 0 に含まれる制御回路は、具体的には、コラムアドレスバッファ、ローアドレスバッファ、コラムデコーダ、ローデコーダ、センスアンプ、ベリファイ回路、冗長回路、クロック発生回路等を含んでいる。

【 0 0 4 9 】

第 1 の種類の半導体チップ 3 0 は、複数のメモリセルの他に、そこに含まれる複数のメモリセルのみに関係する回路を含んでもよい。例えば、第 1 の種類の半導体チップ 3 0 は、そこに含まれる複数のメモリセルのみに関係するコラムデコーダ、ローデコーダ、センスアンプ、ベリファイ回路、冗長回路等を含んでもよい。ただし、複数の第 1 の種類の半導体チップ 3 0 に含まれる複数組のメモリセルに関する回路は、第 2 の種類の半導体チップ 3 0 に含まれる。

30

【 0 0 5 0 】

図 3 は、図 1 に示した積層チップパッケージを構成する複数の階層部分の一例を示す分解斜視図である。なお、図 3 では、階層部分 1 2 ~ 1 8 の一部を省略している。図 3 に示した例では、第 1 の種類の階層部分である階層部分 1 2 ~ 1 8 に含まれる第 1 の種類の半導体チップ 3 0 は、複数のメモリセルからなるメモリセル部 3 0 1 A を含んでいるが、その他の回路を含んでいない。第 2 の種類の階層部分である階層部分 1 1 に含まれる第 2 の種類の半導体チップ 3 0 は、制御回路 3 0 2 を含んでいる。

40

【 0 0 5 1 】

図 4 は、図 1 に示した積層チップパッケージを構成する複数の階層部分の他の例を示す分解斜視図である。なお、図 4 では、階層部分 1 2 ~ 1 8 の一部を省略している。図 4 に示した例では、第 1 の種類の階層部分である階層部分 1 2 ~ 1 8 に含まれる第 1 の種類の半導体チップ 3 0 は、複数のメモリセルからなるメモリセル部 3 0 1 A と、このメモリセル部 3 0 1 A に含まれる複数のメモリセルのみに関係する回路 3 0 1 B とを含んでいる。第 2 の種類の階層部分である階層部分 1 1 に含まれる第 2 の種類の半導体チップ 3 0 は、

50

制御回路 302 を含んでいる。

【0052】

本実施の形態に係る積層チップパッケージ 1 では、複数の階層部分 10 に含まれる複数の半導体チップ 30 が配線 3 によって電氣的に接続されることによって、メモリデバイスが実現される。

【0053】

本実施の形態に係る積層チップパッケージ 1 によれば、積層チップパッケージ 1 が、それぞれ複数のメモリセルを含む複数の第 1 の種類の半導体チップ 30 を含むことから、大容量のメモリデバイスを実現することができる。また、この積層チップパッケージ 1 によれば、積層チップパッケージ 1 に含まれる第 1 の種類の半導体チップ 30 の数を変えることにより、64GB（ギガバイト）、128GB、256GB 等の種々の容量のメモリデバイスを容易に実現することができる。

10

【0054】

次に、本実施の形態に係る積層チップパッケージ 1 の製造方法について説明する。本実施の形態に係る積層チップパッケージ 1 の製造方法は、積層基礎構造物を作製する工程と、この積層基礎構造物を用いて、複数の積層チップパッケージ 1 を作製する工程とを備えている。積層基礎構造物を作製する工程では、積層チップパッケージ 1 の複数の階層部分 10 にそれぞれ対応する複数の基礎構造物であって、各々が対応する階層部分 10 を複数含み、後にそれら対応する階層部分 10 のうちの隣接するもの同士の境界位置で切断される複数の基礎構造物を、積層チップパッケージ 1 の複数の階層部分 10 の積層の順序に対応させて積層して、積層基礎構造物を作製する。複数の基礎構造物の各々は、同種の階層部分 10 を複数含んでいてもよい。

20

【0055】

以下、図 5 ないし図 21 を参照して、本実施の形態に係る積層チップパッケージ 1 の製造方法における積層基礎構造物を作製する工程について詳しく説明する。積層基礎構造物を作製する工程では、まず、積層チップパッケージ 1 の複数の階層部分 10 にそれぞれ対応する複数の基礎構造物前ウェハを作製する。

【0056】

図 5 は、1 つの基礎構造物前ウェハを作製する工程を示している。この工程では、互いに反対側を向いた第 1 の面 100a および第 2 の面 100b を有する 1 つの半導体ウェハ 100 における第 1 の面 100a に処理、例えばウェハプロセスを施すことによって、それぞれデバイスを含み、後に複数の半導体チップ 30 となる複数の半導体チップ予定部 30P が配列された基礎構造物前ウェハ 101 を作製する。基礎構造物前ウェハ 101 における複数の半導体チップ予定部 30P は、後に同種の複数の半導体チップ 30 となるものであってもよい。基礎構造物前ウェハ 101 は、半導体ウェハ 100 の第 1 の面 100a に対応する第 1 の面 101a と、半導体ウェハ 100 の第 2 の面 100b に対応する第 2 の面 101b とを有している。基礎構造物前ウェハ 101 において、複数の半導体チップ予定部 30P は一列に配列されていてもよいし、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されていてもよい。以下の説明では、基礎構造物前ウェハ 101 において、複数の半導体チップ予定部 30P は、縦方向と横方向にそれぞれ複数個並ぶように、複数列に配列されているものとする。

30

40

【0057】

半導体ウェハ 100 としては、例えばシリコンウェハが用いられる。ウェハプロセスとは、ウェハを加工して、複数のチップに分割される前の複数のデバイスを作製するプロセスである。基礎構造物前ウェハ 101 において、第 1 の面 101a は、デバイスが形成されているデバイス形成面である。複数の半導体チップ予定部 30P の各々は、基礎構造物前ウェハ 101 の第 1 の面 101a に配置された複数のパッド状電極 34 を有している。

【0058】

図 14 は、基礎構造物前ウェハ 101 を示す斜視図である。図 14 に示したように、基礎構造物前ウェハ 101 には、縦方向に隣接する 2 つの半導体チップ予定部 30P の境界

50

を通るように横方向に延びる複数のスクライプライン 102A と、横方向に隣接する 2 つの半導体チップ予定部 30P の境界を通るように縦方向に延びる複数のスクライプライン 102B とが形成されている。

【0059】

図 15 は、図 14 に示した基礎構造物前ウェハ 101 における半導体チップ予定部 30P の内部の構造の一例を示す断面図である。ここでは、半導体チップ予定部 30P に、デバイスとして、フラッシュメモリにおける複数のメモセルが形成されている例を示す。図 15 は、半導体チップ予定部 30P に形成されたデバイスとしての複数のメモセルのうちの 1 つを示している。このメモセル 40 は、半導体ウェハ 100 よりなる P 型シリコン基板 41 の表面（半導体ウェハ 100 の第 1 の面 100a）の近傍に形成されたソース 42 およびドレイン 43 を備えている。ソース 42 およびドレイン 43 は、共に N 型の領域である。ソース 42 とドレイン 43 は、これらの間に P 型シリコン基板 41 の一部よりなるチャネルが形成されるように、所定の間隔を開けて配置されている。メモセル 40 は、更に、ソース 42 とドレイン 43 の間において基板 41 の表面上に順に積層された絶縁膜 44、浮遊ゲート 45、絶縁膜 46 および制御ゲート 47 を備えている。メモセル 40 は、更に、ソース 42、ドレイン 43、絶縁膜 44、浮遊ゲート 45、絶縁膜 46 および制御ゲート 47 を覆う絶縁層 48 を備えている。この絶縁層 48 には、ソース 42、ドレイン 43、制御ゲート 47 のそれぞれの上で開口するコンタクトホールが形成されている。メモセル 40 は、それぞれ、ソース 42、ドレイン 43、制御ゲート 47 の上方の位置で絶縁層 48 上に形成されたソース電極 52、ドレイン電極 53、制御ゲート電極 57 を備えている。ソース電極 52、ドレイン電極 53、制御ゲート電極 57 は、それぞれ、対応するコンタクトホールを通して、ソース 42、ドレイン 43、制御ゲート 47 に接続されている。

【0060】

積層チップパッケージ 1 の複数の階層部分 10 にそれぞれ対応する複数の基礎構造物前ウェハ 101 は、いずれも、図 5 を参照して説明した工程によって作製される。

【0061】

図 6 は、図 5 に示した工程に続く工程を示している。この工程では、まず、基礎構造物前ウェハ 101 の第 1 の面 101a の全体を覆うように、フォトリジスト等よりなる保護膜 103 を形成する。次に、基礎構造物前ウェハ 101 に対して、少なくとも 1 つの半導体チップ予定部 30P に隣接するように延び、且つ基礎構造物前ウェハ 101 の第 1 の面 101a において開口する 1 以上の溝 104 を形成する。ここでは、図 6 に示したように、複数の溝 104 を形成するものとする。隣接する 2 つの半導体チップ予定部 30P の境界の位置では、隣接する 2 つの半導体チップ予定部 30P の境界を通るように溝 104 が形成される。このようにして、複数の溝 104 が形成された後の基礎構造物前ウェハ 101 よりなる研磨前基礎構造物本体 105 が作製される。研磨前基礎構造物本体 105 は、複数の半導体チップ予定部 30P を含んでいる。また、研磨前基礎構造物本体 105 は、半導体ウェハ 100 の第 1 の面 100a および基礎構造物前ウェハ 101 の第 1 の面 101a に対応する第 1 の面 105a と、半導体ウェハ 100 の第 2 の面 100b および基礎構造物前ウェハ 101 の第 2 の面 101b に対応する第 2 の面 105b と、第 1 の面 105a において開口する複数の溝 104 とを有している。研磨前基礎構造物本体 105 において、第 1 の面 105a は、デバイスが形成されているデバイス形成面である。

【0062】

複数の溝 104 は、図 14 に示したスクライプライン 102A、102B に沿って形成される。また、溝 104 は、その底部が基礎構造物前ウェハ 101 の第 2 の面 101b に達しないように形成される。溝 104 の幅は、例えば 10 ~ 150 μm の範囲内である。溝 104 の深さは、例えば 30 ~ 150 μm の範囲内である。溝 104 は、例えば、ダイシングソーによって形成してもよいし、反応性イオンエッチング等のエッチングによって形成してもよい。

【0063】

10

20

30

40

50

図 16 は、図 6 に示した工程で作製される研磨前基礎構造物本体 105 の一部を示している。本実施の形態では、複数の溝 104 は、複数の第 1 の溝 104 A と複数の第 2 の溝 104 B とを含んでいる。複数の第 1 の溝 104 A と複数の第 2 の溝 104 B は、互いに直交する方向に延びている。なお、図 16 には、1 つの第 1 の溝 104 A と 1 つの第 2 の溝 104 B のみを示している。第 1 の溝 104 A は、図 14 に示したスクライプライン 102 A に沿って形成され、第 2 の溝 104 B は、図 14 に示したスクライプライン 102 B に沿って形成されている。

【0064】

図 7 は、図 6 に示した工程に続く工程を示している。この工程では、まず、研磨前基礎構造物本体 105 の複数の溝 104 を埋め、且つ複数のパッド状電極 34 を覆うように、絶縁層 106 を形成する。この絶縁層 106 は、後に絶縁部 31 の一部となるものである。次に、絶縁層 106 に、複数のパッド状電極 34 を露出させるための複数の開口部 106a を形成する。

10

【0065】

絶縁層 106 は、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、絶縁層 106 は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。絶縁層 106 が感光性を有する材料によって形成されている場合には、フォトリソグラフィによって絶縁層 106 に開口部 106a を形成することができる。絶縁層 106 が感光性を有しない材料によって形成されている場合には、絶縁層 106 を選択的にエッチングすることによって、絶縁層 106 に開口部 106a を形成することができる。

20

【0066】

また、絶縁層 106 は、複数の溝 104 を埋める第 1 層と、この第 1 層および複数のパッド状電極 34 を覆う第 2 層とを含んでもよい。この場合には、開口部 106a は、第 2 層に形成される。第 1 層と第 2 層は、共に、エポキシ樹脂、ポリイミド樹脂等の樹脂によって形成されてもよい。また、第 2 層は、感光剤を含んだポリイミド樹脂等の感光性を有する材料によって形成されてもよい。第 2 層が感光性を有する材料によって形成されている場合には、フォトリソグラフィによって第 2 層に開口部 106a を形成することができる。第 2 層が感光性を有しない材料によって形成されている場合には、第 2 層を選択的にエッチングすることによって、第 2 層に開口部 106a を形成することができる。

30

【0067】

また、絶縁層 106 は、熱膨張係数の小さな樹脂によって形成することが好ましい。熱膨張係数の小さな樹脂によって絶縁層 106 を形成することにより、後にダイシングソーによって絶縁層 106 を切断する場合に、絶縁層 106 の切断が容易になる。

【0068】

また、絶縁層 106 は、透明であることが好ましい。絶縁層 106 が透明であることにより、後に絶縁層 106 の上に形成されるアライメントマークを、絶縁層 106 を通して容易に認識することが可能になる。

【0069】

図 8 は、図 7 に示した工程に続く工程を示している。この工程では、一部が絶縁層 106 の上に配置されるように、複数の電極 32 を形成する。各電極 32 は、開口部 106a を通してパッド状電極 34 に接続される。図 17 は、図 8 に示した工程で作製される構造物の一部を示している。なお、図 8 および図 17 には、隣接する 2 つの半導体チップ予定部 30P の各々から延びる電極 32 同士が連結されている例を示している。しかし、隣接する 2 つの半導体チップ予定部 30P の各々から延びる電極 32 は連結されていなくてもよい。

40

【0070】

電極 32 は、Cu 等の導電性材料によって形成される。また、電極 32 は、例えばフレームめっき法によって形成される。この場合には、まず、絶縁層 106 の上に、めっき用のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。この

50

フレームは、例えば、フォトリソグラフィによりフォトリジスト層をパターニングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、電極 3 2 の一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって電極 3 2 が形成される。

【0071】

図 1 7 に示したように、複数の電極 3 2 を形成する工程では、複数の電極 3 2 の形成と同時に、絶縁層 1 0 6 の上に複数のアライメントマーク 1 0 7 を形成する。アライメントマーク 1 0 7 は、溝 1 0 4 の上方の位置に配置される。アライメントマーク 1 0 7 の材料および形成方法は、電極 3 2 と同様である。

10

【0072】

このようにして、図 8 および図 1 7 に示す研磨前基礎構造物 1 0 9 が作製される。研磨前基礎構造物 1 0 9 は、研磨前基礎構造物本体 1 0 5 と、研磨前基礎構造物本体 1 0 5 の複数の溝 1 0 4 を埋め、後に絶縁部 3 1 の一部となる絶縁層 1 0 6 と、一部が絶縁層 1 0 6 の上に配置された複数の電極 3 2 と、絶縁層 1 0 6 の上に配置された複数のアライメントマーク 1 0 7 とを備えている。また、研磨前基礎構造物 1 0 9 は、半導体ウェハ 1 0 0 の第 1 の面 1 0 0 a および基礎構造物前ウェハ 1 0 1 の第 1 の面 1 0 1 a に対応する第 1 の面 1 0 9 a と、半導体ウェハ 1 0 0 の第 2 の面 1 0 0 b および基礎構造物前ウェハ 1 0 1 の第 2 の面 1 0 1 b に対応する第 2 の面 1 0 9 b とを有している。

【0073】

20

積層チップパッケージ 1 の複数の階層部分 1 0 にそれぞれ対応する複数の研磨前基礎構造物 1 0 9 は、いずれも、図 6 ないし図 8 を参照して説明した工程によって作製される。

【0074】

図 9 は、図 8 に示した工程に続く工程を示している。この工程では、1 つの研磨前基礎構造物 1 0 9 の第 1 の面 1 0 9 a が、図 9 に示した板状の治具 1 1 2 の一方の面に対向するように、絶縁性の接着剤によって、研磨前基礎構造物 1 0 9 を治具 1 1 2 に張り付ける。以下、この治具 1 1 2 に貼り付けられた研磨前基礎構造物 1 0 9 を、第 1 の研磨前基礎構造物 1 0 9 と呼ぶ。また、第 1 の研磨前基礎構造物 1 0 9 を作製する基となる基礎構造物前ウェハ 1 0 1 を第 1 の基礎構造物前ウェハ 1 0 1 と呼ぶ。接着剤によって形成される絶縁層 1 1 3 は、電極 3 2 を覆い、絶縁部 3 1 の一部となる。絶縁層 1 1 3 は、透明であることが好ましい。

30

【0075】

次に、第 1 の研磨前基礎構造物 1 0 9 における第 2 の面 1 0 9 b を研磨する。この研磨は、複数の溝 1 0 4 が露出するまで行う。図 9 において、破線は、研磨後の面 1 0 9 b の位置を示している。第 1 の研磨前基礎構造物 1 0 9 における第 2 の面 1 0 9 b を研磨することにより、第 1 の研磨前基礎構造物 1 0 9 が研磨により薄くされることによって、基礎構造物 1 1 0 が、治具 1 1 2 に張り付けられた状態で形成される。この基礎構造物 1 1 0 の厚みは、例えば 30 ~ 100 μm である。

【0076】

図 1 0 は、治具 1 1 2 に張り付けられた基礎構造物 1 1 0 を示している。以下、この治具 1 1 2 に張り付けられた基礎構造物 1 1 0 を、第 1 の基礎構造物 1 1 0 と呼ぶ。第 1 の基礎構造物 1 1 0 は、第 1 の研磨前基礎構造物 1 0 9 の第 1 の面 1 0 9 a に対応する第 1 の面 1 1 0 a と、その反対側の第 2 の面 1 1 0 b とを有している。第 2 の面 1 1 0 b は、研磨された面である。

40

【0077】

図 1 8 は、図 1 0 に示した工程で作製される第 1 の基礎構造物 1 1 0 の一部を示している。前述のように、複数の溝 1 0 4 が露出するまで、第 1 の研磨前基礎構造物 1 0 9 における第 2 の面 1 0 9 b を研磨することにより、複数の半導体チップ予定部 3 0 P は、互いに分離されて、それぞれ半導体チップ 3 0 となる。

【0078】

50

図 1 1 は、図 1 0 に示した工程に続く工程を示している。この工程では、治具 1 1 2 に張り付けられた第 1 の基礎構造物 1 1 0 に、絶縁性の接着剤によって、研磨前基礎構造物 1 0 9 を張り付ける。この研磨前基礎構造物 1 0 9 は、第 1 の面 1 0 9 a が、第 1 の基礎構造物 1 1 0 の研磨された面すなわち第 2 の面 1 1 0 b に対向するように、第 1 の基礎構造物 1 1 0 に張り付けられる。以下、第 1 の基礎構造物 1 1 0 に張り付けられる研磨前基礎構造物 1 0 9 を、第 2 の研磨前基礎構造物 1 0 9 と呼ぶ。また、第 2 の研磨前基礎構造物 1 0 9 を作製する基となる基礎構造物前ウェハ 1 0 1 を第 2 の基礎構造物前ウェハ 1 0 1 と呼ぶ。接着剤によって形成される絶縁層 1 1 3 は、電極 3 2 を覆い、絶縁部 3 1 の一部となる。絶縁層 1 1 3 は、透明であることが好ましい。

【 0 0 7 9 】

10

次に、第 2 の研磨前基礎構造物 1 0 9 における第 2 の面 1 0 9 b を研磨する。この研磨は、複数の溝 1 0 4 が露出するまで行う。図 1 1 において、破線は、研磨後の面 1 0 9 b の位置を示している。第 2 の研磨前基礎構造物 1 0 9 における第 2 の面 1 0 9 b を研磨することにより、第 2 の研磨前基礎構造物 1 0 9 が研磨により薄くされることによって、基礎構造物 1 1 0 が、第 1 の基礎構造物 1 1 0 上に積層された状態で形成される。以下、この第 1 の基礎構造物 1 1 0 上に積層された基礎構造物 1 1 0 を第 2 の基礎構造物 1 1 0 と呼ぶ。

【 0 0 8 0 】

図 1 2 は、第 2 の研磨前基礎構造物 1 0 9 における第 2 の面 1 0 9 b が研磨されて、治具 1 1 2 上に第 1 の基礎構造物 1 1 0 と第 2 の基礎構造物 1 1 0 とが積層された状態を示している。第 2 の基礎構造物 1 1 0 は、第 2 の研磨前基礎構造物 1 0 9 の第 1 の面 1 0 9 a に対応する第 1 の面 1 1 0 a と、その反対側の第 2 の面 1 1 0 b とを有している。第 2 の面 1 1 0 b は、研磨された面である。第 2 の基礎構造物 1 1 0 の厚みは、第 1 の基礎構造物 1 1 0 と同様に、例えば $30 \sim 100 \mu\text{m}$ である。

20

【 0 0 8 1 】

ここで、絶縁層 1 0 6 , 1 1 3 が透明である場合には、治具 1 1 2 としてアクリル板、ガラス板等の透明なものを用いることにより、第 1 の基礎構造物 1 1 0 に第 2 の研磨前基礎構造物 1 0 9 を張り付ける際に、治具 1 1 2 の外側より、第 1 の基礎構造物 1 1 0 と第 2 の研磨前基礎構造物 1 0 9 におけるアライメントマーク 1 0 7 を見ることが可能になる。これにより、アライメントマーク 1 0 7 を利用して、第 1 の基礎構造物 1 1 0 と第 2 の研磨前基礎構造物 1 0 9 の位置合わせを行うことが可能になる。

30

【 0 0 8 2 】

以下、図 1 1 および図 1 2 に示した工程と同様の工程を繰り返し行って、第 2 の基礎構造物 1 1 0 の上に更に 1 つ以上の基礎構造物 1 1 0 を積層して、治具 1 1 2 上に 3 つ以上の基礎構造物 1 1 0 を積層してもよい。ここでは、一例として、図 1 3 に示したように、治具 1 1 2 上に 4 つの基礎構造物 1 1 0 を積層するものとする。なお、本実施の形態において、治具 1 1 2 上に積層する基礎構造物 1 1 0 の数は 2 つ以上であればよい。

【 0 0 8 3 】

図 1 9 は、図 1 3 に示した工程に続く工程を示している。この工程では、それぞれ 4 つの基礎構造物 1 1 0 を含む 2 つの積層体を用意し、この 2 つの積層体を張り合わせて、8 つの基礎構造物 1 1 0 を含む新たな積層体を作製する。4 つの基礎構造物 1 1 0 を含む 2 つの積層体は、いずれも図 9 ないし図 1 3 に示した工程によって作製される。なお、図 1 9 において上側に配置された 4 つの基礎構造物 1 1 0 を含む積層体と治具 1 1 2 の組み合わせは、図 1 3 に示した積層体と治具 1 1 2 とを分離した後、治具 1 1 2 を、積層体において当初張り付けられていた面とは反対側の面に張り付けることによって作製されている。このように、張り合わせる 2 つの積層体の一方について、治具 1 1 2 を張り直すことにより、図 1 9 に示したように、8 つの基礎構造物 1 1 0 における第 1 および第 2 の面の上下の位置関係が同じになるように、8 つの基礎構造物 1 1 0 を積層することが可能になる。

40

【 0 0 8 4 】

50

図 20 および図 21 は、図 19 に示した工程に続く工程を示す。この工程では、図 19 に示した工程で作製された 8 つの基礎構造物 110 を含む積層体における最も上に配置された基礎構造物 110 の上に、更に端子用ウェハ 120 を積層して、積層基礎構造物 115 を作製する。端子用ウェハ 120 は、樹脂、セラミック等の絶縁材料によって形成された板状のウェハ本体 121 を有している。ウェハ本体 121 は、後に互いに分離されてそれぞれ端子層本体 21 となる複数の端子層本体予定部 21P を含んでいる。端子用ウェハ 120 は、更に、ウェハ本体 121 の上面に配置された複数組のパッド状端子 22 を有している。1 組のパッド状端子 22 は、1 つの端子層本体予定部 21P に配置されている。なお、図 20 および図 21 には、隣接する 2 つの端子層本体予定部 21P の境界において、2 つの端子層本体予定部 21P の各々に配置された複数のパッド状端子 22 同士が連結されている例を示している。しかし、隣接する 2 つの端子層本体予定部 21P の各々に配置された複数のパッド状端子 22 は連結されていなくてもよい。ウェハ本体 121 は透明であってもよい。この場合、ウェハ本体 121 の上面において、隣接する 2 つの端子層本体予定部 21P の境界の位置にアライメントマークを設けてもよい。

10

【0085】

本実施の形態において、積層基礎構造物 115 を作製する工程は、第 1 の基礎構造物前ウェハ 101 を作製する工程と、第 2 の基礎構造物前ウェハ 101 を作製する工程と、第 1 の基礎構造物前ウェハ 101 を用いて第 1 の研磨前基礎構造物 109 を作製する工程と、第 2 の基礎構造物前ウェハ 101 を用いて第 2 の研磨前基礎構造物 109 を作製する工程と、第 1 の研磨前基礎構造物 109 を治具 112 に張り付ける工程と、第 1 の基礎構造物 110 が形成されるように第 1 の研磨前基礎構造物 109 における第 2 の面 109b を研磨する第 1 の研磨工程と、第 1 の基礎構造物 110 に第 2 の研磨前基礎構造物 109 を張り付ける工程と、第 2 の基礎構造物 110 が形成されるように第 2 の研磨前基礎構造物 109 における第 2 の面 109b を研磨する第 2 の研磨工程とを含んでいる。

20

【0086】

第 1 および第 2 の基礎構造物前ウェハ 101 は、いずれも、図 5 を参照して説明した工程によって作製される。第 1 および第 2 の研磨前基礎構造物 109 は、いずれも、図 6 ないし図 8 を参照して説明した工程によって作製される。第 1 の研磨前基礎構造物 109 を治具 112 に張り付ける工程では、図 9 に示したように、第 1 の研磨前基礎構造物 109 の第 1 の面 109a が治具 112 に対向するように、第 1 の研磨前基礎構造物 109 を治具 112 に張り付ける。第 1 の研磨工程では、図 9 および図 10 に示したように、第 1 の研磨前基礎構造物 109 が研磨により薄くされることによって、第 1 の基礎構造物 110 が、治具 112 に張り付けられた状態で形成されるように、第 1 の研磨前基礎構造物 109 における第 2 の面 109b を研磨する。第 1 の基礎構造物 110 に第 2 の研磨前基礎構造物 109 を張り付ける工程では、図 11 に示したように、第 2 の研磨前基礎構造物 109 の第 1 の面 109a が、第 1 の基礎構造物 110 の研磨された面すなわち第 2 の面 110b に対向するように、第 1 の基礎構造物 110 に第 2 の研磨前基礎構造物 109 を張り付ける。第 2 の研磨工程では、第 2 の研磨前基礎構造物 109 が研磨により薄くされることによって、第 2 の基礎構造物 110 が、第 1 の基礎構造物 110 上に積層された状態で形成されるように、第 2 の研磨前基礎構造物 109 における第 2 の面 109b を研磨する。

30

40

【0087】

単独の状態の研磨前基礎構造物 109 に対して研磨を行って基礎構造物 110 を作製すると、基礎構造物 110 が例えば 30 ~ 100 μm のように薄くなるために、基礎構造物 110 の取り扱いが難しくなると共に、基礎構造物 110 が損傷を受け易くなる。また、基礎構造物 110 において半導体チップ 30 と絶縁層 106 の熱膨張係数が異なることから、基礎構造物 110 が薄くなると、基礎構造物 110 が丸まってしまい、この点からも、基礎構造物 110 の取り扱いが難しくなると共に、基礎構造物 110 が損傷を受け易くなる。

【0088】

50

本実施の形態では、第 1 の研磨前基礎構造物 1 0 9 については、治具 1 1 2 に張り付けられた状態で研磨を行うため、第 1 の研磨前基礎構造物 1 0 9 が研磨により薄くされることによって形成された第 1 の基礎構造物 1 1 0 の取り扱いが容易になると共に、第 1 の基礎構造物 1 1 0 が損傷を受け難くなる。また、第 2 の研磨前基礎構造物 1 0 9 については、治具 1 1 2 に張り付けられた第 1 の基礎構造物 1 1 0 に対して張り付けられた状態で研磨を行うため、第 2 の研磨前基礎構造物 1 0 9 が研磨により薄くされることによって形成された第 2 の基礎構造物 1 1 0 の取り扱いが容易になると共に、第 2 の基礎構造物 1 1 0 が損傷を受け難くなる。第 2 の基礎構造物 1 1 0 の上に積層される 1 つ以上の基礎構造物 1 1 0 についても同様である。

【 0 0 8 9 】

10

なお、本実施の形態において、積層基礎構造物 1 1 5 を作製する方法は、図 5 ないし図 2 1 を参照して説明した方法に限らない。例えば、第 1 の面 1 0 9 a 同士が対向するように 2 つの研磨前基礎構造物 1 0 9 を張り合わせ、この 2 つの研磨前基礎構造物 1 0 9 における 2 つの第 2 の面 1 0 9 b を研磨して、2 つの基礎構造物 1 1 0 を含む積層体を作製し、この積層体を複数積層して積層基礎構造物 1 1 5 を作製してもよい。あるいは、第 2 の面 1 1 0 b 同士が対向するように 2 つの基礎構造物 1 1 0 を張り合わせて、2 つの基礎構造物 1 1 0 を含む積層体を作製し、この積層体を複数積層して積層基礎構造物 1 1 5 を作製してもよい。

【 0 0 9 0 】

以下、積層基礎構造物 1 1 5 を用いて、複数の積層チップパッケージ 1 を作製する工程について説明する。この工程では、まず、図 2 2 に示したように、ダイシングソーによって、図 1 8 における第 1 の溝 1 0 4 A に沿って、積層基礎構造物 1 1 5 を切断して、複数の本体集合体 1 3 0 を作製する。図 2 3 は本体集合体 1 3 0 の一例を示し、図 2 4 は本体集合体 1 3 0 の他の例を示している。図 2 3 および図 2 4 に示したように、本体集合体 1 3 0 は、積層チップパッケージ 1 の複数の階層部分 1 0 の積層方向と直交する一方向に配列され、それぞれ後に本体 2 となる複数の本体予定部 2 P を含んでいる。図 2 3 に示した本体集合体 1 3 0 は、端子用ウェハ 1 2 0 のウェハ本体 1 2 1 が透明で、ウェハ本体 1 2 1 の上面において、隣接する 2 つの端子層本体予定部 2 1 P の境界の位置に、アライメントマーク 1 2 3 が設けられた積層基礎構造物 1 1 5 を切断して得られたものである。図 2 4 に示した本体集合体 1 3 0 は、ウェハ本体 1 2 1 の上面にアライメントマーク 1 2 3 が設けられていない積層基礎構造物 1 1 5 を切断して得られたものである。なお、図 2 3 および図 2 4 には、本体集合体 1 3 0 が 5 つの本体予定部 2 P を含む例を示したが、本体集合体 1 3 0 に含まれる本体予定部 2 P の数は複数であればよい。

20

30

【 0 0 9 1 】

積層基礎構造物 1 1 5 の切断は、積層基礎構造物 1 1 5 を板状の治具または一般的にウェハのダイシングの際に使用されるウェハシートに張り付けた状態で行ってもよい。図 2 2 は、積層基礎構造物 1 1 5 を板状の治具 1 2 5 に張り付けた状態で、積層基礎構造物 1 1 5 の切断を行った例を示している。また、図 2 2 では、治具 1 2 5 は切断されていないが、積層基礎構造物 1 1 5 と共に治具 1 2 5 も切断してもよい。

【 0 0 9 2 】

40

図 2 3 および図 2 4 に示したように、本体集合体 1 3 0 は、上面と、下面と、4 つの側面を有している。本体集合体 1 3 0 の下面には、治具 1 2 6 を張り付けてもよい。この治具 1 2 6 は、積層基礎構造物 1 1 5 を切断する際に積層基礎構造物 1 1 5 に張り付けた治具 1 2 5 が切断されて形成されたものであってもよい。

【 0 0 9 3 】

積層基礎構造物 1 1 5 を切断する工程では、図 1 8 における第 1 の溝 1 0 4 A が延びる方向に沿って切断面が形成されるように絶縁層 1 0 6 が切断される。図 2 5 は、積層基礎構造物 1 1 5 を切断することによって作製された本体集合体 1 3 0 の一部を示している。図 2 5 に示したように、絶縁層 1 0 6 は、切断されることにより、絶縁部 3 1 の一部である絶縁層 3 1 A となる。また、絶縁層 1 0 6 の切断面、すなわち絶縁層 3 1 A の切断面 3

50

1 A a によって、絶縁部 3 1 の端面 3 1 a の一部が形成される。

【0094】

積層基礎構造物 1 1 5 を切断する工程では、絶縁層 1 0 6 が切断される際に、電極 3 2 を覆う絶縁層 1 1 3 も切断される。絶縁層 1 1 3 は、切断されることにより、絶縁部 3 1 の他の一部である絶縁層 3 1 B となる。また、絶縁層 1 1 3 の切断面、すなわち絶縁層 3 1 B の切断面 3 1 B a によって、絶縁部 3 1 の端面 3 1 a の他の一部が形成される。

【0095】

また、積層基礎構造物 1 1 5 を切断する工程では、絶縁層 1 0 6 が切断されることによって、絶縁部 3 1 の端面 3 1 a から複数の電極 3 2 の端面 3 2 a が露出する。端面 3 2 a は、絶縁部 3 1 によって囲まれている。

10

【0096】

積層基礎構造物 1 1 5 を切断することにより、本体集合体 1 3 0 の 4 つの側面のうち、複数の本体予定部 2 P が並ぶ方向に平行な 2 つの側面に、それぞれ、複数の電極 3 2 の端面 3 2 a が現れる。より詳しく説明すると、本体集合体 1 3 0 の 1 つの側面には、本体集合体 1 3 0 に含まれる全ての階層部分 1 0 における複数の電極 3 2 A の端面 3 2 A a が現れ、この側面とは反対側の本体集合体 1 3 0 の側面には、本体集合体 1 3 0 に含まれる全ての階層部分 1 0 における複数の電極 3 2 B の端面 3 2 B a が現れる。

【0097】

複数の積層チップパッケージ 1 を作製する工程では、積層基礎構造物 1 1 5 を切断した後、複数の電極 3 2 の端面 3 2 a が現れる本体集合体 1 3 0 の 2 つの側面を研磨する。次に、本体集合体 1 3 0 における各本体予定部 2 P に対してそれぞれ配線 3 A , 3 B を形成する。この配線 3 A , 3 B を形成する工程では、複数の本体集合体 1 3 0 を、複数の階層部分 1 0 の積層方向に並べた後、この複数の本体集合体 1 3 0 における各本体予定部 2 P に対して同時に配線 3 A , 3 B を形成してもよい。これにより、短時間で、多数の本体予定部 2 P に対して配線 3 A , 3 B を形成することが可能になる。

20

【0098】

図 2 6 は、複数の本体集合体 1 3 0 を並べる方法の一例を示している。この例では、チップの位置の認識および制御が可能なチップボンディング装置を利用して、テーブル 1 4 2 上において、それぞれ治具 1 2 6 が張り付けられた複数の本体集合体 1 3 0 を、位置合わせを行いながら複数の階層部分 1 0 の積層方向に並べている。図 2 6 において、符号 1 4 1 は、チップを保持するためのヘッドを示している。この例では、治具 1 2 6 が張り付けられた状態の本体集合体 1 3 0 をヘッド 1 4 1 によって保持し、本体集合体 1 3 0 の位置の認識および制御を行いながら、本体集合体 1 3 0 をテーブル 1 4 2 上の所望の位置に配置している。図 2 7 は、それぞれ治具 1 2 6 が張り付けられた複数の本体集合体 1 3 0 が、複数の階層部分 1 0 の積層方向に並べられた状態を表している。なお、並べられた複数の本体集合体 1 3 0 を、容易に分離可能に接着して固定してもよい。

30

【0099】

複数の本体集合体 1 3 0 を並べる際には、チップボンディング装置が備えている画像認識装置によって、本体集合体 1 3 0 の外縁の位置や、本体集合体 1 3 0 の側面に現れている電極 3 2 の端面 3 2 a の位置を認識することにより、本体集合体 1 3 0 の位置の認識および制御を行うことが可能になる。

40

【0100】

また、それぞれ治具 1 2 6 が張り付けられていない複数の本体集合体 1 3 0 を、位置合わせを行いながら、複数の階層部分 1 0 の積層方向に並べてもよい。図 2 8 は、このようにして並べられた複数の本体集合体 1 3 0 を表している。この場合も、並べられた複数の本体集合体 1 3 0 を、容易に分離可能に接着して固定してもよい。

【0101】

それぞれ治具 1 2 6 が張り付けられていない複数の本体集合体 1 3 0 を並べる場合において、絶縁部 3 1 および端子層本体 2 1 となる部分が透明で、アライメントマーク 1 0 7 , 1 2 3 の少なくとも一方を観察可能な場合には、チップボンディング装置が備えている

50

画像認識装置によって、アライメントマーク 107, 123 の少なくとも一方を認識することにより、本体集合体 130 の位置の認識および制御を行ってもよい。この場合には、画像認識装置によって、図 26 において符号 143 で示す矢印方向からアライメントマークを観察する。

【0102】

次に、図 29 を参照して、配線 3A, 3B を形成する工程について説明する。この工程では、本体集合体 130 における各本体予定部 2P に対してそれぞれ配線 3A, 3B を形成する。配線 3A, 3B は、例えばフレームめっき法によって形成される。この場合には、まず、配線 3A を形成すべき本体集合体 130 の側面上に、めっき用のシード層を形成する。次に、シード層の上に、溝部を有するフレームを形成する。このフレームは、例えば、フォトレジストフィルムをフォトリソグラフィによりパターンニングすることによって形成される。次に、めっき法によって、フレームの溝部内であってシード層の上に、配線 3A の一部となるめっき層を形成する。次に、フレームを除去し、更に、シード層のうち、めっき層の下に存在する部分以外の部分をエッチングによって除去する。これにより、めっき層およびその下に残ったシード層によって配線 3A が形成される。次に、配線 3B を形成すべき本体集合体 130 の側面上に、配線 3A の形成方法と同様の方法によって配線 3B を形成する。図 29 は、配線 3A, 3B が形成された後の本体集合体 130 の一部を示している。

10

【0103】

次に、図 30 を参照して、本体集合体 130 を切断する工程について説明する。この工程では、本体集合体 130 に含まれる複数の本体予定部 2P が互いに分離されてそれぞれ本体 2 となることによって複数の積層チップパッケージ 1 が形成されるように、本体集合体 130 を切断する。このようにして、図 30 に示したように、積層チップパッケージ 1 が複数個同時に製造される。

20

【0104】

本実施の形態に係る積層チップパッケージ 1 は、そのままの状態で、1つの電子部品（メモリデバイス）として使用することが可能である。例えば、積層チップパッケージ 1 は、複数のパッド状端子 22 が下を向くように配線基板上に配置することにより、フリップチップ法によって配線基板に実装することができる。

【0105】

また、例えば、積層チップパッケージ 1 を使用する装置に、積層チップパッケージ 1 を収容する凹部が設けられている場合には、複数のパッド状端子 22 が上を向くようにして、凹部内に積層チップパッケージ 1 を挿入し、複数のパッド状端子 22 を装置内の回路に接続することができる。

30

【0106】

図 31 は、積層チップパッケージ 1 の使用例を示している。この例では、積層チップパッケージ 1 の複数のパッド状端子 22 にそれぞれボンディングワイヤ 160 の一端を接続している。ボンディングワイヤ 160 の他端は、積層チップパッケージ 1 を使用する装置における端子に接続される。

【0107】

図 32 および図 33 は、積層チップパッケージ 1 の他の使用例を示している。この例では、複数のピン 161 を有するリードフレームに積層チップパッケージ 1 を取り付け、積層チップパッケージ 1 をモールド樹脂によって封止している。積層チップパッケージ 1 の複数のパッド状端子 22 は、複数のピン 161 に接続されている。モールド樹脂は、積層チップパッケージ 1 を保護する保護層 162 となる。図 32 は、複数のピン 161 が水平方向に延びている例を示している。図 33 は、複数のピン 161 が下方に向けて折り曲げられた例を示している。

40

【0108】

以上説明したように、本実施の形態によれば、メモリデバイスを実現する積層チップパッケージ 1 であって、積層された複数のチップ 30 を含み、高集積化の可能な積層チップ

50

パッケージ 1 を実現することができる。本実施の形態に係る積層チップパッケージ 1 は、上面、下面および 4 つの側面を有する本体 2 と、この本体 2 の少なくとも 1 つの側面に配置された配線 3 とを備えている。本体 2 は、積層された複数の階層部分 10 を含んでいる。複数の階層部分 10 の各々は、上面、下面および 4 つの側面を有する半導体チップ 30 と、半導体チップ 30 の 4 つの側面のうちの少なくとも 1 つの側面を覆う絶縁部 31 と、半導体チップ 30 に接続された複数の電極 32 とを含んでいる。絶縁部 31 は、配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置された少なくとも 1 つの端面 31a を有している。複数の電極 32 の各々は、配線 3 が配置された本体 2 の少なくとも 1 つの側面に配置され且つ絶縁部 31 によって囲まれた端面 32a を有している。配線 3 は、複数の階層部分 10 における複数の電極 32 の端面 32a に接続されている。

10

【0109】

本実施の形態では、積層された複数の半導体チップ 30 は、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって電氣的に接続される。そのため、本実施の形態では、ワイヤボンディング方式における問題点、すなわちワイヤ同士の接触を避けるために電極の間隔を小さくすることが難しいという問題点や、ワイヤの高い抵抗値が回路の高速動作の妨げになるという問題点は生じない。

【0110】

また、本実施の形態では、貫通電極方式に比べて以下の利点がある。まず、本実施の形態では、チップに貫通電極を形成する必要がないので、チップに貫通電極を形成するための多くの工程は不要である。

20

【0111】

また、本実施の形態では、複数の半導体チップ 30 間の電氣的接続を、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行う。そのため、本実施の形態によれば、複数のチップ間の電氣的接続を貫通電極によって行う場合に比べて、複数の半導体チップ 30 間の電氣的接続を行う配線を容易に形成でき、且つ配線の信頼性を向上させることができる。

【0112】

また、本実施の形態では、配線 3 の線幅や厚みを容易に変更することができる。そのため、本実施の形態によれば、将来における配線 3 の微細化の要望にも容易に対応することができる。

30

【0113】

また、貫通電極方式では、上下のチップの貫通電極同士を、例えば、高温下で半田によって接続する必要がある。これに対し、本実施の形態では、配線 3 は例えばめっき法によって形成することができるため、より低温下で、配線 3 を形成することが可能である。また、本実施の形態では、複数の階層部分 10 の接合も低温下で行うことができる。そのため、チップ 30 が熱によって損傷を受けることを防止することができる。

【0114】

また、貫通電極方式では、上下のチップの貫通電極同士を接続するため、上下のチップを正確に位置合わせする必要がある。これに対し、本実施の形態では、複数の半導体チップ 30 間の電氣的接続を、上下に隣接する 2 つの階層部分 10 の界面では行わず、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行うため、複数の階層部分 10 の位置合わせの精度は、貫通電極方式における複数のチップ間の位置合わせの精度に比べて緩やかでよい。

40

【0115】

また、貫通電極方式では、上下のチップの貫通電極同士が例えば半田によって接続されているため、積層された複数のチップに 1 つ以上の不良チップが含まれていた場合に、その不良チップを良品のチップと交換することが難しい。これに対し、本実施の形態では、積層チップパッケージ 1 に 1 つ以上の不良の半導体チップ 30 が含まれていた場合に、その不良チップを良品のチップと容易に交換することが可能である。すなわち、不良チップを良品のチップと交換する場合には、まず、例えば研磨によって配線 3 を除去する。次に

50

、少なくとも不良の半導体チップ 30 を含む階層部分 10 と他の階層部分 10 とが分離するように、本体 2 を分解して、不良の半導体チップ 30 を取り出す。本実施の形態では、上下に隣接する 2 つの階層部分 10 は接着剤によって接合されているので、これらの分離は容易である。次に、不良の半導体チップ 30 の代りに良品の半導体チップ 30 を用いて、本体 2 を再構築する。次に、再構築された本体 2 において配線 3 を形成すべき側面を研磨した後、この側面に配線 3 を形成する。

【0116】

また、本実施の形態に係る積層チップパッケージの製造方法では、特許文献 1 に記載された積層チップパッケージの製造方法に比べて、工程数を少なくすることができ、その結果、積層チップパッケージのコストを低減することができる。

10

【0117】

以上のことから、本実施の形態によれば、積層チップパッケージ 1 を低コストで短時間に大量生産することが可能になる。

【0118】

また、本実施の形態に係る積層チップパッケージの製造方法によれば、積層基礎構造物 115 を構成する複数の基礎構造物 110 を、それらが損傷を受けることを防止しながら、容易に薄くすることができる。そのため、本実施の形態によれば、小型で集積度の高い積層チップパッケージ 1 を、高い歩留まりで製造することが可能になる。

【0119】

[第2の実施の形態]

20

次に、本発明の第 2 の実施の形態について説明する。本実施の形態に係る積層チップパッケージ 1 では、本体 2 の 4 つの側面 2c ~ 2f は、配線 3 が配置された少なくとも 1 つの第 1 の種類の側面と、配線 3 が配置されていない少なくとも 1 つの第 2 の種類の側面とを含んでいる。本実施の形態に係る積層チップパッケージ 1 の外観は、例えば、第 1 の実施の形態と同様に、図 1 に示したようになる。この例では、本体 2 の 4 つの側面 2c ~ 2f のうち、側面 2c , 2d が第 1 の種類の側面であり、側面 2e , 2f が第 2 の種類の側面である。

【0120】

また、本実施の形態では、第 1 の種類または第 2 の種類の半導体チップ 30 の 4 つの側面 30c ~ 30f は、本体 2 の少なくとも 1 つの第 1 の種類の側面との間に絶縁部 31 が配置された少なくとも 1 つの第 1 の種類の側面と、本体 2 の少なくとも 1 つの第 2 の種類の側面に配置された少なくとも 1 つの第 2 の種類の側面とを含んでいる。

30

【0121】

図 34 は、本実施の形態における 1 つの階層部分 10 を示す斜視図である。本実施の形態では、半導体チップ 30 の側面 30e , 30f は、それぞれ、本体 2 の側面 2e , 2f に配置されている。半導体チップ 30 の側面 30c , 30d は、それぞれ、本体の側面 2c , 2d に向いている。また、本実施の形態では、絶縁部 31 は、半導体チップ 30 の 4 つの側面のうち、側面 30c , 30d を覆っているが、側面 30e , 30f は覆っていない。従って、半導体チップ 30 の 4 つの側面 30c ~ 30f のうち、側面 30c , 30d が第 1 の種類の側面であり、側面 30e , 30f が第 2 の種類の側面である。

40

【0122】

次に、図 35 を参照して、本実施の形態に係る積層チップパッケージ 1 の製造方法が第 1 の実施の形態とは異なる点について説明する。図 35 は、本実施の形態において、図 6 に示した工程で作製される研磨前基礎構造物本体 105 の一部を示している。本実施の形態では、図 6 に示した工程において、複数の溝 104 として、図 14 に示した複数のスクライプライン 102A に沿った複数の第 1 の溝 104A のみを形成する。すなわち、本実施の形態では、第 1 の実施の形態では形成していた、複数のスクライプライン 102B に沿った複数の第 2 の溝 104B (図 16 参照) を形成しない。本実施の形態では、図 30 に示した工程において、スクライプライン 102B に沿って本体集合体 130 が切断され、これにより、複数の半導体チップ予定部 30P は、互いに分離されて、それぞれ半導体

50

チップ 30 となる。また、スクライプライン 102B に沿って本体集合体 130 が切断されることにより、半導体チップ 30 の第 3 の側面 30e と第 4 の側面 30f が形成される。

【0123】

本実施の形態によれば、第 1 の実施の形態に比べて、1 つの階層部分 10 において半導体チップ 30 が占める領域の割合を大きくすることができ、その結果、積層チップパッケージ 1 における集積度を大きくすることが可能になる。本実施の形態におけるその他の構成、作用および効果は、第 1 の実施の形態と同様である。

【0124】

[第 3 の実施の形態]

次に、本発明の第 3 の実施の形態について説明する。始めに、図 36 を参照して、本実施の形態に係る電子部品の構成について説明する。図 36 は、本実施の形態に係る電子部品の斜視図である。図 37 は、図 36 に示した電子部品の分解斜視図である。本実施の形態に係る電子部品は、フラッシュメモリ、DRAM、SRAM、MRAM、PROM、FeRAM 等のメモリデバイスを実現するものである。

【0125】

図 36 および図 37 に示したように、本実施の形態に係る電子部品 200 は、積層チップパッケージ 201 と、積層チップパッケージ 201 に接合された回路層 210 とを備えている。本実施の形態における積層チップパッケージ 201 では、本体 2 に含まれる全ての階層部分 10 が第 1 の種類の階層部分になっている。すなわち、本実施の形態では、全ての階層部分 10 は、それぞれ第 1 の種類の半導体チップ 30 を含んでいる。第 1 の種類の半導体チップ 30 は、複数のメモリセルを含んでいる。積層チップパッケージ 201 のその他の構成は、第 1 または第 2 の実施の形態に係る積層チップパッケージ 1 と同様である。

【0126】

回路層 210 は、複数のメモリセルからなるメモリセル部 211 と、このメモリセル部 211 と積層チップパッケージ 201 の複数の階層部分 10 とに含まれる複数のメモリセルに対する書き込みと読み出しを制御する制御回路 212 とを含んでいる。また、回路層 210 は、積層チップパッケージ 201 の複数のパッド状端子 22 に接続される複数のパッド状端子 213 と、複数の外部接続端子 214 とを備えている。複数のパッド状端子 213 と複数の外部接続端子 214 は、いずれも制御回路 212 に接続されている。回路層 210 の平面形状は、積層チップパッケージ 201 の階層部分 10 の平面形状よりも大きい。回路層 210 は、半導体ウェハにウェハプロセスを施すことによって形成されている。

【0127】

積層チップパッケージ 201 は、複数のパッド状端子 22 が下を向くように回路層 210 上に配置され、複数のパッド状端子 22 と複数のパッド状端子 213 が例えば半田によって接続されている。回路層 210 は、複数のパッド状端子 213 および複数のパッド状端子 22 を介して、積層チップパッケージ 201 の配線 3 に接続されている。このようにして、回路層 210 内の制御回路 212 と、回路層 210 内のメモリセル部 211 および積層チップパッケージ 201 の複数の階層部分 10 に含まれる複数のメモリセルとが電氣的に接続され、これらによってメモリデバイスが実現される。なお、回路層 210 は、メモリセル部 211 を含まずに、積層チップパッケージ 201 の複数の階層部分 10 に含まれる複数のメモリセルに対する書き込みと読み出しを制御する制御回路を含んでもよい。

【0128】

次に、図 38 を参照して、本実施の形態に係る電子部品 200 の製造方法について説明する。この製造方法では、図 38 に示したように、半導体ウェハにウェハプロセスを施すことによって、それぞれ後に回路層 210 となる複数の回路層予定部 210P が配列された回路層用ウェハ 220 を作製する。また、この製造方法では、複数の積層チップパッ

ージ 201 を作製する。積層チップパッケージ 201 の製造方法は、第 1 または第 2 の実施の形態における積層チップパッケージ 1 の製造方法と同じである。次に、複数の積層チップパッケージ 201 の各々を、複数の回路層予定部 210P の各々の上に配置し、複数のパッド状端子 22 と複数のパッド状端子 213 を例えば半田によって接続することによって、複数の積層チップパッケージ 201 の各々と複数の回路層予定部 210P の各々とを、電氣的に接続すると共に物理的に接合する。次に、複数の回路層予定部 210P が互いに分離されて複数の回路層 210 となるように、例えばダイシングソーによって回路層用ウェハ 220 を切断する。これにより、それぞれ回路層 210 と積層チップパッケージ 201 とを備えた複数の電子部品 200 が完成する。

【0129】

10

なお、回路層用ウェハ 220 を切断して複数の回路層 210 を作製した後、各回路層 210 に対して積層チップパッケージ 201 を電氣的に接続すると共に物理的に接合して、電子部品 200 を完成させてもよい。

【0130】

次に、図 39 を参照して、電子部品 200 の使用例について説明する。図 39 に示した例では、回路層 210 の複数の外部接続端子 214 にそれぞれボンディングワイヤ 231 の一端を接続している。ボンディングワイヤ 231 の他端は、電子部品 200 を使用する装置における端子 230 に接続される。

【0131】

以上説明したように、本実施の形態では、回路層 210 と積層チップパッケージ 201 とによってメモリデバイスが実現される。本実施の形態によれば、積層チップパッケージ 201 に含まれる複数の半導体チップ 30 間の電氣的接続を、本体 2 の少なくとも 1 つの側面に配置された配線 3 によって行うため、複数の半導体チップ 30 間の電氣的接続を行う配線を容易に形成でき、且つ配線の信頼性を向上させることができる。

20

【0132】

本実施の形態におけるその他の構成、作用および効果は、第 1 または第 2 の実施の形態と同様である。

【0133】

[第 4 の実施の形態]

次に、図 40 および図 41 を参照して、本発明の第 4 の実施の形態について説明する。図 40 は、本実施の形態に係る積層チップパッケージの斜視図である。図 41 は、下面側から見た図 40 の積層チップパッケージを示す斜視図である。

30

【0134】

図 40 および図 41 に示したように、本実施の形態に係る積層チップパッケージ 1 では、本体 2 は、最も上に配置された階層部分 18 の上に配置された端子層 20A と、最も下に配置された階層部分 11 の下に配置された端子層 20B とを含んでいる。上下に隣接する 2 つの階層部分の間、階層部分 18 と端子層 20A の間、および階層部分 11 と端子層 20B の間は、それぞれ、接着剤によって接合されている。

【0135】

端子層 20A は、本体 2 の上面 2a に配置された複数のパッド状の第 1 の端子 22A を含んでいる。端子層 20B は、本体 2 の下面 2b に配置された複数のパッド状の第 2 の端子 22B を含んでいる。これら端子 22A、22B は、積層チップパッケージ 1 における外部接続端子として機能する。

40

【0136】

複数の第 1 の端子 22A のうちのいくつかは、本体 2 の側面 2c に対応する位置に配置された端面を有し、この端面に第 1 の配線 3A が接続されている。複数の第 1 の端子 22A のうちの他のいくつかは、本体 2 の側面 2d に対応する位置に配置された端面を有し、この端面に第 2 の配線 3B が接続されている。

【0137】

同様に、複数の第 2 の端子 22B のうちのいくつかは、本体 2 の側面 2c に対応する位

50

置に配置された端面を有し、この端面に第 1 の配線 3 A が接続されている。複数の第 2 の端子 2 2 B のうちの他のいくつかは、本体 2 の側面 2 d に対応する位置に配置された端面を有し、この端面に第 2 の配線 3 B が接続されている。

【 0 1 3 8 】

積層チップパッケージ 1 は、更に、樹脂等の絶縁性の材料によって形成され、本体 2 の上面 2 a および複数の第 1 の端子 2 2 A を覆う第 1 のオーバーコート層と、樹脂等の絶縁性の材料によって形成され、本体 2 の下面 2 b および複数の第 2 の端子 2 2 B を覆う第 2 のオーバーコート層とを備えていてもよい。この場合、第 1 のオーバーコート層には、複数の第 1 の端子 2 2 A の各々の一部を露出させる複数の開口部を形成し、第 2 のオーバーコート層には、複数の第 2 の端子 2 2 B の各々の一部を露出させる複数の開口部を形成する。

10

【 0 1 3 9 】

本実施の形態に係る積層チップパッケージ 1 によれば、本体 2 の少なくとも 1 つの側面に配置された配線 3 と、本体 2 の上面 2 a に配置された複数の第 1 の端子 2 2 A と、本体 2 の下面 2 b に配置された複数の第 2 の端子 2 2 B とを備えたことにより、複数の積層チップパッケージ 1 間の電氣的な接続の多様化が可能になる。本実施の形態によれば、例えば、複数の積層チップパッケージ 1 を積層し、上下に隣接する 2 つの積層チップパッケージ 1 を、第 1 の端子 2 2 A と第 2 の端子 2 2 B とを用いて電氣的に接続することができる。また、本実施の形態によれば、例えば、1 つの配線基板に複数の積層チップパッケージ 1 を実装し、複数の第 2 の端子 2 2 B を用いて積層チップパッケージ 1 と配線基板とを電氣的に接続し、更に、複数の積層チップパッケージ 1 の第 1 の端子 2 2 A 同士を電氣的に接続する配線を設けて、モジュールを構成することができる。このように、本実施の形態によれば、複数の積層チップパッケージ 1 間の電氣的な接続の多様化が可能になることから、複数の積層チップパッケージ 1 を含むシステムの小型化が可能になる。

20

【 0 1 4 0 】

本実施の形態におけるその他の構成、作用および効果は、第 1 または第 2 の実施の形態と同様である。

【 0 1 4 1 】

[第 5 の実施の形態]

次に、図 4 2 および図 4 3 を参照して、本発明の第 5 の実施の形態について説明する。図 4 2 は、本実施の形態に係る電子部品の一態様を示す斜視図である。図 4 3 は、本実施の形態に係る電子部品の他の態様を示す斜視図である。本実施の形態に係る電子部品は、フラッシュメモリ、D R A M、S R A M、M R A M、P R O M、F e R A M 等のメモリデバイスを実現するものである。

30

【 0 1 4 2 】

図 4 2 および図 4 3 に示したように、本実施の形態に係る電子部品 4 0 0 は、積層された複数の積層チップパッケージ 4 0 1 と、この複数の積層チップパッケージ 4 0 1 のうちの 1 つに接合され且つ電氣的に接続された回路層とを備えている。図 4 2 には、4 つの積層チップパッケージ 4 0 1 を積層し、最も下に配置された積層チップパッケージ 4 0 1 の下面に回路層 4 1 0 を接合した例を示している。図 4 3 には、4 つの積層チップパッケージ 4 0 1 を積層し、最も上に配置された積層チップパッケージ 4 0 1 の上面に回路層 4 2 0 を接合した例を示している。

40

【 0 1 4 3 】

本実施の形態における積層チップパッケージ 4 0 1 では、本体 2 に含まれる全ての階層部分 1 0 が第 1 の種類の階層部分になっている。すなわち、本実施の形態では、全ての階層部分 1 0 は、それぞれ第 1 の種類の半導体チップ 3 0 を含んでいる。第 1 の種類の半導体チップ 3 0 は、複数のメモリセルを含んでいる。積層チップパッケージ 4 0 1 のその他の構成は、第 4 の実施の形態に係る積層チップパッケージ 1 と同様である。従って、積層チップパッケージ 4 0 1 は、本体 2 の上面 2 a に配置された複数のパッド状の第 1 の端子 2 2 A と、本体 2 の下面 2 b に配置された複数のパッド状の第 2 の端子 2 2 B とを備えて

50

いる。

【0144】

上下に隣接する2つの積層チップパッケージ401において、下側の積層チップパッケージ401の複数の第1の端子22Aと上側の積層チップパッケージ401の複数の第2の端子22Bとが、例えば半田によって電氣的に接続されている。これにより、上下に隣接する2つの積層チップパッケージ401は、互いに電氣的に接続されている。

【0145】

図42に示した回路層410の構成は、第3の実施の形態における回路層210と同様である。すなわち、回路層410は、複数のメモリセルからなるメモリセル部411と、このメモリセル部411と複数の積層チップパッケージ401に含まれる複数のメモリセルとに対する書き込みと読み出しを制御する制御回路412とを含んでいる。また、回路層410は、積層チップパッケージ401の複数の第2の端子22Bに接続される複数のパッド状端子(図示せず)と、複数の外部接続端子414とを備えている。複数のパッド状端子と複数の外部接続端子414は、いずれも制御回路412に接続されている。回路層410の平面形状は、積層チップパッケージ401の階層部分10の平面形状よりも大きい。回路層410は、半導体ウェハにウェハプロセスを施すことによって形成されている。

10

【0146】

図42に示した例では、最も下に配置された積層チップパッケージ401の複数の第2の端子22Bと、回路層410の複数のパッド状端子とが例えば半田によって接続されている。回路層410は、複数のパッド状端子および複数の第2の端子22Bを介して、最も下に配置された積層チップパッケージ401の配線3に接続されている。このようにして、回路層410内の制御回路412と、回路層410内のメモリセル部411および複数の積層チップパッケージ401に含まれる複数のメモリセルとが電氣的に接続され、これらによってメモリデバイスが実現される。なお、回路層410は、メモリセル部411を含まずに、複数の積層チップパッケージ401に含まれる複数のメモリセルに対する書き込みと読み出しを制御する制御回路を含んでいてもよい。

20

【0147】

図43に示した回路層420は、複数のメモリセルからなるメモリセル部421と、このメモリセル部421と複数の積層チップパッケージ401に含まれる複数のメモリセルとに対する書き込みと読み出しを制御する制御回路422とを含んでいる。また、回路層420は、積層チップパッケージ401の複数の第1の端子22Aに接続される複数のパッド状端子(図示せず)を備えている。この複数のパッド状端子は、制御回路422に接続され、且つ回路層420の下面において露出している。回路層420の平面形状は、積層チップパッケージ401の階層部分10の平面形状と同じである。回路層420は、半導体ウェハにウェハプロセスを施すことによって形成されている。

30

【0148】

図43に示した例では、最も上に配置された積層チップパッケージ401の複数の第1の端子22Aと、回路層420の複数のパッド状端子とが例えば半田によって接続されている。回路層420は、複数のパッド状端子および複数の第1の端子22Aを介して、最も上に配置された積層チップパッケージ401の配線3に接続されている。このようにして、回路層420内の制御回路422と、回路層420内のメモリセル部421および複数の積層チップパッケージ401に含まれる複数のメモリセルとが電氣的に接続され、これらによってメモリデバイスが実現される。なお、回路層420は、メモリセル部421を含まずに、複数の積層チップパッケージ401に含まれる複数のメモリセルに対する書き込みと読み出しを制御する制御回路を含んでいてもよい。

40

【0149】

本実施の形態によれば、積層する積層チップパッケージ401の数を変えることによって、種々の容量のメモリデバイスを容易に実現することができる。

【0150】

50

本実施の形態におけるその他の構成、作用および効果は、第 3 または第 4 の実施の形態と同様である。

【 0 1 5 1 】

なお、本発明は、上記各実施の形態に限定されず、種々の変更が可能である。例えば、第 1 の実施の形態では、複数の本体集合体 1 3 0 を並べて、この複数の本体集合体 1 3 0 における各本体予定部 2 P に対して同時に配線 3 を形成したが、複数の本体集合体 1 3 0 を並べずに、1 つの本体集合体 1 3 0 における各本体予定部 2 P に対して配線 3 を形成してもよい。

【 0 1 5 2 】

また、配線 3 が形成された後の本体集合体 1 3 0 を切断して本体 2 を形成した後、本体集合体 1 3 0 を切断することによって本体 2 に形成された面に、更に他の配線を形成してもよい。

【 0 1 5 3 】

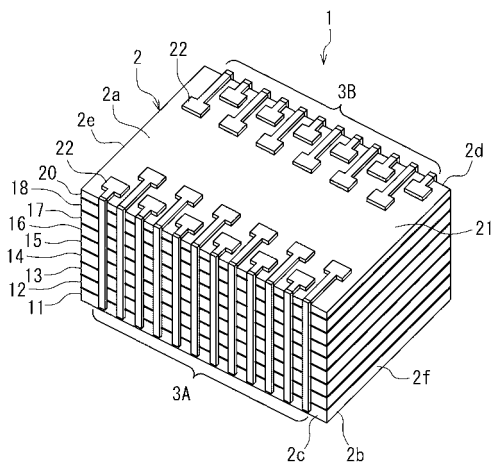
また、積層チップパッケージの本体 2 は、端子層を含まずに、配線 3 の一部が外部接続端子を兼ねていてもよい。

【 符号の説明 】

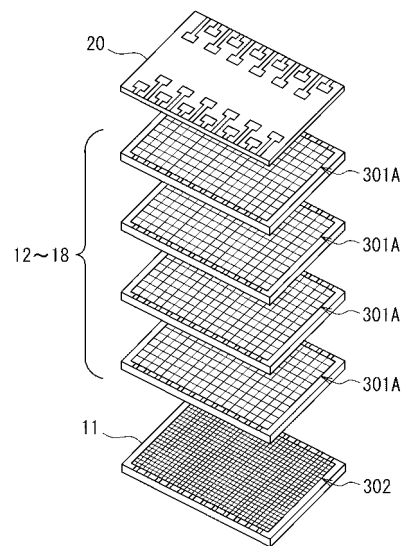
【 0 1 5 4 】

1 ... 積層チップパッケージ、2 ... 本体、3 A , 3 B ... 配線、1 1 ~ 1 8 ... 階層部分、2 0 ... 端子層、3 0 ... 半導体チップ。

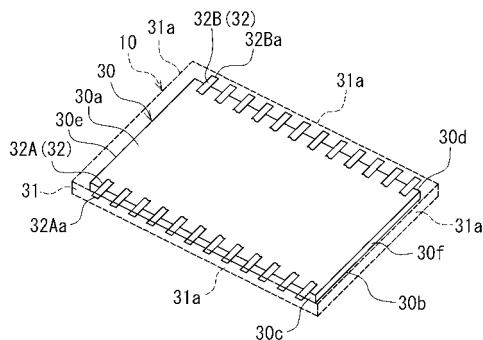
【 図 1 】



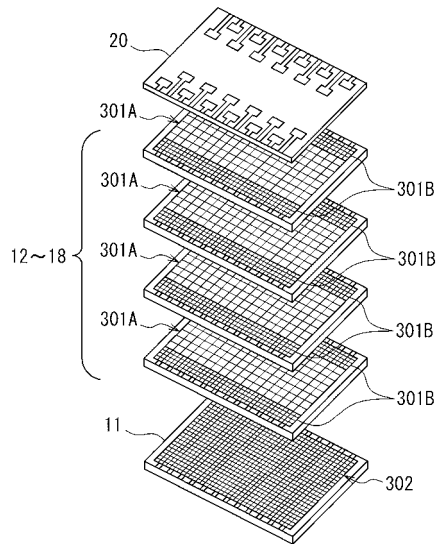
【 図 3 】



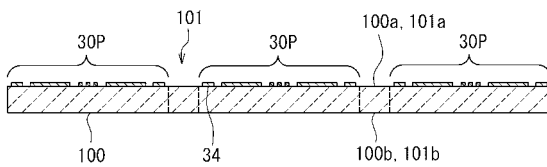
【 図 2 】



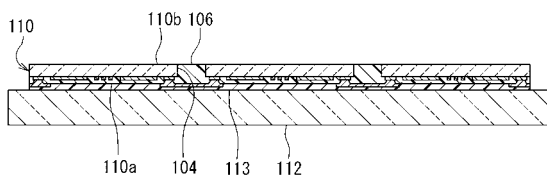
【図 4】



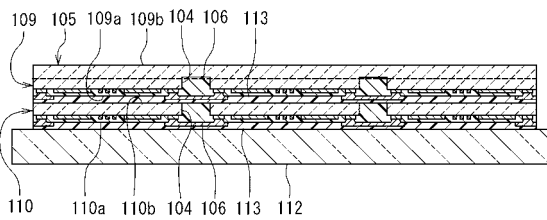
【図 5】



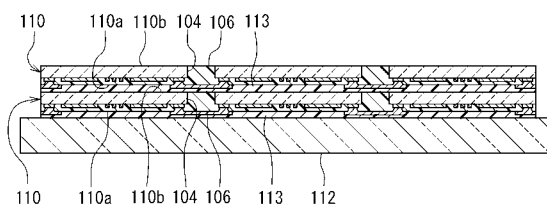
【図 10】



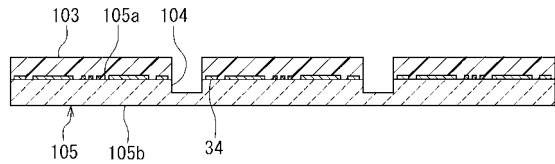
【図 11】



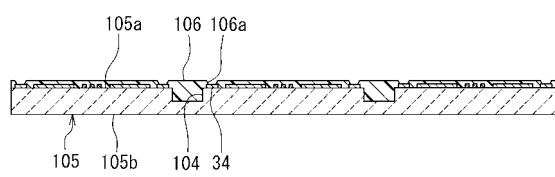
【図 12】



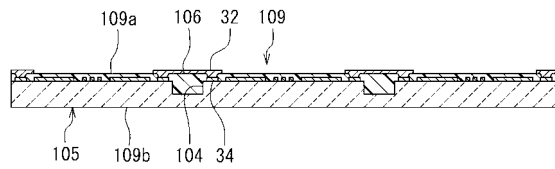
【図 6】



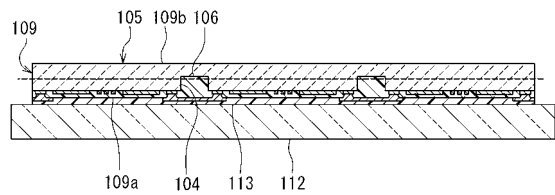
【図 7】



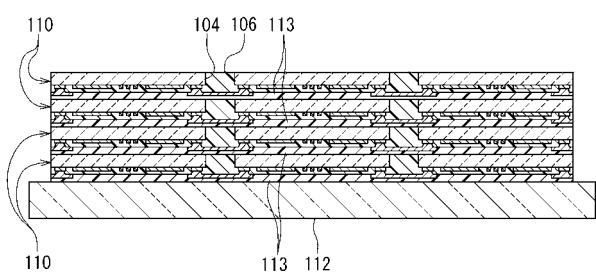
【図 8】



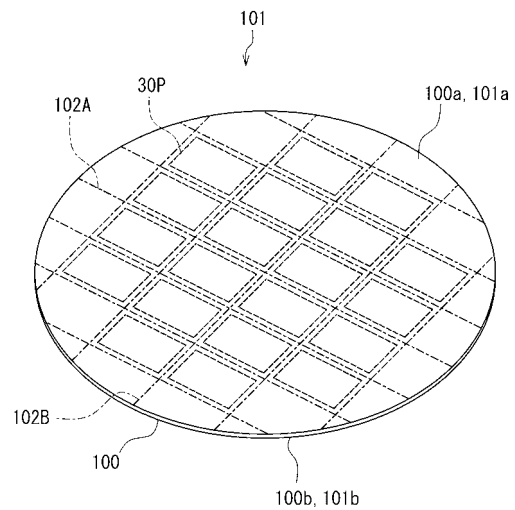
【図 9】



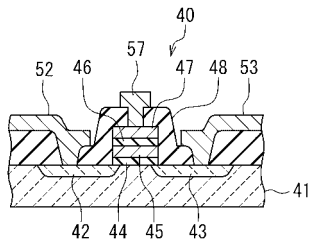
【図 13】



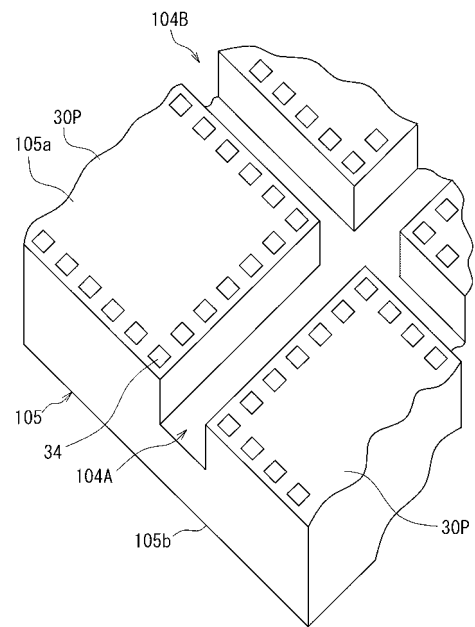
【図 14】



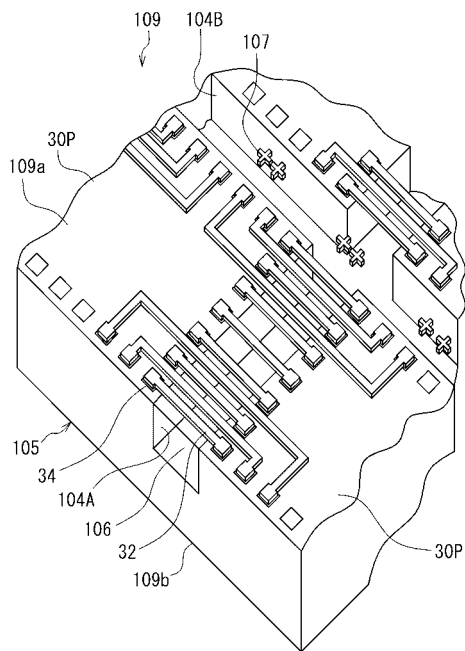
【図 15】



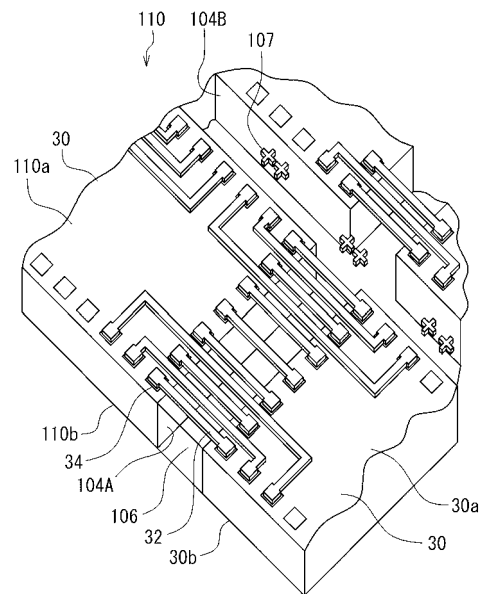
【図 16】



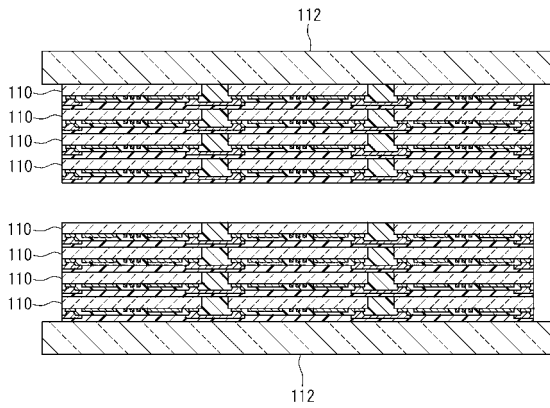
【図 17】



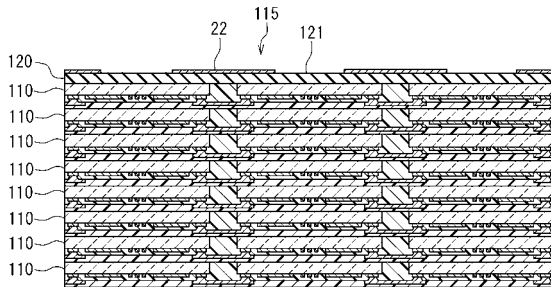
【図 18】



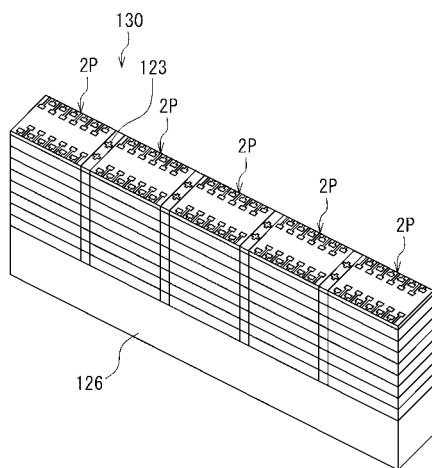
【図 19】



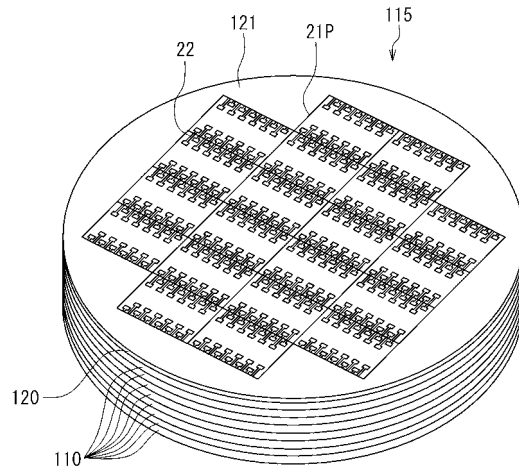
【図 20】



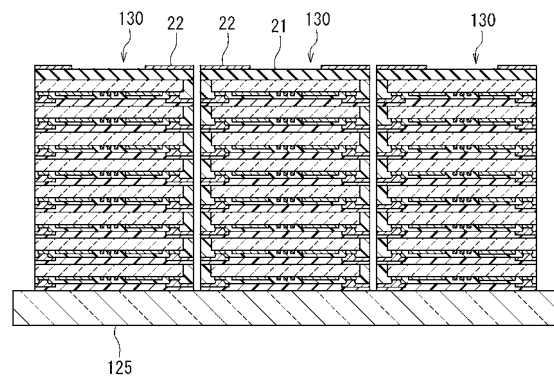
【図 23】



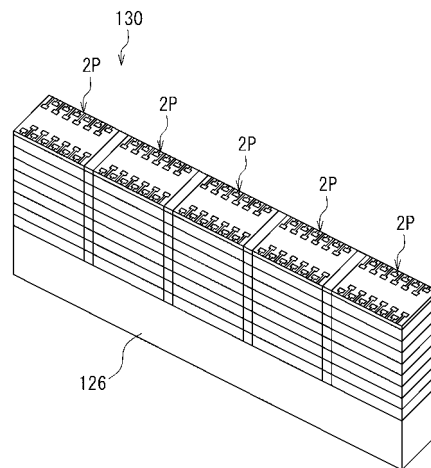
【図 21】



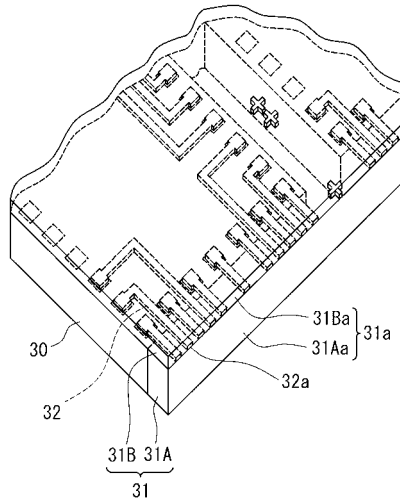
【図 22】



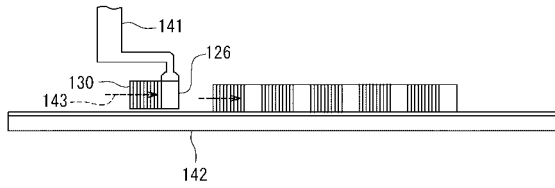
【図 24】



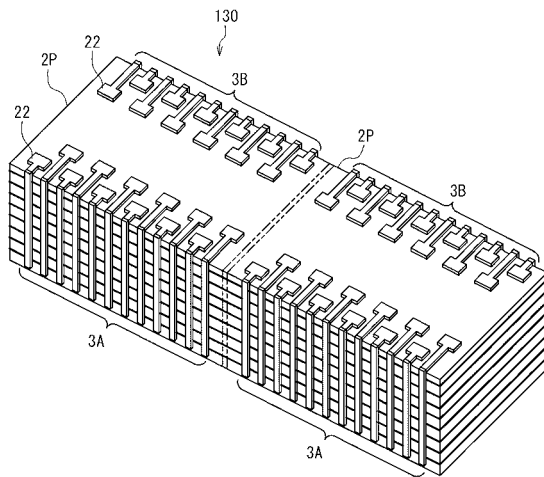
【図 25】



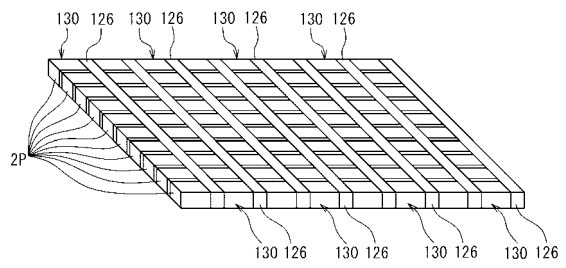
【図 26】



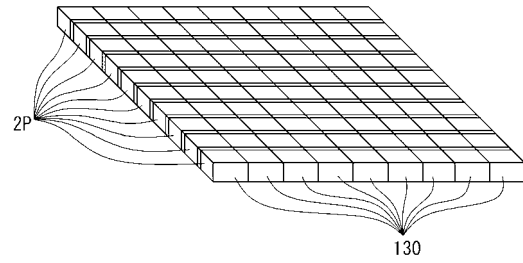
【図 29】



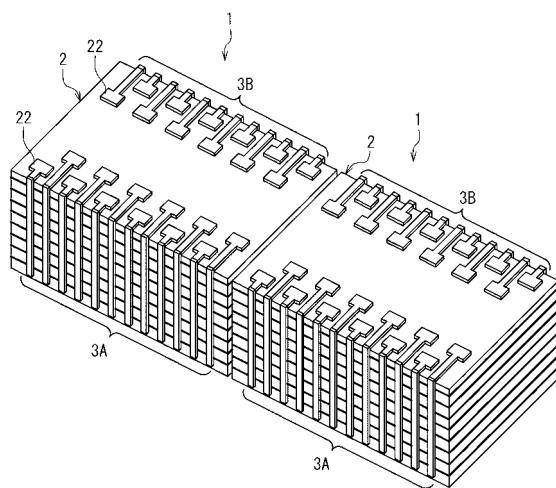
【図 27】



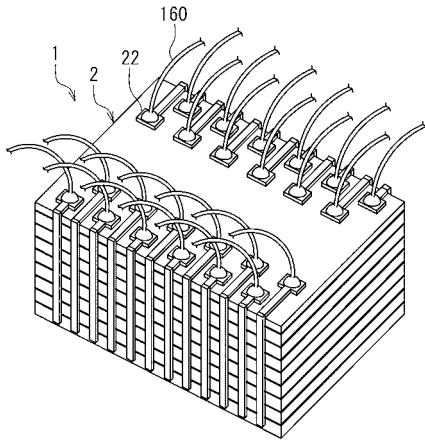
【図 28】



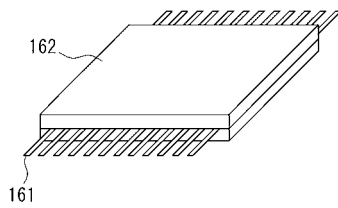
【図 30】



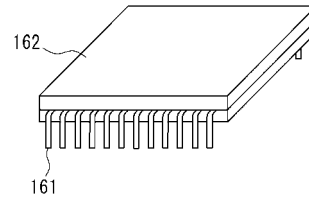
【図 3 1】



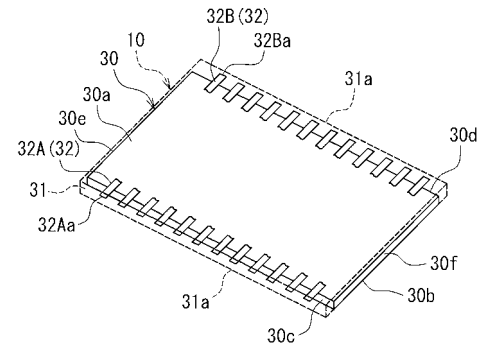
【図 3 2】



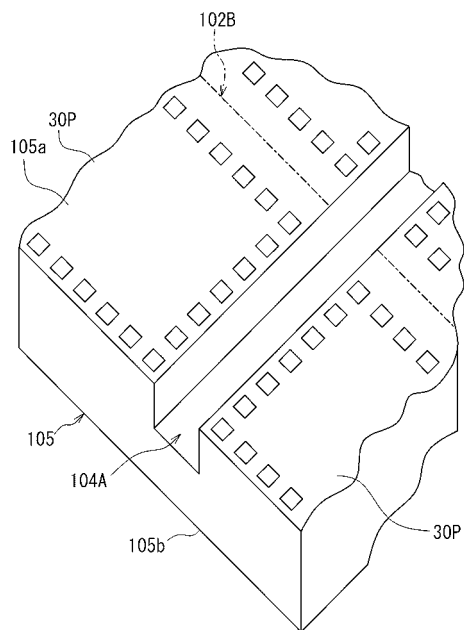
【図 3 3】



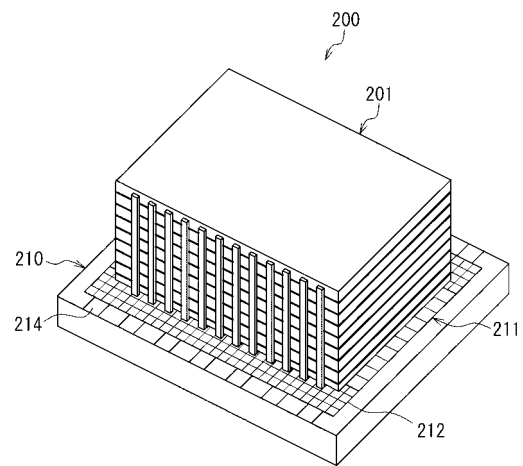
【図 3 4】



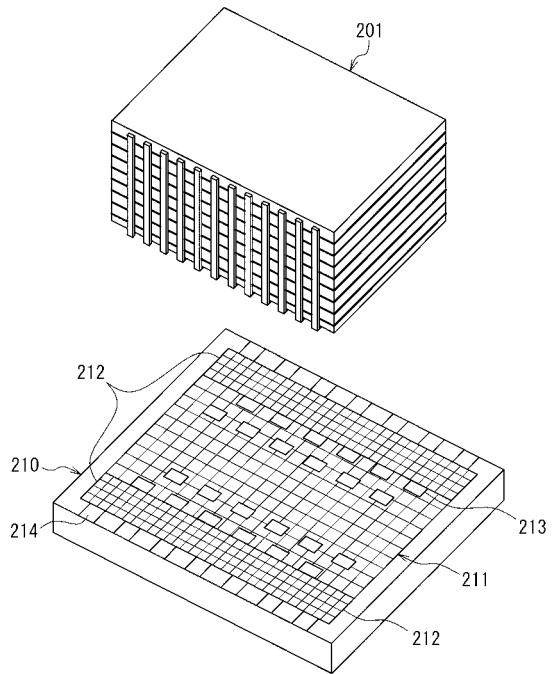
【図 3 5】



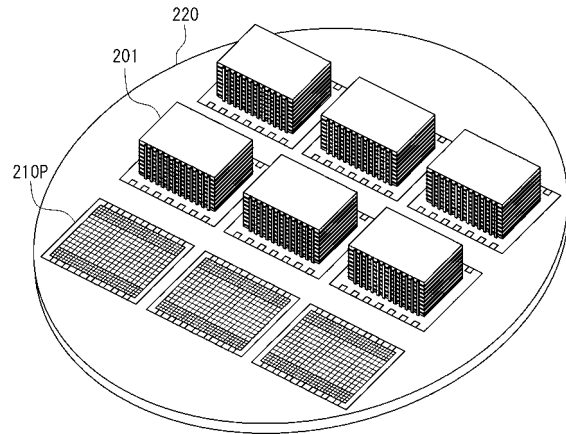
【図 3 6】



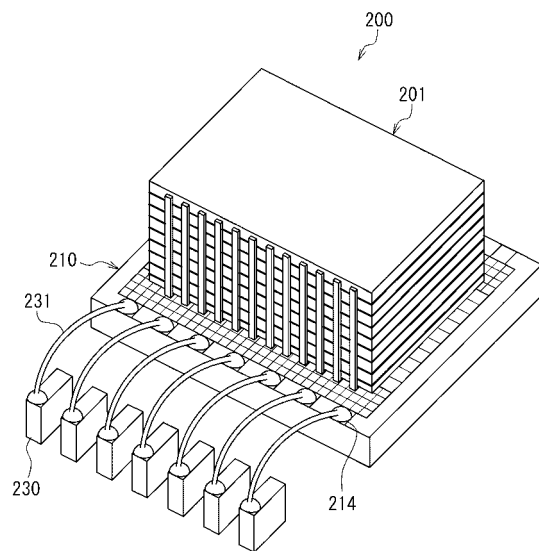
【図 37】



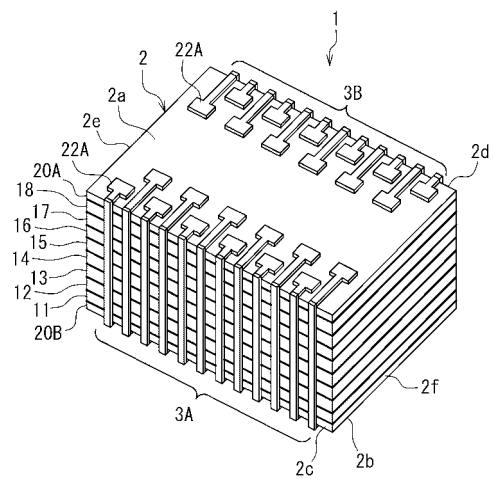
【図 38】



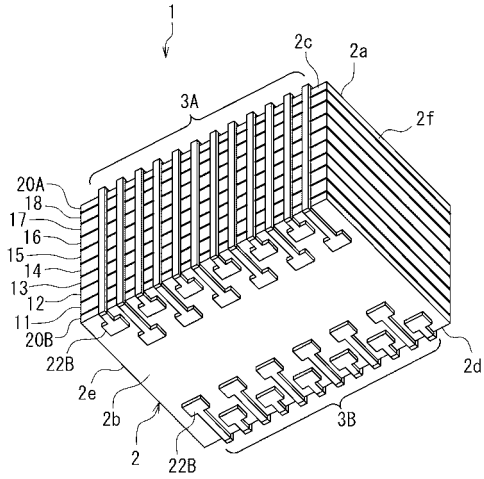
【図 39】



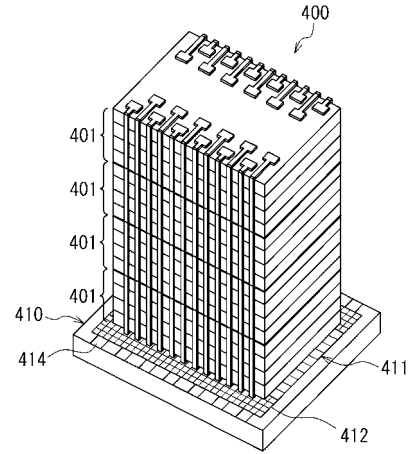
【図 40】



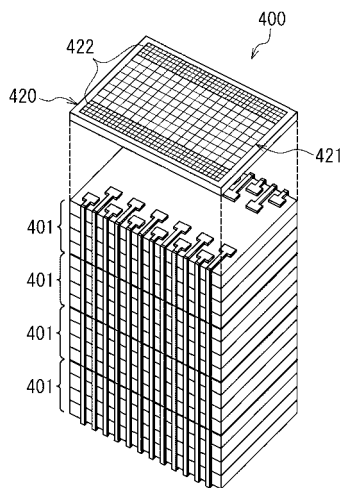
【図 4 1】



【図 4 2】



【図 4 3】



フロントページの続き

- (72)発明者 佐々木 芳高
アメリカ合衆国 カリフォルニア州 95035 ミルピタス サウス・ヒルビュー・ドライブ
678 ヘッドウェイテクノロジーズ インコーポレイテッド内
- (72)発明者 伊藤 浩幸
アメリカ合衆国 カリフォルニア州 95035 ミルピタス サウス・ヒルビュー・ドライブ
678 ヘッドウェイテクノロジーズ インコーポレイテッド内
- (72)発明者 原田 達也
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 奥澤 信之
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 末木 悟
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- (72)発明者 橋本 龍司
東京都中央区日本橋一丁目13番1号 TDK株式会社内
- Fターム(参考) 5F033 HH11 PP27 PP28 RR21 RR22 RR27 VV07 VV16 XX33