



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I591614 B

(45)公告日：中華民國 106 (2017) 年 07 月 11 日

(21)申請案號：105110569

(22)申請日：中華民國 100 (2011) 年 03 月 10 日

(51)Int. Cl. : G09G3/36 (2006.01)

G09G3/20 (2006.01)

(30)優先權：2010/03/12 日本

2010-056464

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：梅崎敦司 UMEZAKI, ATSUSHI (JP)；三宅博之 MIYAKE, HIROYUKI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 200710800A

CN 101136185A

JP 2008-287134A

審查人員：楊喻仁

申請專利範圍項數：4 項 圖式數：16 共 75 頁

(54)名稱

顯示裝置

DISPLAY DEVICE

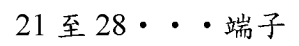
(57)摘要

本發明的目的是提供一種可以只對任意區域進行圖像的重寫的顯示裝置，或在可以進行部分驅動的顯示裝置中，簡化包括佈線的電路的結構。獨立地控制掃描線驅動電路所具有的移位暫存器中的選擇信號的移動和對掃描線的選擇信號的供給。由此，可以只對任意區域進行圖像的重寫。另外，藉由設置供給示出時鐘信號或固定電位的信號的佈線實現上述工作。因此，具有該佈線的顯示裝置不但是可以進行部分驅動的顯示裝置，而且簡化包括佈線的電路的結構的顯示裝置。

To provide a display device in which rewriting of only a given section of an image can be achieved or to simplify the configuration of a circuit including wirings in a display device in which partial driving can be performed. A shift of a selection signal in a shift register included in a scan line driver circuit and supply of a selection signal to scan lines are controlled independently of each other, so that rewriting of only a given section of an image can be achieved. The above operation is realized by providing a wiring that supplies a signal representing a clock signal or a fixed potential. Therefore, the configuration of the circuit including the wiring can be simplified in the display device including the wiring while partial driving can be performed.

指定代表圖：

符號簡單說明：



31 至 41 · · · 電晶體

V_{SS} . . . 低電源電位

V_{dd} . . . 高電源電位

A、B . . . 節點

公告本

發明摘要

※申請案號：105110569

※申請日：100 年 03 月 10 日

※IPC 分類：G09G 3/36 (2006.01)
G09G 3/20 (2006.01)

【發明名稱】(中文/英文)

顯示裝置

Display device

● 【中文】

本發明的目的是提供一種可以只對任意區域進行圖像的重寫的顯示裝置，或在可以進行部分驅動的顯示裝置中，簡化包括佈線的電路的結構。獨立地控制掃描線驅動電路所具有的移位暫存器中的選擇信號的移動和對掃描線的選擇信號的供給。由此，可以只對任意區域進行圖像的重寫。另外，藉由設置供給示出時鐘信號或固定電位的信號的佈線實現上述工作。因此，具有該佈線的顯示裝置不但可以進行部分驅動的顯示裝置，而且簡化包括佈線的電路的結構的顯示裝置。

【 英文 】

To provide a display device in which rewriting of only a given section of an image can be achieved or to simplify the configuration of a circuit including wirings in a display device in which partial driving can be performed. A shift of a selection signal in a shift register included in a scan line driver circuit and supply of a selection signal to scan lines are controlled independently of each other, so that rewriting of only a given section of an image can be achieved. The above operation is realized by providing a wiring that supplies a signal representing a clock signal or a fixed potential. Therefore, the configuration of the circuit including the wiring can be simplified in the display device including the wiring while partial driving can be performed.

【代表圖】

【本案指定代表圖】：第(3A)圖。

【本代表圖之符號簡單說明】：

21 至 28：端子

31 至 41：電晶體

V_{ss} ：低電源電位

V_{dd} ：高電源電位

A、B：節點

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本申請書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯示裝置

Display device

【技術領域】

本發明關於一種顯示裝置。

【先前技術】

對可以藉由部分地重寫圖像來降低耗電量的顯示裝置進行開發。這種顯示裝置為了部分地重寫圖像，具有可以只驅動一部分的掃描線（也稱為部分驅動）的掃描線驅動電路。

專利文獻 1 公開了可以實現部分驅動的掃描線驅動電路（閘極驅動部）。明確而言，專利文獻 1 所公開的掃描線驅動電路（閘極驅動部）被分割為多個群。並且，被分割了的各群藉由分別不同的起始脈衝（掃描開始信號）被控制其工作。換言之，專利文獻 1 所公開的掃描線驅動電路（閘極驅動部）藉由控制輸入到各群中的起始脈衝（掃描開始信號）來實現部分驅動。

[專利文獻 1]日本專利申請公開第 2007-004176 號公報

但是，在專利文獻 1 所公開的顯示裝置中，至於對哪

個區域進行圖像的重寫，只能預先按被分割的群選擇。換言之，不能對任意掃描線（例如，按掃描線）選擇圖像的重寫。另外，在專利文獻 1 所公開的顯示裝置中，根據該掃描線驅動電路被分割的群的數量，掃描線驅動電路的驅動所需要的信號的數量增加。就是說，根據該群的數量，構成該掃描線驅動電路的佈線的數量增加。此外，當掃描線驅動電路形成在與像素部相同的基板上時，根據該群的數量，形成有像素部的基板與外部電路的連接數量增加。

【發明內容】

鑒於上述課題，本發明的一個方式的目的之一就是提供一種可以只對任意區域進行圖像的重寫的顯示裝置。另外，本發明的一個方式的目的之一就是在可以進行部分驅動的顯示裝置中，簡化包括佈線的電路的結構。另外，本發明的一個方式的目的就是上述課題中的至少一個。

上述課題可以藉由掃描線驅動電路對多條掃描線的每一條選擇性地供給選擇信號來解決。例如，當掃描線驅動電路包括由多個脈衝輸出電路構成的移位暫存器時，藉由採用在該脈衝輸出電路使用時鐘信號而對後級的脈衝輸出電路移動選擇信號的同時，選擇性地使用該時鐘信號及固定電位而對掃描線供給信號的結構，可以對多條掃描線選擇性地供給選擇信號。就是說，藉由設計為當脈衝輸出電路使用時鐘信號時，對掃描線的信號成為選擇信號，而當脈衝輸出電路使用固定電位時，對掃描線的信號成為非選

擇信號，可以控制對掃描線的選擇信號的供給。

明確而言，本發明的一個方式是一種顯示裝置，包括：設置為 m 行 n 列的多個像素；電連接到所述多個像素中的設置在第一行的 n 個像素的第一掃描線至電連接到所述多個像素中的設置在第 m 行的 n 個像素的第 m 掃描線；以及電連接到所述第一掃描線的第一脈衝輸出電路至電連接到所述第 m 掃描線的第 m 脈衝輸出電路，其中，所述第 k 脈衝輸出電路（ k 是 2 以上且小於 m 的自然數）包括：其源極和汲極中的一方電連接到供給時鐘信號的佈線，其源極和汲極中的另一方電連接到所述第 $k+1$ 脈衝輸出電路的第一電晶體；其源極和汲極中的一方電連接到供給所述時鐘信號或固定電位的佈線，其源極和汲極中的另一方電連接到所述第 k 掃描線的第二電晶體；以及根據從所述第 $k-1$ 脈衝輸出電路輸入的信號控制所述第一電晶體的閘極的電位及所述第二電晶體的閘極的電位的控制電路。

另外，在本說明書等中，明確地記載為單數的最好為單數。但是，不侷限於此，也可以是複數。與此同樣，明確地記載為複數的最好為複數。但是，不侷限於此，也可以是單數。

在本說明書等中，第一、第二、第三等的詞句是用來區分描述各種因素、構件、區域、層、領域的詞句。因此，第一、第二、第三等的詞句不是限定因素、構件、區域、層、領域等的個數的詞句。再者，例如，可以用“第

二”或“第三”等替換“第一”。

本發明的一個方式的顯示裝置可以獨立地控制掃描線驅動電路所具有的移位暫存器中的選擇信號的移動和對掃描線的選擇信號的供給。因此，可以對多條掃描線的每一條選擇性地供給選擇信號。就是說，本發明的一個方式的顯示裝置可以只對任意區域進行圖像的重寫。

另外，本發明的一個方式的顯示裝置藉由設置供給示出時鐘信號或固定電位的信號的佈線可以實現上述工作。因此，本發明的一個方式的顯示裝置不但是可以進行部分驅動的顯示裝置，而且也可以簡化包括佈線的電路的結構。

【圖式簡單說明】

在附圖中：

圖 1A 是示出顯示裝置的一個例子的圖，而圖 1B 是示出像素的一個例子的電路圖；

圖 2A 是示出掃描線驅動電路的結構例子的圖，圖 2B 是示出掃描線驅動電路的工作例子的時序圖，而圖 2C 是示出脈衝輸出電路的結構例子的圖；

圖 3A 是示出脈衝輸出電路的一個例子的電路圖，而圖 3B 和圖 3C 是示出脈衝輸出電路的工作的一個例子的時序圖；

圖 4 是示出控制器的結構例子的圖；

圖 5 是示出電晶體的一個例子的截面圖；

圖 6 是示出電晶體的特性的圖；

圖 7 是電晶體的特性評價用元件的電路圖；

圖 8 是電晶體的特性評價用元件的時序圖；

圖 9 是示出電晶體的特性的圖；

圖 10 是示出電晶體的特性的圖；

圖 11 是示出電晶體的特性的圖；

圖 12A 和圖 12B 是示出脈衝輸出電路的一個例子的電路圖；

圖 13A 和圖 13B 是示出脈衝輸出電路的一個例子的電路圖；

圖 14A 和圖 14B 是示出脈衝輸出電路的一個例子的電路圖；

圖 15A 至圖 15C 是示出電晶體的一個例子的截面圖；

圖 16A 至圖 16F 是示出電子設備的一個例子的圖。

【實施方式】

下面，參照附圖對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅侷限在以下所示的實施方式所記載的內容中。

（顯示裝置的一個例子）

下面，參照圖 1A 至圖 16F 對本發明的一個方式的顯示裝置進行說明。

圖 1A 是示出顯示裝置的結構例子的圖。圖 1A 所示的顯示裝置包括：像素部 10；掃描線驅動電路 11；信號線驅動電路 12；控制器 13；分別排列為平行或大致平行且藉由掃描線驅動電路 11 控制電位的 m 條（ m 是 2 以上的自然數）掃描線 14；分別設置為平行或大致平行且藉由信號線驅動電路 12 控制電位的 n 條（ n 是 2 以上的自然數）信號線 15。並且，像素部 10 包括配置為矩陣狀（ m 行 n 列）的多個像素 16。另外，各掃描線 14 電連接到配置為矩陣狀的多個像素 16 中的配置在任何一行的多個像素 16，而各信號線 15 電連接到配置為矩陣狀的多個像素 16 中的配置在任何一系列的多個像素 16。另外，對掃描線驅動電路 11 從控制器 13 輸入掃描線驅動電路用啟動信號（GSP）、掃描線驅動電路用時鐘信號（GCK）、掃描線驅動電路用部分時鐘信號（PGCK）等的信號以及高電源電位（ V_{dd} ）、低電源電位（ V_{ss} ）等的驅動用電源。此外，對信號線驅動電路 12 從控制器 13 輸入信號線驅動電路用啟動信號（SP）、信號線驅動電路用時鐘信號（SCK）、資料信號（DATA）等的信號以及高電源電位（ V_{dd} ）、低電源電位（ V_{ss} ）等的驅動用電源。

圖 1B 是示出圖 1A 所示的顯示裝置所具有的像素 16 的電路圖的一個例子的圖。圖 1B 所示的像素 16 包括：其

閘極電連接到掃描線 14，其源極和汲極中的一方電連接到信號線 15 的電晶體 17；其一方電極電連接到電晶體 17 的源極和汲極中的另一方，其另一方電極電連接到供給電容電位的佈線（也稱為電容線）的電容元件 18；其一方電極（也稱為像素電極）電連接到電晶體 17 的源極和汲極中的另一方及電容元件 18 的一方電極，其另一方電極（也稱為對置電極）電連接到供給對置電位的佈線的液晶元件 19。注意，電晶體 17 是 n 通道型電晶體。另外，可以將電容電位和對置電位設定為同一電位。

（掃描線驅動電路 11 的結構例子）

圖 2A 是示出圖 1A 所示的顯示裝置所具有的掃描線驅動電路 11 的結構例子。圖 2A 所示的掃描線驅動電路 11 包括：供給第一掃描線驅動電路用時鐘信號（GCK1）的佈線至供給第四掃描線驅動電路用時鐘信號（GCK4）的佈線；供給第一掃描線驅動電路用部分時鐘信號（PGCK1）的佈線至供給第四掃描線驅動電路用部分時鐘信號（PGCK4）的佈線；電連接到設置在第一行的掃描線 14 的第一脈衝輸出電路 20_1 至電連接到設置在第 m 行的掃描線 14 的第 m 脈衝輸出電路 20_m。

圖 2B 是示出上述信號的具體的波形的一個例子的圖。圖 2B 所示的第一掃描線驅動電路用時鐘信號（GCK1）是週期性地反復高電平的電位（在圖 2B 中，與高電源電位（ V_{dd} ）相等的電位）和低電平的電位（在圖

2B 中，與低電源電位（ V_{ss} ）相等的電位）的占空比為 $1/2$ 的信號。另外，第二掃描線驅動電路用時鐘信號（GCK2）是相位從第一掃描線驅動電路用時鐘信號（GCK1）錯開 $1/4$ 週期的信號。另外，第三掃描線驅動電路用時鐘信號（GCK3）是相位從第一掃描線驅動電路用時鐘信號（GCK1）錯開 $1/2$ 週期的信號（就是說，第一掃描線驅動電路用時鐘信號（GCK1）的反相信號）。另外，第四掃描線驅動電路用時鐘信號（GCK4）是相位從第一掃描線驅動電路用時鐘信號（GCK1）錯開 $3/4$ 週期的信號（就是說，第二掃描線驅動電路用時鐘信號（GCK2）的反相信號）。第一掃描線驅動電路用部分時鐘信號（PGCK1）是選擇性地示出第一掃描線驅動電路用時鐘信號（GCK1）及固定電位（在圖 2B 中，與低電源電位（ V_{ss} ）相等的電位）中的任一個的信號。另外，藉由控制器 13 控制第一掃描線驅動電路用部分時鐘信號（PGCK1）示出哪個信號（GCK1 或固定電位）。與此同樣，第二掃描線驅動電路用部分時鐘信號（PGCK2）是選擇性地示出第二掃描線驅動電路用時鐘信號（GCK2）及固定電位中的任一個的信號，第三掃描線驅動電路用部分時鐘信號（PGCK3）是選擇性地示出第三掃描線驅動電路用時鐘信號（GCK3）及固定電位中的任一個的信號，第四掃描線驅動電路用部分時鐘信號（PGCK4）是選擇性地示出第四掃描線驅動電路用時鐘信號（GCK4）及固定電位中的任一個的信號。

在上述顯示裝置中，可以將具有同一結構的電路應用於第一脈衝輸出電路 20_1 至第 m 脈衝輸出電路 20_m。但是，脈衝輸出電路所具有的多個端子的電連接關係在每個脈衝輸出電路中分別不同。參照圖 2A 和圖 2C 對具體的連接關係進行說明。

第一脈衝輸出電路 20_1 至第 m 脈衝輸出電路 20_m 分別包括端子 21 至端子 28。注意，端子 21 至端子 25 及端子 27 是輸入端子，而端子 26 及端子 28 是輸出端子。

首先，對端子 21 進行說明。第一脈衝輸出電路 20_1 的端子 21 電連接到供給掃描線驅動電路用啓動信號（GSP）的佈線，而第二脈衝輸出電路 20_2 至第 m 脈衝輸出電路 20_m 的端子 21 電連接到前級的脈衝輸出電路的端子 28。

接著，對端子 22 進行說明。第 $4a+1$ 的脈衝輸出電路（ $a=0、1、2\cdots(m-4)/4$ ）的端子 22 電連接到供給第一掃描線驅動電路用時鐘信號（GCK1）的佈線，第 $4a+2$ 的脈衝輸出電路的端子 22 電連接到供給第二掃描線驅動電路用時鐘信號（GCK2）的佈線，第 $4a+3$ 的脈衝輸出電路的端子 22 電連接到供給第三掃描線驅動電路用時鐘信號（GCK3）的佈線，而第 $4a+4$ 的脈衝輸出電路的端子 22 電連接到供給第四掃描線驅動電路用時鐘信號（GCK4）的佈線。

接著，對端子 23 進行說明。第 $4a+1$ 的脈衝輸出電路的端子 23 電連接到供給第二掃描線驅動電路用時鐘信號

(GCK2) 的佈線，第 $4a+2$ 的脈衝輸出電路的端子 23 電連接到供給第三掃描線驅動電路用時鐘信號 (GCK3) 的佈線，第 $4a+3$ 的脈衝輸出電路的端子 23 電連接到供給第四掃描線驅動電路用時鐘信號 (GCK4) 的佈線，而第 $4a+4$ 的脈衝輸出電路的端子 23 電連接到供給第一掃描線驅動電路用時鐘信號 (GCK1) 的佈線。

接著，對端子 24 進行說明。第 $4a+1$ 的脈衝輸出電路的端子 24 電連接到供給第三掃描線驅動電路用時鐘信號 (GCK3) 的佈線，第 $4a+2$ 的脈衝輸出電路的端子 24 電連接到供給第四掃描線驅動電路用時鐘信號 (GCK4) 的佈線，第 $4a+3$ 的脈衝輸出電路的端子 24 電連接到供給第一掃描線驅動電路用時鐘信號 (GCK1) 的佈線，而第 $4a+4$ 的脈衝輸出電路的端子 24 電連接到供給第二掃描線驅動電路用時鐘信號 (GCK2) 的佈線。

接著，對端子 25 進行說明。第 $4a+1$ 的脈衝輸出電路的端子 25 電連接到供給第一掃描線驅動電路用部分時鐘信號 (PGCK1) 的佈線，第 $4a+2$ 的脈衝輸出電路的端子 25 電連接到供給第二掃描線驅動電路用部分時鐘信號 (PGCK2) 的佈線，第 $4a+3$ 的脈衝輸出電路的端子 25 電連接到供給第三掃描線驅動電路用部分時鐘信號 (PGCK3) 的佈線，而第 $4a+4$ 的脈衝輸出電路的端子 25 電連接到供給第四掃描線驅動電路用部分時鐘信號 (PGCK4) 的佈線。

接著，對端子 26 進行說明。第 x 脈衝輸出電路 (x

是 1 以上且 m 以下的自然數) 的端子 26 電連接到設置在第 x 行的掃描線 14。

接著，對端子 27 進行說明。第 b 脈衝輸出電路 (b 是 1 以上且 $m-2$ 以下的自然數) 的端子 27 電連接到第 $b+2$ 脈衝輸出電路的端子 28，第 $m-1$ 脈衝輸出電路的端子 27 電連接到供給第一掃描線驅動電路用停止信號 (GSTP1) 的佈線，第 m 脈衝輸出電路的端子 27 電連接到供給第二掃描線驅動電路用停止信號 (GSTP2) 的佈線。注意，第一掃描線驅動電路用停止信號 (GSTP1) 是，假設設置有第 $m+1$ 脈衝輸出電路，相當於從該第 $m+1$ 脈衝輸出電路的端子 28 輸出的信號的信號。與此同樣，第二掃描線驅動電路用停止信號 (GSTP2) 是，假設設置有第 $m+2$ 脈衝輸出電路，相當於從該第 $m+2$ 脈衝輸出電路的端子 28 輸出的信號的信號。明確而言，這種信號藉由作為虛擬電路實際上設置第 $m+1$ 脈衝輸出電路及第 $m+2$ 脈衝輸出電路，或者控制器 13 直接輸出該信號等，可以供給到掃描線驅動電路 11。

各脈衝輸出電路的端子 28 的連接關係已經說明了。所以在此援用上述說明。

(脈衝輸出電路的結構例子)

圖 3A 是示出圖 2A 和圖 2C 所示的脈衝輸出電路的結構例子的圖。圖 3A 所示的脈衝輸出電路包括電晶體 31 至電晶體 41。

在電晶體 31 中，其源極和汲極中的一方電連接到供給高電源電位（ V_{dd} ）的佈線（以下，稱為高電源電位線），而其閘極電連接到端子 21。

在電晶體 32 中，其源極和汲極中的一方電連接到供給低電源電位（ V_{ss} ）的佈線（以下，稱為低電源電位線），而其源極和汲極中的另一方電連接到電晶體 31 的源極和汲極中的另一方。

在電晶體 33 中，其源極和汲極中的一方電連接到端子 22，而其源極和汲極中的另一方電連接到端子 28。

在電晶體 34 中，其源極和汲極中的一方電連接到低電源電位線，其源極和汲極中的另一方電連接到端子 28，而其閘極電連接到電晶體 32 的閘極。

在電晶體 35 中，其源極和汲極中的一方電連接到低電源電位線，其源極和汲極中的另一方電連接到電晶體 32 的閘極及電晶體 34 的閘極，而其閘極電連接到端子 21。

在電晶體 36 中，其源極和汲極中的一方電連接到高電源電位線，其源極和汲極中的另一方電連接到電晶體 32 的閘極、電晶體 34 的閘極及電晶體 35 的源極和汲極中的另一方，而其閘極電連接到端子 27。另外，也可以採用電晶體 36 的源極和汲極中的一方電連接到供給高於低電源電位（ V_{ss} ）且低於高電源電位（ V_{dd} ）的電源電位（ V_{cc} ）的佈線的結構。

在電晶體 37 中，其源極和汲極中的一方電連接到高

電源電位線，其閘極電連接到端子 24。另外，也可以採用電晶體 37 的源極和汲極中的一方電連接到供給電源電位（ V_{CC} ）的佈線的結構。

在電晶體 38 中，其源極和汲極中的一方電連接到電晶體 32 的閘極、電晶體 34 的閘極、電晶體 35 的源極和汲極中的另一方及電晶體 36 的源極和汲極中的另一方，其源極和汲極中的另一方電連接到電晶體 37 的源極和汲極中的另一方，而其閘極電連接到端子 23。

在電晶體 39 中，其源極和汲極中的一方電連接到電晶體 31 的源極和汲極中的另一方及電晶體 32 的源極和汲極中的另一方，其源極和汲極中的另一方電連接到電晶體 33 的閘極，而其閘極電連接到高電源電位線。

在電晶體 40 中，其源極和汲極中的一方電連接到端子 25，其源極和汲極中的另一方電連接到端子 26，而其閘極電連接到電晶體 33 的閘極及電晶體 39 的源極和汲極中的另一方。

在電晶體 41 中，其源極和汲極中的一方電連接到低電源電位線，其源極和汲極中的另一方電連接到端子 26，而其閘極電連接到電晶體 32 的閘極、電晶體 34 的閘極、電晶體 35 的源極和汲極中的另一方、電晶體 36 的源極和汲極中的另一方及電晶體 38 的源極和汲極中的一方。

另外，以下，將電晶體 33 的閘極、電晶體 39 的源極和汲極中的另一方及電晶體 40 的閘極電連接的節點為節

點 A，將電晶體 32 的閘極、電晶體 34 的閘極、電晶體 35 的源極和汲極中的另一方、電晶體 36 的源極和汲極中的另一方、電晶體 38 的源極和汲極中的一方及電晶體 41 的閘極電連接的節點為節點 B 而進行說明。

（脈衝輸出電路的工作例子）

參照圖 3B 和圖 3C 對上述脈衝輸出電路的工作例子進行說明。注意，圖 3B 示出輸入到該脈衝輸出電路的端子 25 的第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅動電路用部分時鐘信號（PGCK4）中的任一個成為第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）的任一個時的輸入到脈衝輸出電路的各端子的信號的電位及節點 A 和節點 B 的電位，圖 3C 示出輸入到該脈衝輸出電路的端子 25 的第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅動電路用部分時鐘信號（PGCK4）中的任一個成為固定電位（低電源電位 V_{ss} ）時的輸入到脈衝輸出電路的各端子的信號的電位及節點 A 和節點 B 的電位。並且，在圖 3B 和圖 3C 中，用小括弧示出在各條件下輸入到第一脈衝輸出電路 20_1 的各端子的信號、從第一脈衝輸出電路 20_1 的端子 26 輸出的信號（Gout1）及從端子 28 輸出的信號（SRout1）。另外，還示出第二脈衝輸出電路 20_2 的端子 26 的輸出信號（Gout2）和端子 28 的輸出信號（SRout2）及第三脈衝輸出電路 20_3 的端子 26 的輸出

信號（Gout3）和端子 28 的輸出信號（SRout3=第一脈衝輸出電路 20_1 的端子 27 的輸入信號）。注意，在附圖中，Gout 表示脈衝輸出電路的對掃描線的輸出信號，SRout 表示該脈衝輸出電路的對後級的脈衝輸出電路的輸出信號。

首先，參照圖 3B 對輸入到該脈衝輸出電路的端子 25 的第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅動電路用部分時鐘信號（PGCK4）中的任一個成為第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）的任一個的情況進行說明。

在期間 t_1 中，高電源電位（ V_{dd} ）輸入到脈衝輸出電路的端子 21。由此，電晶體 31、35 成為導通狀態。因此，節點 A 的電位上升到高電平的電位（從高電源電位（ V_{dd} ）降低了電晶體 31 或電晶體 39 的閾值電壓的電位），並且節點 B 的電位下降到低電源電位（ V_{ss} ）。與此附隨，電晶體 33、34 成為導通狀態，而電晶體 32、34、41 成為截止狀態。藉由上述步驟，在期間 t_1 中，從該脈衝輸出電路的端子 28 輸出的信號成為輸入到端子 22 的信號，而從端子 26 輸出的信號成為輸入到端子 25 的信號。在此，在期間 t_1 中，輸入到該脈衝輸出電路的端子 22 及端子 25 的信號都是低電源電位（ V_{ss} ）。因此，在期間 t_1 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出低電源電位（ V_{ss} ）。

另外，雖然不直接影響到期間 t_1 中的該脈衝輸出電路的輸出信號，但是因為低電源電位 (V_{ss}) 輸入到端子 23，電晶體 38 成為截止狀態，因為高電源電位 (V_{dd}) 輸入到端子 24，電晶體 37 成為導通狀態，而因為低電源電位 (V_{ss}) 輸入到端子 27，電晶體 36 成為截止狀態。

在期間 t_2 中，高電源電位 (V_{dd}) 輸入到脈衝輸出電路的端子 22 及端子 25。另外，節點 A 的電位（電晶體 39 的源極的電位）在期間 t_1 中上升到高電平的電位。因此，電晶體 39 處於截止狀態。此時，藉由高電源電位 (V_{dd}) 輸入到端子 22 及端子 25，由於電晶體 33 的源極和閘極及電晶體 40 的源極和閘極的電容耦合，節點 A 的電位（電晶體 33 的閘極及電晶體 40 的閘極的電位）進一步上升（自舉工作）。另外，藉由進行該自舉工作，可以在不降低從端子 28 及端子 26 輸出的電位的情況下，設定為高電源電位 (V_{dd})。因此，在期間 t_2 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出高電源電位 (V_{dd})。注意，雖然不直接影響到期間 t_2 中的該脈衝輸出電路的輸出信號，但是因為低電源電位 (V_{ss}) 輸入到端子 24，所以電晶體 37 成為截止狀態。

在期間 t_3 中，低電源電位 (V_{ss}) 輸入到脈衝輸出電路的端子 21。由此，電晶體 31、35 成為截止狀態。此時，節點 A 維持浮動狀態。因此，電晶體 33 及電晶體 40 維持導通狀態。藉由上述步驟，在期間 t_3 中，從該脈衝

輸出電路的端子 28 輸出的信號成為輸入到端子 22 的信號，而從端子 26 輸出的信號成為輸入到端子 25 的信號。在此，在期間 t_3 中，高電源電位 (V_{dd}) 輸入到該脈衝輸出電路的端子 22 及端子 25。因此，在期間 t_3 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出高電源電位 (V_{dd})。注意，雖然不直接影響到期間 t_3 中的該脈衝輸出電路的輸出信號，但是因為高電源電位 (V_{dd}) 輸入到端子 23，電晶體 38 成為導通狀態。

在期間 t_4 中，高電源電位 (V_{dd}) 輸入到脈衝輸出電路的端子 24 及端子 27。由此，電晶體 36、37 成為導通狀態。因此，節點 B 的電位上升到高電平的電位（從高電源電位 (V_{dd}) 降低了電晶體 36、電晶體 37 或電晶體 38 的閾值電壓的電位）。與此附隨，電晶體 32、34、41 成為導通狀態。並且，藉由電晶體 32 成為導通狀態，電晶體 39 的源極（源極和汲極中的一方）的電位成為低電源電位 (V_{ss})。由此，電晶體 39 成為導通狀態。因此，節點 A 的電位下降到低電源電位 (V_{ss})。與此附隨，電晶體 33、40 成為截止狀態。藉由上述步驟，在期間 t_4 中，從該脈衝輸出電路的端子 28 輸出的信號及從端子 26 輸出的信號成為低電源電位 (V_{ss})。因此，在期間 t_4 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出低電源電位 (V_{ss})。

在期間 t_5 之後，直到高電源電位 (V_{dd}) 輸入到該脈

衝輸出電路的端子 21，節點 A 維持低電源電位 (V_{ss})，而節點 B 維持高電平的電位。因此，在該期間中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出低電源電位 (V_{ss})。

接著，參照圖 3C 對輸入到該脈衝輸出電路的端子 25 的第一掃描線驅動電路用部分時鐘信號 (PGCK1) 至第四掃描線驅動電路用部分時鐘信號 (PGCK4) 中的任一個成為固定電位 (低電源電位 V_{ss}) 的情況進行說明。

在期間 t1 中，高電源電位 (V_{dd}) 輸入到脈衝輸出電路的端子 21。如上所述，在期間 t1 中，從該脈衝輸出電路的端子 28 輸出的信號成為輸入到端子 22 的信號，而從端子 26 輸出的信號成為輸入到端子 25 的信號。在此，在期間 t1 中，輸入到該脈衝輸出電路的端子 22 及端子 25 的信號都是低電源電位 (V_{ss})。因此，在期間 t1 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出低電源電位 (V_{ss})。

在期間 t2 中，高電源電位 (V_{dd}) 輸入到脈衝輸出電路的端子 22。如上所述，藉由進行自舉工作，可以在不降低從端子 28 輸出的電位的情況下，設定為高電源電位 (V_{dd})。但是，與上述說明不同，輸入到端子 25 的信號從低電源電位 (V_{ss}) 不變化。因此，從該脈衝輸出電路的端子 26 輸出的信號保持低電源電位 (V_{ss})。

在期間 t3 中，低電源電位 (V_{ss}) 輸入到脈衝輸出電路的端子 21。如上所述，在期間 t3 中，從該脈衝輸出電

路的端子 28 輸出的信號成為輸入到端子 22 的信號，而從端子 26 輸出的信號成為輸入到端子 25 的信號。在此，在期間 t_3 中，高電源電位 (V_{dd}) 輸入到該脈衝輸出電路的端子 22，而低電源電位 (V_{ss}) 輸入到端子 25。因此，在期間 t_3 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 輸出高電源電位 (V_{dd})，而對電連接到端子 26 的掃描線輸出低電源電位 (V_{ss})。

在期間 t_4 中，高電源電位 (V_{dd}) 輸入到脈衝輸出電路的端子 24 及端子 27。如上所述，在期間 t_4 中，從該脈衝輸出電路的端子 28 輸出的信號及從端子 26 輸出的信號成為低電源電位 (V_{ss})。因此，在期間 t_4 中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出低電源電位 (V_{ss})。

在期間 t_5 之後，直到高電源電位 (V_{dd}) 輸入到該脈衝輸出電路的端子 21，節點 A 維持低電源電位 (V_{ss})，而節點 B 維持高電平的電位。因此，在該期間中，該脈衝輸出電路對後級的脈衝輸出電路的端子 21 及電連接到端子 26 的掃描線輸出低電源電位 (V_{ss})。

(脈衝輸出電路及包括該脈衝輸出電路的掃描線驅動電路)

在上述脈衝輸出電路中，根據輸入到端子 25 的信號，在期間 t_2 及期間 t_3 中選擇是否將選擇信號 (高電源電位 (V_{dd})) 輸入到掃描線。明確而言，該脈衝輸出電

路是當輸入到端子 25 的信號為第一掃描線驅動電路用時鐘信號時輸出選擇信號，而當輸入到端子 25 的信號為固定電位（低電源電位（ V_{ss} ））時輸出非選擇信號的電路。另外，該脈衝輸出電路還具有與上述工作無關地使選擇信號移動到後級的脈衝輸出電路的功能。就是說，藉由使用多個該脈衝輸出電路，可以構成移位暫存器。

在本說明書所公開的顯示裝置中，掃描線驅動電路包括該移位暫存器。因此，該顯示裝置可以按每個掃描線控制選擇信號的供給。就是說，本說明書所公開的顯示裝置是可以只對任意區域進行圖像的重寫的顯示裝置。

另外，本說明書所公開的顯示裝置藉由設置供給示出第一掃描線驅動電路用時鐘信號（GCK1）或固定電位（低電源電位（ V_{ss} ））的信號的佈線至供給示出第四掃描線驅動電路用時鐘信號（GCK4）或固定電位（低電源電位（ V_{ss} ））的信號的佈線，可以實現上述工作。因此，本說明書所公開的顯示裝置不但是可以進行部分驅動的顯示裝置，而且可以簡化包括佈線的電路的結構的顯示裝置。

另外，藉由控制器 13 來控制對該佈線供給時鐘信號或固定電位的哪一個。下面，示出控制器 13 的具體的結構及對該佈線輸出的信號的選擇方法的一個例子。

（控制器 13 的結構例子）

圖 4 是示出具有正常模式、部分驅動模式及待機模式的三種模式的控制器 13 的結構例子的圖。另外，正常模

式是指：不管期間，上述第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅動電路用部分時鐘信號（PGCK4）成為與第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）相同的信號的模式。此外，部分驅動模式是指：上述第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅動電路用部分時鐘信號（PGCK4）成為與第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）相同的信號或固定電位的模式。另外，待機模式是指：對掃描線驅動電路 11 及信號線驅動電路 12 不供給時鐘信號等的模式。圖 4 所示的控制器 13 包括：信號產生電路 131；存儲電路 132；比較電路 133；選擇電路 134；以及顯示控制電路 135。

信號產生電路 131 是產生用來使掃描線驅動電路 11 及信號線驅動電路 12 工作，而在像素部 10 中形成圖像的信號的電路。明確而言，信號產生電路 131 是產生對在像素部 10 中排列為矩陣狀的多個像素輸入的視頻信號（Data）、控制掃描線驅動電路 11 或信號線驅動電路 12 的工作的信號（例如，啟動信號（SP）、時鐘信號（CK）等）以及電源電壓的高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）等而輸出的電路。另外，在圖 4 所示的控制器 13 中，信號產生電路 131 對存儲電路 132 輸出視頻信號（Data），而對顯示控制電路 135 輸出控制掃描線驅動電路 11 或信號線驅動電路 12 的工作的信號。此外，當從

信號產生電路 131 對存儲電路 132 輸出的視頻信號 (Data) 是模擬信號時，藉由 A/D 轉換器等可以將該視頻信號 (Data) 轉換為數位信號。

存儲電路 132 包括用來儲存用來在像素部 10 中形成第一圖像的視頻信號至用來形成第 n 圖像 (n 是自然數) 的視頻信號的多個記憶體 136。另外，記憶體 136 可以使用 DRAM (Dynamic Random Access Memory: 動態隨機存取記憶體)、SRAM (Static Random Access Memory: 靜態隨機存取記憶體) 等的記憶元件來構成。注意，記憶體 136 只要具有按形成在像素部 10 中的每個圖像儲存視頻信號的結構即可，記憶體 136 的數目不侷限於特定的數目。並且，多個記憶體 136 所儲存的視頻信號由比較電路 133 及選擇電路 134 選擇性地讀出。

比較電路 133 是選擇性地讀出儲存在存儲電路 132 的用來形成第 k 圖像 (k 是 1 以上且小於 n 的自然數) 的視頻信號及用來形成第 $k+1$ 圖像的視頻信號，對該視頻信號進行比較，而檢測出差異的電路。另外，第 k 圖像及第 $k+1$ 圖像是在像素部 10 中連續地顯示的圖像。藉由進行比較電路 133 中的視頻信號的比較，檢測出差異。根據該差異，判斷控制器 13 的模式成為正常模式、部分驅動模式和待機模式中的哪一種模式。

選擇電路 134 是根據在比較電路 133 中檢測出的差異，選擇對像素部 10 的視頻信號的輸出的電路。明確而言，選擇電路 134 是當在比較電路 133 中判斷為正常模式

時輸出一個幀的視頻信號，當判斷為部分驅動模式時選擇性地輸出視頻信號，而當判斷為待機模式時不輸出視頻信號的電路。

顯示控制電路 135 是控制啓動信號（SP）、時鐘信號（CK）、高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）等的控制信號的對掃描線驅動電路 11 及信號線驅動電路 12 的供給的電路。

明確而言，當藉由比較電路 133 判斷為正常模式時，在將從選擇電路 134 供給的視頻信號（Data）輸出到信號線驅動電路 12 的同時，對掃描線驅動電路 11 及信號線驅動電路 12 供給控制信號（啓動信號（SP）、時鐘信號（CK）、高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）等）。另外，此時，供給到掃描線驅動電路 11 的第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅動電路用部分時鐘信號（PGCK4）成為與第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）相同的信號。

另外，當藉由比較電路 133 判斷為部分驅動模式時，在將從選擇電路 134 供給的視頻信號（Data）選擇性地輸出到信號線驅動電路 12 的同時，對掃描線驅動電路 11 及信號線驅動電路 12 供給控制信號（啓動信號（SP）、時鐘信號（CK）、高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）等）。另外，此時，供給到掃描線驅動電路 11 的第一掃描線驅動電路用部分時鐘信號（PGCK1）至第四掃描線驅

動電路用部分時鐘信號（PGCK4）根據選擇性地輸出的視頻信號（Data），成為選擇性地示出與第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）相同的信號或固定電位的信號。

此外，當藉由比較電路 133 判斷為待機模式時，在從選擇電路 134 不供給視頻信號（Data）的同時，不對掃描線驅動電路 11 及信號線驅動電路 12 供給控制信號（啟動信號（SP）、時鐘信號（CK）、高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）等）。就是說，當藉由比較電路 133 判斷為待機模式時，完全停止掃描線驅動電路 11 及信號線驅動電路 12 的工作。

但是，也可以採用當判斷為待機模式的期間短時，繼續供給高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）的結構。另外，供給高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）是指某個佈線的電位固定為高電源電位（ V_{dd} ）或低電源電位（ V_{ss} ）。由此，處於某個電位狀態的該佈線變成高電源電位（ V_{dd} ）或低電源電位（ V_{ss} ）。因為該電位的變化伴隨電力消耗，所以藉由頻繁進行高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）的供給的停止及再次供給，其結果發生耗電量增大的可能性。在該情況下，最好採用繼續供給高電源電位（ V_{dd} ）及低電源電位（ V_{ss} ）的結構。注意，在上述說明中，“不供給”信號是指在供給該信號的佈線中供給與規定的電位不同的電位，或者電連接到該佈線的節點成為浮動狀態。

另外，當待機模式長期化，或者在部分驅動模式中包括在特定的區域中的掃描線在極長期間內成為非選擇狀態時，對液晶元件 19 在極長期間內繼續施加直流電壓。這有可能成為燒傷的原因。因此，不管模式，按每個規定的幀或每個規定的期間，反轉施加到液晶元件的電壓的極性是較佳的。

在控制器 13 中，如上所述，藉由控制掃描線驅動電路 11 及信號線驅動電路 12 的工作，可以降低顯示裝置的耗電量。

（設置在像素 16 中的電晶體 17 的一個例子）

設置在上述顯示裝置的像素 16 中的電晶體 17 有可能在極長期間內維持截止狀態。因此，作為電晶體 17，優越於截止特性（截止電流少）的電晶體是較佳的。下面，參照圖 5 對作為電晶體 17 較佳的電晶體的一個例子進行說明。明確而言，對具備氧化物半導體層的電晶體進行說明。該電晶體藉由使該氧化物半導體層高純度化，可以使截止電流為極少（以下，詳細地進行說明）。因此，該電晶體是作為設置在有可能對特定的像素在極長期間內不輸入信號的本說明書所公開的顯示裝置的像素 16 中的電晶體 17 較佳的電晶體。另外，也可以使用該電晶體來構成上述脈衝輸出電路。就是說，也可以將該電晶體應用於電晶體 31 至 41。此時，由於製造製程數量的減少而可以實現製造成本的降低及良率的提高。

圖 5 所示的電晶體 211 包括：設置在具有絕緣表面的基板 220 上的閘極層 221；設置在閘極層 221 上的閘極絕緣層 222；設置在閘極絕緣層 222 上的氧化物半導體層 223；以及設置在氧化物半導體層 223 上的源極層 224a 及汲極層 224b。另外，在圖 5 中示出覆蓋電晶體 211 且接觸於氧化物半導體層 223 的絕緣層 225 及設置在絕緣層 225 上的保護絕緣層 226。

如上所述，圖 5 所示的電晶體 211 作為半導體層具備氧化物半導體層 223。作為用於氧化物半導體層 223 的氧化物半導體，可以使用四元金屬氧化物的 In-Sn-Ga-Zn-O 類、三元金屬氧化物的 In-Ga-Zn-O 類、In-Sn-Zn-O 類、In-Al-Zn-O 類、Sn-Ga-Zn-O 類、Al-Ga-Zn-O 類、Sn-Al-Zn-O 類、二元金屬氧化物的 In-Zn-O 類、Sn-Zn-O 類、Al-Zn-O 類、Zn-Mg-O 類、Sn-Mg-O 類、In-Mg-O 類或單元金屬氧化物的 In-O 類、Sn-O 類、Zn-O 類等。此外，上述氧化物半導體也可以包含 SiO_2 。在此，例如 In-Ga-Zn-O 類氧化物半導體是指至少包含 In、Ga 及 Zn 的氧化物，且對於其組成比沒有特別的限制。此外，也可以包含 In、Ga 及 Zn 以外的元素。

另外，作為氧化物半導體層 223，可以使用以化學式 $\text{InMO}_3(\text{ZnO})_m$ ($m>0$) 表示的薄膜。在此，M 表示選自 Ga、Al、Mn 及 Co 中的一種或多種金屬元素。例如，作為 M，可以選擇 Ga、Ga 及 Al、Ga 及 Mn 或 Ga 及 Co 等。

另外，當作爲氧化物半導體使用 In-Zn-O 類的材料時，將所使用的靶材的組成比設定爲使用原子的比率爲 In:Zn=50:1 至 1:2（當換算爲摩爾比時， $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 1:4），最好爲 In:Zn=20:1 至 1:1（當換算爲摩爾比時， $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 1:2），更佳地爲 In:Zn=15:1 至 1.5:1（當換算爲摩爾比時， $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 至 3:4）。例如，將用於 In-Zn-O 類氧化物半導體的形成的靶材的組成比，當原子的比率爲 In:Zn:O=X:Y:Z 時，設定爲 $Z>1.5X+Y$ 。

上述氧化物半導體是爲了抑制電特性變動，藉由有意地去除成爲變動原因的氫、水分、羥基或氫化物（也稱爲氫化合物）等的雜質來得到高純度化，並且電性 i 型（本質）化的氧化物半導體。

所以，氧化物半導體中的氫越少越好。另外，在被高純度化的氧化物半導體層中，源自於氫或氧缺陷等的載子極少（接近零）且載子密度低於 $1\times 10^{12}/\text{cm}^3$ ，最好爲低於 $1\times 10^{11}/\text{cm}^3$ 。也就是說，氧化物半導體層中的源自於氫或氧缺陷等的載子的密度無限地接近零。因爲在氧化物半導體層中，源自於氫或氧缺陷等的載子極少，由此可以降低電晶體處於截止狀態時的洩漏電流（截止電流）。另外，因爲源自於氫或氧缺陷等的雜質能級少，由此可以降低由於光照射、溫度變化、偏壓施加等而引起的電特性的變化及劣化。此外，截止電流越少越好。在將上述氧化物半導體用作半導體層的電晶體中，每通道寬度(w) $1\mu\text{m}$ 的電

流值爲 100zA(zeptoampere)以下，最好爲 10zA 以下，更佳地爲 1zA 以下。並且，由於沒有 pn 結合及熱載子劣化，由此電晶體的電特性不受上述要因的影響。

像這樣，將藉由徹底地去除包含於氧化物半導體層中的氫而被高純度化的氧化物半導體用於通道形成區的電晶體，可以使其截止電流變得極小。即，在電晶體的非導通狀態下，可以將氧化物半導體層當作絕緣體來進行電路設計。另一方面，可以估計氧化物半導體層在電晶體的導通狀態下具有比使用非晶矽形成的半導體層更高的電流供給能力。

作爲具有絕緣表面的基板 220，例如，可以使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等的玻璃基板。

在電晶體 211 中，可以將成爲基底膜的絕緣膜設置在基板 220 與閘極層 221 之間。基底膜具有防止雜質元素從基板擴散的作用，並且可以由選自氮化矽膜、氧化矽膜、氮氧化矽膜或氧氮化矽膜中的一種或多種膜的疊層結構來形成。

作爲閘極層 221 的材料，可以使用鉬、鈦、鉻、鉭、鎢、鋁、銅、鈳、釷等的金屬材料或以這些金屬材料爲主要成分的合金材料的單層或疊層來形成。

至於閘極絕緣層 222，可以使用利用電漿 CVD 法或濺射法等形成的氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層或氧化鉛層的單層或疊層來形成。例如，可以作爲第一閘

極絕緣層利用電漿 CVD 法形成厚度為 50nm 以上且 200nm 以下的氮化矽層 ($\text{SiN}_y(y>0)$)，並且作為第二閘極絕緣層在第一閘極絕緣層上層疊厚度為 5nm 以上且 300nm 以下的氧化矽層 ($\text{SiO}_x(x>0)$)。

作為用作源極層 224a、汲極層 224b 的導電膜，例如可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素、以上述元素為成分的合金或組合上述元素的合金膜等。另外，還可以採用在 Al、Cu 等的金屬層的下側或上側的一方或兩者層疊 Ti、Mo、W 等的高熔點金屬層的結構。另外，也可以藉由使用添加有防止在 Al 膜中產生小丘或晶鬚的元素 (Si、Nd、Sc 等) 的 Al 材料，來提高耐熱性。

另外，可以使用導電金屬氧化物形成成為源極層 224a、汲極層 224b (還包括使用與這些層相同的層形成的佈線層) 的導電膜。作為導電金屬氧化物，可以使用氧化銦 (In_2O_3)、氧化錫 (SnO_2)、氧化鋅 (ZnO)、氧化銦氧化錫合金 ($\text{In}_2\text{O}_3\text{-SnO}_2$ 、簡稱為 ITO)、氧化銦氧化鋅合金 ($\text{In}_2\text{O}_3\text{-ZnO}$) 或使上述金屬氧化物材料包含氧化矽的材料。

作為絕緣層 225，典型地可以使用氧化矽膜、氧氮化矽膜、氧化鋁膜或氧氮化鋁膜等的無機絕緣膜。

作為保護絕緣層 226，可以使用氮化矽膜、氮化鋁膜、氮氧化矽膜或氮氧化鋁膜等的無機絕緣膜。

另外，為了減少起因於電晶體的表面凹凸，可以在保護絕緣層 226 上形成平坦化絕緣膜。作為平坦化絕緣膜，

可以使用聚醯亞胺、丙烯、苯並環丁烯等的有機材料。此外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）等。另外，也可以藉由層疊多個由上述材料形成的絕緣膜來形成平坦化絕緣膜。

<電晶體的截止電流>

接著，對求出具備高純度化的氧化物半導體層的電晶體的截止電流的結果進行說明。

首先，考慮到具備高純度化的氧化物半導體層的電晶體的截止電流充分小，準備通道寬度 W 為 $1\mu\text{m}$ 的足夠大的電晶體進行截止電流的測量。圖 6 示出測量通道寬度 W 為 $1\mu\text{m}$ 的電晶體的截止電流的結果。在圖 6 中，橫軸示出閘極電壓 V_G ，縱軸示出汲極電流 I_D 。當汲極電壓 V_D 為 $+1\text{V}$ 或 $+10\text{V}$ 時，在閘極電壓 V_G 為 -5V 至 -20V 的範圍內，電晶體的截止電流為檢出限 $1 \times 10^{-12}\text{A}$ 以下。另外，可知電晶體的截止電流（這裏，每通道寬度 $1\mu\text{m}$ 的值）為 $1\text{aA}/\mu\text{m}$ （ $1 \times 10^{-18}\text{A}/\mu\text{m}$ ）以下。

接著，對進一步準確地求出具備高純度化的氧化物半導體層的電晶體的截止電流的結果進行說明。如上所述，可知具備高純度化的氧化物半導體層的電晶體的截止電流為測量器的檢出限 $1 \times 10^{-12}\text{A}$ 以下。於是，製造特性評價用元件，對求出更為準確的截止電流的值（上述測量中的測量器的檢出限以下的值）的結果進行說明。

首先，參照圖 7 對在電流測量方法中使用的特性評價

用元件進行說明。

在圖 7 所示的特性評價用元件中，三個測量系統 800 並聯。測量系統 800 包括電容元件 802、電晶體 804、電晶體 805、電晶體 806 及電晶體 808。作為電晶體 804 及電晶體 808，使用具備高純度化的氧化物半導體層的電晶體。

在測量系統 800 中，電晶體 804 的源極和汲極中的一方、電容元件 802 的一方端子及電晶體 805 的源極和汲極中的一方連接到電源（提供 V_2 的電源）。另外，電晶體 804 的源極和汲極中的另一方、電晶體 808 的源極和汲極中的一方、電容元件 802 的另一方端子及電晶體 805 的閘極電連接。此外，電晶體 808 的源極和汲極中的另一方、電晶體 806 的源極和汲極中的一方及電晶體 806 的閘極電連接到電源（提供 V_1 的電源）。另外，電晶體 805 的源極和汲極中的另一方與電晶體 806 的源極和汲極中的另一方電連接到輸出端子。

另外，對電晶體 804 的閘極供給控制電晶體 804 的導通狀態及截止狀態的電位 V_{ext_b2} ，而對電晶體 808 的閘極供給控制電晶體 808 的導通狀態及截止狀態的電位 V_{ext_b1} 。此外，從輸出端子輸出電位 V_{out} 。

接著，對使用上述特性評價用元件的電流測量方法進行說明。

首先，對為了測定截止電流施加電位差的初期期間的概況進行說明。在初期期間中，對電晶體 808 的閘極輸入

使電晶體 808 成為導通狀態的電位 $V_{\text{ext_b1}}$ ，對電連接到電晶體 804 的源極和汲極中的另一方的節點（也就是說，電連接到電晶體 808 的源極和汲極中的一方、電容元件 802 的另一方端子及電晶體 805 的閘極的節點）的節點 A 提供電位 $V1$ 。這裏，例如將電位 $V1$ 設定為高電位。另外，使電晶體 804 處於截止狀態。

然後，對電晶體 808 的閘極輸入使電晶體 808 成為截止狀態的電位 $V_{\text{ext_b1}}$ ，以使電晶體 808 成為截止狀態。在使電晶體 808 變為截止狀態之後將電位 $V1$ 設定為低電位。這裏也使電晶體 804 處於截止狀態。另外，將電位 $V2$ 設定為與電位 $V1$ 相同的電位。由此，初期期間結束。在初期期間完成的狀態下，由於節點 A 與電晶體 804 的源極和汲極中的一方之間產生電位差，並且節點 A 與電晶體 808 的源極和汲極中的另一方之間也產生電位差，所以在電晶體 804 及電晶體 808 中有極少量的電荷流過。也就是說，發生截止電流。

接著，對截止電流的測量期間的概況進行說明。在測量期間中，將電晶體 804 的源極和汲極中的一方的電位（ $V2$ ）以及電晶體 808 的源極和汲極中的另一方的電位（ $V1$ ）固定為低電位。另一方面，在測量期間中不固定上述節點 A 的電位（使其處於浮動狀態）。由此，在電晶體 804 及電晶體 808 中流過電荷，隨時間的推移節點 A 所保持的電荷量發生變化。並且，隨著節點 A 所保持的電荷量的變化節點 A 的電位發生變化。也就是說，輸出端子的輸

出電位 V_{out} 也發生變化。

在圖 8 中，示出施加上述電位差的初期期間以及其後的測量期間中的各電位關係的詳細情況（時序圖）。

在初期期間中，首先，將電位 V_{ext_b2} 設定為使電晶體 804 成為導通狀態的電位（高電位）。由此，節點 A 的電位成為 $V2$ ，即，成為低電位（ V_{SS} ）。注意，不必須要對節點 A 提供低電位（ V_{SS} ）。然後，將電位 V_{ext_b2} 設定為使電晶體 804 成為截止狀態的電位（低電位），以使電晶體 804 成為截止狀態。並且，接著將電位 V_{ext_b1} 設定為使電晶體 808 成為導通狀態的電位（高電位）。由此，節點 A 的電位成為 $V1$ ，即，成為高電位（ V_{DD} ）。然後，將 V_{ext_b1} 設定為使電晶體 808 成為截止狀態的電位。由此，節點 A 成為浮動狀態，初期期間完成。

在其後的測量期間中，將電位 $V1$ 及電位 $V2$ 設定為能夠使電荷流入到節點 A 或能夠使電荷從節點 A 流出的電位。這裏，將電位 $V1$ 及電位 $V2$ 設定為低電位（ V_{SS} ）。但是，在測量輸出電位 V_{out} 的時序中，由於需要使輸出電路工作，所以有時暫時將 $V1$ 設定為高電位（ V_{DD} ）。另外，將 $V1$ 設定為高電位（ V_{DD} ）的期間是不對測量造成影響的短期間。

當如上所述地施加電位差開始測量期間時，隨時間的推移節點 A 所保持的電荷量發生變化，由此節點 A 的電位發生變化。這意味著電晶體 805 的閘極的電位發生變化，所以隨時間的推移輸出端子的輸出電位 V_{out} 的電位也

發生變化。

下面，對從獲得的輸出電位 V_{out} 算出截止電流的方法進行說明。

在算出截止電流之前，先求出節點 A 的電位 V_A 與輸出電位 V_{out} 的關係。由此，可以從輸出電位 V_{out} 求出節點 A 的電位 V_A 。根據上述關係，節點 A 的電位 V_A 作為輸出電位 V_{out} 的函數而可以用如下算式表示。

[算式 1]

$$V_A = F(V_{out})$$

另外，節點 A 的電荷 Q_A 使用節點 A 的電位 V_A 、連接到節點 A 的電容 C_A 及常數 (const) 由如下算式表示。這裏，連接到節點 A 的電容 C_A 是電容元件 802 的電容與其他電容的和。

[算式 2]

$$Q_A = C_A V_A + const$$

由於節點 A 的電流 I_A 是流入到節點 A 的電荷（或從節點 A 流出的電荷）的時間微分，所以節點 A 的電流 I_A 可以使用如下算式表示。

[算式 3]

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

如此，可以根據連接到節點 A 的電容 C_A 與輸出端子的輸出電位 V_{out} 求出節點 A 的電流 I_A 。

藉由上述方法，可以測量截止狀態時的在電晶體的源極與汲極之間流過的洩漏電流（截止電流）。

這裏，製造具備通道長度 $L=10\mu\text{m}$ 且通道寬度 $W=50\mu\text{m}$ 的高純度化的氧化物半導體層的電晶體 804 及具備高純度化的氧化物半導體層的電晶體 808。另外，在並聯的各測量系統 800 中，將電容元件 802 的各電容值設定為 100fF 、 1pF 、 3pF 。

另外，在上述測量中，將 V_{DD} 設定為 5V 而將 V_{SS} 設定為 0V 。另外，在測量期間中，原則上將電位 V_1 設定為 V_{SS} ，而每隔 10sec 至 300sec 僅在 100msec 的期間中設定為 V_{DD} 進行 V_{out} 的測定。另外，將用來求出在元件中流過的電流 I 的 Δt 設定為 30000sec 。

圖 9 示出有關上述電流測量的經過時間 Time 與輸出電位 V_{out} 的關係。由圖 9 可以確認出隨著時間的推移的電位的變化情況。

圖 10 示出根據上述電流測量算出的室溫（ 25°C ）下的截止電流。另外，圖 10 示出電晶體 804 或電晶體 808 的源極-汲極電壓 V 與截止電流 I 的關係。由圖 10 可知在

源極 - 汲極電壓為 4V 的條件下，截止電流大約為 40zA/ μm 。另外，可知在源極 - 汲極電壓為 3.1V 的條件下，截止電流為 10zA/ μm 以下。另外，1zA 表示 10^{-21}A 。

並且，圖 11 示出根據上述電流測量算出的 85°C 的溫度環境下的截止電流。圖 11 示出 85°C 的溫度環境下的電晶體 804 或電晶體 808 的源極 - 汲極電壓 V 與截止電流 I 的關係。由圖 11 可知在源極 - 汲極電壓為 3.1V 的條件下，截止電流為 100zA/ μm 以下。

根據上述結果可知具備高純度化的氧化物半導體層的電晶體的截止電流充分地變小。

（顯示裝置的變形例子）

具有上述結構的顯示裝置是本發明的一個方式，本發明還包括具有與該顯示裝置不同的部分的顯示裝置。

<脈衝輸出電路的變形例子>

例如，可以作為脈衝輸出電路應用如下結構，即對圖 3A 所示的脈衝輸出電路附加其源極和汲極中的一方電連接到高電源電位線，其源極和汲極中的另一方電連接到電晶體 32 的閘極、電晶體 34 的閘極、電晶體 35 的源極和汲極中的另一方、電晶體 36 的源極和汲極中的另一方、電晶體 38 的源極和汲極中的一方及電晶體 41 的閘極，而其閘極電連接到復位端子（Reset）的電晶體 50 的結構（參照圖 12A）。另外，對該復位端子在垂直回掃期間中

輸入高電平的電位，而在其他期間中輸入低電平的電位。就是說，電晶體 50 是在垂直回掃期間中成為導通狀態的電晶體。由此，可以在垂直回掃期間中將各節點初始化，所以可以防止錯誤工作。

另外，也可以作為脈衝輸出電路應用如下結構，即從圖 3A 所示的脈衝輸出電路去除電晶體 36 的結構（參照圖 12B）。由此，可以減少構成脈衝輸出電路的電晶體的數量。由此，可以實現該脈衝輸出電路的佈局面積的縮小、良率的提高等。

此外，也可以作為脈衝輸出電路應用如下結構，即從圖 3A 所示的脈衝輸出電路去除電晶體 39 的結構（參照圖 13A）。由此，可以減少構成脈衝輸出電路的電晶體的數量。由此，可以實現該脈衝輸出電路的佈局面積的縮小、良率的提高等。

另外，可以作為脈衝輸出電路應用如下結構，即對圖 3A 所示的脈衝輸出電路附加其源極和汲極中的一方電連接到電晶體 33 的閘極及電晶體 39 的源極和汲極中的另一方，其源極和汲極中的另一方電連接到電晶體 40 的閘極，而其閘極電連接到高電源電位線的電晶體 51 的結構（參照圖 13B）。注意，電晶體 51 在圖 3B 和圖 3C 所示的期間 t_2 、 t_3 中成為截止狀態。因此，藉由採用附加電晶體 51 的結構，在期間 t_2 、 t_3 中，可以遮斷電晶體 33 的閘極和電晶體 40 的閘極的電連接。以下，對電晶體 51 設置在該脈衝輸出電路中的結構（參照圖 13B）和不設置在該

脈衝輸出電路中的結構（參照圖 3A）進行比較，而對前者的結構的優點進行詳細說明。

首先，對不設置電晶體 51 的情況進行說明。當輸入到端子 25 的信號反復高電源電位（ V_{dd} ）和低電源電位（ V_{ss} ）時，在期間 t_2 、 t_3 中，端子 28 的輸出信號及端子 26 的輸出信號都成為高電源電位（ V_{dd} ）。此時，電晶體 33、40 的閘極電位（節點 A 的電位）藉由電晶體 33 的源極和閘極的電容耦合及電晶體 40 的源極和閘極的電容耦合，成為高於高電源電位（ V_{dd} ）的電位。另一方面，當輸入到端子 25 的信號固定為低電源電位（ V_{ss} ）時，在期間 t_2 、 t_3 中，端子 28 的輸出信號成為高電源電位（ V_{dd} ），端子 26 的輸出信號成為低電源電位（ V_{ss} ）。此時，電晶體 33、40 的閘極電位（節點 A 的電位）必須要只藉由電晶體 33 的源極和閘極的電容耦合，成為高於高電源電位（ V_{dd} ）的電位。再者，因為電晶體 40 驅動掃描線，所以在很多情況下將其設置為其通道寬度比電晶體 36 的大。就是說，當藉由該電容耦合使電位上升時，電晶體 40 的閘極成為較大的負載。因此，為了使脈衝輸出電路工作，必須要使電晶體 33 的對於通道長度的通道寬度（ W/L ）為大。

與此相反，當設置電晶體 51 時，在期間 t_2 、 t_3 中，電晶體 33 的閘極和電晶體 40 的閘極的電連接被遮斷。由此，可以藉由電容耦合只使電晶體 33 的閘極的電位上升。就是說，可以減少該電容耦合中的負載。因此，可以

使脈衝輸出電路良好地工作。另外，不需要使電晶體 36 的對於通道長度的通道寬度（ W/L ）為大，所以可以實現佈局面積的縮小。

注意，在圖 13B 中示出電晶體 51 的閘極電連接到高電源電位線的結構，但是也可以採用該閘極電連接到程式塊終端（Block）的結構（參照圖 14A）或該閘極電連接到端子 25 的結構（參照圖 14B）。另外，對程式塊終端（Block），最好當與第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）的任一個相同的信號輸入到端子 25 時輸入高電平的電位，而當固定電位（低電源電位（ V_{ss} ））輸入到端子 25 時輸入低電平的電位。就是說，將電晶體 51 控制為當與第一掃描線驅動電路用時鐘信號（GCK1）至第四掃描線驅動電路用時鐘信號（GCK4）的任一個相同的信號輸入到端子 25 時成為導通狀態，而當固定電位（低電源電位（ V_{ss} ））輸入到端子 25 時成為截止狀態，即可。由此，可以使電晶體 33 的閘極和電晶體 40 的閘極的電連接被遮斷的時序變早。另外，電晶體 51 的閘極電連接到端子 25 的結構（參照圖 14B）的優點在於不需要追加新的信號。

<電晶體的變形例子>

另外，在上述顯示裝置中，雖然示出作為設置在像素 16 中的電晶體 17 採用被稱為通道蝕刻型的底閘結構的電晶體 211 的結構（參照圖 5），但是電晶體 17 不侷限於

該結構。例如，還可以採用圖 15A 至圖 15C 所示的電晶體。

圖 15A 所示的電晶體 510 是被稱為通道保護型（也稱為通道停止型）的底閘結構之一。

電晶體 510 在具有絕緣表面的基板 220 上包括閘極層 221、閘極絕緣層 222、氧化物半導體層 223、覆蓋氧化物半導體層 223 的通道形成區的用作通道保護層的絕緣層 511、源極層 224a 及汲極層 224b。另外，覆蓋源極層 224a、汲極層 224b 及絕緣層 511 形成有保護絕緣層 226。

圖 15B 所示的電晶體 520 是底閘型的電晶體，而在具有絕緣表面的基板 220 上包括閘極層 221、閘極絕緣層 222、源極層 224a、汲極層 224b 及氧化物半導體層 223。另外，設置有覆蓋源極層 224a 及汲極層 224b 且接觸於氧化物半導體層 223 的絕緣層 225。在絕緣層 225 上還設置有保護絕緣層 226。

在電晶體 520 中，閘極絕緣層 222 設置為接觸於基板 220 及閘極層 221 上，而源極層 224a 及汲極層 224b 設置為接觸於閘極絕緣層 222 上。並且，在閘極絕緣層 222、源極層 224a 及汲極層 224b 上設置有氧化物半導體層 223。

圖 15C 所示的電晶體 530 是頂閘結構的電晶體之一。電晶體 530 在具有絕緣表面的基板 220 上包括絕緣層 531、氧化物半導體層 223、源極層 224a、汲極層 224b、

閘極絕緣層 222 及閘極層 221，佈線層 532a、佈線層 532b 分別設置為接觸於源極層 224a、汲極層 224b 而與其電連接。

另外，作為絕緣層 511、531，典型地可以使用如氧化矽膜、氧氮化矽膜、氧化鋁膜或氧氮化鋁膜等的無機絕緣膜。此外，作為用於佈線層 532a、佈線層 532b 的導電膜，例如可以使用選自 Al、Cr、Cu、Ta、Ti、Mo、W 中的元素或以上述元素為成分的合金、組合上述元素的合金膜等。此外，還可以採用在 Al、Cu 等的金屬層的下側或上側的一方或兩者層疊 Ti、Mo、W 等的高熔點金屬層的結構。另外，也可以藉由使用添加有防止在 Al 膜中產生小丘或晶鬚的元素（Si、Nd、Sc 等）的 Al 材料，來提高耐熱性。

（安裝有顯示裝置的各種電子設備）

下面，參照圖 16A 至 16F 對安裝有本說明書中公開的顯示裝置的電子設備的例子進行說明。

圖 16A 是示出筆記本型個人電腦的圖，其由主體 2201、框體 2202、顯示部分 2203 和鍵盤 2204 等構成。

圖 16B 是示出可攜式資訊終端（PDA）的圖，在其主體 2211 中設置有顯示部 2213、外部介面 2215 及操作按鈕 2214 等。另外，作為操作用附屬部件，有觸屏筆 2212。

圖 16C 是作為電子紙的一個例子示出電子書閱讀器

2220 的圖。電子書閱讀器 2220 由框體 2221 及框體 2223 的兩個框體構成。框體 2221 及框體 2223 由軸部 2237 形成爲一體，並且可以以該軸部 2237 爲軸進行開閉動作。藉由這種結構，電子書閱讀器 2220 可以像紙質書籍一樣使用。

框體 2221 安裝有顯示部 2225，並且框體 2223 安裝有顯示部 2227。顯示部 2225 及顯示部 2227 既可以採用顯示連屏畫面的結構，又可以採用顯示不同的畫面的結構。藉由採用顯示不同的畫面的結構，例如可以在右邊的顯示部（圖 16C 中的顯示部 2225）中顯示文章，而在左邊的顯示部（圖 16C 中的顯示部 2227）中顯示圖像。

此外，在圖 16C 中示出框體 2221 具備操作部等的例子。例如，框體 2221 具備電源 2231、操作鍵 2233 以及揚聲器 2235 等。利用操作鍵 2233 可以翻頁。另外，還可以採用在與框體的顯示部同一面上設置鍵盤、定位裝置等的結構。另外，也可以採用在框體的背面或側面具備外部連接用端子（耳機端子、USB 端子或可與 AC 適配器及 USB 電纜等的各種電纜連接的端子等）、記錄媒體插入部等的結構。此外，電子書閱讀器 2220 可以具有電子詞典的功能。

此外，電子書閱讀器 2220 也可以採用以無線的方式收發資訊的結構。還可以採用以無線的方式從電子書閱讀器伺服器購買所希望的書籍資料等，然後下載的結構。

另外，電子紙可以應用於顯示資訊的所有領域的電子

設備。例如，除了電子書閱讀器之外還可以將其用於招貼、電車等的交通工具的車廂廣告、信用卡等的各種卡片中的顯示等。

圖 16D 是示出行動電話機的圖。該行動電話機由框體 2240 及框體 2241 的兩個框體構成。框體 2241 包括顯示面板 2242、揚聲器 2243、麥克風 2244、定位裝置 2246、影像拍攝裝置用透鏡 2247 以及外部連接端子 2248 等。另外，框體 2240 具備對該行動電話機進行充電的太陽能電池單元 2249、外部記憶體插槽 2250 等。另外，天線內置於框體 2241 內部。

顯示面板 2242 具有觸摸屏功能，圖 16D 使用虛線示出作為影像被顯示出來的多個操作鍵 2245。另外，該行動電話機安裝有用來將太陽能電池單元 2249 輸出的電壓升壓到各電路所需要的電壓的升壓電路。另外，除了上述結構以外，還可以採用內藏有非接觸 IC 晶片、小型記錄裝置等的結構。

顯示面板 2242 根據使用方式適當地改變顯示的方向。另外，由於在與顯示面板 2242 同一面上備有影像拍攝裝置用透鏡 2247，所以可以進行可視電話。揚聲器 2243 及麥克風 2244 不侷限於聲音通話，還可以用於可視電話、錄音、再生等。再者，框體 2240 和框體 2241 滑動而可以由如圖 16D 所示的展開狀態變為重合狀態，從而能夠實現便於攜帶的小型化。

外部連接端子 2248 能夠與 AC 適配器或 USB 纜線等

各種纜線連接，而能夠進行充電或資料通信。另外，將記錄媒體插入到外部記憶體插槽 2250 中來可以對應更大容量的資料儲存及移動。另外，除了上述功能之外，還可以具有紅外線通信功能、電視接收功能等。

圖 16E 是示出數位相機的圖。該數位相機由主體 2261、顯示部 A2267、取景器 2263、操作開關 2264、顯示部 B2265 及電池 2266 等構成。

圖 16F 是示出電視裝置的圖。在電視裝置 2270 中，框體 2271 安裝有顯示部 2273。藉由顯示部 2273 可以顯示映射。此外，在此示出藉由支架 2275 支撐框體 2271 的結構。

電視裝置 2270 的操作可以藉由利用框體 2271 所具備的操作開關或另外提供的遙控操作機 2280 來進行。藉由利用遙控操作機 2280 所具備的操作鍵 2279，可以進行頻道及音量的操作，而可以對在顯示部 2273 上顯示的映射進行操作。此外，也可以採用在遙控操作機 2280 中設置用來顯示從該遙控操作機 2280 輸出的資訊的顯示部 2277 的結構。

另外，電視裝置 2270 最好採用具備接收器或數據機等的結構。藉由接收器，可接收一般電視廣播。此外，藉由數據機連接到有線或無線的通信網路，可以執行單向（從發送者到接收者）或雙向（在發送者與接收者之間或者在接收者之間等）的資訊通信。

【符號說明】

- 10：像素部
- 11：掃描線驅動電路
- 12：信號線驅動電路
- 13：控制器
- 14：掃描線
- 15：信號線
- 16：像素
- 17：電晶體
- 18：電容元件
- 19：液晶元件
- 20_1 至 20_m：脈衝輸出電路
- 20_x：脈衝輸出電路
- 21 至 28：端子
- 31 至 41：電晶體
- 50、51：電晶體
- 131：信號產生電路
- 132：存儲電路
- 133：比較電路
- 134：選擇電路
- 135：顯示控制電路
- 136：記憶體
- 211：電晶體
- 220：基板

221：閘極層
222：閘極絕緣層
223：氧化物半導體層
224a：源極層
224b：汲極層
225：絕緣層
226：保護絕緣層
510：電晶體
511：絕緣層
520：電晶體
530：電晶體
531：絕緣層
532a：佈線層
532b：佈線層
800：測量系統
802：電容元件
804：電晶體
805：電晶體
806：電晶體
808：電晶體
2201：主體
2202：框體
2203：顯示部
2204：鍵盤

- 2211：主體
- 2212：觸屏筆
- 2213：顯示部
- 2214：操作按鈕
- 2215：外部介面
- 2220：電子書閱讀器
- 2221：框體
- 2223：框體
- 2225：顯示部
- 2227：顯示部
- 2231：電源
- 2233：操作鍵
- 2235：揚聲器
- 2237：軸部
- 2240：框體
- 2241：框體
- 2242：顯示面板
- 2243：揚聲器
- 2244：麥克風
- 2245：操作鍵
- 2246：定位裝置
- 2247：影像拍攝裝置用透鏡
- 2248：外部連接端子
- 2249：太陽能電池單元

2250：外部記憶體插槽

2261：主體

2263：取景器

2264：操作開關

2265：顯示部 B

2266：電池

2267：顯示部 A

2270：電視裝置

2271：框體

2273：顯示部

2275：支架

2277：顯示部

2279：操作鍵

2280：遙控操作機

申請專利範圍

1. 一種半導體裝置，具有：多個脈衝輸出電路；
該多個脈衝輸出電路之一，具有第一至第十電晶體；
以及
該第一電晶體的源極和汲極中的一方電連接該第二電晶體的源極和汲極中的一方；
該第三電晶體的源極和汲極中的一方電連接該第四電晶體的源極和汲極中的一方；
該第五電晶體的源極和汲極中的一方電連接該第六電晶體的源極和汲極中的一方；
該第七電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；
該第七電晶體的源極和汲極中的一方電連接該第二電晶體的閘極；
該第七電晶體的源極和汲極中的一方電連接該第四電晶體的閘極；
該第七電晶體的源極和汲極中的一方電連接該第六電晶體的閘極；
該第九電晶體的源極和汲極中的一方電連接該第七電晶體的源極和汲極中的另一方；
該第十電晶體的源極和汲極中的一方電連接該第一電晶體的閘極；
該第十電晶體的源極和汲極中的另一方電連接該第三電晶體的閘極；

該第十電晶體的源極和汲極中的另一方電連接該第五電晶體的源極和汲極中的另一方；

該第一電晶體的源極和汲極中的一方電連接閘極信號線；

該第三電晶體的源極和汲極中的一方電連接後級的脈衝輸出電路；

該第五電晶體的閘極及該第八電晶體的閘極電連接前級的脈衝輸出電路；

該第一電晶體的源極和汲極中的另一方電連接第一佈線；

該第三電晶體的源極和汲極中的另一方電連接第二佈線；

該第七電晶體的閘極電連接第三佈線；

該第九電晶體的閘極電連接第四佈線；

輸入第一電壓至該第五電晶體的源極和汲極中的另一方、該第九電晶體的源極和汲極中的另一方、與該第十電晶體的閘極；

輸入第二電壓至該第二電晶體的源極和汲極中的另一方、該第四電晶體的源極和汲極中的另一方、該第六電晶體的源極和汲極中的另一方、與該第八電晶體的源極和汲極中的另一方。

2. 一種半導體裝置，具有：多個脈衝輸出電路；

該多個脈衝輸出電路之一，具有第一至第十一電晶體；以及

該第一電晶體的源極和汲極中的一方電連接該第二電晶體的源極和汲極中的一方；

該第三電晶體的源極和汲極中的一方電連接該第四電晶體的源極和汲極中的一方；

該第五電晶體的源極和汲極中的一方電連接該第六電晶體的源極和汲極中的一方；

該第七電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第七電晶體的源極和汲極中的一方電連接該第二電晶體的閘極；

該第七電晶體的源極和汲極中的一方電連接該第四電晶體的閘極；

該第七電晶體的源極和汲極中的一方電連接該第六電晶體的閘極；

該第九電晶體的源極和汲極中的一方電連接該第七電晶體的源極和汲極中的另一方；

該第十電晶體的源極和汲極中的一方電連接該第一電晶體的閘極；

該第十電晶體的源極和汲極中的另一方電連接該第三電晶體的閘極；

第十電晶體的源極和汲極中的另一方電連接該第五電晶體的源極和汲極中的一方；

該第十一電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第一電晶體的源極和汲極中的一方電連接閘極信號線；

該第三電晶體的源極和汲極中的一方電連接後級的脈衝輸出電路；

該第十一電晶體的閘極電連接後級的脈衝輸出電路；

該第五電晶體的閘極及該第八電晶體的閘極電連接前級的脈衝輸出電路；

該第一電晶體的源極和汲極中的另一方電連接第一佈線；

該第三電晶體的源極和汲極中的另一方電連接第二佈線；

該第七電晶體的閘極電連接第三佈線；

該第九電晶體的閘極電連接第四佈線；

輸入第一電壓至該第五電晶體的源極和汲極中的另一方、該第九電晶體的源極和汲極中的另一方、該第十電晶體的閘極、與該第十一電晶體的源極和汲極中的另一方；

輸入第二電壓至該第二電晶體的源極和汲極中的另一方、該第四電晶體的源極和汲極中的另一方、該第六電晶體的源極和汲極中的另一方、與該第八電晶體的源極和汲極中的另一方。

3. 一種半導體裝置，具有：多個脈衝輸出電路；

該多個脈衝輸出電路之一，具有第一至第十一電晶體；以及

該第一電晶體的源極和汲極中的一方電連接該第二電

晶體的源極和汲極中的一方；

該第三電晶體的源極和汲極中的一方電連接該第四電晶體的源極和汲極中的一方；

該第五電晶體的源極和汲極中的一方電連接該第六電晶體的源極和汲極中的一方；

該第七電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第七電晶體的源極和汲極中的一方電連接該第二電晶體的閘極；

該第七電晶體的源極和汲極中的一方電連接該第四電晶體的閘極；

該第七電晶體的源極和汲極中的一方電連接該第六電晶體的閘極；

該第九電晶體的源極和汲極中的一方電連接該第七電晶體的源極和汲極中的另一方；

該第十電晶體的源極和汲極中的一方電連接該第一電晶體的閘極；

該第十電晶體的源極和汲極中的另一方電連接該第三電晶體的閘極；

該第十電晶體的源極和汲極中的另一方電連接該第五電晶體的源極和汲極中的一方；

該第十一電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第一電晶體的源極和汲極中的一方電連接閘極信號

線；

該第三電晶體的源極和汲極中的一方電連接後級的脈衝輸出電路；

該第十一電晶體的閘極電連接重寫端子；

該第五電晶體的閘極及該第八電晶體的閘極電連接前級的脈衝輸出電路；

該第一電晶體的源極和汲極中的另一方電連接第一佈線；

該第三電晶體的源極和汲極中的另一方電連接第二佈線；

該第七電晶體的閘極電連接第三佈線；

該第九電晶體的閘極電連接第四佈線；

輸入第一電壓至該第五電晶體的源極和汲極中的另一方、該第九電晶體的源極和汲極中的另一方、該第十電晶體的閘極、與該第十一電晶體的源極和汲極中的另一方；

輸入第二電壓至該第二電晶體的源極和汲極中的另一方、該第四電晶體的源極和汲極中的另一方、該第六電晶體的源極和汲極中的另一方、與該第八電晶體的源極和汲極中的另一方。

4. 一種半導體裝置，具有：多個脈衝輸出電路；

該多個脈衝輸出電路之一，具有第一至第十二電晶體；以及

該第一電晶體的源極和汲極中的一方電連接該第二電晶體的源極和汲極中的一方；

該第三電晶體的源極和汲極中的一方電連接該第四電晶體的源極和汲極中的一方；

該第五電晶體的源極和汲極中的一方電連接該第六電晶體的源極和汲極中的一方；

該第七電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第七電晶體的源極和汲極中的一方電連接該第二電晶體的閘極；

該第七電晶體的源極和汲極中的一方電連接該第四電晶體的閘極；

該第七電晶體的源極和汲極中的一方電連接該第六電晶體的閘極；

該第九電晶體的源極和汲極中的一方電連接該第七電晶體的源極和汲極中的另一方；

該第十電晶體的源極和汲極中的一方電連接該第一電晶體的閘極；

該第十電晶體的源極和汲極中的另一方電連接該第三電晶體的閘極；

該第十電晶體的源極和汲極中的另一方電連接該第五電晶體的源極和汲極中的一方；

該第十一電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第十二電晶體的源極和汲極中的一方電連接該第八電晶體的源極和汲極中的一方；

該第一電晶體的源極和汲極中的一方電連接閘極信號線；

該第三電晶體的源極和汲極中的一方電連接後級的脈衝輸出電路；

該第十一電晶體的閘極電連接後級的脈衝輸出電路；

該第十二電晶體的閘極電連接重寫端子；

該第五電晶體的閘極及該第八電晶體的閘極電連接前級的脈衝輸出電路；

該第一電晶體的源極和汲極中的另一方電連接第一佈線；

該第三電晶體的源極和汲極中的另一方電連接第二佈線；

該第七電晶體的閘極電連接第三佈線；

該第九電晶體的閘極電連接第四佈線；

輸入第一電壓至該第五電晶體的源極和汲極中的另一方、該第九電晶體的源極和汲極中的另一方、該第十電晶體的閘極、該第十一電晶體的源極和汲極中的另一方、與該第十二電晶體的源極和汲極中的另一方；

輸入第二電壓至該第二電晶體的源極和汲極中的另一方、該第四電晶體的源極和汲極中的另一方、該第六電晶體的源極和汲極中的另一方、與該第八電晶體的源極和汲極中的另一方。

圖 式

圖 1A

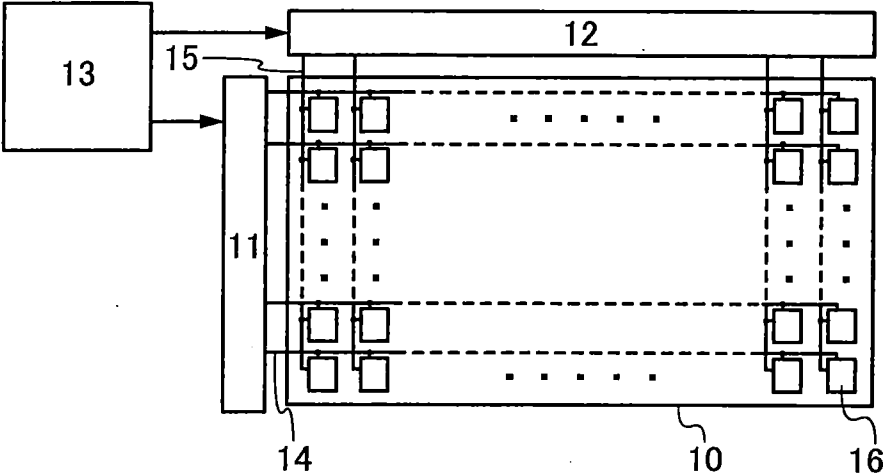


圖 1B

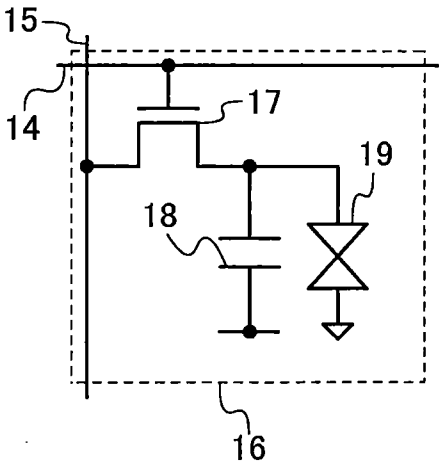


圖 2A

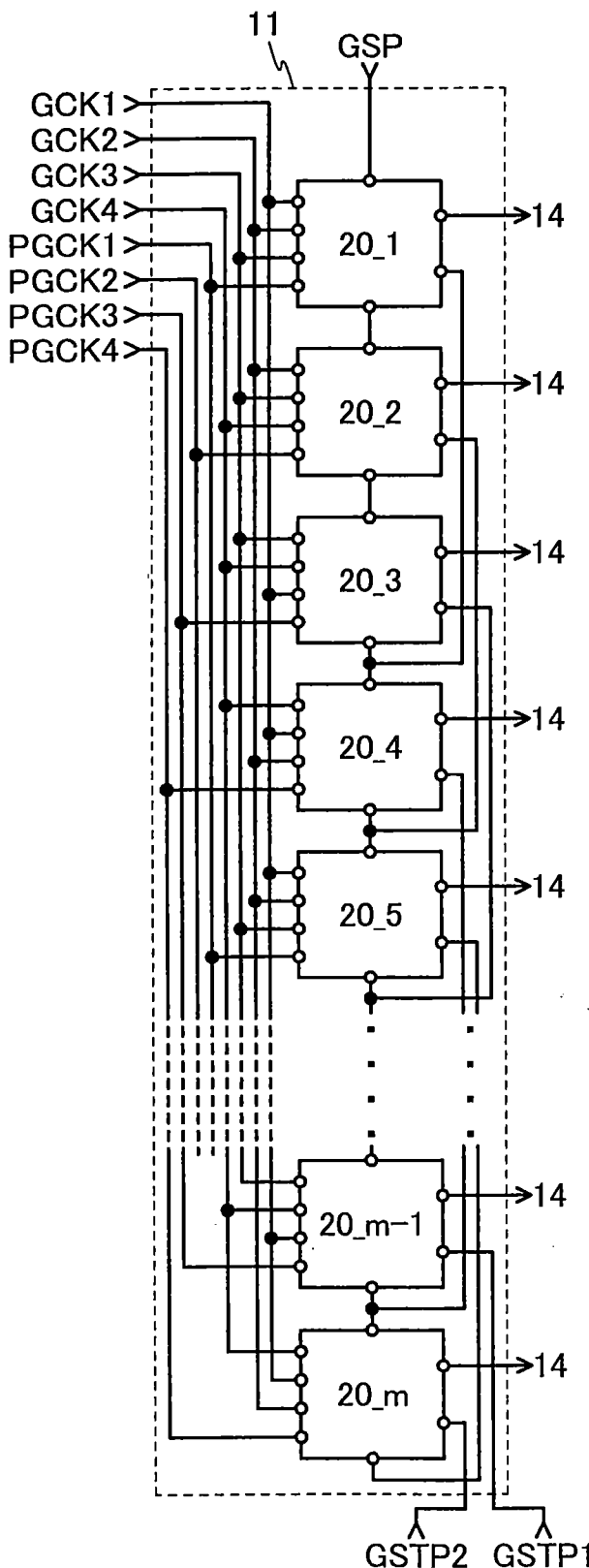


圖 2B

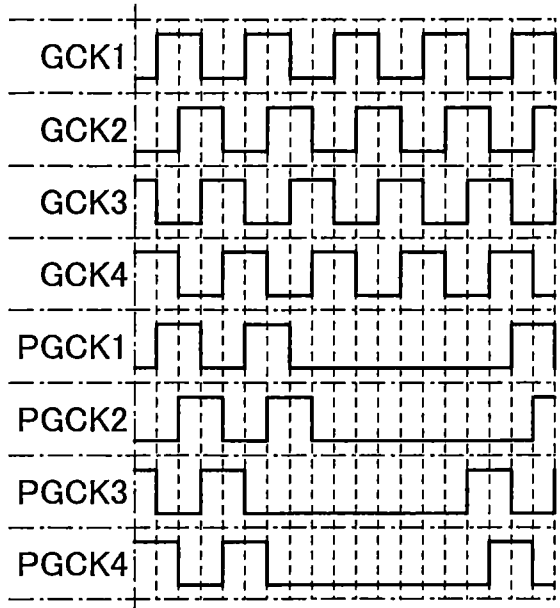


圖 2C

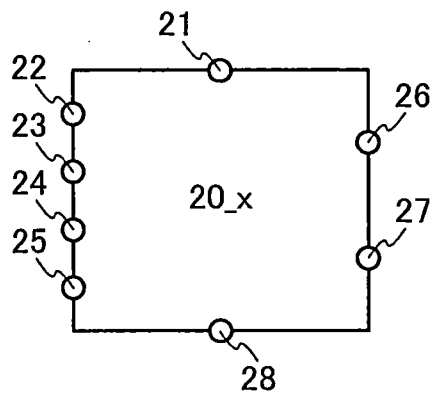


圖 3A

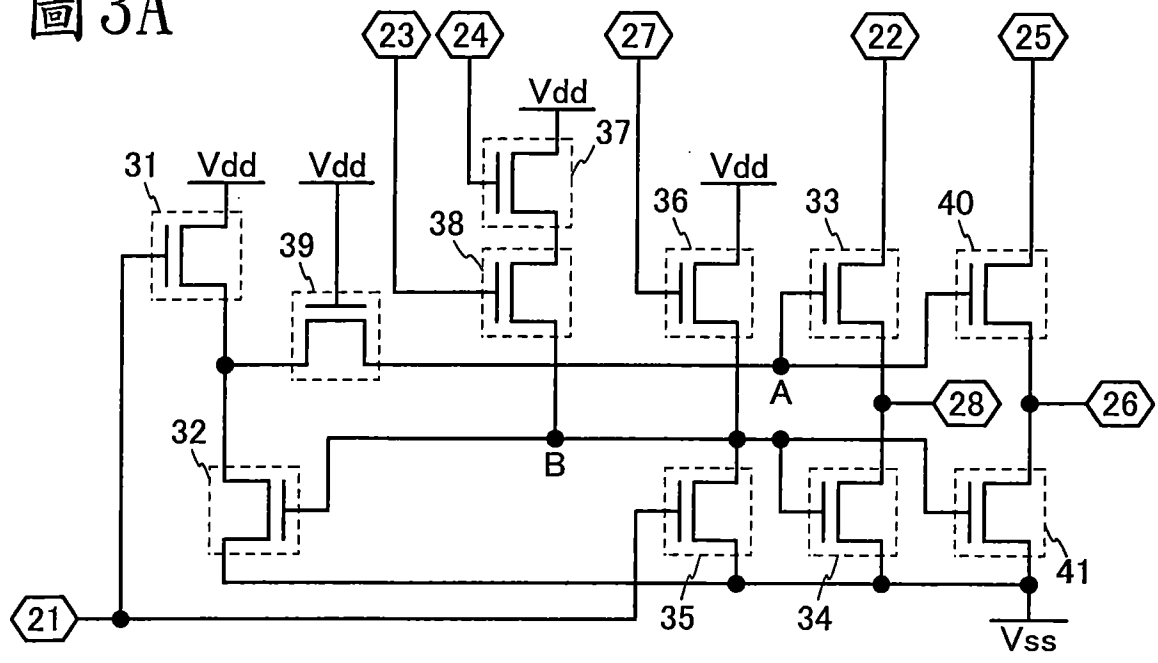


圖 3B

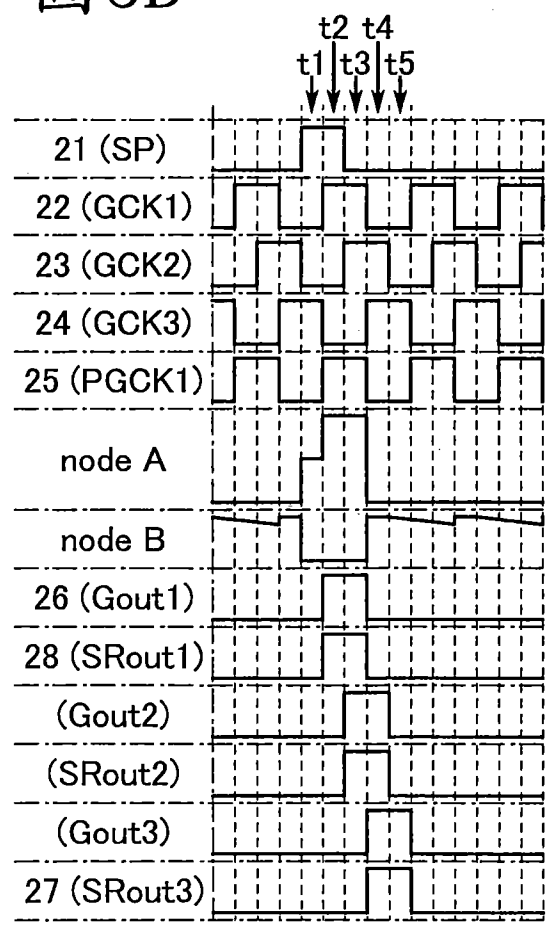


圖 3C

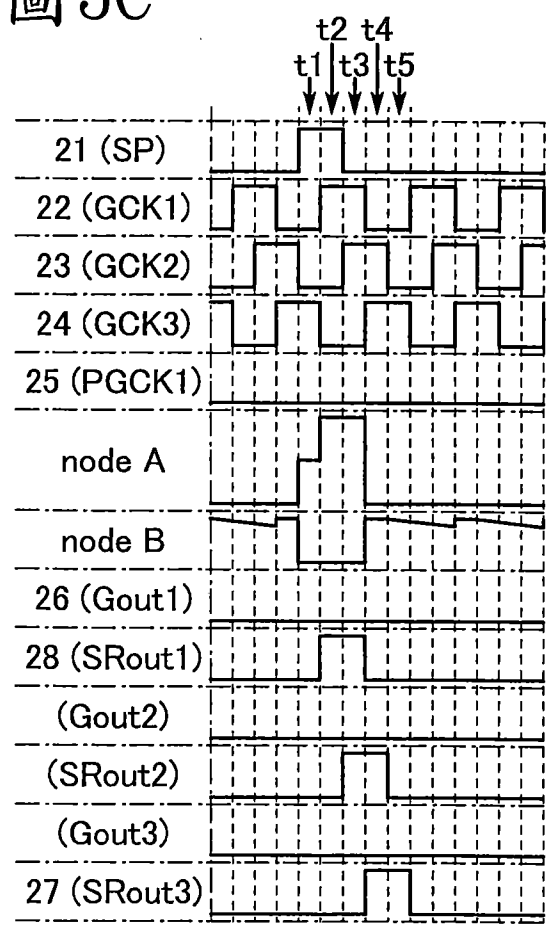


圖 4

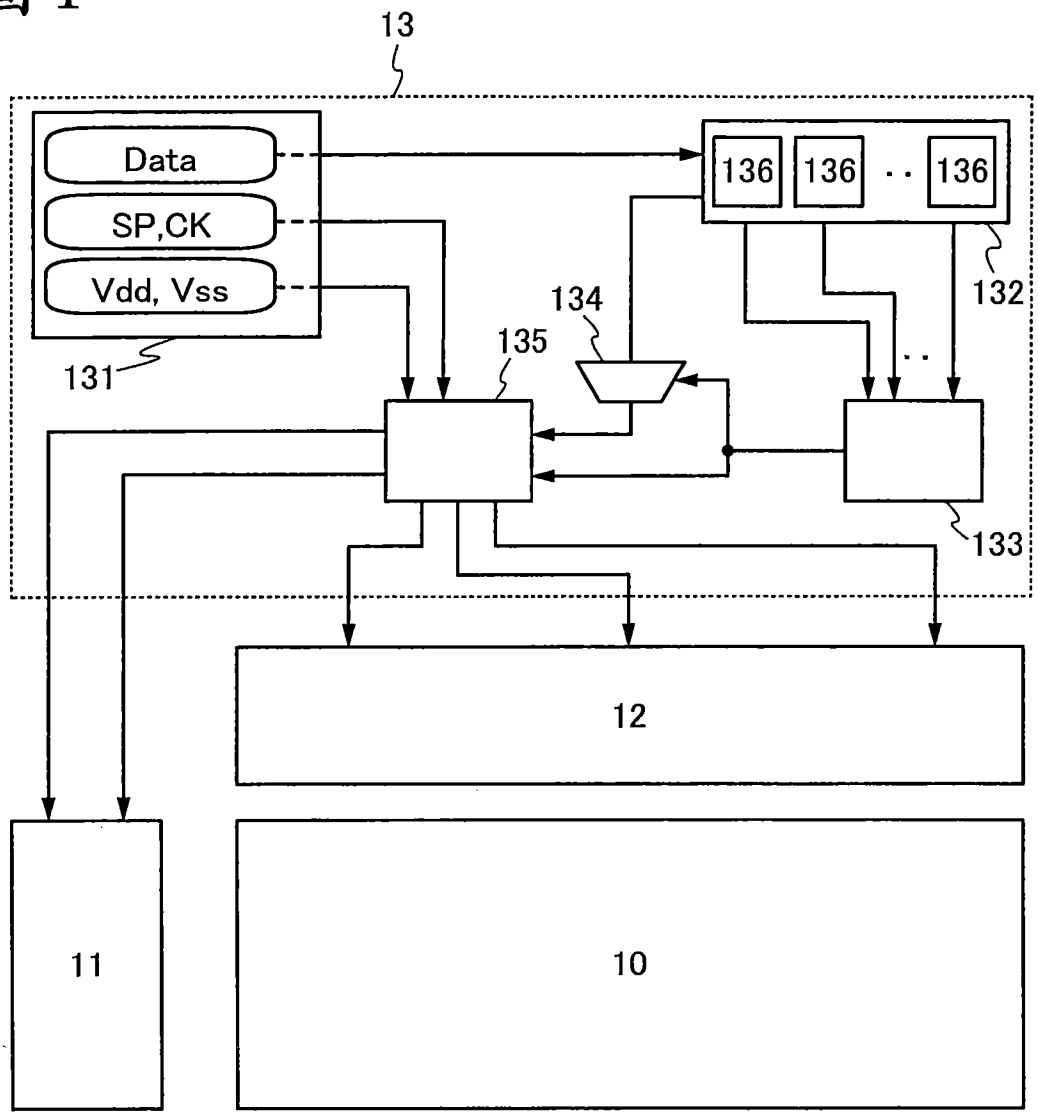


圖5

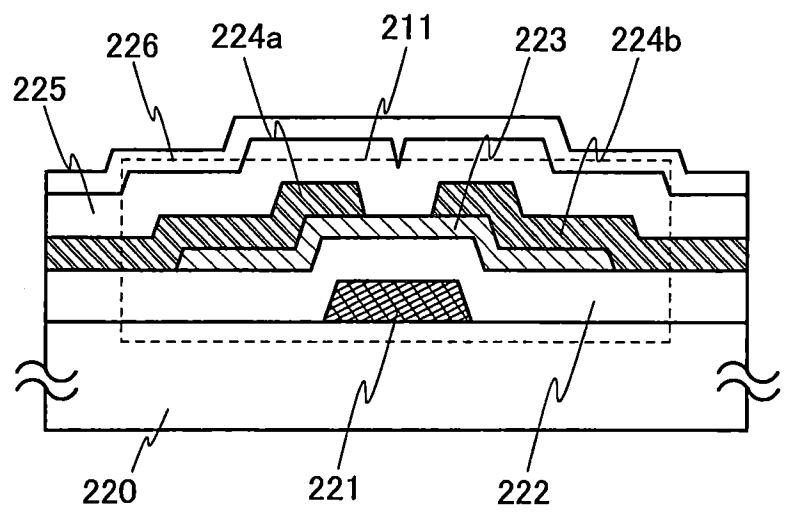


圖 6

設計以 $L/W=10.0/1,000,000\mu\text{m}$ (1m) 的
TFT 的 I_D-V_G 特性

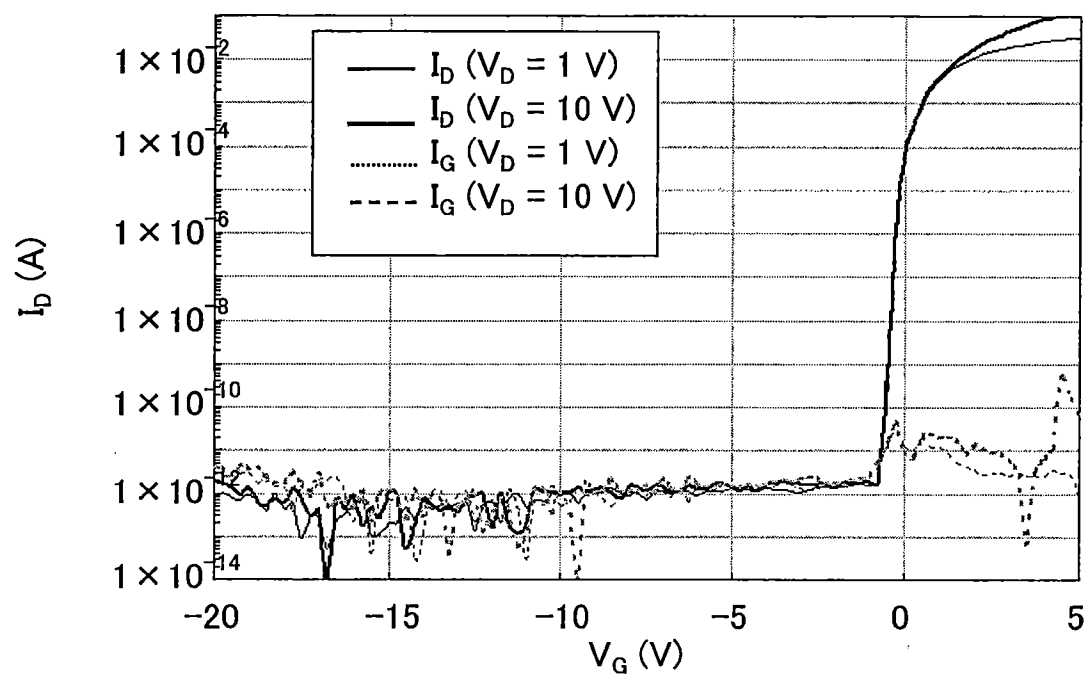


圖 7

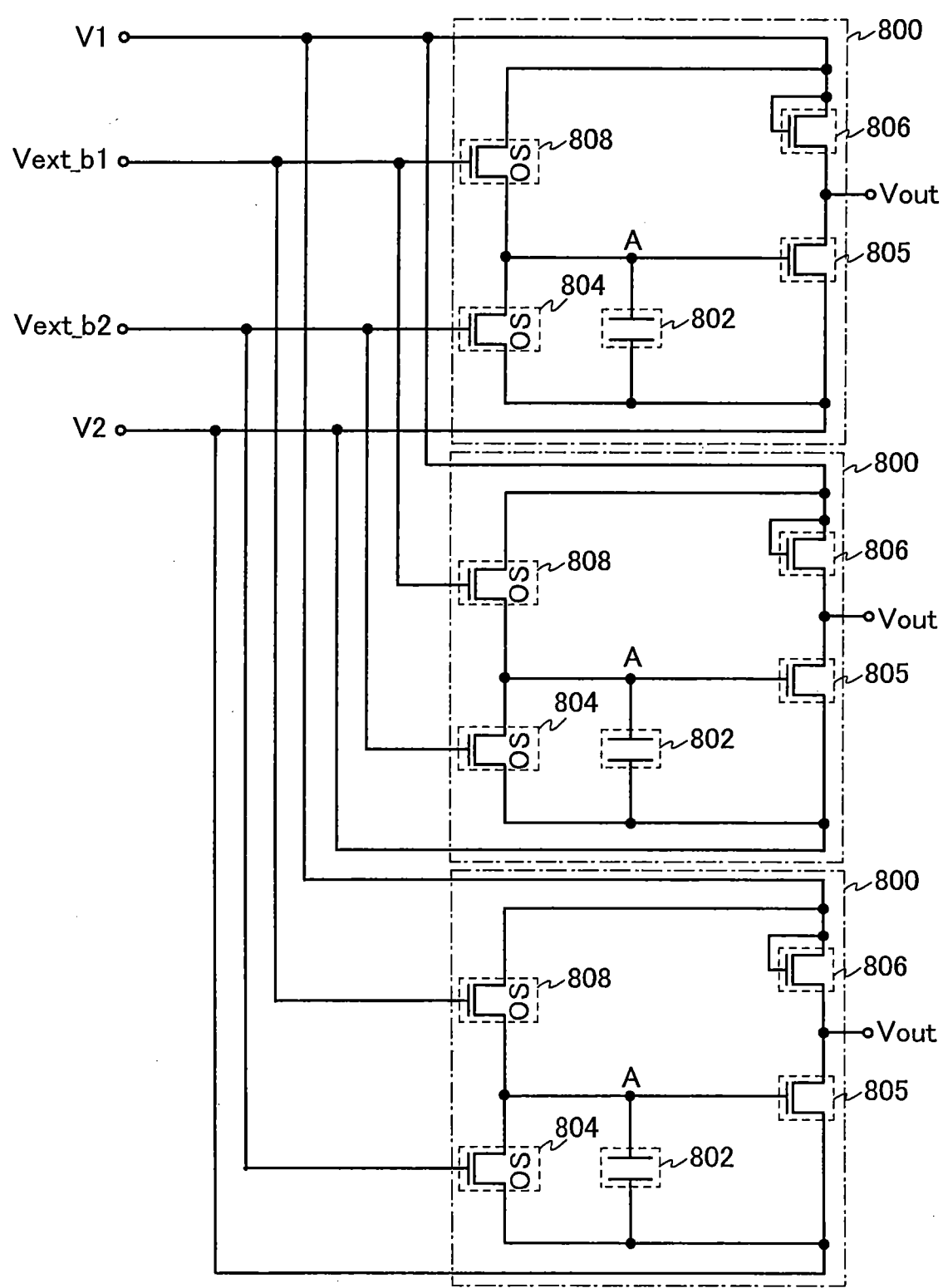


圖 8

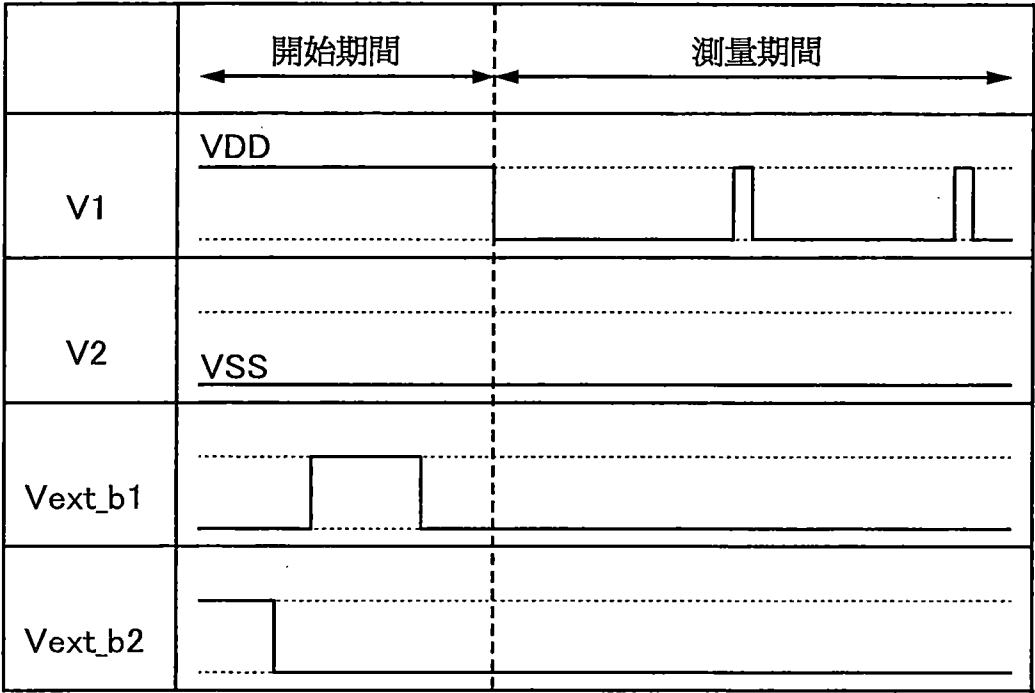


圖9

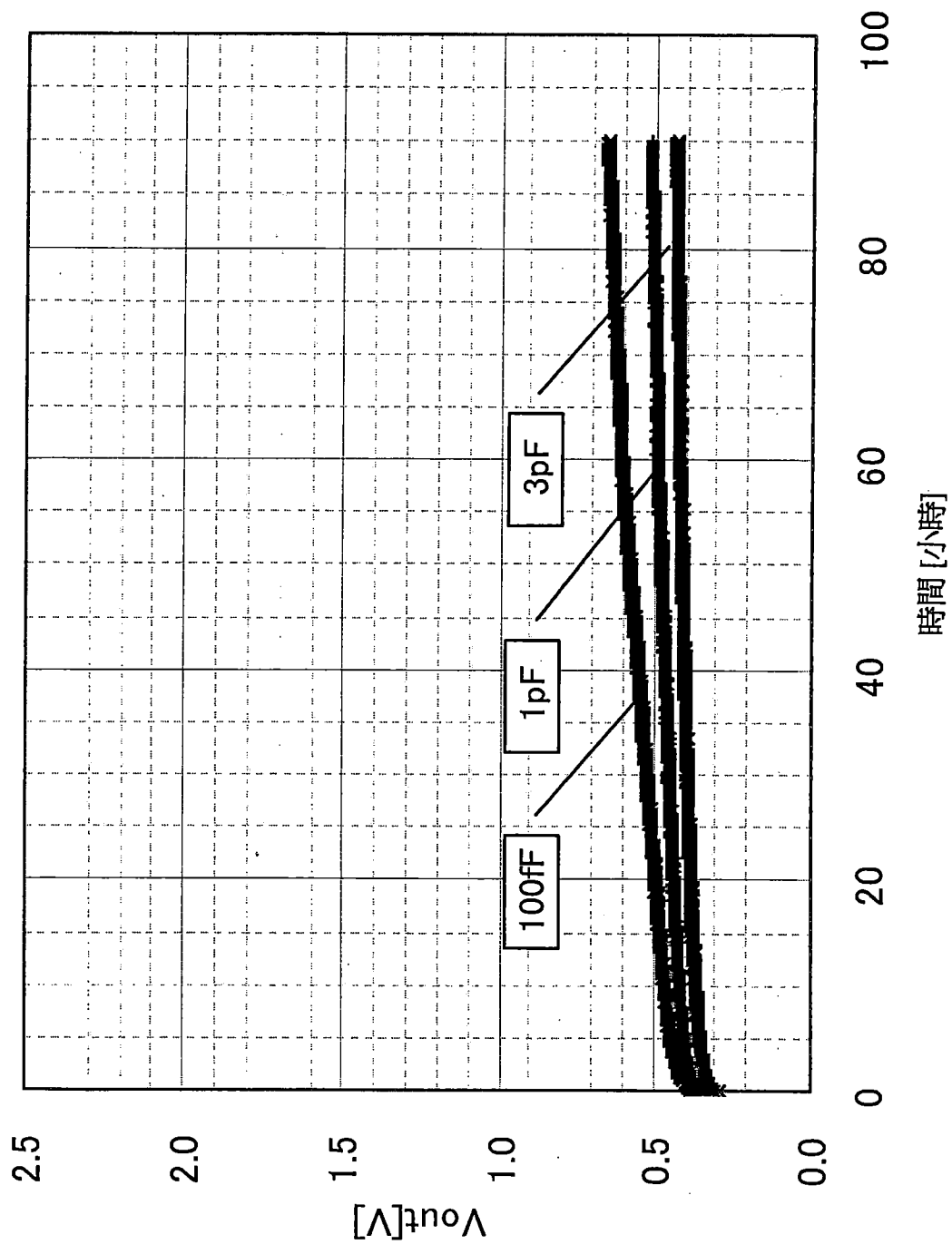


圖 12A

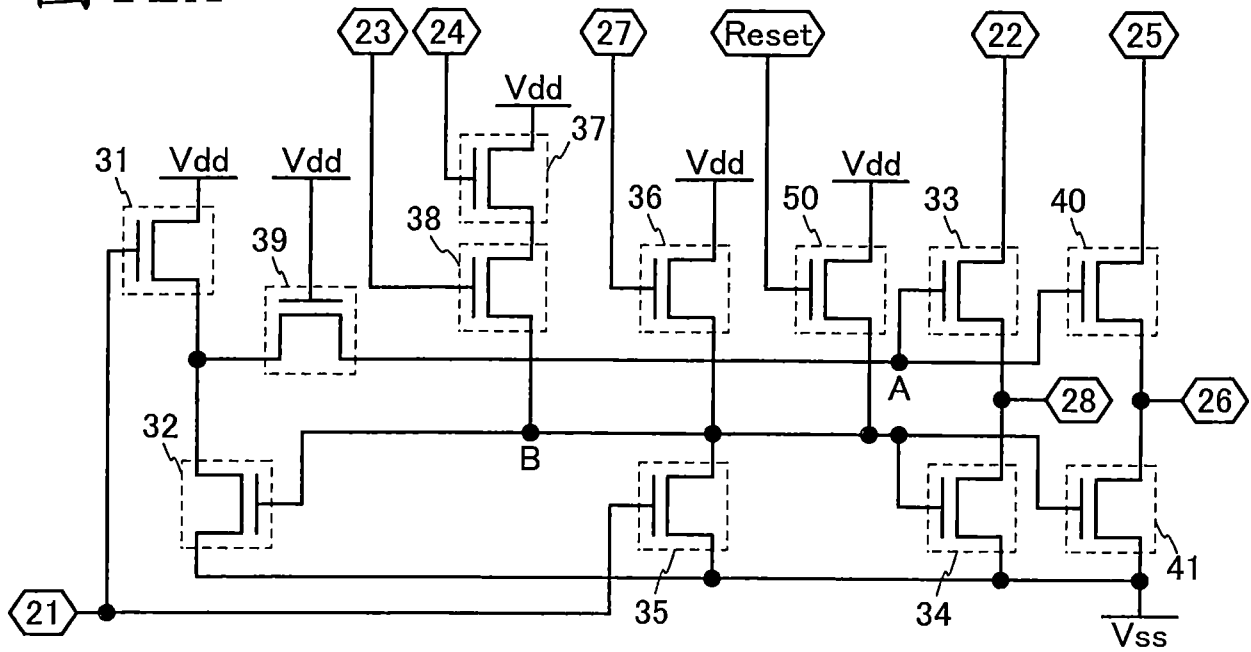


圖 12B

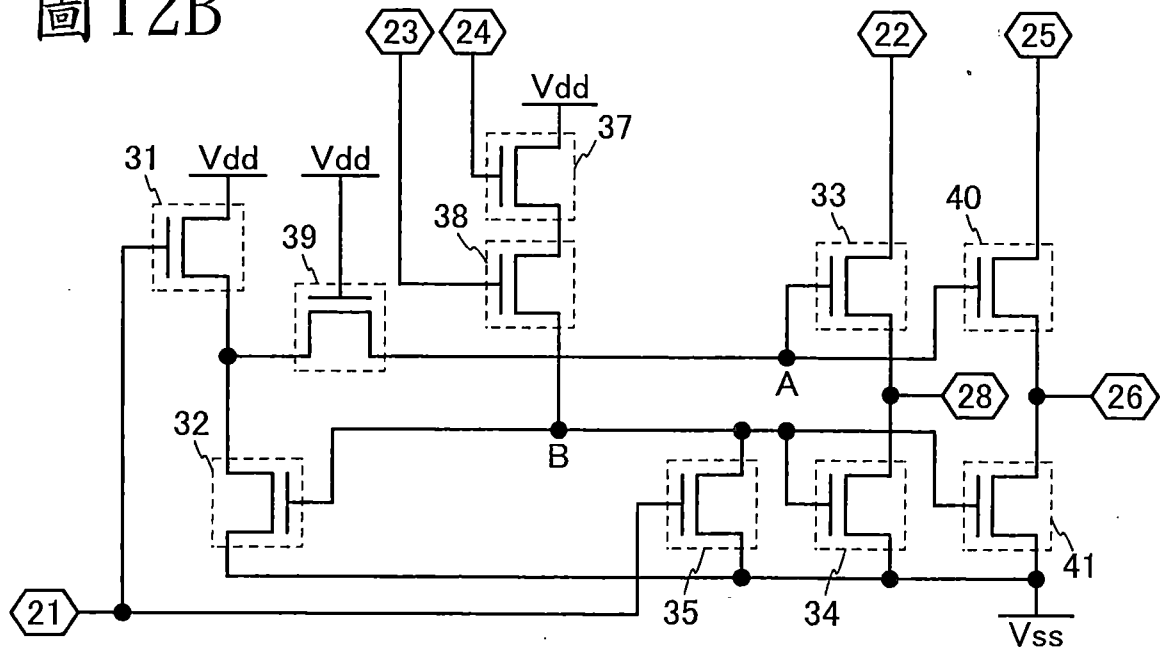


圖 13A

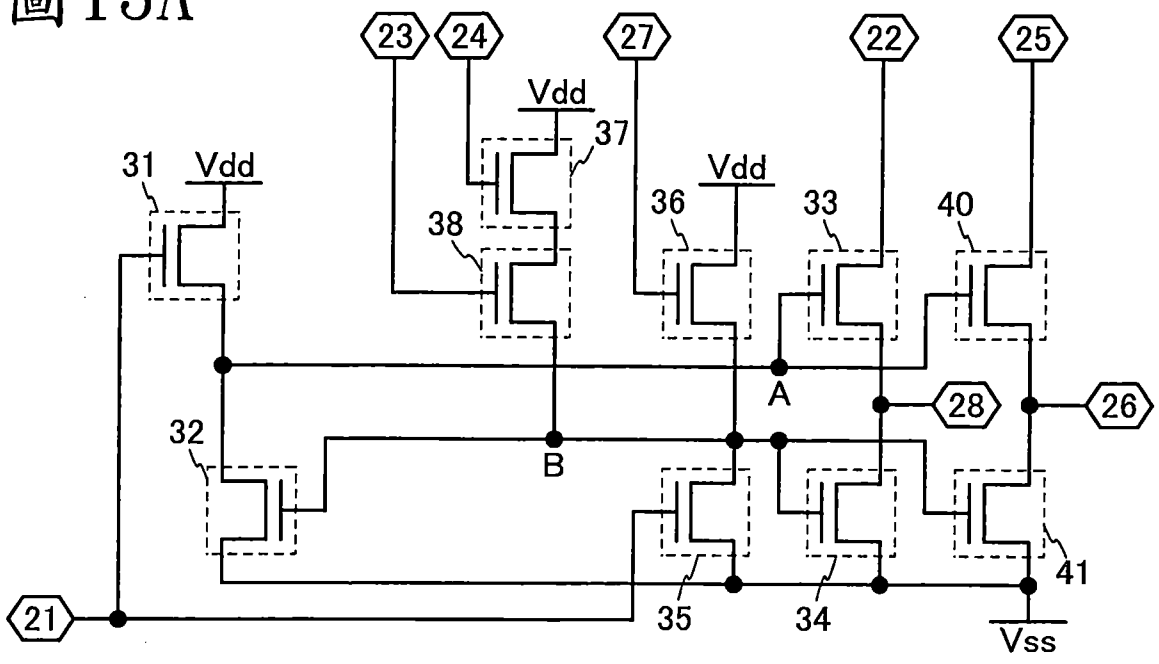


圖 13B

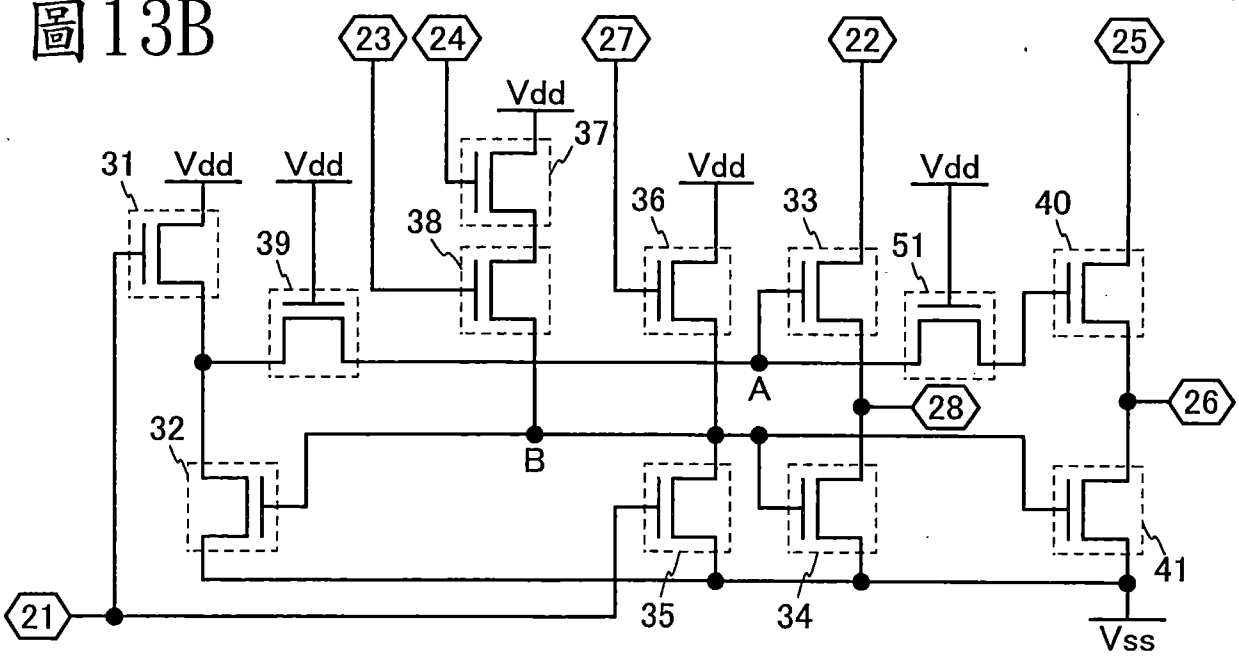


圖 14A

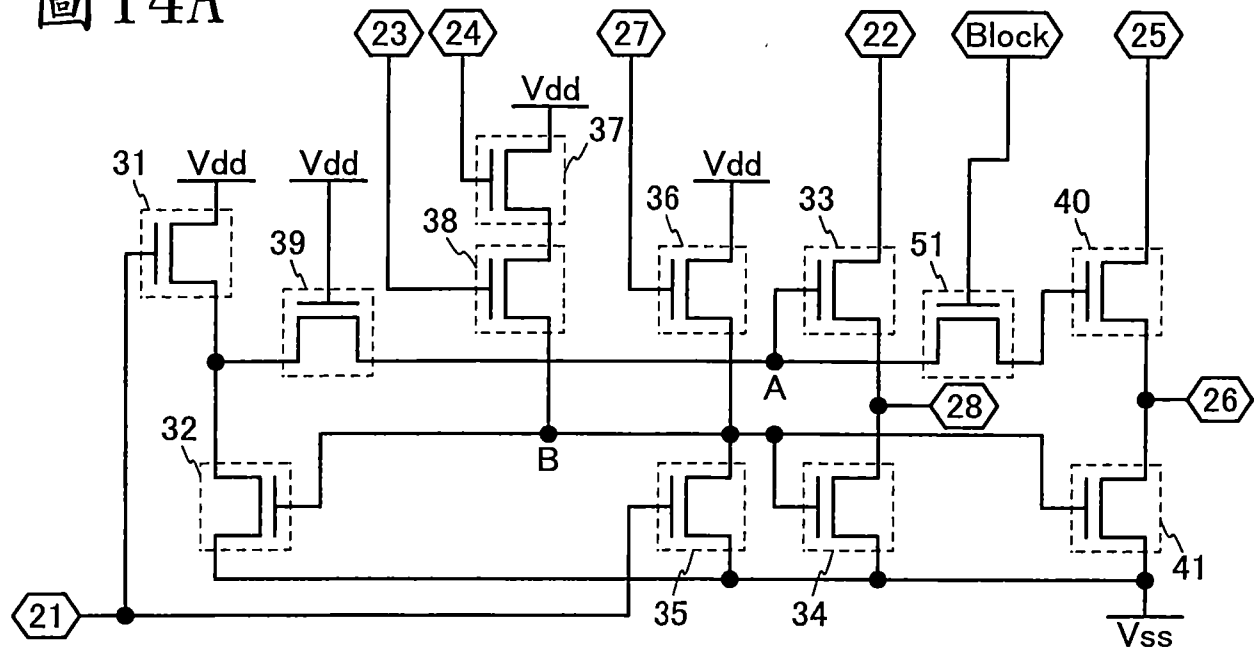


圖 14B

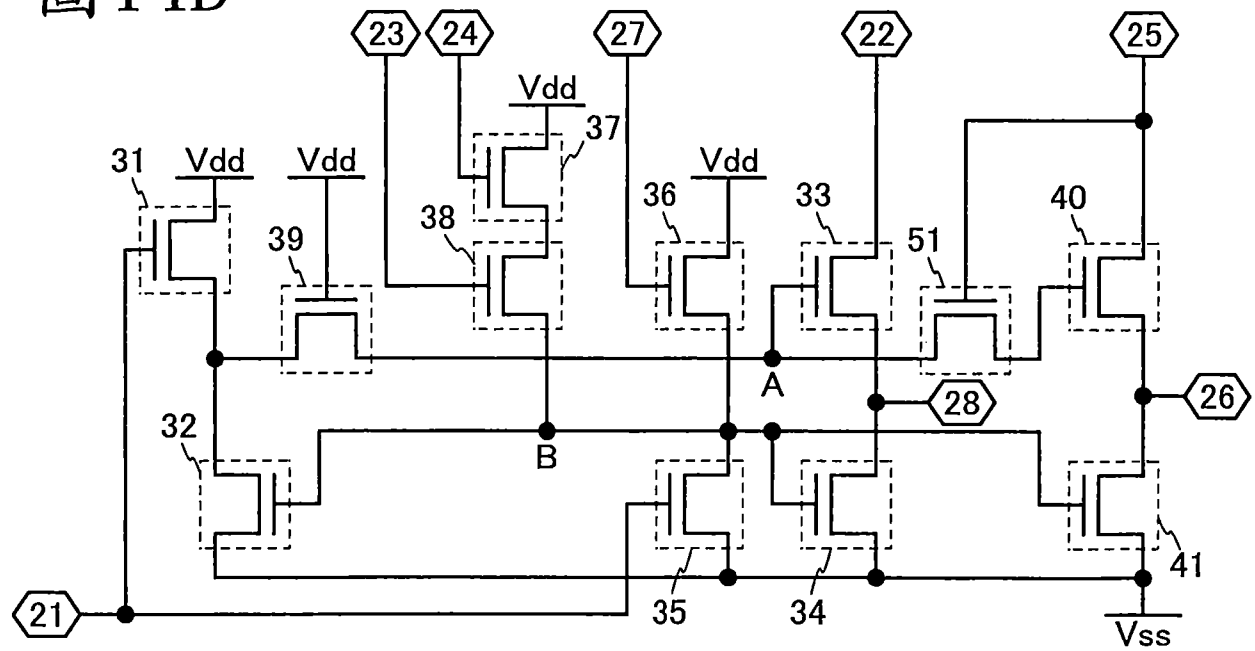


圖15A

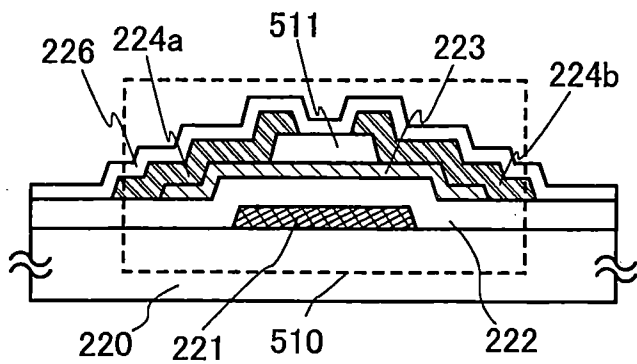


圖15B

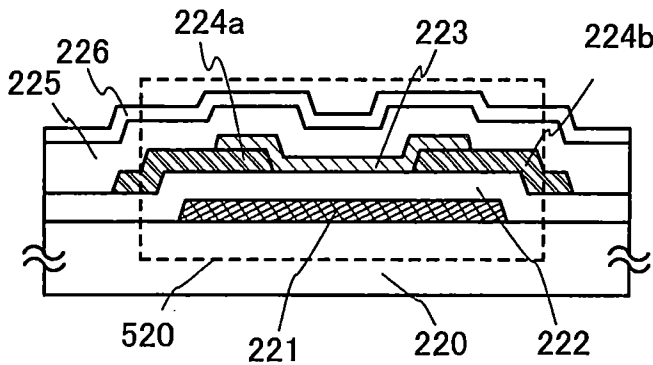


圖15C

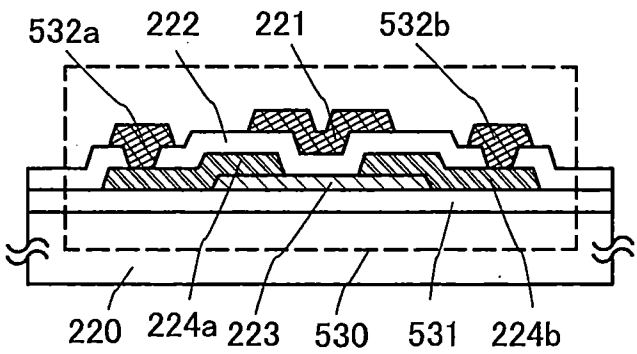


圖 16A

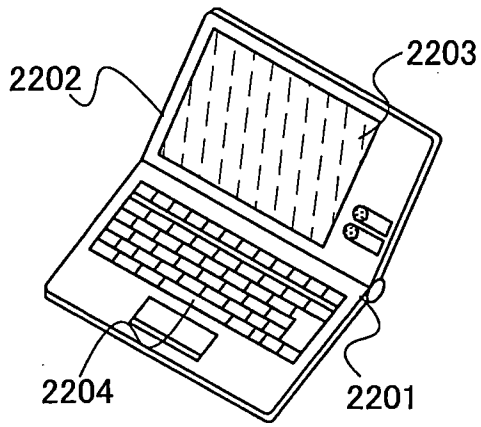


圖 16B

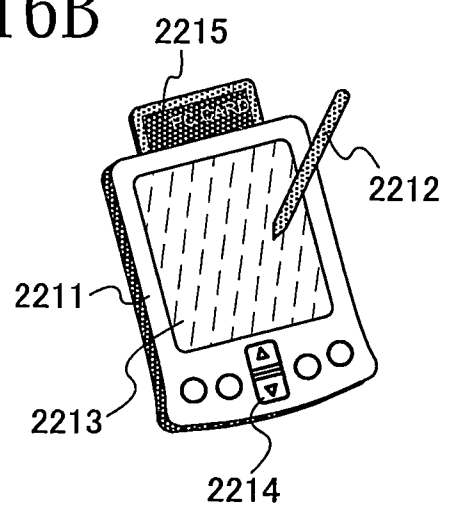


圖 16C

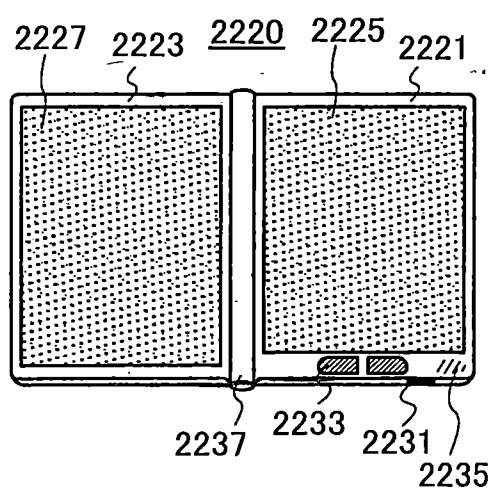


圖 16D

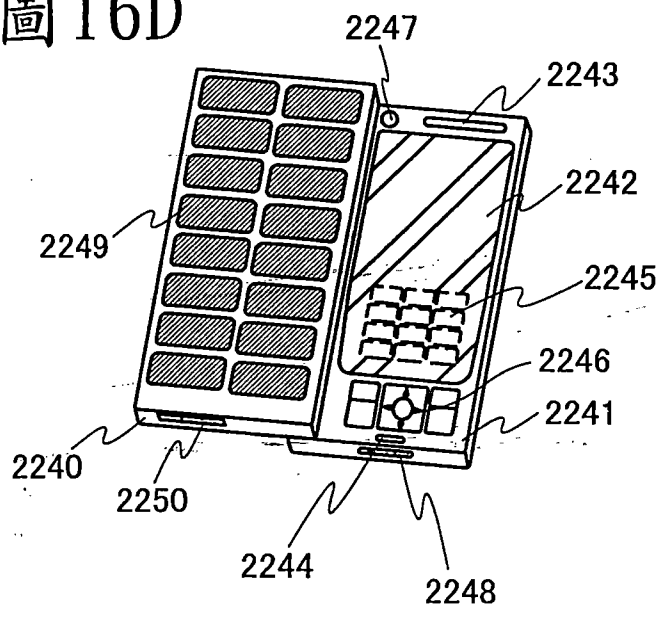


圖 16E

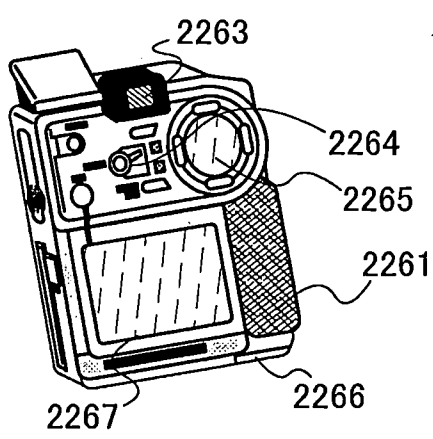


圖 16F

