

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7040534号

(P7040534)

(45)発行日 令和4年3月23日(2022.3.23)

(24)登録日 令和4年3月14日(2022.3.14)

(51)国際特許分類

F I

H 0 1 G 4/30 (2006.01)

H 0 1 G 4/30 2 0 1 F

H 0 1 G 2/06 (2006.01)

H 0 1 G 2/06 5 0 0

H 0 1 G 13/00 (2013.01)

H 0 1 G 4/30 5 1 3

H 0 1 G 13/00 3 3 1 C

請求項の数 11 (全49頁)

(21)出願番号 特願2019-562514(P2019-562514)
 (86)(22)出願日 平成30年12月28日(2018.12.28)
 (86)国際出願番号 PCT/JP2018/048524
 (87)国際公開番号 WO2019/132017
 (87)国際公開日 令和1年7月4日(2019.7.4)
 審査請求日 令和2年6月22日(2020.6.22)
 (31)優先権主張番号 特願2017-255152(P2017-255152)
 (32)優先日 平成29年12月29日(2017.12.29)
 (33)優先権主張国・地域又は機関
 日本国(JP)

(73)特許権者 000006231
 株式会社村田製作所
 京都府長岡京市東神足1丁目10番1号
 (74)代理人 110001195
 特許業務法人深見特許事務所
 (72)発明者 杉山 英孝
 京都府長岡京市東神足1丁目10番1号
 株式会社村田製作所内
 審査官 多田 幸司

最終頁に続く

(54)【発明の名称】 積層セラミックコンデンサ、積層セラミックコンデンサの実装構造体および電子部品連

(57)【特許請求の範囲】

【請求項1】

積層された複数の誘電体層と積層された内部電極層とを含み、高さ方向に相対する第1の主面および第2の主面と、高さ方向に直交する幅方向に相対する第1の側面および第2の側面と、高さ方向および幅方向に直交する長さ方向に相対する第1の端面および第2の端面と、を含む積層体と、
 前記内部電極層に接続される、前記端面上、および前記第1および第2の主面上の一部、および第1および第2の側面上の一部に配置された一対の外部電極と、
 を有する積層セラミックコンデンサにおいて、
 前記一対の外部電極のそれぞれは、
 下地電極層と、
 樹脂層と、
 前記下地電極層と前記樹脂層とを覆うように配置されるめっき層と、を有し、
 前記下地電極層の端部の一部は前記樹脂層によって覆われる領域と前記樹脂層によって覆われない領域とを有し、
 前記下地電極層の前記第1の端面および前記第2の端面を被覆した領域は、前記樹脂層に覆われておらず、
 前記樹脂層は、さらに、前記第1の側面上および前記第2の側面上に位置する前記下地電極層の端部の一部を覆い、前記主面上に位置する前記下地電極層の端部を覆う樹脂層と連続して配置されている、積層セラミックコンデンサ。

【請求項 2】

前記樹脂層は、少なくとも前記第 1 の主面上に位置する前記下地電極層の端部の一部を覆う、請求項 1 に記載の積層セラミックコンデンサ。

【請求項 3】

前記樹脂層は、前記第 1 の主面上および前記第 2 の主面上の少なくとも一方に位置する前記下地電極層の端部の全体を覆う、請求項 1 に記載の積層セラミックコンデンサ。

【請求項 4】

前記第 1 の側面上および前記第 2 の側面上に位置する前記下地電極層の端部の、前記高さ方向中央部において前記樹脂層に覆われていない領域を有する、請求項 1 から請求項 3 のいずれか 1 項に記載の積層セラミックコンデンサ。

10

【請求項 5】

前記樹脂層は、前記第 1 の主面上および前記第 2 の主面上に位置する前記下地電極層の端部の全体を覆うように配置されている、請求項 2 から請求項 4 のいずれか 1 項に記載の積層セラミックコンデンサ。

【請求項 6】

前記主面上において、前記樹脂層が前記下地電極層を覆っている領域の長さ方向の長さの最小値は、 $10\text{ }\mu\text{m}$ 以上である、請求項 2 から請求項 5 のいずれか 1 項に記載の積層セラミックコンデンサ。

【請求項 7】

前記主面上において、前記樹脂層が前記積層体の表面を覆っている領域の長さ方向の長さの最小値は、 $10\text{ }\mu\text{m}$ 以上である、請求項 2 から請求項 6 のいずれか 1 項に記載の積層セラミックコンデンサ。

20

【請求項 8】

前記樹脂層は、熱硬化性樹脂と金属成分とを含む、請求項 1 から請求項 7 のいずれか 1 項に記載の積層セラミックコンデンサ。

【請求項 9】

前記樹脂層は、金属成分を含まない、請求項 1 から請求項 7 のいずれか 1 項に記載の積層セラミックコンデンサ。

【請求項 10】

請求項 2 から請求項 9 のいずれか 1 項に記載の積層セラミックコンデンサと、

30

前記積層セラミックコンデンサが表面に実装された基板と、

を備え、

前記積層セラミックコンデンサの前記樹脂層が位置している前記主面は、前記基板と対向している、積層セラミックコンデンサの実装構造体。

【請求項 11】

請求項 2 から請求項 9 のいずれか 1 項に記載の積層セラミックコンデンサと、

前記積層セラミックコンデンサを収容する複数のキャビティを有するキャリアテープと、

を備え、

前記積層セラミックコンデンサの前記樹脂層が位置している前記主面が前記複数のキャビティの底面側に向くように配される、電子部品連。

40

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、積層セラミックコンデンサ、積層セラミックコンデンサの実装構造体および電子部品連に関し、特に、複層構造の外部電極を備えた積層セラミックコンデンサ、その実装構造体および電子部品連に関する。

【背景技術】

【0002】

近年、積層セラミックコンデンサに代表されるセラミック電子部品は、従来に比べてより過酷な環境下で使用されるようになってきている。

50

たとえば、携帯電話や携帯音楽プレーヤーなどのモバイル機器に用いられる積層セラミックコンデンサについては、落下時の衝撃に耐えることが求められている。具体的には、落下衝撃を受けても、実装基板から積層セラミックコンデンサが脱落しない、または積層セラミックコンデンサにクラックが生じないようにする必要がある。

【0003】

これを受けて、積層セラミックコンデンサの外部電極に熱硬化性樹脂ペーストを用いることが提案されている。たとえば、特許文献1では、従来の電極層とNiめっき層との間に、エポキシ系熱硬化性樹脂層を形成し、厳しい環境下でも、積層体にクラックが入らないような対策を行っている。

【先行技術文献】

【特許文献】

【0004】

【文献】特開平11-162771号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、特許文献1のように電極層とNiめっき層との間にエポキシ系熱硬化性樹脂層を形成した設計においては、エポキシ系熱硬化性樹脂層とNiめっき層との接触抵抗が高くなり、等価直列抵抗(Equivalent Series Resistance、以下、「ESR」という。)が高くなるという問題が生じることがあった。

【0006】

それゆえに、この発明の主たる目的は、積層セラミックコンデンサについて、その外部電極に形成される樹脂層によるクラック抑制効果を有した上で、ESRの増加の抑制可能な積層セラミックコンデンサを提供することである。

【課題を解決するための手段】

【0007】

この発明に係る積層セラミックコンデンサは、積層された複数の誘電体層と積層された内部電極層とを含み、高さ方向に相対する第1の主面および第2の主面と、高さ方向に直交する幅方向に相対する第1の側面および第2の側面と、高さ方向および幅方向に直交する長さ方向に相対する第1の端面および第2の端面と、を含む積層体と、内部電極層に接続される、端面上、および第1および第2の主面上の一部、および第1および第2の側面上の一部に配置された一対の外部電極と、を有する積層セラミックコンデンサにおいて、一対の外部電極のそれぞれは、下地電極層と、樹脂層と、下地電極層と樹脂層とを覆うように配置されるめっき層と、を有し、下地電極層の端部の一部は樹脂層によって覆われる領域と樹脂層によって覆われない領域とを有し、下地電極層の第1の端面および第2の端面を被覆した領域は、樹脂層に覆われていない、積層セラミックコンデンサである。

また、この発明に係る積層セラミックコンデンサは、樹脂層が、第1の主面上および第2の主面上の少なくとも一方に位置する下地電極層の端部の全体を覆うことが好ましい。

この発明に係る積層セラミックコンデンサは、第1の側面上および第2の側面上に位置する下地電極層の端部、高さ方向中央部において樹脂層に覆われていない領域を有することが好ましい。

また、この発明に係る積層セラミックコンデンサは、さらに、第1の側面上および第2の側面上に位置する下地電極層の端部の一部を覆い、主面上に位置する下地電極層の端部を覆う樹脂層と連続して配置されていることが好ましい。

さらに、この発明に係る積層セラミックコンデンサは、樹脂層が、第1の主面上および第2の主面上に位置する下地電極層の端部の全体を覆うように配置されていることが好ましい。

また、この発明に係る積層セラミックコンデンサは、樹脂層が、第1の主面上または第2の主面上の少なくとも一方ならびに第1の側面上および第2の側面上には形成されないことが好ましい。

10

20

30

40

50

さらに、この発明に係る積層セラミックコンデンサは、主面上において、樹脂層が下地電極層を覆っている領域の長さ方向の長さの最小値が、 $10\text{ }\mu\text{m}$ 以上であることが好ましい。また、この発明に係る積層セラミックコンデンサは、主面上において、樹脂層が積層体の表面を覆っている領域の長さ方向の長さの最小値が、 $10\text{ }\mu\text{m}$ 以上であることが好ましい。さらに、この発明に係る積層セラミックコンデンサは、樹脂層が熱硬化性樹脂と金属成分とを含んでいてもよいし、金属成分を含まないようにしてもよい。

【0008】

この発明に係る積層セラミックコンデンサは、一对の外部電極のそれぞれは、下地電極層と、樹脂層と、下地電極層と樹脂層とを覆うように配置されるめっき層と、を有し、下地電極層の端部の一部は樹脂層によって覆われる領域と樹脂層によって覆われていない領域とを有するので、積層セラミックコンデンサの機械的強度を確保することができ、したがって、落下衝撃や実装基板のたわみ応力が発生した際に、より確実にその応力を吸収することができることから、積層体にクラックが発生してしまうことを抑制することができる。また、この発明に係る積層セラミックコンデンサは、樹脂層が、下地電極層の第1の端面および第2の端面を被覆した領域には形成されないので、積層セラミックコンデンサのESRの増大を抑制することができる。

また、第1の側面上および第2の側面上に位置する下地電極層の高さ方向中央部が、樹脂層に覆われていない領域を有すると、はんだ爆ぜの発生を抑制することができる。

さらに、樹脂層が、第1の側面上および第2の側面上に位置する下地電極層の端部の一部を覆い、主面上に位置する下地電極層の端部を覆う樹脂層と連続して配置されていると、第1の側面のみならず第2の側面に形成されるめっき層の長さ方向の長さをより長く配置させることができるので、積層セラミックコンデンサをリフロー実装させるときに、外部電極に対して広範囲に半田の量を配置させることができることから、積層セラミックコンデンサを実装基板により安定して実装させることができる。

また、樹脂層が、第1の主面上および第2の主面上に位置する下地電極層の端部の全体を覆うように配置されていると、第1の主面側のみならず第2の主面側にも樹脂層が配置されるので、第1の主面や第2の主面のいずれの主面も実装面として、実装基板に実装させることが可能となる。

さらに、樹脂層が第2の主面上および第1および第2の側面上に形成されないと、積層体の寸法を大きくすることができ、それに伴い内部電極の面積の向上および積層数の増加につながるため、積層セラミックコンデンサの寸法をそのままに静電容量を大きくすることができる。

また、主面上において、樹脂層が下地電極層を覆っている領域の長さ方向の長さの最小値が、 $10\text{ }\mu\text{m}$ 以上である場合や、主面上において、樹脂層が積層体の表面を覆っている領域の長さ方向の長さの最小値が、 $10\text{ }\mu\text{m}$ 以上であると、実装基板等がたわむことにより生ずる積層セラミックコンデンサに生ずるクラックの発生をより確実に抑制することができる。

さらに、樹脂層が熱硬化性樹脂と金属成分とを含むと、めっき層を容易に形成することができる。

また、樹脂層が金属成分を含まない場合であっても、積層セラミックコンデンサに対する抑制効果を有した上で、ESRの増加を抑制することができる。

【発明の効果】

【0009】

この発明によれば、積層セラミックコンデンサについて、その外部電極に形成される樹脂層によるクラック抑制効果を有した上で、ESRの増加の抑制可能な積層セラミックコンデンサが得られる。

【0010】

この発明の上述の目的、その他の目的、特徴および利点は、図面を参照して行う以下の発明を実施するための形態の説明から一層明らかとなろう。

【図面の簡単な説明】

【 0 0 1 1 】

【図 1】この発明の第 1 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 2】（a）は、この発明の第 1 の実施の形態に係る積層セラミックコンデンサを示す図 1 の I I - I I 線における断面図であり、（b）は、積層セラミックコンデンサの端面における部分拡大図である。

【図 3】この発明の第 1 の実施の形態に係る積層セラミックコンデンサを示す図 2 の I I I - I I I 線における断面図である。

【図 4】この発明の第 1 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

10

【図 5】この発明の第 2 の実施の形態に係る積層セラミックコンデンサの一例を示す外観斜視図である。

【図 6】この発明の第 2 の実施の形態に係る積層セラミックコンデンサを示す図 5 の V I - V I 線における断面図である。

【図 7】この発明の第 2 の実施の形態に係る積層セラミックコンデンサを示す図 6 の V I I - V I I 線における断面図である。

【図 8】この発明の第 2 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

【図 9】この発明の第 3 の実施の形態に係る積層セラミックコンデンサの一例を示す外観斜視図である。

20

【図 10】この発明の第 3 の実施の形態に係る積層セラミックコンデンサを示す図 9 の X - X 線における断面図である。

【図 11】この発明の第 3 の実施の形態に係る積層セラミックコンデンサを示す図 10 の X I - X I 線における断面図である。

【図 12】この発明の第 3 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

【図 13】この発明の第 3 の実施の形態に係る積層セラミックコンデンサの第 1 の側面側を示す平面図である。

【図 14】この発明の第 4 の実施の形態に係る積層セラミックコンデンサの一例を示す断面図である。

30

【図 15】この発明の第 4 の実施の形態に係る積層セラミックコンデンサを示す図 14 の X V - X V 線における断面図である。

【図 16】この発明の第 4 の実施の形態に係る積層セラミックコンデンサを示す図 14 の X V I - X V I 線における断面図である。

【図 17】この発明の第 5 の実施の形態に係る積層セラミックコンデンサを示す断面図である。

【図 18】この発明の第 6 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 19】図 18 の X I X - X I X 線における断面図である。

【図 20】図 18 の X X - X X 線における断面図である。

40

【図 21】（a）は、図 18 の積層セラミックコンデンサを構成する第 1 の内部電極層を示す図であり、（b）は、第 2 の内部電極層を示す図である。

【図 22】この発明の第 6 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

【図 23】この発明の第 7 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 24】図 23 の X X I V - X X I V 線における断面図である。

【図 25】図 23 の X X V - X X V 線における断面図である。

【図 26】この発明の第 7 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

50

【図 27】この発明の第 8 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 28】図 27 の X X V I I I - X X V I I I 線における断面図である。

【図 29】図 27 の X X I X - X X I X 線における断面図である。

【図 30】この発明の第 8 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

【図 31】この発明の第 9 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 32】図 31 の X X X I I - X X X I I 線における断面図である。

【図 33】図 31 の X X X I I I - X X X I I I 線における断面図である。

10

【図 34】この発明の第 10 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 35】図 34 の X X X V - X X X V 線における断面図である。

【図 36】図 35 の X X X V I - X X X V I 線における断面図である。

【図 37】図 35 の X X X V I I - X X X V I I 線における断面図である。

【図 38】この発明の第 10 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

【図 39】この発明の第 11 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。

【図 40】図 39 の X X X X - X X X X 線における断面図である。

20

【図 41】図 40 の X X X X I - X X X X I 線における断面図である。

【図 42】図 40 の X X X X I I - X X X X I I 線における断面図である。

【図 43】図 40 の X X X X I I I - X X X X I I I 線における断面図である。

【図 44】この発明の第 11 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

【図 45】この発明に係る電子部品連の平面図である。

【図 46】図 45 の X X X X V I - X X X X V I 線における断面図である。

【図 47】この発明に係る積層セラミックコンデンサの実装構造体の一例を示す断面図である。

【図 48】たわみ試験において、e 寸端差の大きさとクラックの発生の有無との関係を示す図である。

30

【図 49】E S R 測定試験において、従来例、実施例および参考例の各試料に対して E S R を測定した結果を示す図である。

【発明を実施するための形態】

【0012】

1. 積層セラミックコンデンサ

この発明の第 1 の実施の形態に係る積層セラミックコンデンサについて説明する。図 1 は、この発明の第 1 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。図 2 (a) は、この発明の第 1 の実施の形態に係る積層セラミックコンデンサを示す図 1 の I I - I I 線における断面図であり、図 2 (b) は、積層セラミックコンデンサの端面における部分拡大図である。図 3 は、この発明の第 1 の実施の形態に係る積層セラミックコンデンサを示す図 2 の I I I - I I I 線における断面図である。図 4 は、この発明の第 1 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。

40

【0013】

図 1 ないし図 3 に示すように、積層セラミックコンデンサ 10 は、直方体状の積層体 12 を含む。

【0014】

積層体 12 は、積層された複数の誘電体層 14 と複数の内部電極層 16 とを有する。さらに、積層体 12 は、高さ方向 x に相対する第 1 の主面 12 a および第 2 の主面 12 b と、高さ方向 x に直交する幅方向 y に相対する第 1 の側面 12 c および第 2 の側面 12 d と、

50

高さ方向 x および幅方向 y に直交する長さ方向 z に相対する第 1 の端面 12 e および第 2 の端面 12 f とを有する。この積層体 12 には、角部および稜線部に丸みがつけられている。なお、角部とは、積層体の隣接する 3 面が交わる部分のことであり、稜線部とは、積層体の隣接する 2 面が交わる部分のことである。また、第 1 の主面 12 a および第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d、ならびに第 1 の端面 12 e および第 2 の端面 12 f の一部または全部に凹凸などが形成されていてもよい。

【0015】

積層体 12 は、複数枚の誘電体層 14 から構成される外層部 14 a と単数もしくは複数枚の誘電体層 14 とそれらの上に配置される複数枚の内部電極層 16 から構成される内層部 14 b とを含む。外層部 14 a は、積層体 12 の第 1 の主面 12 a 側および第 2 の主面 12 b 側に位置し、第 1 の主面 12 a と最も第 1 の主面 12 a に近い内部電極層 16 との間に位置する誘電体層 14、および第 2 の主面 12 b と最も第 2 の主面 12 b に近い内部電極層 16 との間に位置する誘電体層 14 である。そして、両外層部 14 a に挟まれた領域が内層部 14 b である。

10

【0016】

誘電体層 14 は、たとえば、誘電体材料により形成することができる。このような誘電体材料としては、たとえば、 $BaTiO_3$ 、 $CaTiO_3$ 、 $SrTiO_3$ 、または $CaZrO_3$ などの主成分を含む誘電体セラミックを用いることができる。上記の誘電体材料を主成分として含む場合、所望する積層体 12 の特性に応じて、たとえば、 Mn 化合物、 Fe 化合物、 Cr 化合物、 Co 化合物、 Ni 化合物などの主成分よりも含有量の少ない副成分を添加したものを用いてもよい。

20

【0017】

焼成後の誘電体層 14 の厚みは、 $0.5\ \mu m$ 以上 $20\ \mu m$ 以下であることが好ましい。

【0018】

積層体 12 は、複数の内部電極層 16 として、たとえば略矩形状の複数の第 1 の内部電極層 16 a および複数の第 2 の内部電極層 16 b を有する。複数の第 1 の内部電極層 16 a および複数の第 2 の内部電極層 16 b は、積層体 12 の高さ方向 x に沿って誘電体層 14 を挟んで等間隔に交互に配置されるように埋設されている。

【0019】

第 1 の内部電極層 16 a は、第 2 の内部電極層 16 b と対向する第 1 の対向電極部 18 a と、第 1 の内部電極層 16 a の一端側に位置し、第 1 の対向電極部 18 a から積層体 12 の第 1 の端面 12 e までの第 1 の引出電極部 20 a を有する。第 1 の引出電極部 20 a は、その端部が第 1 の端面 12 e に引き出されている。

30

第 2 の内部電極層 16 b は、第 1 の内部電極層 16 a と対向する第 2 の対向電極部 18 b と、第 2 の内部電極層 16 b の一端側に位置し、第 2 の対向電極部 18 b から積層体 12 の第 2 の端面 12 f までの第 2 の引出電極部 20 b を有する。第 2 の引出電極部 20 b は、その端部が第 2 の端面 12 f に引き出されている。

【0020】

積層体 12 は、第 1 の対向電極部 18 a および第 2 の対向電極部 18 b の幅方向 y の一端と第 1 の側面 12 c との間および第 1 の対向電極部 18 a および第 2 の対向電極部 18 b の幅方向 y の他端と第 2 の側面 12 d との間に形成される積層体 12 の側部（以下、「W ギャップ」という。）22 a を含む。さらに、積層体 12 は、第 1 の内部電極層 16 a の第 1 の引出電極部 20 a とは反対側の端部と第 2 の端面 12 f との間および第 2 の内部電極層 16 b の第 2 の引出電極部 20 b とは反対側の端部と第 1 の端面 12 e との間に形成される積層体 12 の端部（以下、「L ギャップ」という。）22 b を含む。

40

【0021】

内部電極層 16 は、たとえば、 Ni 、 Cu 、 Ag 、 Pd 、 Au などの金属や、 $Ag-Pd$ 合金等の、それらの金属の少なくとも一種を含む合金などの適宜の導電材料により構成することができる。内部電極層 16 は、さらに誘電体層 14 に含まれるセラミックスと同一組成系の誘電体粒子を含んでいてもよい。

50

【0022】

内部電極層16の厚みは、 $0.2\mu\text{m}$ 以上 $2.0\mu\text{m}$ 以下であることが好ましい。

【0023】

積層体12の第1の端面12e側および第2の端面12f側には、外部電極24が配置される。外部電極24は、第1の外部電極24aおよび第2の外部電極24bを有する。

第1の外部電極24aは、積層体12の第1の端面12eの表面に配置され、第1の端面12eから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。この場合、第1の外部電極24aは、第1の内部電極層16aの第1の引出電極部20aと電氣的に接続される。

第2の外部電極24bは、積層体12の第2の端面12fの表面に配置され、第2の端面12fから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。この場合、第2の外部電極24bは、第2の内部電極層16bの第2の引出電極部20bと電氣的に接続される。

【0024】

積層体12内においては、第1の内部電極層16aの第1の対向電極部18aと第2の内部電極層16bの第2の対向電極部18bとが誘電体層14を介して対向することにより、静電容量が形成されている。そのため、第1の内部電極層16aが接続された第1の外部電極24aと第2の内部電極層16bが接続された第2の外部電極24bとの間に、静電容量を得ることができ、コンデンサの特性が発現する。

【0025】

第1の外部電極24aおよび第2の外部電極24bは、下地電極層26と、主面側樹脂層28と、めっき層32とを含む。

【0026】

下地電極層26は、第1の下地電極層26aおよび第2の下地電極層26bを有する。

第1の下地電極層26aは、積層体12の第1の端面12eの表面に配置され、第1の端面12eから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

第2の下地電極層26bは、積層体12の第2の端面12fの表面に配置され、第2の端面12fから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

【0027】

下地電極層26は、導電性金属およびガラス成分を含む。下地電極層26の金属としては、たとえば、Cu、Ni、Ag、Pd、Ag-Pd合金、Au等から選ばれる少なくとも1つを含む。また、下地電極層26のガラスとしては、B、Si、Zn、Ba、Mg、AlおよびLi等から選ばれる少なくとも1つを含む。下地電極層26は、複数層であってもよい。下地電極層26は、ガラスおよび金属を含む導電性ペーストを積層体12に塗布して焼き付けたものであり、誘電体層14および内部電極層16と同時に焼成したものでよく、誘電体層14および内部電極層16を焼成した後に焼き付けたものでよい。また、下地電極層26は、めっきによって形成されてもよい。下地電極層26のうちの最も厚い部分の厚みは、 $10\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であることが好ましい。また、下地電極層26は必ずしもガラス成分を含んでいなくてもよい。

【0028】

主面側樹脂層28は、第1の主面側樹脂層28aおよび第2の主面側樹脂層28bを有する。

第1の主面側樹脂層28aは、第1の主面12aに位置する第1の下地電極層26aの端部を覆うように配置され、第1の主面12a側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第1の下地電極層26aの端部の一部を覆うように配置される。なお、第1の側面12c上および第2の側面12d上に位置する第1の下地電極層26aの端部における高さ方向xの中央部において第1の主面側樹脂層28aに覆われていない領域を有することが好ましい。ここで、図2(b)に示すように、第1の主面

10

20

30

40

50

12aに位置する第1の下地電極層26aの端部から第2の端面12fに向かって、第1の主面側樹脂層28aが積層体12を覆う部分をe寸端差とすると、e寸端差の長さ方向zの長さは10 μ m以上であることが好ましい。

第2の主面側樹脂層28bは、第1の主面12aに位置する第2の下地電極層26bの端部を覆うように配置され、第1の主面12a側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第2の下地電極層26bの端部の一部を覆うように配置される。なお、第1の側面12c上および第2の側面12d上に位置する第2の下地電極層26bの端部における高さ方向xの中央部において第2の主面側樹脂層28bに覆われていない領域を有することが好ましい。ここで、第1の主面12aに位置する第2の下地電極層26bの端部から第1の端面12eに向かって、第2の主面側樹脂層28bが積層体12を覆う部分をe寸端差とすると、e寸端差の長さ方向zの長さは10 μ m以上であることが好ましい。

10

e寸端差の長さ方向zの長さは10 μ m以上であると、熱衝撃サイクル時の応力を減少させるための樹脂層の面積を十分に取ることができ、なおかつたわみクラック緩和効果を得ることができる。

なお、第2の主面側樹脂層28bは、必ずしも形成されていなくてもよい。

また、主面側樹脂層28は、第1の主面12aに位置する下地電極層26の端部を覆うように配置されているが、第2の主面12bに位置する下地電極層26の端部を覆うように配置してもよい。

なお、e寸端差は以下のように特定することができる。

20

すなわち、まず、積層セラミックコンデンサ10の幅方向y中央部のLT断面から測定する。測定には、マイクロスコップやSEMなど、断面から寸法測定できるものであれば、どのように測定しても良い。

【0029】

第1の端面12eおよび第2の端面12fに配置される下地電極層26の表面には、主面側樹脂層28は配置されていない。ここで、主面側樹脂層28が第1の端面12eおよび第2の端面12fに配置される下地電極層26には配置されていないとは、全く配置されていない場合の他、配置されない領域が大部分を占め、一部に主面側樹脂層28が存在する場合も含む。

【0030】

30

主面側樹脂層28は、熱硬化性樹脂を含む。主面側樹脂層28は、熱硬化性樹脂を含むため、たとえば、めっき膜や導電性ペーストの焼成物からなる下地電極層26よりも柔軟性に富んでいる。このため、積層セラミックコンデンサ10に物理的な衝撃や熱サイクルに起因する衝撃が加わった場合であっても、主面側樹脂層28が緩衝層として機能し、積層セラミックコンデンサ10へのクラックを防止することができる。

なお、主面側樹脂層28は、さらに、金属成分を含んでも良い。

【0031】

主面側樹脂層28に含まれる熱硬化性樹脂の具体例としては、たとえば、エポキシ樹脂、フェノール樹脂、ウレタン樹脂、シリコン樹脂、ポリイミド樹脂などの公知の種々の熱硬化性樹脂を使用することができる。その中でも、耐熱性、耐湿性、密着性などに優れたエポキシ樹脂は最も適切な樹脂の一つである。主面側樹脂層28には、熱硬化性樹脂とともに、硬化剤を含むことが好ましい。硬化剤としては、ベース樹脂としてエポキシ樹脂を用いる場合、エポキシ樹脂の硬化剤としては、フェノール系、アミン系、酸無水物系、イミダゾール系など公知の種々の化合物を使用することができる。

40

【0032】

主面側樹脂層28に含まれる金属成分としては、たとえばAg、Cu、Sn、またはそれらを少なくとも1種を含む合金を使用することができる。また、金属粉の表面にAgコーティングされたものを使用することができる。金属粉の表面にAgコーティングされたものを使用する際には金属粉としてCuやNiを用いることが好ましい。また、Cuに酸化防止処理を施したものを使用することもできる。Agコーティングされた金属を用いる理

50

由は、上記の Ag の特性は保ちつつ、母材の金属を安価なものにすることが可能になるためである。

【0033】

主面側樹脂層 28 に含まれる金属は、導電性樹脂全体の体積に対して、50 vol % 以下で含まれていることが好ましい。主面側樹脂層 28 に含まれる金属は、導電性フィラー（金属粉）として含まれる。導電性フィラーの形状は、特に限定されない。導電性フィラーは、球形状、扁平状等であってもよいが、球形状金属粉と扁平状金属粉とを混合して用いるのが好ましい。主面側樹脂層 28 に含まれる導電性フィラーの平均粒径は、たとえば、 $0.3\ \mu\text{m}$ 以上 $10.0\ \mu\text{m}$ であってもよいが、特に限定されない。主面側樹脂層 28 に含まれる導電性フィラーは、主に、主面側樹脂層 28 の通電性を担う。具体的には、導電性フィラーどうしが接触することにより、主面側樹脂層 28 内部に通電経路が形成される。

10

【0034】

めっき層 32 は、第 1 のめっき層 32 a および第 2 のめっき層 32 b を有する。

第 1 のめっき層 32 a は、第 1 の下地電極層 26 a および第 1 の主面側樹脂層 28 a を覆うように配置される。具体的には、第 1 のめっき層 32 a は、第 1 の端面 12 e 上に位置する第 1 の下地電極層 26 a の表面に配置され、第 1 の主面 12 a に位置する第 1 の下地電極層 26 a および第 1 の主面側樹脂層 28 a、ならびに第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d に位置する第 1 の下地電極層 26 a の表面にも至るように設けられていることが好ましい。

第 2 のめっき層 32 b は、第 2 の下地電極層 26 b および第 2 の主面側樹脂層 28 b を覆うように配置される。具体的には、第 2 のめっき層 32 b は、第 2 の端面 12 f 上に位置する第 2 の下地電極層 26 b の表面に配置され、第 1 の主面 12 a に位置する第 2 の下地電極層 26 b および第 2 の主面側樹脂層 28 b、ならびに第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d に位置する第 2 の下地電極層 26 b の表面にも至るように設けられていることが好ましい。

20

【0035】

めっき層 32 は、たとえば、Cu、Ni、Sn、Ag、Pd、Ag-Pd 合金、Au 等から選ばれる少なくとも 1 つを含む。めっき層 32 は、複数層により形成されてもよい。好ましくは、Ni めっき、Sn めっきの 2 層構造であることが好ましい。下地電極層 26 および主面側樹脂層 28 を覆うように Ni めっきからなるめっき層（Ni めっき層）を設けることにより、積層セラミックコンデンサ 10 を実装する際に、実装に用いられるはんだによって下地電極層 26 および主面側樹脂層 28 が侵食されることを防止することができる。また、Ni めっきからなるめっき層の表面に、さらに、Sn めっきからなるめっき層（Sn めっき層）を設けることにより、積層セラミックコンデンサ 10 を実装する際に、実装に用いられるはんだの濡れ性を向上させ、容易に実装することができる。

30

めっき層 32 の厚みは、 $1\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下であることが好ましい。

【0036】

なお、積層セラミックコンデンサ 10 において、主面側樹脂層 28 が配置される第 1 の主面 12 a におけるめっき層 32 の長さ方向 z の長さ寸法は、第 1 の側面 12 c および第 2 の側面 12 d 上のめっき層 32 の長さ方向 z の長さ寸法よりも $100\ \mu\text{m}$ 以上長いことが好ましい。そうすると、実装面となる第 1 の主面 12 a を特定できる。また、積層セラミックコンデンサ 10 において、主面側樹脂層 28 が配置される第 1 の主面 12 a におけるめっき層 32 の長さ方向 z の長さ寸法は、第 1 の側面 12 c および第 2 の側面 12 d 上のめっき層 32 の長さ方向 z の長さ寸法よりも $200\ \mu\text{m}$ 以上長いことがより好ましい。

40

【0037】

積層体 12、第 1 の外部電極 24 a および第 2 の外部電極 24 b を含む積層セラミックコンデンサ 10 の長さ方向 z の寸法を L 寸法とし、積層体 12、第 1 の外部電極 24 a および第 2 の外部電極 24 b を含む積層セラミックコンデンサ 10 の高さ方向 x の寸法を T 寸法とし、積層体 12、第 1 の外部電極 24 a および第 2 の外部電極 24 b を含む積層セラミックコンデンサ 10 の幅方向 y の寸法を W 寸法とする。

50

【0038】

積層セラミックコンデンサ10の好ましいサイズは、0603サイズ、1005サイズ、1608サイズ、2012サイズおよび3216サイズである。
ここで、0603サイズとはL寸法が0.6mm、W寸法が0.3mm、T寸法が0.3mmの大きさであり、1005サイズとはL寸法が1.0mm、W寸法が0.5mm、T寸法が0.5mmの大きさであり、1608サイズとはL寸法が1.6mm、W寸法が0.8mm、T寸法が0.8mmの大きさであり、2012サイズとはL寸法が2.0mm、W寸法が1.2mm、T寸法が1.2mmの大きさであり、そして3216サイズとはL寸法が3.2mm、W寸法が1.6mm、T寸法が1.6mmの大きさである。なお、積層セラミックコンデンサ10の寸法は、例えば、マイクロメータや光学顕微鏡を用いて測定することができる。

10

【0039】

ここで、図2(b)に示すように、端面に配置される下地電極層26の厚みをL厚、主面側に配置される下地電極層の長さ方向zの長さを e_c 寸、端面から主面側樹脂層28が配置される端部までの長さをd寸、そして主面側に配置される主面側樹脂層28の長さ方向zの長さを e_r 寸とする。

0603サイズの場合、L厚は6 μ m以上36 μ m以下であり、 e_c 寸は30 μ m以上180 μ m以下であり、d寸は15 μ m以上25 μ m以下であり、 e_r 寸は30 μ m以上180 μ m以下である。

1005サイズの場合、L厚は12 μ m以上57 μ m以下であり、 e_c 寸は30 μ m以上290 μ m以下であり、d寸は15 μ m以上25 μ m以下であり、 e_r 寸は80 μ m以上280 μ m以下である。

20

1608サイズの場合、L厚は18 μ m以上54 μ m以下であり、 e_c 寸は30 μ m以上470 μ m以下であり、d寸は15 μ m以上25 μ m以下であり、 e_r 寸は110 μ m以上470 μ m以下である。

2012サイズの場合、L厚は30 μ m以上54 μ m以下であり、 e_c 寸は30 μ m以上600 μ m以下であり、d寸は15 μ m以上25 μ m以下であり、 e_r 寸は190 μ m以上600 μ m以下である。

3216サイズの場合、L厚は24 μ m以上90 μ m以下であり、 e_c 寸は30 μ m以上670 μ m以下であり、d寸は15 μ m以上25 μ m以下であり、 e_r 寸は220 μ m以上670 μ m以下である。

30

【0040】

なお、d寸は、以下に記載の方法により測定することができる。

すなわち、まず、積層セラミックコンデンサ10の幅方向y中央部と、内部電極層16の幅方向y端部2箇所のLT断面から測定する。測定には、マイクロスコップやSEMなど、断面から寸法測定できるものであれば、どのように測定してもよい。そして、この3箇所の測定箇所のうち、最も小さい寸法をd寸とする。

【0041】

図1に示す積層セラミックコンデンサ10では、第1の主面側樹脂層28aは実装面となる第1の主面12aに位置する第1の下地電極層26aの端部を覆うように配置され、第1の主面12a側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第1の下地電極層26aの端部の一部を覆うように配置されており、第2の主面側樹脂層28bは、実装面となる第1の主面12aに位置する第2の下地電極層26bの端部の一部を覆うように配置され、第1の主面12a側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第2の下地電極層26bの端部の一部を覆うように配置されるので、積層セラミックコンデンサ10の機械的強度を確保することができ、したがって、落下衝撃や実装基板のたわみ応力が発生した際に、より確実にその応力を吸収することができることから、積層体にクラックが発生してしまうことを抑制することができる。

40

【0042】

50

また、図 1 に示す積層セラミックコンデンサ 10 では、第 1 の端面 12 e および第 2 の端面 12 f に樹脂層が形成されないので、積層セラミックコンデンサの ESR の増大を抑制することができる。

【0043】

さらに、図 1 に示す積層セラミックコンデンサ 10 では、第 1 の側面 12 c 上および第 2 の側面 12 d 上に位置する第 1 の下地電極層 26 a の端部における高さ方向 x の中央部において第 1 の主面側樹脂層 28 a に覆われていない領域を有し、第 1 の側面 12 c 上および第 2 の側面 12 d 上に位置する第 2 の下地電極層 26 b の端部における高さ方向 x の中央部において第 2 の主面側樹脂層 28 b に覆われていない領域を有すると、はんだ爆ぜの発生を抑制することができる。

【0044】

なお、上述の主面側樹脂層 28 によって覆われていない下地電極層 26 の端部は、以下のような方法で特定することができる。

すなわち、積層セラミックコンデンサ 10 の第 1 の側面 12 c あるいは第 2 の側面 12 d から、やすりなどで削っていき、樹脂により覆われていない領域を特定する。樹脂は、断面写真から SEM-EDX を用いて特定する。

【0045】

次に、この発明の第 2 の実施の形態に係る積層セラミックコンデンサについて説明する。図 5 は、この発明の第 2 の実施の形態に係る積層セラミックコンデンサの一例を示す外観斜視図である。図 6 は、この発明の第 2 の実施の形態に係る積層セラミックコンデンサを示す図 5 の V I - V I 線における断面図であり、図 7 は、この発明の第 2 の実施の形態に係る積層セラミックコンデンサを示す図 6 の V I I - V I I 線における断面図である。図 8 は、この発明の第 2 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。なお、この実施の形態に係る積層セラミックコンデンサ 110 は、外部電極において主面側樹脂層 28 が、主面上に位置する下地電極層 26 の端部の全体のみを覆うように配置される点が異なることを除いて、図 1 を用いて説明した積層セラミックコンデンサ 10 と同様の構成を有する。従って、図 1 に示した積層セラミックコンデンサ 10 と同一部分には、同一の符号を付し、その説明を省略する。

【0046】

積層セラミックコンデンサ 110 は、積層体 12 を含む。

積層体 12 の第 1 の端面 12 e 側および第 2 の端面 12 f 側には、外部電極 124 が配置される。外部電極 124 は、第 1 の外部電極 124 a および第 2 の外部電極 124 b を有する。第 1 の外部電極 124 a および第 2 の外部電極 124 b は、下地電極層 26 と、主面側樹脂層 28 と、めっき層 32 とを含む。

【0047】

主面側樹脂層 28 は、第 1 の主面側樹脂層 28 a および第 2 の主面側樹脂層 28 b を有する。

第 1 の主面側樹脂層 28 a は、第 1 の主面 12 a に位置する第 1 の下地電極層 26 a の端部の全体のみを覆い、第 1 の側面 12 c および第 2 の側面 12 d 上に位置する第 1 の下地電極層 26 a の端部を覆っていない。

第 2 の主面側樹脂層 28 b は、第 1 の主面 12 a に位置する第 2 の下地電極層 26 b の端部の全体のみを覆い、第 1 の側面 12 c および第 2 の側面 12 d 上に位置する第 2 の下地電極層 26 b の端部を覆っていない。

なお、主面側樹脂層 28 は、第 1 の主面 12 a に位置する下地電極層 26 の端部の全体のみを覆うように配置されているが、第 2 の主面 12 b に位置する下地電極層 26 の端部の全体も覆うように配置してもよい。

また、第 1 の主面 12 a 上に位置する下地電極層 26 は、主面側樹脂層 28 に覆われていない領域を有していてもよい。

【0048】

図 5 に示す積層セラミックコンデンサ 110 によれば、図 1 に示す積層セラミックコンデ

10

20

30

40

50

ンサ１０と同様の効果を奏するとともに、次の効果を奏する。

すなわち、樹脂層が、第２の主面１２ｂ上、ならびに第１の側面１２ｃ上および第２の側面１２ｄ上に形成されないので、積層体１２の寸法を大きくすることができ、それに伴い内部電極の面積の向上および積層数の増加につながるため、積層セラミックコンデンサの寸法をそのままに静電容量を大きくすることができる。

【００４９】

次に、この発明の第３の実施の形態に係る積層セラミックコンデンサについて説明する。図９は、この発明の第３の実施の形態に係る積層セラミックコンデンサの一例を示す外観斜視図である。図１０は、この発明の第３の実施の形態に係る積層セラミックコンデンサを示す図９のＸ－Ｘ線における断面図であり、図１１は、この発明の第３の実施の形態に係る積層セラミックコンデンサを示す図１０のＸ－Ｙ線における断面図である。図１２は、この発明の第３の実施の形態に係る積層セラミックコンデンサの第１の主面側を示す平面図であり、図１３は、この発明の第３の実施の形態に係る積層セラミックコンデンサの第１の側面側を示す平面図である。なお、この実施の形態に係る積層セラミックコンデンサ１１０Ａは、外部電極において主面側樹脂層２８のみならず側面側樹脂層３０が配置される点が異なることを除いて、図１を用いて説明した積層セラミックコンデンサ１０と同様の構成を有する。従って、図１に示した積層セラミックコンデンサ１０と同一部分には、同一の符号を付し、その説明を省略する。

【００５０】

積層セラミックコンデンサ１１０Ａは、積層体１２を含む。

積層体１２の第１の端面１２ｅ側および第２の端面１２ｆ側には、外部電極１２４が配置される。外部電極１２４は、第１の外部電極１２４ａおよび第２の外部電極１２４ｂを有する。第１の外部電極１２４ａおよび第２の外部電極１２４ｂは、下地電極層２６と、主面側樹脂層２８と、側面側樹脂層３０と、めっき層３２とを含む。

【００５１】

主面側樹脂層２８は、第１の主面側樹脂層２８ａおよび第２の主面側樹脂層２８ｂを有する。

第１の主面側樹脂層２８ａは、第１の主面１２ａに位置する第１の下地電極層２６ａの端部の全体を覆うように配置される。

第２の主面側樹脂層２８ｂは、第１の主面１２ａに位置する第２の下地電極層２６ｂの端部の全体を覆うように配置される。

【００５２】

側面側樹脂層３０は、第１の側面側樹脂層３０ａおよび第２の側面側樹脂層３０ｂを有する。

第１の側面側樹脂層３０ａは、第１の主面側樹脂層２８ａの一方端から連続して第１の側面１２ｃに位置する第１の下地電極層２６ａの端部の全体を覆うように配置される。

第２の側面側樹脂層３０ｂは、第２の主面側樹脂層２８ｂの一方端から連続して第１の側面１２ｃに位置する第２の下地電極層２６ｂの端部の全体を覆うように配置される。

なお、側面側樹脂層３０の材料は、主面側樹脂層２８の材料と同一である。

【００５３】

図９に示す積層セラミックコンデンサ１１０Ａによれば、図１に示す積層セラミックコンデンサ１０と同様の効果を奏する。

【００５４】

続いて、この発明の第４の実施の形態に係る積層セラミックコンデンサについて説明する。図１４は、この発明の第４の実施の形態に係る積層セラミックコンデンサの一例を示す断面図である。図１５は、この発明の第４の実施の形態に係る積層セラミックコンデンサを示す図１４のＸ－Ｙ線における断面図であり、図１６は、この発明の第４の実施の形態に係る積層セラミックコンデンサを示す図１４のＸ－Ｚ線における断面図である。なお、この実施の形態に係る積層セラミックコンデンサ１１０Ｂは、外部電極における側面側樹脂層３０の配置される態様、すなわち、側面側樹脂層３０が、第１の側面１

2 c 側だけでなく、第 2 の側面 1 2 d 側にも配置されることを除いて、図 9 を用いて説明した積層セラミックコンデンサ 1 1 0 A と同様の構成を有する。従って、図 9 に示した積層セラミックコンデンサ 1 1 0 A と同一部分には、同一の符号を付し、その説明を省略する。

【0055】

積層セラミックコンデンサ 1 1 0 B は、主面側樹脂層 2 8 および側面側樹脂層 3 0 を含む。主面側樹脂層 2 8 は、第 1 の主面側樹脂層 2 8 a および第 2 の主面側樹脂層 2 8 b を有する。

第 1 の主面側樹脂層 2 8 a は、第 1 の主面 1 2 a に位置する第 1 の下地電極層 2 6 a の端部の全体を覆うように配置される。

第 2 の主面側樹脂層 2 8 b は、第 1 の主面 1 2 a に位置する第 2 の下地電極層 2 6 b の端部の全体を覆うように配置される。

【0056】

側面側樹脂層 3 0 は、第 1 の側面側樹脂層 3 0 a、第 2 の側面側樹脂層 3 0 b、第 3 の側面側樹脂層 3 0 c および第 4 の側面側樹脂層 3 0 d を有する。

第 1 の側面側樹脂層 3 0 a は、第 1 の主面側樹脂層 2 8 a の一方端から連続して第 1 の側面 1 2 c に位置する第 1 の下地電極層 2 6 a の端部の全体を覆うように配置される。

第 2 の側面側樹脂層 3 0 b は、第 2 の主面側樹脂層 2 8 b の一方端から連続して第 1 の側面 1 2 c に位置する第 2 の下地電極層 2 6 b の端部の全体を覆うように配置される。

第 3 の側面側樹脂層 3 0 c は、第 1 の主面側樹脂層 2 8 a の他方端から連続して第 2 の側面 1 2 d に位置する第 1 の下地電極層 2 6 a の端部の全体を覆うように配置される。

第 4 の側面側樹脂層 3 0 d は、第 2 の主面側樹脂層 2 8 b の他方端から連続して第 2 の側面 1 2 d に位置する第 2 の下地電極層 2 6 b の端部の全体を覆うように配置される。

【0057】

図 1 4 に示す積層セラミックコンデンサ 1 1 0 B によれば、図 9 に示す積層セラミックコンデンサ 1 1 0 と同様の効果を奏するとともに、次の効果を奏する。

すなわち、第 2 の側面 1 2 d 側にも側面側樹脂層 3 0 が形成されることにより、第 1 の側面 1 2 c および第 2 の側面 1 2 d に形成されるめっき層 3 2 の長さ方向 z の長さをより長く配置させることができる。これにより、積層セラミックコンデンサ 1 1 0 B を実装基板にリフロー実装させるときに、外部電極 1 2 4 に対して広範囲に半田の量を配置させることができるので、積層セラミックコンデンサ 1 1 0 B を実装基板により安定して実装させることができる。

【0058】

さらに、この発明の第 5 の実施の形態に係る積層セラミックコンデンサについて説明する。図 1 7 は、この発明の第 5 の実施の形態に係る積層セラミックコンデンサを示す断面図である。なお、この実施の形態に係る積層セラミックコンデンサは、外部電極における主面側樹脂層 2 8 および側面側樹脂層 3 0 の配置される態様、すなわち、主面側樹脂層 2 8 が、第 1 の主面 1 2 a 側だけでなく、第 2 の主面 1 2 b 側にも配置され、側面側樹脂層 3 0 が、第 1 の側面 1 2 c 側だけでなく、第 2 の側面 1 2 d 側にも配置されることを除いて、図 9 を用いて説明した積層セラミックコンデンサ 1 1 0 A と同様の構成を有する。従って、図 9 に示した積層セラミックコンデンサ 1 1 0 A と同一部分には、同一の符号を付し、その説明を省略する。

【0059】

図 1 7 に示す積層セラミックコンデンサは、主面側樹脂層 2 8 および側面側樹脂層 3 0 を含む。そして、図 1 7 に示すように、第 1 の外部電極 1 2 4 a 側において、主面側樹脂層 2 8 の第 1 の主面側樹脂層 2 8 a は第 1 の主面 1 2 a 側に配置され、主面側樹脂層 2 8 の第 3 の主面側樹脂層 2 8 c は第 2 の主面 1 2 b 側に配置されている。また、側面側樹脂層 3 0 の第 1 の側面側樹脂層 3 0 a は、第 1 の側面 1 2 c 側に配置され、側面側樹脂層 3 0 の第 3 の側面側樹脂層 3 0 c は第 2 の側面 1 2 d 側に配置されている。この場合、第 1 の主面側樹脂層 2 8 a と、第 1 の側面側樹脂層 3 0 a と、第 3 の主面側樹脂層 2 8 c と、第

10

20

30

40

50

3の側面側樹脂層30cとは、それぞれ独立して形成されており、連続して配置されていない。なお、第2の外部電極側も同様の構成であるので、その説明は省略する。

【0060】

図17に示す積層セラミックコンデンサによれば、図14ないし図16に示す積層セラミックコンデンサ110Bと同様の効果を奏するとともに、次の効果を奏する。

すなわち、第1の主面12a側のみならず第2の主面12b側にも主面側樹脂層28が配置され、第1の側面12c側および第2の側面12d側にも側面側樹脂層30が配置されるので、第1の主面12aや第2の主面12bならびに第1の側面12cや第2の側面12dのいずれの面も実装面として、実装基板に実装させることが可能となる。

【0061】

続いて、本発明の実施の形態にかかる積層セラミックコンデンサ（3端子型積層セラミックコンデンサ）について説明する。

【0062】

まず、この発明の第6の実施の形態に係る積層セラミックコンデンサについて説明する。図18は、この発明の第6の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。図19は、図18のXIX-XIX線における断面図であり、図20は、図18のXX-XX線における断面図である。図21(a)は、図18の積層セラミックコンデンサを構成する第1の内部電極層を示す図であり、図21(b)は、第2の内部電極層を示す図である。図22は、この発明の第6の実施の形態に係る積層セラミックコンデンサの第1の主面側を示す平面図である。

【0063】

図18ないし図20に示すように、積層セラミックコンデンサ210は、たとえば、直方体状の積層体12を含む。

【0064】

積層体12は、積層された複数の誘電体層14と複数の内部電極層216とを有する。さらに、積層体12は、高さ方向xに相対する第1の主面12aおよび第2の主面12bと、高さ方向xに直交する幅方向yに相対する第1の側面12cおよび第2の側面12dと、高さ方向xおよび幅方向yに直交する長さ方向zに相対する第1の端面12eおよび第2の端面12fとを有する。この積層体12には、角部および稜線部に丸みがつけられている。なお、角部とは、積層体の隣接する3面が交わる部分のことであり、稜線部とは、積層体の隣接する2面が交わる部分のことである。また、第1の主面12aおよび第2の主面12b、第1の側面12cおよび第2の側面12d、ならびに第1の端面12eおよび第2の端面12fの一部または全部に凹凸などが形成されていてもよい。

【0065】

積層体12は、複数枚の誘電体層14から構成される外層部14aと単数もしくは複数枚の誘電体層14とそれらの上に配置される複数枚の内部電極層216から構成される内層部14bとを含む。外層部14aは、積層体12の第1の主面12a側および第2の主面12b側に位置し、第1の主面12aと最も第1の主面12aに近い内部電極層216との間に位置する誘電体層14、および第2の主面12bと最も第2の主面12bに近い内部電極層216との間に位置する誘電体層14である。そして、両外層部14aに挟まれた領域が内層部14bである。

【0066】

誘電体層14の誘電体材料は、第1の実施の形態にかかる積層セラミックコンデンサ10と共通であるので、その説明を省略する。

【0067】

図19および図20に示すように、積層体12は、複数の第1の内部電極層216aおよび複数の第2の内部電極層216bを有する。複数の第1の内部電極層216aおよび複数の第2の内部電極層216bは、積層体12の高さ方向xに沿って誘電体層14を挟んで等間隔に交互に配置されるように埋設されている。

【0068】

図 2 1 (a) に示すように、第 1 の内部電極層 2 1 6 a は、第 2 の内部電極層 2 1 6 b と対向する第 1 の対向電極部 2 1 8 a、第 1 の対向電極部 2 1 8 a から積層体 1 2 の第 1 の端面 1 2 e に引き出される第 1 の引出電極部 2 2 0 a および第 1 の対向電極部 2 1 8 a から積層体 1 2 の第 2 の端面 1 2 f に引き出される第 2 の引出電極部 2 2 0 b を備える。具体的には、第 1 の引出電極部 2 2 0 a は、積層体 1 2 の第 1 の端面 1 2 e に露出し、第 2 の引出電極部 2 2 0 b は、積層体 1 2 の第 2 の端面 1 2 f に露出している。したがって、第 1 の内部電極層 2 1 6 a は、積層体 1 2 の第 1 の側面 1 2 c および第 2 の側面 1 2 d には露出していない。第 1 の内部電極層 2 1 6 a の第 1 の引出電極部 2 2 0 a および第 2 の引出電極部 2 2 0 b の幅方向 y の大きさは、第 1 の内部電極層 2 1 6 a の第 1 の対向電極部 2 1 8 a の幅方向 y の大きさと略同一である。なお、第 1 の内部電極層 2 1 6 a の第 1 の引出電極部 2 2 0 a および第 2 の引出電極部 2 2 0 b の幅方向 y の大きさは、第 1 の内部電極層 2 1 6 a の第 1 の対向電極部 2 1 8 a の幅方向 y の大きさよりも小さいことが好ましい。この場合、誘電体層 1 4 の層間の接触面積が比較的増加するので、誘電体層 1 4 の層間における剥離（デラミネーション）の発生を抑制させることができる。

【 0 0 6 9 】

図 2 1 (b) に示すように、第 2 の内部電極層 2 1 6 b は、略十字形状であり、第 1 の内部電極層 2 1 6 a と対向する第 2 の対向電極部 2 1 8 b、第 2 の対向電極部 2 1 8 b から積層体 1 2 の第 1 の側面 1 2 c に引き出される第 3 の引出電極部 2 2 1 a および第 2 の対向電極部 2 1 6 b から積層体 1 2 の第 2 の側面 1 2 d に引き出される第 4 の引出電極部 2 2 1 b を備える。具体的には、第 3 の引出電極部 2 2 1 a は、積層体 1 2 の第 1 の側面 1 2 c に露出し、第 4 の引出電極部 2 2 1 b は、積層体 1 2 の第 2 の側面 1 2 d に露出している。したがって、第 2 の内部電極層 2 1 6 b は、積層体 1 2 の第 1 の端面 1 2 e および第 2 の端面 1 2 f には露出していない。また、第 2 の内部電極層 2 1 6 b の第 3 の引出電極部 2 2 1 a および第 4 の引出電極部 2 2 1 b の長さ方向 z の大きさは、第 2 の内部電極層 2 1 6 b の第 2 の対向電極部 2 1 8 b の長さ方向 z の大きさよりも小さいことが好ましい。この場合、誘電体層 1 4 の層間の接触面積が比較的増加するので、誘電体層 1 4 の層間における剥離（デラミネーション）の発生を抑制させることができる。

【 0 0 7 0 】

また、積層体 1 2 は、第 1 の内部電極層 2 1 6 a の第 1 の対向電極部 2 1 8 a の幅方向 y の一端と第 1 の側面 1 2 c との間および第 1 の対向電極部 2 1 8 a の幅方向 y の他端と第 2 の側面 1 2 d との間に形成される積層体 1 2 の側部（以下、「Wギャップ」ともいう。） 2 2 a、および第 2 の内部電極層 2 1 6 b の第 2 の対向電極部 2 1 8 b の幅方向 y の一端と第 1 の側面 1 2 c との間および第 2 の対向電極部 2 1 8 b の幅方向 y の他端と第 2 の側面 1 2 d との間に形成される積層体 1 2 の側部 2 2 a を含む。さらに、積層体 1 2 は、第 2 の内部電極層 2 1 6 b の長さ方向 z の一端と第 1 の端面 1 2 e との間および第 2 の内部電極層 2 1 6 b の長さ方向 z の他端と第 2 の端面 1 2 f との間に形成される積層体 1 2 の端部（以下、「Lギャップ」ともいう。） 2 2 b を含む。

【 0 0 7 1 】

積層体 1 2 の第 1 の内部電極層 2 1 6 a の第 1 の対向電極部 2 1 8 a と第 2 の内部電極層 2 1 6 b の第 2 の対向電極部 2 1 8 b とが、誘電体セラミック材料からなる誘電体層 1 4 を介して対向することにより静電容量が形成されている。これにより、積層セラミックコンデンサ 2 1 0 は、コンデンサとして機能する。

【 0 0 7 2 】

第 1 の内部電極層 2 1 6 a および第 2 の内部電極層 2 1 6 b のそれぞれは、積層体 1 2 の第 1 の主面 1 2 a および第 2 の主面 1 2 b と平行である。

【 0 0 7 3 】

なお、第 1 の内部電極層 2 1 6 a および第 2 の内部電極層 2 1 6 b の材料は、第 1 の実施の形態にかかる内部電極層 1 6 と共通であるので、その説明を省略する。

【 0 0 7 4 】

積層体 1 2 の第 1 の端面 1 2 e 側および第 2 の端面 1 2 f 側には、外部電極 2 2 4 が配置

される。外部電極 224 は、第 1 の外部電極 224 a および第 2 の外部電極 224 b を有する。

第 1 の外部電極 224 a は、積層体 12 の第 1 の端面 12 e の表面に配置され、第 1 の端面 12 e から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。この場合、第 1 の外部電極 224 a は、第 1 の端面 12 e において露出している第 1 の内部電極層 216 a の第 1 の引出電極部 220 a と電氣的に接続される。

第 2 の外部電極 224 b は、積層体 12 の第 2 の端面 12 f の表面に配置され、第 2 の端面 12 f から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。この場合、第 2 の外部電極 224 b は、第 2 の端面 12 f において露出している第 1 の内部電極層 216 b の第 2 の引出電極部 220 b と電氣的に接続される。

【0075】

さらに、積層体 12 の第 1 の側面 12 c 側および第 2 の側面 12 d 側には、第 3 の外部電極 234 が配置される。第 3 の外部電極 234 は、一方の第 3 の外部電極 234 a および他方の第 3 の外部電極 234 b を有する。

一方の第 3 の外部電極 234 a は、積層体 12 の第 1 の側面 12 c の表面に配置され、第 1 の側面 12 c から延伸して第 1 の主面 12 a および第 2 の主面 12 b のそれぞれの一部分を覆うように形成される。この場合、一方の第 3 の外部電極 234 a は、第 1 の側面 12 c において露出している第 2 の内部電極層 216 b の第 3 の引出電極部 221 a と電氣的に接続される。

他方の第 3 の外部電極 234 b は、積層体 12 の第 2 の側面 12 d の表面に配置され、第 2 の側面 12 d から延伸して第 1 の主面 12 a および第 2 の主面 12 b のそれぞれの一部分を覆うように形成される。この場合、他方の第 3 の外部電極 234 b は、第 2 の側面 12 d において露出している第 2 の内部電極層 216 b の第 4 の引出電極部 221 b と電氣的に接続される。

【0076】

第 1 の外部電極 224 a および第 2 の外部電極 224 b は、下地電極層 26 と、めっき層 32 とを含む。

一方の第 3 の外部電極 234 a および他方の第 3 の外部電極 234 b は、下地電極層 36 と、主面側樹脂層 38 と、めっき層 40 とを含む。

【0077】

下地電極層 26 は、第 1 の下地電極層 26 a および第 2 の下地電極層 26 b を有する。

第 1 の下地電極層 26 a は、積層体 12 の第 1 の端面 12 e の表面に配置され、第 1 の端面 12 e から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。

第 2 の下地電極層 26 b は、積層体 12 の第 2 の端面 12 f の表面に配置され、第 2 の端面 12 f から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。

【0078】

下地電極層 36 は、第 3 の下地電極層 36 a および第 4 の下地電極層 36 b を有する。

第 3 の下地電極層 36 a は、積層体 12 の第 1 の側面 12 c の表面に配置され、第 1 の側面 12 c から延伸して第 1 の主面 12 a および第 2 の主面 12 b のそれぞれの一部分を覆うように形成される。

第 4 の下地電極層 36 b は、積層体 12 の第 2 の側面 12 d の表面に配置され、第 2 の側面 12 d から延伸して第 1 の主面 12 a および第 2 の主面 12 b のそれぞれの一部分を覆うように形成される。

【0079】

なお、下地電極層 26、36 の材料は、第 1 の実施の形態にかかる積層セラミックコンデンサ 10 の下地電極層 26 と共通であるので、その説明を省略する。

10

20

30

40

50

【0080】

図22に示すように、主面側樹脂層38は、第1の主面側樹脂層38aおよび第2の主面側樹脂層38bを有する。

第1の主面側樹脂層38aは、第1の主面12aに位置する第3の下地電極層36aの端部を覆うように配置される。

第2の主面側樹脂層38bは、第1の主面12aに位置する第4の下地電極層36bの端部を覆うように配置される。

【0081】

なお、主面側樹脂層38の材料は、第1の実施の形態にかかる積層セラミックコンデンサ10の主面側樹脂層28と共通であるので、その説明を省略する。

10

【0082】

めっき層32は、第1のめっき層32aおよび第2のめっき層32bを有する。

第1のめっき層32aは、第1の下地電極層26aを覆うように配置される。具体的には、第1のめっき層32aは、第1の端面12e上に位置する第1の下地電極層26aの表面に配置され、第1の主面12aに位置する第1の下地電極層26a、ならびに第2の主面12b、第1の側面12cおよび第2の側面12dに位置する第1の下地電極層26aの表面にも至るように設けられていることが好ましい。

第2のめっき層32bは、第2の下地電極層26bを覆うように配置される。具体的には、第2のめっき層32bは、第2の端面12f上に位置する第2の下地電極層26bの表面に配置され、第1の主面12aに位置する第2の下地電極層26b、ならびに第2の主面12b、第1の側面12cおよび第2の側面12dに位置する第2の下地電極層26bの表面にも至るように設けられていることが好ましい。

20

【0083】

また、めっき層40は、第3のめっき層40aおよび第4のめっき層40bを有する。

第3のめっき層40aは、第3の下地電極層36aおよび第1の主面側樹脂層38aを覆うように配置される。具体的には、第3のめっき層40aは、第1の側面12c上に位置する第3の下地電極層36aの表面に配置され、第1の主面12aに位置する第3の下地電極層36aおよび第1の主面側樹脂層38a、ならびに第2の主面12bに位置する第3の下地電極層36aの表面にも至るように設けられる。

第4のめっき層40bは、第4の下地電極層36bおよび第2の主面側樹脂層38bを覆うように配置される。具体的には、第4のめっき層40bは、第2の側面12d上に位置する第4の下地電極層36bの表面に配置され、第1の主面12aに位置する第4の下地電極層36bおよび第2の主面側樹脂層38b、ならびに第2の主面12bに位置する第4の下地電極層36bの表面にも至るように設けられる。

30

【0084】

なお、めっき層32、40の材料は、第1の実施の形態にかかる積層セラミックコンデンサ10のめっき層32と共通であるので、その説明を省略する。

【0085】

図18に示す積層セラミックコンデンサ210では、第1の主面側樹脂層38aが、第1の主面12aに位置する第3の下地電極層36aの端部を覆うように配置され、第2の主面側樹脂層38bが、第1の主面12aに位置する第4の下地電極層36bの端部を覆うように配置されるので、積層セラミックコンデンサ210の機械的強度を確保することができ、したがって、落下衝撃や実装基板のたわみ応力が発生した際に、確実にその応力を吸収することができることから、積層体にクラックが発生してしまうことを抑制することができる。

40

【0086】

次に、この発明の第7の実施の形態に係る積層セラミックコンデンサについて説明する。

図23は、この発明の第7の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。図24は、図23のXXIV-XXIV線における断面図であり、図25は、図23のXXV-XXV線における断面図である。図26は、この発明の第7の実施の形

50

態に係る積層セラミックコンデンサの第1の主面側を示す平面図である。なお、この実施の形態に係る積層セラミックコンデンサ210Aは、第3の外部電極において主面側樹脂層の配置される構成が異なることを除いて、図18を用いて説明した積層セラミックコンデンサ210と同様の構成を有する。従って、図18に示した積層セラミックコンデンサ210と同一部分には、同一の符号を付し、その説明を一部省略する。

【0087】

積層セラミックコンデンサ210Aは、積層体12を含む。

積層体12の第1の端面12e側および第2の端面12f側には、外部電極224が配置される。外部電極224は、第1の外部電極224aおよび第2の外部電極224bを有する。

【0088】

さらに、積層体12の第1の主面12a、第1の側面12c側および第2の側面12d側には、第3の外部電極234が配置される。

より具体的には、第3の外部電極234は、積層体12の第1の主面12aに配置され、第1の主面12aから延伸して、第1の側面12cの表面に配置され、第1の側面12cから延伸して第1の側面12cおよび第2の側面12dのそれぞれを覆うように形成され、さらに、第2の主面12bの一部を覆うように形成される。この場合、第3の外部電極234は、第1の側面12cにおいて露出している第2の内部電極層216bの第3の引出電極部221aおよび第2の側面12dにおいて露出している第2の内部電極層216bの第4の引出電極部221bと電氣的に接続される。

【0089】

第1の外部電極224aおよび第2の外部電極224bは、下地電極層26と、めっき層32とを含む。

第3の外部電極234は、下地電極層36と、主面側樹脂層38と、めっき層40とを含む。

【0090】

下地電極層26は、第1の下地電極層26aおよび第2の下地電極層26bを有する。

第1の下地電極層26aは、積層体12の第1の端面12eの表面に配置され、第1の端面12eから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

第2の下地電極層26bは、積層体12の第2の端面12fの表面に配置され、第2の端面12fから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

【0091】

下地電極層36は、第3の下地電極層36aおよび第4の下地電極層36bを有する。

第3の下地電極層36aは、積層体12の第1の側面12cの表面に配置され、第1の側面12cから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

第4の下地電極層36bは、積層体12の第2の側面12dの表面に配置され、第2の側面12dから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

【0092】

図26に示すように、主面側樹脂層38は、第1の主面12a上に位置する第3の下地電極層36aの端部から第4の下地電極層36bの端部に亘って第1の主面12a上において連続して覆うように配置される。

【0093】

めっき層32は、第1のめっき層32aおよび第2のめっき層32bを有する。

第1のめっき層32aは、第1の下地電極層26aを覆うように配置される。

第2のめっき層32bは、第2の下地電極層26bを覆うように配置される。

【0094】

10

20

30

40

50

また、めっき層 40 は、第 3 の下地電極層 36 a、第 4 の下地電極層 36 b および主面側樹脂層 38 を覆うように配置される。具体的には、めっき層 40 は、第 1 の主面 12 a に位置する主面側樹脂層 38 の表面に配置され、さらに、第 1 の主面 12 a から、第 1 の側面 12 c 上に位置する第 3 の下地電極層 36 a の表面に至るように配置され、第 2 の主面 12 b に位置する第 3 の下地電極層 36 a の表面にも至るように設けられるとともに、第 1 の主面 12 a から、第 2 の側面 12 d 上に位置する第 4 の下地電極層 36 b の表面に至るように配置され、第 2 の主面 12 b に位置する第 3 の下地電極層 36 a の表面にも至るように設けられる。

【0095】

図 23 に示す積層セラミックコンデンサ 210 A によれば、図 18 に示す積層セラミックコンデンサ 210 と同様の効果を奏する。

10

【0096】

次に、この発明の第 8 の実施の形態に係る積層セラミックコンデンサについて説明する。図 27 は、この発明の第 8 の実施の形態に係る積層セラミックコンデンサを示す斜視図である。図 28 は、図 27 の X X V I I I - X X V I I I 線における断面図であり、図 29 は、図 27 の X X I X - X X I X 線における断面図である。図 30 は、この発明の第 8 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。なお、この実施の形態に係る積層セラミックコンデンサ 210 B は、第 3 の外部電極において主面側樹脂層の配置される構成が異なることを除いて、図 18 を用いて説明した積層セラミックコンデンサ 210 と同様の構成を有する。従って、図 18 に示した積層セラミックコンデンサ 210 と同一部分には、同一の符号を付し、その説明を一部省略する。

20

【0097】

積層セラミックコンデンサ 210 B は、積層体 12 を含む。

積層体 12 の第 1 の端面 12 e 側および第 2 の端面 12 f 側には、外部電極 224 が配置される。外部電極 224 は、第 1 の外部電極 224 a および第 2 の外部電極 224 b を有する。

【0098】

さらに、積層体 12 の第 1 の主面 12 a、第 1 の側面 12 c 側および第 2 の側面 12 d 側には、第 3 の外部電極 234 が配置される。

より具体的には、第 3 の外部電極 234 は、積層体 12 の第 1 の主面 12 a に配置され、第 1 の主面 12 a から延伸して、第 1 の側面 12 c の表面に配置され、第 1 の主面 12 a から延伸して第 1 の側面 12 c および第 2 の側面 12 d のそれぞれを覆うように形成され、さらに、第 2 の主面 12 b の一部を覆うように形成される。この場合、第 3 の外部電極 234 は、第 1 の側面 12 c において露出している第 2 の内部電極層 216 b の第 3 の引出電極部 221 a および第 2 の側面 12 d において露出している第 2 の内部電極層 216 b の第 4 の引出電極部 221 b と電氣的に接続される。

30

【0099】

第 1 の外部電極 224 a および第 2 の外部電極 224 b は、下地電極層 26 と、めっき層 32 とを含む。

第 3 の外部電極 234 は、下地電極層 36 と、主面側樹脂層 38 と、めっき層 40 とを含む。

40

【0100】

下地電極層 26 は、第 1 の下地電極層 26 a および第 2 の下地電極層 26 b を有する。

第 1 の下地電極層 26 a は、積層体 12 の第 1 の端面 12 e の表面に配置され、第 1 の端面 12 e から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。

第 2 の下地電極層 26 b は、積層体 12 の第 2 の端面 12 f の表面に配置され、第 2 の端面 12 f から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。

【0101】

50

下地電極層 3 6 は、第 3 の下地電極層 3 6 a および第 4 の下地電極層 3 6 b を有する。

第 3 の下地電極層 3 6 a は、積層体 1 2 の第 1 の側面 1 2 c の表面に配置され、第 1 の側面 1 2 c から延伸して第 1 の主面 1 2 a および第 2 の主面 1 2 b のそれぞれの一部分を覆うように形成される。

第 4 の下地電極層 3 6 b は、積層体 1 2 の第 2 の側面 1 2 d の表面に配置され、第 2 の側面 1 2 d から延伸して第 1 の主面 1 2 a および第 2 の主面 1 2 b のそれぞれの一部分を覆うように形成される。

【0102】

図 3 0 に示すように、主面側樹脂層 3 8 は、第 1 の主面 1 2 a 上に位置する第 3 の下地電極層 3 6 a の端部から第 4 の下地電極層 3 6 b の端部に亘って第 1 の主面 1 2 a 上において連続して覆うように配置される。さらに、主面側樹脂層 3 8 は、第 1 の側面 1 2 c および第 2 の側面 1 2 d のそれぞれに位置する第 3 の下地電極層 3 6 a および第 4 の下地電極層 3 6 b の一部を覆うように配置される。

【0103】

めっき層 3 2 は、第 1 のめっき層 3 2 a および第 2 のめっき層 3 2 b を有する。

第 1 のめっき層 3 2 a は、第 1 の下地電極層 2 6 a を覆うように配置される。

第 2 のめっき層 3 2 b は、第 2 の下地電極層 2 6 b を覆うように配置される。

【0104】

また、めっき層 4 0 は、第 3 の下地電極層 3 6 a、第 4 の下地電極層 3 6 b および主面側樹脂層 3 8 を覆うように配置される。具体的には、めっき層 4 0 は、第 1 の主面 1 2 a に位置する主面側樹脂層 3 8 の表面に配置され、さらに、第 1 の主面 1 2 a から、第 1 の側面 1 2 c 上に位置する第 3 の下地電極層 3 6 a および主面側樹脂層 3 8 の表面に至るように配置され、第 2 の主面 1 2 b に位置する第 3 の下地電極層 3 6 a の表面にも至るように設けられるとともに、第 1 の主面 1 2 a から、第 2 の側面 1 2 d 上に位置する第 4 の下地電極層 3 6 b および主面側樹脂層 3 8 の表面に至るように配置され、第 2 の主面 1 2 b に位置する第 3 の下地電極層 3 6 a の表面にも至るように設けられる。

【0105】

図 2 7 に示す積層セラミックコンデンサ 2 1 0 B によれば、図 1 8 に示す積層セラミックコンデンサ 2 1 0 と同様の効果を奏する。

【0106】

続いて、この発明の第 9 の実施の形態に係る積層セラミックコンデンサについて説明する。図 3 1 は、この発明の第 9 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。図 3 2 は、図 3 1 の X X X I I - X X X I I 線における断面図であり、図 3 3 は、図 3 1 の X X X I I I - X X X I I I 線における断面図である。なお、この実施の形態に係る積層セラミックコンデンサ 2 1 0 C は、第 3 の外部電極において主面側樹脂層の配置される構成が異なることを除いて、図 1 8 を用いて説明した積層セラミックコンデンサ 2 1 0 と同様の構成を有する。従って、図 1 8 に示した積層セラミックコンデンサ 2 1 0 と同一部分には、同一の符号を付し、その説明を一部省略する。

【0107】

積層セラミックコンデンサ 2 1 0 C は、積層体 1 2 を含む。

積層体 1 2 の第 1 の端面 1 2 e 側および第 2 の端面 1 2 f 側には、外部電極 2 2 4 が配置される。外部電極 2 2 4 は、第 1 の外部電極 2 2 4 a および第 2 の外部電極 2 2 4 b を有する。

【0108】

さらに、積層体 1 2 の第 1 の主面 1 2 a、第 1 の側面 1 2 c 側および第 2 の側面 1 2 d 側には、第 3 の外部電極 2 3 4 が配置される。

より具体的には、第 3 の外部電極 2 3 4 は、積層体 1 2 の第 1 の主面 1 2 a に配置され、第 1 の主面 1 2 a から延伸して、第 1 の側面 1 2 c の表面に配置され、第 1 の主面 1 2 a から延伸して第 1 の側面 1 2 c および第 2 の側面 1 2 d のそれぞれを覆うように形成され、さらに、第 2 の主面 1 2 b を覆うように形成される。この場合、第 3 の外部電極 2 3 4

10

20

30

40

50

は、第1の側面12cにおいて露出している第2の内部電極層216bの第3の引出電極部221aおよび第2の側面12dにおいて露出している第2の内部電極層216bの第4の引出電極部221bと電氣的に接続される。

【0109】

第1の外部電極224aおよび第2の外部電極224bは、下地電極層26と、めっき層32とを含む。

第3の外部電極234は、下地電極層36と、主面側樹脂層38と、めっき層40とを含む。

【0110】

下地電極層26は、第1の下地電極層26aおよび第2の下地電極層26bを有する。

第1の下地電極層26aは、積層体12の第1の端面12eの表面に配置され、第1の端面12eから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

第2の下地電極層26bは、積層体12の第2の端面12fの表面に配置され、第2の端面12fから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

【0111】

下地電極層36は、第3の下地電極層36aおよび第4の下地電極層36bを有する。

第3の下地電極層36aは、積層体12の第1の側面12cの表面に配置され、第1の側面12cから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

第4の下地電極層36bは、積層体12の第2の側面12dの表面に配置され、第2の側面12dから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

【0112】

主面側樹脂層38は、第1の主面12a上に位置する第3の下地電極層36aの端部から第4の下地電極層36bの端部に亘って第1の主面12a上において連続して覆うように配置される。さらに、主面側樹脂層38は、第1の側面12cおよび第2の側面12dのそれぞれに位置する第3の下地電極層36aおよび第4の下地電極層36bの一部を覆うように配置される。

主面側樹脂層39は、第2の主面12b上に位置する第3の下地電極層36aの端部から第4の下地電極層36bの端部に亘って第2の主面12b上において連続して覆うように配置される。さらに、主面側樹脂層39は、第1の側面12cおよび第2の側面12dのそれぞれに位置する第3の下地電極層36aおよび第4の下地電極層36bの一部を覆うように配置される。

【0113】

めっき層32は、第1のめっき層32aおよび第2のめっき層32bを有する。

第1のめっき層32aは、第1の下地電極層26aを覆うように配置される。

第2のめっき層32bは、第2の下地電極層26bを覆うように配置される。

【0114】

また、めっき層40は、第3の下地電極層36a、第4の下地電極層36b、主面側樹脂層38および主面側樹脂層39を覆うように配置される。具体的には、めっき層40は、第1の主面12aに位置する主面側樹脂層38の表面および第2の主面12b側に位置する主面側樹脂層39の表面に配置される。さらに、第1の側面12c上に位置する第3の下地電極層36aおよび主面側樹脂層38、39の表面に配置され、第2の側面12d上に位置する第4の下地電極層36bおよび主面側樹脂層38、39の表面に配置される。そして、めっき層40は、第1の主面12a、第1の側面12c、第2の主面12bおよび第2の側面12dと連続して配置される。

【0115】

図31に示す積層セラミックコンデンサ210Cによれば、図18に示す積層セラミック

10

20

30

40

50

コンデンサ 210 と同様の効果を奏するとともに、次の効果を奏する。

すなわち、第 1 の主面 12 a 側に主面側樹脂層 38 が配置されるのみならず第 2 の主面 12 b 側にも主面側樹脂層 39 が配置されるので、第 1 の主面 12 a や第 2 の主面 12 b のいずれの主面も実装面として、実装基板に実装させることが可能となる。

【0116】

また、この発明の第 10 の実施の形態に係る積層セラミックコンデンサについて説明する。図 34 は、この発明の第 10 の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。図 35 は、図 34 の XXXV-XXXV 線における断面図である。図 36 は、図 35 の XXXVI-XXXVI 線における断面図である。図 37 は、図 35 の XXXVII-XXXVII 線における断面図である。図 38 は、この発明の第 10 の実施の形態に係る積層セラミックコンデンサの第 1 の主面側を示す平面図である。なお、この実施の形態に係る積層セラミックコンデンサ 210 D は、第 3 の外部電極において主面側樹脂層が配置されるだけでなく、第 1 および第 2 の外部電極において主面側樹脂層が配置される点が異なることを除いて、図 18 を用いて説明した積層セラミックコンデンサ 210 と同様の構成を有する。従って、図 18 に示した積層セラミックコンデンサ 210 と同一部分には、同一の符号を付し、その説明を一部省略する。

【0117】

積層セラミックコンデンサ 210 D は、積層体 12 を含む。

積層体 12 の第 1 の端面 12 e 側および第 2 の端面 12 f 側には、外部電極 224 が配置される。外部電極 224 は、第 1 の外部電極 224 a および第 2 の外部電極 224 b を有する。

【0118】

さらに、積層体 12 の第 1 の側面 12 c 側および第 2 の側面 12 d 側には、第 3 の外部電極 234 が配置される。第 3 の外部電極 234 は、一方の第 3 の外部電極 234 a および他方の第 3 の外部電極 234 b を有する。

一方の第 3 の外部電極 234 a は、積層体 12 の第 1 の側面 12 c の表面に配置され、第 1 の側面 12 c から延伸して第 1 の主面 12 a および第 2 の主面 12 b のそれぞれの一部分を覆うように形成される。この場合、一方の第 3 の外部電極 234 a は、第 1 の側面 12 c において露出している第 2 の内部電極層 216 b の第 3 の引出電極部 221 a と電氣的に接続される。

他方の第 3 の外部電極 234 b は、積層体 12 の第 2 の側面 12 d の表面に配置され、第 2 の側面 12 d から延伸して第 1 の主面 12 a および第 2 の主面 12 b のそれぞれの一部分を覆うように形成される。この場合、他方の第 3 の外部電極 234 b は、第 2 の側面 12 d において露出している第 2 の内部電極層 216 b の第 4 の引出電極部 221 b と電氣的に接続される。

【0119】

第 1 の外部電極 224 a および第 2 の外部電極 224 b は、下地電極層 26 と、主面側樹脂層 28 と、めっき層 32 とを含む。

第 3 の外部電極 234 は、下地電極層 36 と、主面側樹脂層 38 と、めっき層 40 とを含む。

【0120】

下地電極層 26 は、第 1 の下地電極層 26 a および第 2 の下地電極層 26 b を有する。

第 1 の下地電極層 26 a は、積層体 12 の第 1 の端面 12 e の表面に配置され、第 1 の端面 12 e から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。

第 2 の下地電極層 26 b は、積層体 12 の第 2 の端面 12 f の表面に配置され、第 2 の端面 12 f から延伸して第 1 の主面 12 a、第 2 の主面 12 b、第 1 の側面 12 c および第 2 の側面 12 d のそれぞれの一部分を覆うように形成される。

【0121】

下地電極層 36 は、第 3 の下地電極層 36 a および第 4 の下地電極層 36 b を有する。

第3の下地電極層36aは、積層体12の第1の側面12cの表面に配置され、第1の側面12cから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

第4の下地電極層36bは、積層体12の第2の側面12dの表面に配置され、第2の側面12dから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

【0122】

図38に示すように、主面側樹脂層28は、第1の主面側樹脂層28aおよび第2の主面側樹脂層28bを有する。

第1の主面側樹脂層28aは、第1の主面12aに位置する第1の下地電極層26aの端部の全体のみを覆い、第1の側面12cおよび第2の側面12d上に位置する第1の下地電極層26aの端部を覆っていない。

第2の主面側樹脂層28bは、第1の主面12aに位置する第2の下地電極層26bの端部の全体のみを覆い、第1の側面12cおよび第2の側面12d上に位置する第2の下地電極層26bの端部を覆っていない。

【0123】

めっき層32は、第1のめっき層32aおよび第2のめっき層32bを有する。

第1のめっき層32aは、第1の下地電極層26a、第1の主面側樹脂層28aを覆うように配置される。具体的には、第1のめっき層32aは、第1の端面12e上に位置する第1の下地電極層26aの表面に配置され、第1の主面12aに位置する第1の下地電極層26aおよび第1の主面側樹脂層28a、第2の主面12bに位置する第1の下地電極層26a、ならびに第1の側面12cおよび第2の側面12dに位置する第1の下地電極層26aの表面にも至るように設けられている。

第2のめっき層32bは、第2の下地電極層26b、第2の主面側樹脂層28bを覆うように配置される。具体的には、第2のめっき層32bは、第2の端面12f上に位置する第2の下地電極層26bの表面に配置され、第1の主面12aに位置する第2の下地電極層26bおよび第2の主面側樹脂層28b、第2の主面12bに位置する第2の下地電極層26b、ならびに第1の側面12cおよび第2の側面12dに位置する第2の下地電極層26bの表面にも至るように設けられている。

【0124】

また、めっき層40は、第3のめっき層40aおよび第4のめっき層40bを有する。

第3のめっき層40aは、第3の下地電極層36aおよび第1の主面側樹脂層38aを覆うように配置される。具体的には、第3のめっき層40aは、第1の側面12c上に位置する第3の下地電極層36aの表面に配置され、第1の主面12aに位置する第3の下地電極層36aおよび第1の主面側樹脂層38a、ならびに第2の主面12bに位置する第3の下地電極層36aの表面にも至るように設けられる。

第4のめっき層40bは、第4の下地電極層36bおよび第2の主面側樹脂層38bを覆うように配置される。具体的には、第4のめっき層40bは、第2の側面12d上に位置する第4の下地電極層36bの表面に配置され、第1の主面12aに位置する第4の下地電極層36bおよび第2の主面側樹脂層38b、ならびに第2の主面12bに位置する第4の下地電極層36bの表面にも至るように設けられる。

【0125】

図34に示す積層セラミックコンデンサ210Dによれば、図18に示す積層セラミックコンデンサ210と同様の効果を奏するとともに、次の効果を奏する。

すなわち、主面側樹脂層28が、第1の主面側樹脂層28aおよび第2の主面側樹脂層28bを有しており、第1の主面12aに位置する第1の下地電極層26aの端部を覆うように第1の主面側樹脂層28aが配置され、第1の主面12aに位置する第2の下地電極層26bの端部を覆うように第2の主面側樹脂層28bが配置され、かつ、第1の主面12aに位置する第3の下地電極層36aの端部を覆うように主面側樹脂層38aが配置されるとともに、第1の主面12aに位置する第4の下地電極層36bの端部を覆うように

10

20

30

40

50

第2の主面側樹脂層38bが配置されるので、より確実にその応力を吸収することができることから、積層体にクラックが発生してしまうことを抑制することができる。

【0126】

さらに、この発明の第11の実施の形態に係る積層セラミックコンデンサについて説明する。図39は、この発明の第11の実施の形態に係る積層セラミックコンデンサを示す外観斜視図である。図40は、図39のXXXX-XXXX線における断面図であり、図41は、図40のXXXXI-XXXXI線における断面図であり、図42は、図40のXXXXII-XXXXII線における断面図であり、図43は、図40のXXXXIII-XXXXIII線における断面図である。図44は、この発明の第11の実施の形態に係る積層セラミックコンデンサの第1の主面側を示す平面図である。なお、この実施の形態に係る積層セラミックコンデンサ210Eは、第3の外部電極において主面側樹脂層が配置されるだけでなく、外部電極において主面側樹脂層が配置される点が異なることを除いて、図18を用いて説明した積層セラミックコンデンサ210と同様の構成を有する。従って、図18に示した積層セラミックコンデンサ210と同一部分には、同一の符号を付し、その説明を一部省略する。

【0127】

積層セラミックコンデンサ210Eは、積層体12を含む。

積層体12の第1の端面12e側および第2の端面12f側には、外部電極224が配置される。外部電極224は、第1の外部電極224aおよび第2の外部電極224bを有する。

【0128】

さらに、積層体12の第1の主面12a、第1の側面12c側および第2の側面12d側には、第3の外部電極234が配置される。

より具体的には、第3の外部電極234は、積層体12の第1の主面12aに配置され、第1の主面12aから延伸して、第1の側面12cの表面に配置され、第1の主面12aから延伸して第1の側面12cおよび第2の側面12dのそれぞれを覆うように形成され、さらに、第2の主面12bを覆うように形成される。この場合、第3の外部電極234は、第1の側面12cにおいて露出している第2の内部電極層216bの第3の引出電極部221aおよび第2の側面12dにおいて露出している第2の内部電極層216bの第4の引出電極部221bと電氣的に接続される。

【0129】

第1の外部電極224aおよび第2の外部電極224bは、下地電極層26と、主面側樹脂層28と、めっき層32とを含む。

第3の外部電極234は、下地電極層36と、主面側樹脂層38と、めっき層40とを含む。

【0130】

下地電極層26は、第1の下地電極層26aおよび第2の下地電極層26bを有する。

第1の下地電極層26aは、積層体12の第1の端面12eの表面に配置され、第1の端面12eから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

第2の下地電極層26bは、積層体12の第2の端面12fの表面に配置され、第2の端面12fから延伸して第1の主面12a、第2の主面12b、第1の側面12cおよび第2の側面12dのそれぞれの一部分を覆うように形成される。

【0131】

下地電極層36は、第3の下地電極層36aおよび第4の下地電極層36bを有する。

第3の下地電極層36aは、積層体12の第1の側面12cの表面に配置され、第1の側面12cから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆うように形成される。

第4の下地電極層36bは、積層体12の第2の側面12dの表面に配置され、第2の側面12dから延伸して第1の主面12aおよび第2の主面12bのそれぞれの一部分を覆

うように形成される。

【0132】

図39に示すように、主面側樹脂層28は、第1の主面側樹脂層28a、第2の主面側樹脂層28b、第3の主面側樹脂層28cおよび第4の主面側樹脂層28dを有する。

第1の主面側樹脂層28aは、第1の主面12aに位置する第1の下地電極層26aの端部を覆うように配置され、第1の主面12a側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第1の下地電極層26aの端部の一部を覆うように配置される。

第2の主面側樹脂層28bは、第1の主面12aに位置する第2の下地電極層26bの端部を覆うように配置され、第1の主面12a側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第2の下地電極層26bの端部の一部を覆うように配置される。

10

第3の主面側樹脂層28cは、第2の主面12bに位置する第1の下地電極層26aの端部を覆うように配置され、第2の主面12b側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第1の下地電極層26aの端部の一部を覆うように配置される。

第4の主面側樹脂層28dは、第2の主面12bに位置する第2の下地電極層26bの端部を覆うように配置され、第2の主面12b側から連続して第1の側面12cおよび第2の側面12dのそれぞれに位置する第2の下地電極層26bの端部の一部を覆うように配置される。

20

【0133】

図39に示すように、主面側樹脂層38は、第1の主面12a上に位置する下地電極層36aの端部から下地電極層36bの端部に亘って第1の主面12a上において連続して覆うように配置される。さらに、主面側樹脂層38は、第1の側面12cおよび第2の側面12dのそれぞれに位置する第3の下地電極層36aおよび第4の下地電極層36bの一部を覆うように配置される。

図39に示すように、主面側樹脂層39は、第2の主面12b上に位置する下地電極層36aの端部から下地電極層36bの端部に亘って第2の主面12b上において連続して覆うように配置される。さらに、主面側樹脂層39は、第1の側面12cおよび第2の側面12dのそれぞれに位置する第3の下地電極層36aおよび第4の下地電極層36bの一部を覆うように配置される。

30

【0134】

めっき層32は、第1のめっき層32aおよび第2のめっき層32bを有する。

第1のめっき層32aは、第1の下地電極層26a、第1の主面側樹脂層28aおよび第3の主面側樹脂層28cを覆うように配置される。具体的には、第1のめっき層32aは、第1の端面12e上に位置する第1の下地電極層26aの表面に配置され、第1の主面12aに位置する第1の下地電極層26aおよび第1の主面側樹脂層28a、第2の主面12bに位置する第1の下地電極層26aおよび第3の主面側樹脂層28c、ならびに第1の側面12cおよび第2の側面12dに位置する第1の下地電極層26aの表面にも至るように設けられている。

40

第2のめっき層32bは、第2の下地電極層26b、第2の主面側樹脂層28bおよび第4の主面側樹脂層28dを覆うように配置される。具体的には、第2のめっき層32bは、第2の端面12f上に位置する第2の下地電極層26bの表面に配置され、第1の主面12aに位置する第2の下地電極層26bおよび第2の主面側樹脂層28b、第2の主面12bに位置する第2の下地電極層26bおよび第4の主面側樹脂層28d、ならびに第1の側面12cおよび第2の側面12dに位置する第2の下地電極層26bの表面にも至るように設けられている。

【0135】

また、めっき層40は、第3の下地電極層36a、第4の下地電極層36b、主面側樹脂層38および主面側樹脂層39を覆うように配置される。具体的には、めっき層40は、

50

第1の主面12aに位置する主面側樹脂層38の表面および第2の主面12b側に位置する主面側樹脂層39の表面に配置される。さらに、第1の側面12c上に位置する第3の下地電極層36aおよび主面側樹脂層38, 39の表面に配置され、第2の側面12d上に位置する第4の下地電極層36bおよび主面側樹脂層38, 39の表面に配置される。そして、めっき層40は、第1の主面12a、第1の側面12c、第2の主面12bおよび第2の側面12dと連続して配置される。

【0136】

図39に示す積層セラミックコンデンサ210Eによれば、図18に示す積層セラミックコンデンサ210と同様の効果を奏するとともに、次の効果を奏する。

すなわち、主面側樹脂層28が、第1の主面側樹脂層28a、第2の主面側樹脂層28b、第3の主面側樹脂層28cおよび第4の主面側樹脂層28dを有しており、第1の主面12aおよび第2の主面12bに位置する第1の下地電極層26aの端部を覆うように第1の主面側樹脂層28aおよび第3の主面側樹脂層28cが配置され、第1の主面12aおよび第2の主面12bに位置する第2の下地電極層26bの端部を覆うように第2の主面側樹脂層28bおよび第4の主面側樹脂層28dが配置され、かつ、第1の主面12a上に位置する下地電極層36aの端部から下地電極層36bの端部に亘って第1の主面12a上において連続して覆うように主面側樹脂層38が配置されるとともに、第1の側面12cおよび第2の側面12dのそれぞれに位置する第3の下地電極層36aおよび第4の下地電極層36bの一部を覆うように配置され、第2の主面12b上に位置する下地電極層36aの端部から下地電極層36bの端部に亘って第2の主面12b上において連続して覆うように主面側樹脂層39が配置されるとともに、第1の側面12cおよび第2の側面12dのそれぞれに位置する第3の下地電極層36aおよび第4の下地電極層36bの一部を覆うように配置されるので、さらに、より確実にその応力を吸収することができることから、積層体にクラックが発生してしまうことを抑制することができる。

また、第1の主面12a側に主面側樹脂層38が配置されるのみならず第2の主面12b側にも主面側樹脂層39が配置されるので、第1の主面12aや第2の主面12bのいずれの主面も実装面として、実装基板に実装させることが可能となる。

【0137】

2. 積層セラミックコンデンサの製造方法

次に、以上の構成からなる積層セラミックコンデンサの製造方法の一実施の形態について、図1に示す積層セラミックコンデンサ10の製造方法を例にして説明する。

【0138】

まず、セラミックグリーンシート、内部電極層16を形成するための内部電極用導電性ペーストおよび外部電極24の下地電極層26を形成するための外部電極用導電性ペーストが準備される。なお、セラミックグリーンシート、内部電極用導電性ペーストおよび外部電極用導電性ペーストには、有機バインダおよび溶剤が含まれるが、公知の有機バインダや有機溶剤を用いることができる。

【0139】

そして、セラミックグリーンシート上に、例えば、所定のパターンで内部電極用導電性ペーストを印刷し、セラミックグリーンシートには、内部電極パターンが形成される。なお、内部電極用導電性ペーストは、スクリーン印刷法やグラビア印刷法などの公知の方法により印刷することができる。

【0140】

次に、内部電極パターンが印刷されていない外層用セラミックグリーンシートが所定枚数積層され、その上に、内部電極パターンが印刷されたセラミックグリーンシートが順次積層され、その上に、外層用セラミックグリーンシートが所定枚数積層され、マザー積層体を作製される（積層工程）。必要に応じて、このマザー積層体は、静水圧プレスなどの手段により積層方向に圧着させてもよい。

【0141】

その後、マザー積層体が所定の形状寸法に切断され、生の積層体チップが切り出される（

10

20

30

40

50

カット工程)。このとき、バレル研磨などにより積層体の角部や稜部に丸みをつけてもよい。続いて、切り出された生の積層体チップが焼成され、積層体が生成される(焼成工程)。なお、生の積層体チップの焼成温度は、セラミックの材料や内部電極用導電性ペーストの材料に依存するが、900℃以上1300℃以下であることが好ましい。

【0142】

次に、下地電極層26が形成される。まず、焼成後の積層体の両端面に外部電極用導電性ペーストを塗布し、焼き付け、第1の外部電極24aの第1の下地電極層26aおよび第2の外部電極24bの第2の下地電極層26bが形成される(下地電極層形成工程)。焼き付け温度は、700℃以上900℃以下であることが好ましい。

【0143】

次に、下地電極層26が形成された積層体12は、マグネットによる磁力で内部電極層層16の積層方向に揃えられる。これにより、次の樹脂を形成する面と内部電極層16の積層方向とを揃えることで、後述するキャリアテープに積層セラミックコンデンサ10を入れる際に、マグネットによる磁力で、樹脂を形成する面(樹脂塗布面)を特定することが容易となる。また、実装面である第1の主面12aが下を向かない場合は、積層体12を搬送する方向に直交する幅方向から空気を当てて転動させて向きを揃えることができる。このとき、積層体12の高さ方向xの寸法に対する幅方向yの寸法を0.9以上1.1以下とすることで、転動させやすくすることができる。

【0144】

続いて、主面側樹脂層28が形成される。まず、第1の主面12aに位置する第1の下地電極層26aの端部の一部を覆うように、熱硬化性樹脂を塗布し、第1の主面側樹脂層28aが形成され、同様に、第1の主面12aに位置する第2の下地電極層26bの端部の一部を覆うように、第2の下地電極層26bを覆うように、熱硬化性樹脂を塗布し、第2の主面側樹脂層28bが形成される(樹脂層形成工程)。熱硬化性樹脂の塗布は、スクリーン印刷工法により行う。

【0145】

次に、めっき層32が形成される。まず、第1の下地電極層26aおよび第1の主面側樹脂層28aを覆うように、第1のめっき層32aが形成され、同様に、第2の下地電極層26bおよび第2の主面側樹脂層28bを覆うように、第2のめっき層32bが形成される(めっき工程)。めっき層32は、電解めっき法や無電解めっき法で形成することができる。めっき層32の厚みは、電流値やめっき時間を制御することで調整することができる。具体的には、めっき形成面積に対するめっき電流値×めっき時間を調整することで加工することが好ましい。

【0146】

以上のようにして、積層セラミックコンデンサ10が製造される。

【0147】

続いて、製造された積層セラミックコンデンサ10は、キャリアテープに収納され、電子部品連300が製造される(キャリアテープに収納される工程)。以下、説明する。図45は、この発明に係る電子部品連の平面図であり、図46は、図45のXXXXV-I-XXXXVI線における断面図である。

【0148】

図45および図46に示す電子部品連300は、複数の積層セラミックコンデンサ10がテーピングされたものである。電子部品連300は、長尺状のテープ310を有する。図46に示すように、テープ310は、長尺状のキャリアテープ312と、長尺状のカバーテープ314とを有する。キャリアテープ312は、長手方向に沿って相互に間隔をおいて設けられた複数のキャビティ316を有する。カバーテープ314は、キャリアテープ312の上に、複数のキャビティ316を覆うように設けられている。複数のキャビティ316のそれぞれに積層セラミックコンデンサ10が収納されている。

このような電子部品連300は、たとえば、積層セラミックコンデンサ10の搬送装置(図示せず)を用いて、複数の積層セラミックコンデンサ10が整列され、続いて、その複

10

20

30

40

50

数の積層セラミックコンデンサ10は、キャリアテープ312の複数のキャビティ316にそれぞれ収納される。そして、積層セラミックコンデンサ10が収納された各キャビティ316をカバーテープ314で蓋をする。
これにより、電子部品連300が製造される。

【0149】

なお、複数の積層セラミックコンデンサ10において、主面側樹脂層28が配置される第1の主面12aにおけるめっき層32の長さ方向zの長さ寸法が、第1の側面12cおよび第2の側面12d上のめっき層32の長さ方向zの長さ寸法よりも100 μ m以上長いと、実装面となる第1の主面12aを特定できる。また、複数の積層セラミックコンデンサ10において、主面側樹脂層28が配置される第1の主面12aにおけるめっき層32の長さ方向zの長さ寸法が、第1の側面12cおよび第2の側面12d上のめっき層32の長さ方向zの長さ寸法よりも200 μ m以上長いと、実装面となる第1の主面12aをより特定できる。したがって、複数の積層セラミックコンデンサ10は、実装基板の法線方向に対して、内部電極層16の積層方向が平行に実装されるように、主面側樹脂層28が配置される第1の主面12aがキャビティ316の底面側を向くように配することができる。このため、電子部品連300の複数の積層セラミックコンデンサ10は、第2の主面12bにおいて吸着されて保持され、第1の主面12aが実装基板を向くように実装される。

【0150】

3. 積層セラミックコンデンサの実装構造体

次に、この発明の実施の形態に係る積層セラミックコンデンサの実装構造体について、図47に基づいて説明する。なお、ここでは図1に示す積層セラミックコンデンサ10を基板410に実装する場合を例にして説明する。図47は、この発明に係る積層セラミックコンデンサの実装構造体の一例を示す断面図である。なお、図47に記載の積層セラミックコンデンサ10は、図1ないし図3に記載の積層セラミックコンデンサ10と同一の構造とされる。

【0151】

この発明にかかる積層セラミックコンデンサの実装構造体400は、積層セラミックコンデンサ10と、積層セラミックコンデンサ10を実装するための基板410とを備える。

【0152】

基板410は、基板410のコア材412の主面上にランド電極414が貼り合わされた基板である。また、コア材412は単層であってもよいし、複数層で形成されていてもよい。複数層で形成される場合には、それぞれのコア材412の表面にランド電極414が形成され、異なる層のランド電極（図示せず）とビア配線（図示せず）などにより電氣的に接続され、配線が組まれていてもよい。

【0153】

コア材412は、たとえば、ガラス布（クロス）とガラス不織布を混ぜ合わせた基材にエポキシ樹脂やポリイミド樹脂を含浸させた材料からなる基板や、セラミックスとガラスを混合したシートを焼き付けて製造するセラミックス基板からなる。コア材412の厚みは、特に限定されないが、200 μ m以上800 μ m以下であることが好ましい。

【0154】

ランド電極414は、基板410のコア材412の片面、もしくは両面に貼り付けられている。このランド電極414に、積層セラミックコンデンサ10の外部電極24がはんだによって、実装される。このランド電極414は、第1のランド電極414aおよび第2のランド電極414bを含む。ランド電極414の材質は、特に限定されないが、たとえば、Cu、Au、Pd、Ptなどの金属やその合金から形成されている。ランド電極414の厚みは、20 μ m以上200 μ m以下であることが好ましい。

また、CuやAlからなるリードフレームを配線とし、異なるリードフレーム間の橋渡しをするように、積層セラミックコンデンサをはんだ実装することもできる。

【0155】

積層セラミックコンデンサ 10 は、その第 1 の外部電極 24 a が基板 410 上の第 1 のランド電極 414 a に接触するように、かつその第 2 の外部電極 24 b が基板 410 上の第 2 のランド電極 414 b に接触するように配置される。そして、第 1 の外部電極 24 a と第 1 のランド電極 414 a とが、はんだ 420 によって電氣的に接続された状態で接合される。同様に、第 2 の外部電極 24 b と第 2 のランド電極 414 b とが、はんだ 420 によって電氣的に接続された状態で接合される。従って、積層セラミックコンデンサ 10 の主面側樹脂層 28 が配置される第 1 の主面 12 a は、基板 410 の面と対向している。

【0156】

はんだ 420 は、鉛フリー半田によって接続されている。鉛フリー半田は、たとえば、Sn：96.3%以上99.0%以下、Ag：0%以上3%以下、Cu：0.5%以上0.7%の範囲内で調整される組成のものをを用いることが好ましく、Sn：96.5%、Ag：3%、Cu：0.5%の組成の半田を用いることがより好ましい。

また、たとえば、175℃や200℃のような高温環境下では、Ni層およびSn層は、化合物化されていることが好ましい。

【0157】

4. 実験例

上述の方法により得られた積層セラミックコンデンサ 10 を評価するための実験を行った。実験は、たわみ試験、ESR測定試験、およびはんだ爆ぜの発生の確認により行った。

【0158】

(1) たわみ試験

たわみ試験は、第 1 の主面に位置する下地電極層の端部の一部を覆う主面側樹脂層における e 寸端差の長さの変化に対して、積層体におけるクラックの発生の有無を観察することにより行った。

なお、e 寸端差は、第 1 の主面に位置する下地電極層の端部から長さ方向 z における主面側樹脂層の長さを示す。

第 1 の外部電極側の場合、e 寸端差の長さについて、第 1 の主面に位置する第 1 の下地電極層の端部から、積層体の表面に位置する第 1 の主面側樹脂層の第 2 の端面側の端部までの長さ方向 z の長さを正の値とし、第 1 の下地電極層の表面に位置する第 1 の主面側樹脂層の第 2 の端面側の端部までの長さ方向 z の長さを負の値とした。

同様に、第 2 の外部電極側の場合、e 寸端差の長さについて、第 1 の主面に位置する第 2 の下地電極層の端部から、積層体の表面に位置する第 2 の主面側樹脂層の第 1 の端面側の端部までの長さ方向 z の長さを正の値とし、第 2 の下地電極層の表面に位置する第 2 の主面側樹脂層の第 1 の端面側の端部までの長さ方向 z の長さを負の値とした。

したがって、e 寸端差の値が正の値の場合、主面側樹脂層は積層体を覆っており、一方、e 寸端差の値が負の値の場合、主面側樹脂層は積層体を覆っていないことを意味する。

【0159】

たわみ試験に用いる積層セラミックコンデンサとして、第 1 の実施の形態に係る積層セラミックコンデンサ 10 と同様な構造とし、以下に示すようなスペックの積層セラミックコンデンサの試料を作製した。

・積層セラミックコンデンサのサイズ（設計値）：0603サイズ、1608サイズ、3216サイズ

・誘電体層の材料：BaTiO₃

・内部電極の材料：Ni

・外部電極の構造

下地電極層

下地電極層の材料：導電性金属（Cu）

主面側樹脂層

樹脂：エポキシ系

主面側樹脂層の形成箇所：第 1 の主面に位置する下地電極層の端部を覆うように形成し、第 1 の主面側から連続して第 1 および第 2 の側面のそれぞれに位置する下地電極層の端部

10

20

30

40

50

の一部を覆うように形成

めっき層：Niめっき層とSnめっき層の2層構造

【0160】

たわみ試験は、厚さ0.8mmのJIS基板（ガラスエポキシ基板）に半田を用いて、積層セラミックコンデンサの試料を実装した。実装されていない基板面から押し治具にて基板を曲げ、機械的ストレスをかけた。この時、保持時間を5秒とし、曲げ量は5mmとした。基板曲げ後、基板から積層セラミックコンデンサの試料を外し、基板面に対して垂直方向に研磨を行い、クラックを観察し、クラックの有無を確認した。各サイズに対する試料数は、16個とした。

【0161】

以上の、積層セラミックコンデンサの各試料のそれぞれに対するe寸端差の測定結果、とたわみ試験によるクラックの発生の有無を確認した結果を表1に示す。また、図4.8は、たわみ試験において、e寸端差の大きさとクラックの発生の有無との関係を示す図である。

【0162】

10

20

30

40

50

【表 1】

試料番号	0603サイズ				1608サイズ				3216サイズ			
	e寸端差 (μm)		クラックの有無		e寸端差 (μm)		クラックの有無		e寸端差 (μm)		クラックの有無	
	第1の外部電極側	第2の外部電極側	有	無	第1の外部電極側	第2の外部電極側	有	無	第1の外部電極側	第2の外部電極側	有	無
1	0	14		○	22	34		○	-35	4		○
2	0	3		○	58	-26		○	62	5		○
3	3	-11	○		-38	94		○	13	8		○
4	-3	16		○	44	24		○	24	-43		○
5	0	1		○	83	58		○	95	-9		○
6	0	2		○	-12	33		○	28	4		○
7	11	2	○		61	71		○	110	98		○
8	-4	4		○	56	-26		○	83	54		○
9	0	7		○	81	23		○	-44	113		○
10	0	-10	○		-51	-5		○	49	9		○
11	2	0		○	104	18		○	45	11		○
12	4	1		○	65	38		○	8	-31		○
13	0	16	○		45	29		○	-24	57		○
14	0	18		○	-10	58		○	80	91		○
15	7	-3	○		34	-8		○	88	-38		○
16	15	3		○	-29	-7		○	-29	-23		○

【0163】

表1に示すように、0603サイズの場合、各試料におけるe寸端差の値の小さい方の値に着目したとき、試料番号4および試料番号8を除き、試料番号1、試料番号2、試料番号5、試料番号9、試料番号11、試料番号12、試料番号14および試料番号16は、e寸端差の値が正の値であるので、クラックが生じていない。

また、1608サイズの場合も同様に、各試料におけるe寸端差の値の小さい方の値に着目したとき、試料番号1、試料番号4、試料番号5、試料番号7、試料番号9、試料番号11ないし試料番号13は、e寸端差の値が正の値であるので、クラックが生じていない。さらに、3216サイズの場合も同様に、各試料におけるe寸端差の値の小さい方の値に

10

20

30

40

50

着目したとき、試料番号 2、試料番号 3、試料番号 6 ないし試料番号 8、試料番号 10、試料番号 11 および試料番号 14 は、e 寸端差の値が正の値であるので、クラックが生じていない。

すなわち、第 1 の外部電極および第 2 の外部電極のいずれか一方の主面側樹脂層が、下地電極層の端部を覆うことで、積層セラミックコンデンサにクラックが発生するのを抑制することのできる事が確認された。

【0164】

また、図 48 に示すように、第 1 の外部電極および第 2 の外部電極のいずれか一方の e 寸端差の値が、10 μm 以上であると、積層セラミックコンデンサのサイズに関係なく、より確実にクラックの生じない積層セラミックコンデンサを得ることのできる事が確認された。

10

【0165】

一方、表 1 に示すように、0603 サイズの場合、各試料における e 寸端差の値の小さい方の値に着目したとき、試料番号 6、試料番号 7 および試料番号 13 を除き、試料番号 3、試料番号 10、および試料番号 15 は、e 寸端差の値が負の値であるので、クラックが生じている。

また、1608 サイズの場合も同様に、各試料における e 寸端差の値の小さい方の値に着目したとき、試料番号 2、試料番号 3、試料番号 6、試料番号 8、試料番号 10、試料番号 14 ないし試料番号 16 は、e 寸端差の値が負の値であるので、クラックが生じている。さらに、3216 サイズの場合も同様に、各試料における e 寸端差の値の小さい方の値に着目したとき、試料番号 1、試料番号 4、試料番号 5、試料番号 9、試料番号 12、試料番号 13、試料番号 15 および試料番号 16 は、e 寸端差の値が負の値であるので、クラックが生じている。

20

すなわち、第 1 の外部電極および第 2 の外部電極のいずれか一方の主面側樹脂層が、下地電極層の端部を覆わない場合、積層セラミックコンデンサにクラックが生じやすいことが確認された。

【0166】

(2) ESR 測定試験

ESR 測定試験において、試料に用いた実施例に係る積層セラミックコンデンサの構造は、たわみ試験に用いた構造と同一とした。また、本 ESR 測定試験に用いた積層セラミックコンデンサのサイズは、1005 サイズとした。

30

【0167】

比較する積層セラミックコンデンサとして、外部電極の構造において、樹脂層が積層体の両端面、両主面の一部、および両側面の一部を覆っている構造を備えた従来例に係る試料と、樹脂層が形成されていない、下地電極層およびめっき層のみにより形成された参考例 1 に係る試料とを準備した。上述した構造以外は、実施例に係る積層セラミックコンデンサの仕様と同一とした。

【0168】

ESR 測定試験において、ESR はインピーダンスアナライザによりインピーダンスを測定して算出した。周波数は 1 MHz とし、実施例、従来例および参考例 1 に対する各試料数は、それぞれ 10 個とした。

40

【0169】

以上の、積層セラミックコンデンサの各試料のそれぞれに対する ESR の測定結果を表 2 に示す。また、図 49 は、ESR 測定試験において、従来例、実施例および参考例 1 の各試料に対して ESR を測定した結果を示す図である。

【0170】

50

【表 2】

試料番号	ESR (mΩ)		
	従来例	実施例	参考例 1
1	10.3	5.3	5.2
2	14.0	5.9	5.5
3	12.5	5.6	5.6
4	11.5	5.4	6.2
5	11.0	5.1	6.0
6	11.1	4.7	5.5
7	12.0	4.7	5.7
8	12.5	5.1	5.8
9	16.8	6.6	5.0
10	10.3	5.3	5.2
平均値	12.2	5.4	5.6
最大値	16.8	6.6	6.2
最小値	10.3	4.7	5.0
標準偏差	2.0	0.6	0.4

【0171】

表 2 および図 4 9 に示すように、実施例に係る積層セラミックコンデンサの試料の ESR は、平均値が 5.4 mΩ であり、標準偏差が 0.6 であった。一方、従来例に係る積層セラミックコンデンサの試料の ESR は、平均値が 12.2 mΩ であり、標準偏差は 2.0 であった。したがって、本発明にかかる構造を有する積層セラミックコンデンサの試料は、従来例に係る積層セラミックコンデンサの試料と比較して、ESR の値のバラツキが小さく、低 ESR 化の図られた積層セラミックコンデンサであることが確認された。

【0172】

また、表 2 および図 4 9 に示すように、参考例 1 に係る積層セラミックコンデンサの試料の ESR は、平均値が 5.6 mΩ であり、標準偏差が 0.4 であった。したがって、本発明にかかる構造を有する実施例に係る積層セラミックコンデンサの試料は、参考例 1 に係る積層セラミックコンデンサの試料と同等の ESR を有することが確認された。

【0173】

(3) はんだ爆ぜの発生の確認

はんだ爆ぜの発生の確認において、試料に用いた実施例に係る積層セラミックコンデンサの構造は、第 2 の実施の形態に係る積層セラミックコンデンサ 110 と同様な構造とし、主面側樹脂層の形成箇所を第 1 の主面に位置する下地電極層の端部の全部のみとしたことを除き、たわみ試験に用いた積層セラミックコンデンサの仕様と同一とした。また、はんだ爆ぜの発生の確認に用いた積層セラミックコンデンサのサイズは、1005 サイズとした。

【0174】

比較する積層セラミックコンデンサとして、外部電極の構造において、樹脂層が積層体の両端面、両主面の一部、および両側面の一部を覆っている構造を備えた従来例に係る試料

と、第1の主面、第2の主面、第1の側面および第2の側面に位置する下地電極層の端部の全体に樹脂層が形成され、端面上には樹脂層が形成されない構造を備えた参考例2に係る試料とを準備した。上述した構造以外は、実施例に係る積層セラミックコンデンサの仕様と同一とした。

【0175】

はんだ爆ぜの発生の確認は、基板に実測ピーク温度 $280 \pm 10^{\circ}\text{C}$ のリフロー炉で評価サンプルを実装し、次に、積層セラミックコンデンサの外観を観察し、外部電極からはんだが噴出した積層セラミックコンデンサの数をカウントすることにより調査した。従来例の試料数は、100個とし、実施例および参考例2の各試料数は、それぞれ1000個とした。

【0176】

以上の、積層セラミックコンデンサの各試料のそれぞれに対するはんだ爆ぜの発生の確認結果を表3に示す。

【0177】

【表3】

	試料数	はんだ爆ぜ発生率
従来例	100	33.0%
参考例2	1000	0.3%
実施例	1000	0.2%

【0178】

表3に示すように、従来例に係る試料の積層セラミックコンデンサでは、100個中33個ではんだ爆ぜが発生し、はんだ爆ぜ発生率が33.0%であった。一方、参考例2に係る試料の積層セラミックコンデンサでは、1000個中3個ではんだ爆ぜが発生し、はんだ爆ぜ発生率が0.3%であった。また本発明にかかる構造を有する実施例に係る試料の積層セラミックコンデンサでは、1000個中2個ではんだ爆ぜが発生し、はんだ爆ぜ発生率が0.2%であった。

以上より、実施例に係る試料の積層セラミックコンデンサは、積層体の両端面および側面上の下地電極層の端部に樹脂層が形成されていないため、はんだ爆ぜが抑制されていると考えられる。したがって、本発明にかかる構造を有する積層セラミックコンデンサであれば、従来構造と比較して、はんだ爆ぜの発生を大きく抑制しうることが確認された。また、参考例2と比較しても、はんだ爆ぜの発生を抑制しうることが確認された。

【0179】

なお、この発明は、前記実施の形態に限定されるものではなく、その要旨の範囲内で種々に変形される。

【符号の説明】

【0180】

10、110、110A、110B、210、210A、210B、210C、210D、210E 積層セラミックコンデンサ

12 積層体

12a 第1の主面

12b 第2の主面

12c 第1の側面

12d 第2の側面

12e 第1の端面

12f 第2の端面

14 誘電体層

1 4 a	外層部	
1 4 b	内層部	
1 6、2 1 6	内部電極層	
1 6 a、2 1 6 a	第 1 の内部電極層	
1 6 b、2 1 6 b	第 2 の内部電極層	
1 8 a、2 1 8 a	第 1 の対向電極部	
1 8 b、2 1 8 b	第 2 の対向電極部	
2 0 a、2 2 0 a	第 1 の引出電極部	
2 0 b、2 2 0 b	第 2 の引出電極部	
2 2 1 a	第 3 の引出電極部	10
2 2 1 b	第 4 の引出電極部	
2 2 a	側部（Wギャップ）	
2 2 b	端部（Lギャップ）	
2 4、1 2 4、2 2 4	外部電極	
2 4 a、1 2 4 a、2 2 4 a	第 1 の外部電極	
2 4 b、1 2 4 b、2 2 4 b	第 2 の外部電極	
2 6、3 6	下地電極層	
2 6 a	第 1 の下地電極層	
2 6 b	第 2 の下地電極層	
3 6 a	第 3 の下地電極層	20
3 6 b	第 4 の下地電極層	
2 8、3 8、3 9	主面側樹脂層	
2 8 a	第 1 の主面側樹脂層	
2 8 b	第 2 の主面側樹脂層	
2 8 c	第 3 の主面側樹脂層	
2 8 d	第 4 の主面側樹脂層	
3 0	側面側樹脂層	
3 0 a	第 1 の側面側樹脂層	
3 0 b	第 2 の側面側樹脂層	
3 0 c	第 3 の側面側樹脂層	30
3 0 d	第 4 の側面側樹脂層	
3 2、4 0	めっき層	
3 2 a	第 1 のめっき層	
3 2 b	第 2 のめっき層	
4 0 a	第 3 のめっき層	
4 0 b	第 4 のめっき層	
2 3 4	第 3 の外部電極	
2 3 4 a	一方の第 3 の外部電極	
2 3 4 b	他方の第 3 の外部電極	
3 0 0	電子部品連	40
3 1 0	テープ	
3 1 2	キャリアテープ	
3 1 4	カバーテープ	
3 1 6	キャビティ	
4 0 0	実装構造体	
4 1 0	基板	
4 1 2	コア材	
4 1 4	ランド電極	
4 1 4 a	第 1 のランド電極	
4 1 4 b	第 2 のランド電極	50

4 2 0 はんだ

x 高さ方向

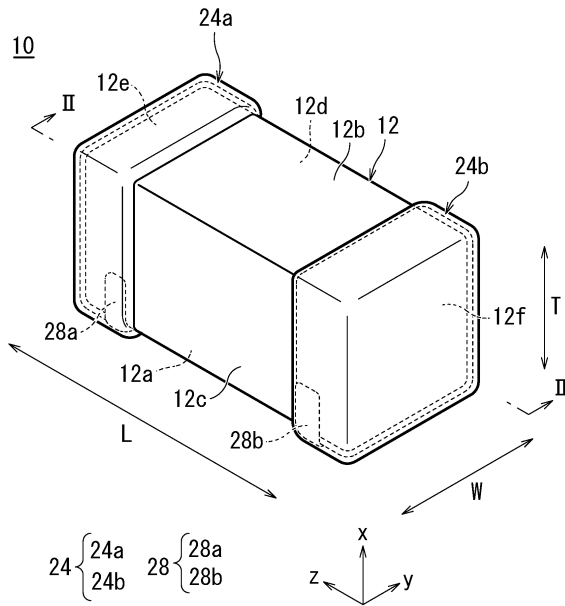
y 幅方向

z 長さ方向

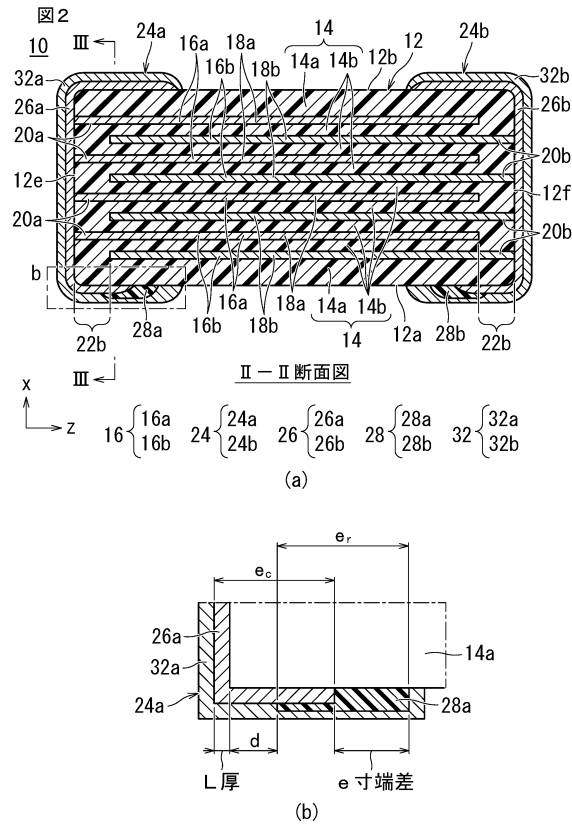
【図面】

【図 1】

図 1

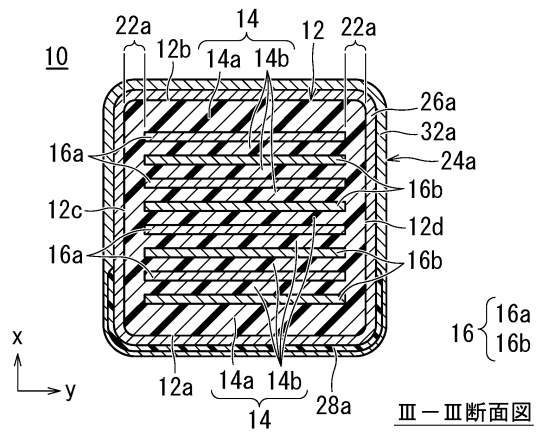


【図 2】

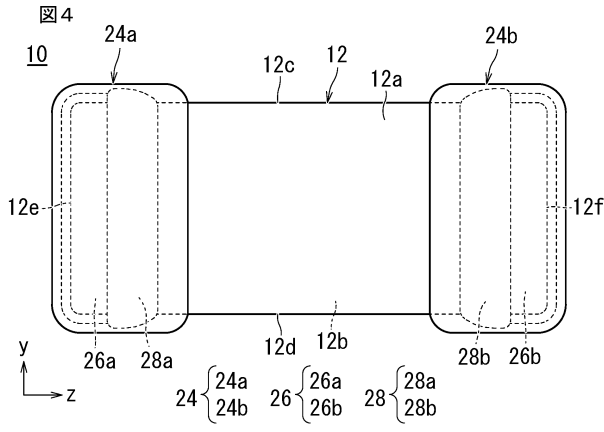


【図 3】

図 3



【図 4】



10

20

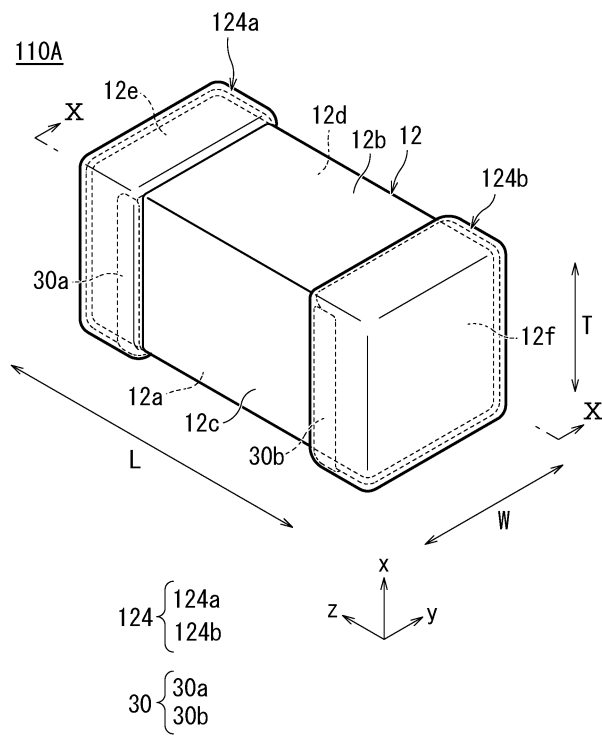
30

40

50

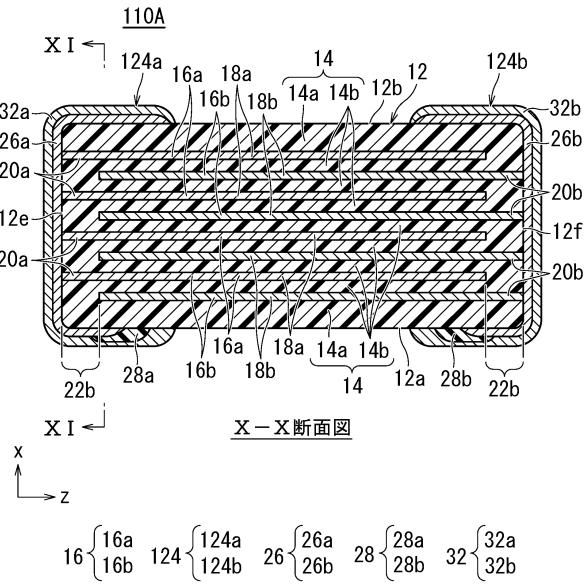
【図 9】

図 9



【図 10】

図 10

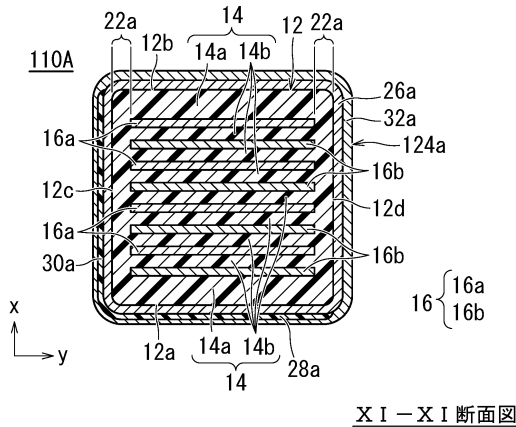


10

20

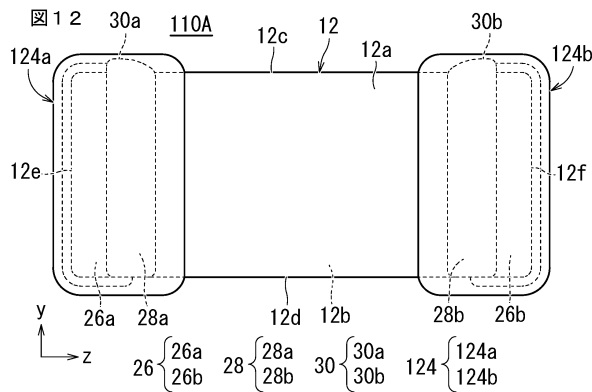
【図 11】

図 11



【図 12】

図 12

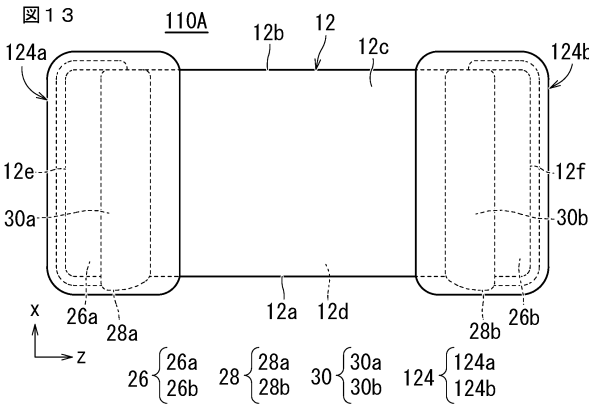


30

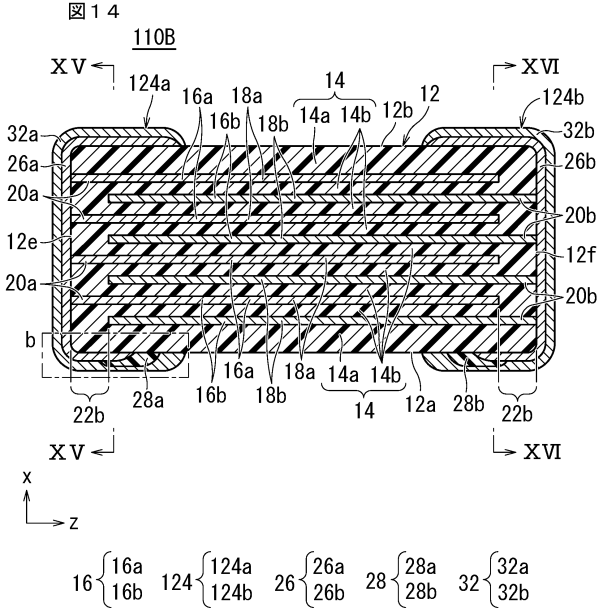
40

50

【図 1 3】

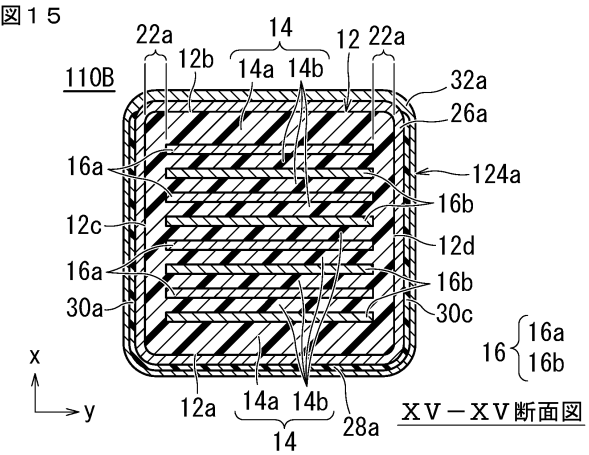


【図 1 4】

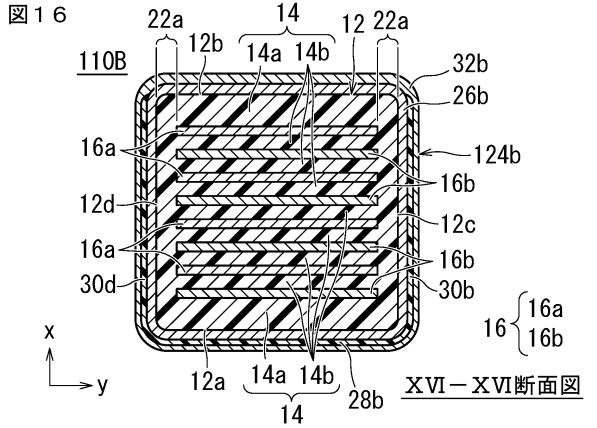


10

【図 1 5】



【図 1 6】



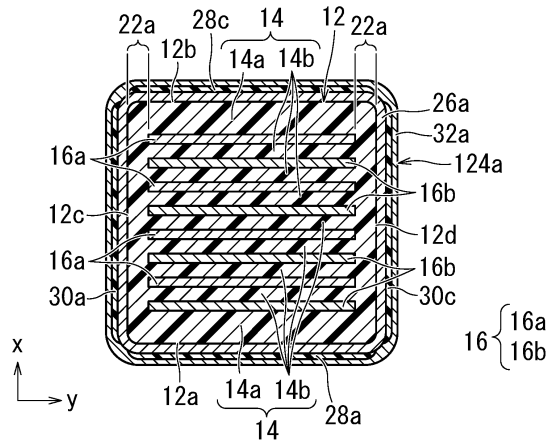
30

40

50

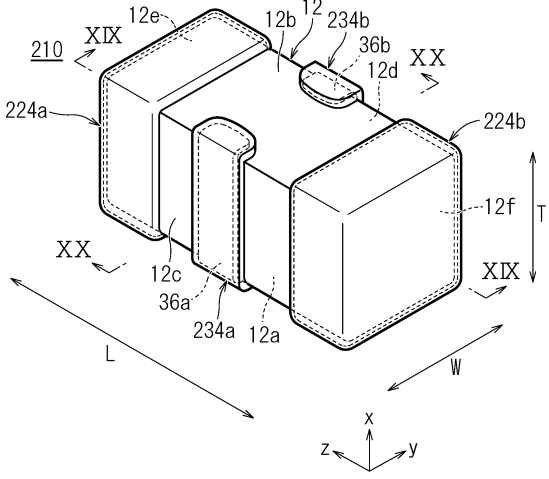
【図 17】

図 17



【図 18】

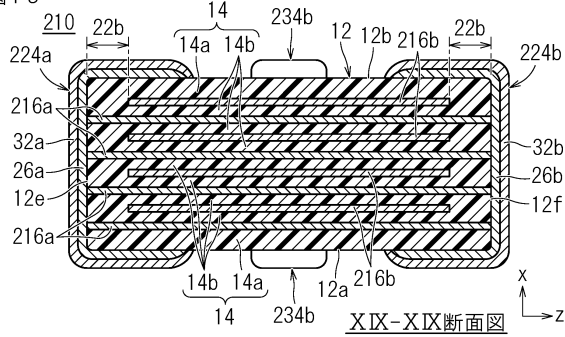
図 18



36 { 36a, 36b } 224 { 224a, 224b } 234 { 234a, 234b }

【図 19】

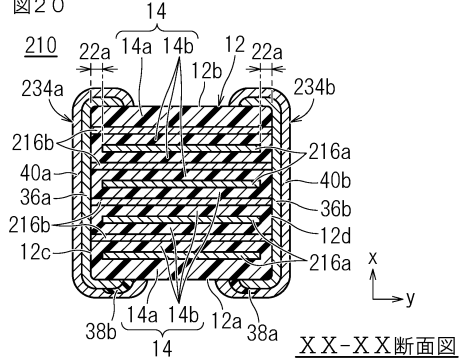
図 19



216 { 216a, 216b } 224 { 224a, 224b } 26 { 26a, 26b } 32 { 32a, 32b }

【図 20】

図 20



36 { 36a, 36b } 38 { 38a, 38b } 40 { 40a, 40b } 216 { 216a, 216b } 234 { 234a, 234b }

10

20

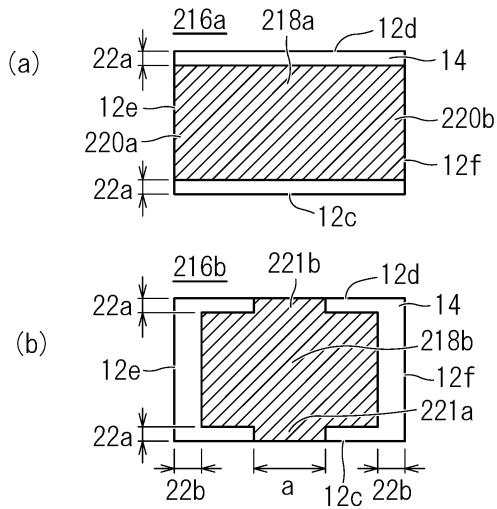
30

40

50

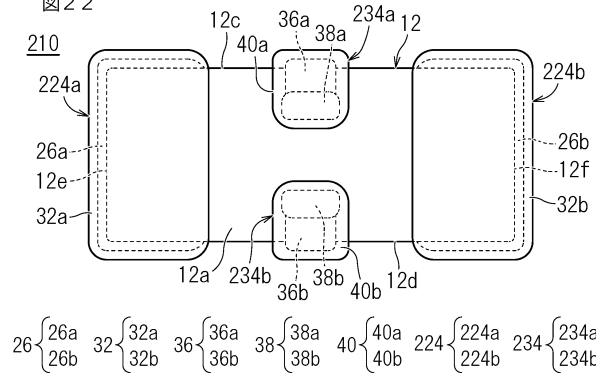
【図 2 1】

図 2 1



【図 2 2】

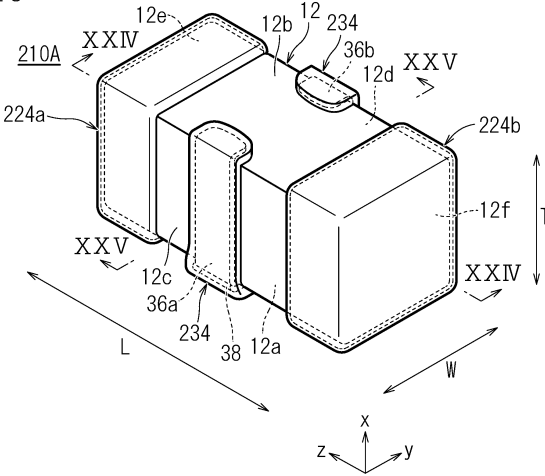
図 2 2



10

【図 2 3】

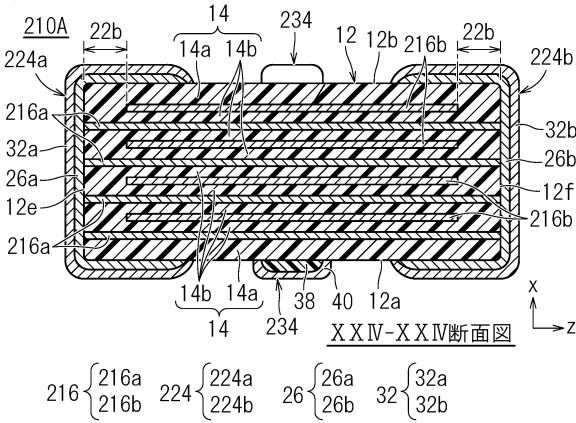
図 2 3



36 { 36a
36b } 224 { 224a
224b } 234 { 234a
234b }

【図 2 4】

図 2 4



216 { 216a
216b } 224 { 224a
224b } 26 { 26a
26b } 32 { 32a
32b }

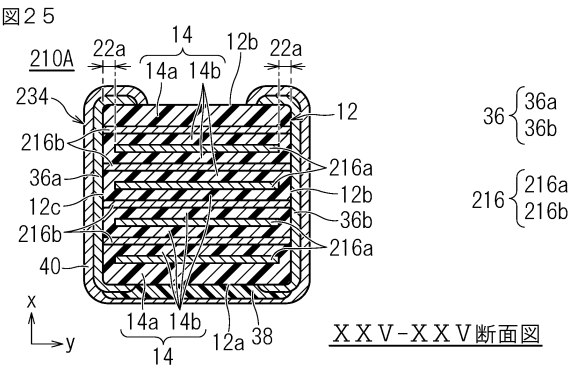
20

30

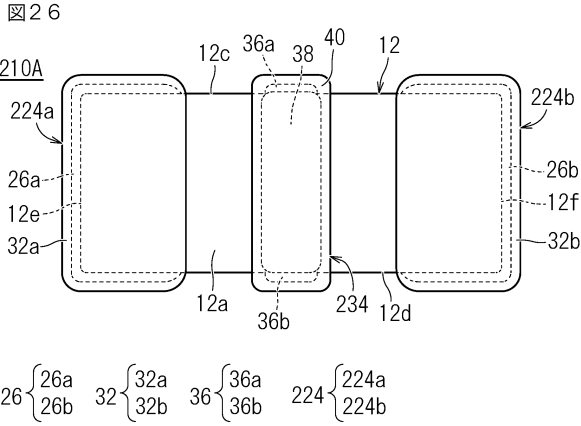
40

50

【図 2 5】

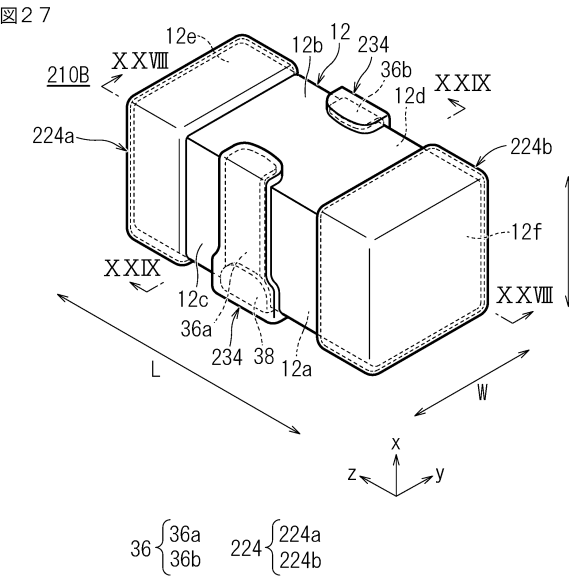


【図 2 6】

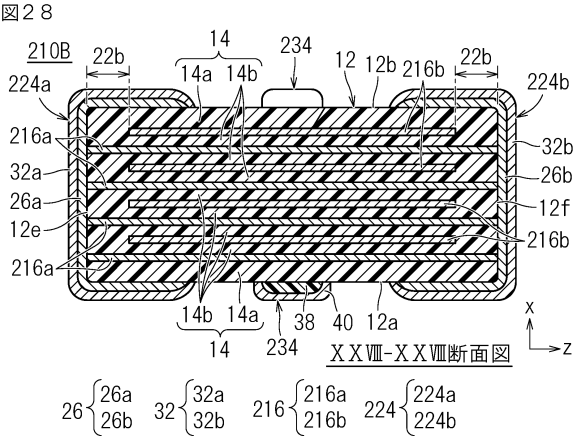


10

【図 2 7】



【図 2 8】



20

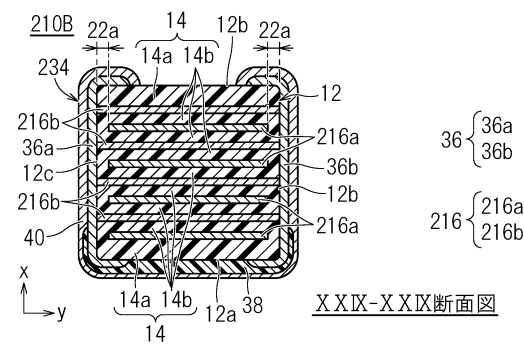
30

40

50

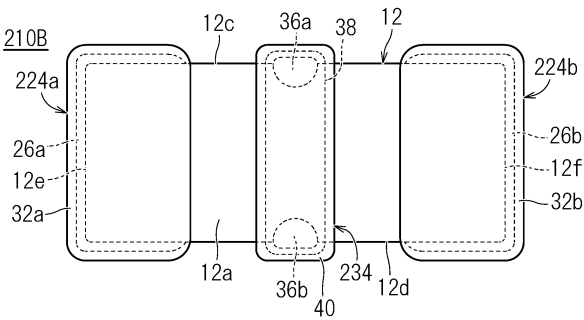
【図 2 9】

図 2 9



【図 3 0】

図 3 0

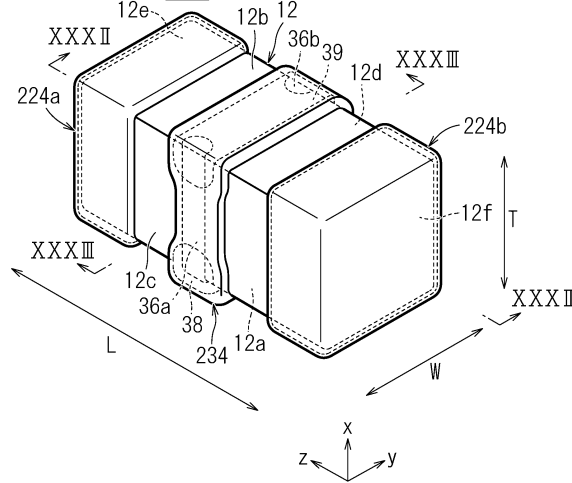


26 { 26a 26b } 32 { 32a 32b } 36 { 36a 36b } 224 { 224a 224b }

10

【図 3 1】

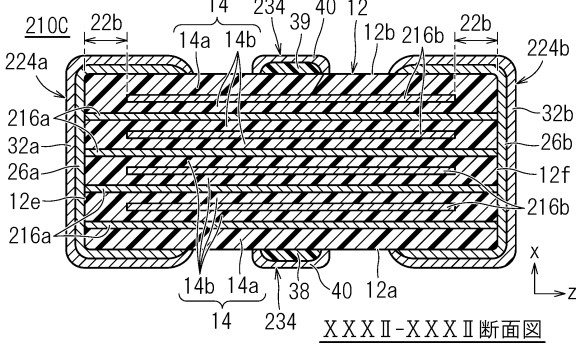
図 3 1



36 { 36a 36b } 224 { 224a 224b }

【図 3 2】

図 3 2



26 { 26a 26b } 32 { 32a 32b } 216 { 216a 216b } 224 { 224a 224b }

20

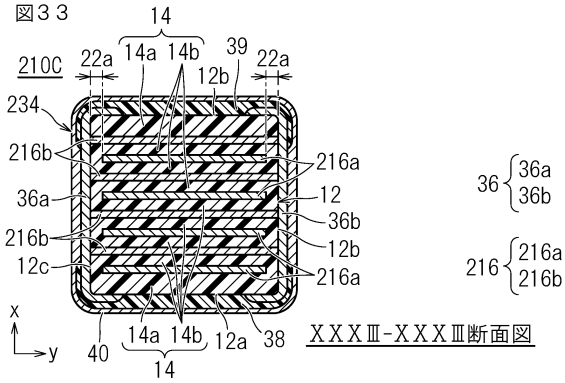
30

40

50

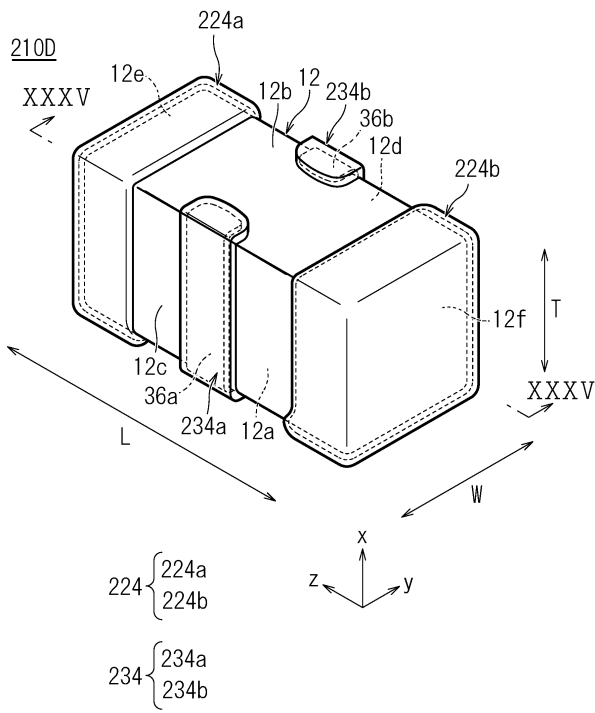
【図 3 3】

図 3 3



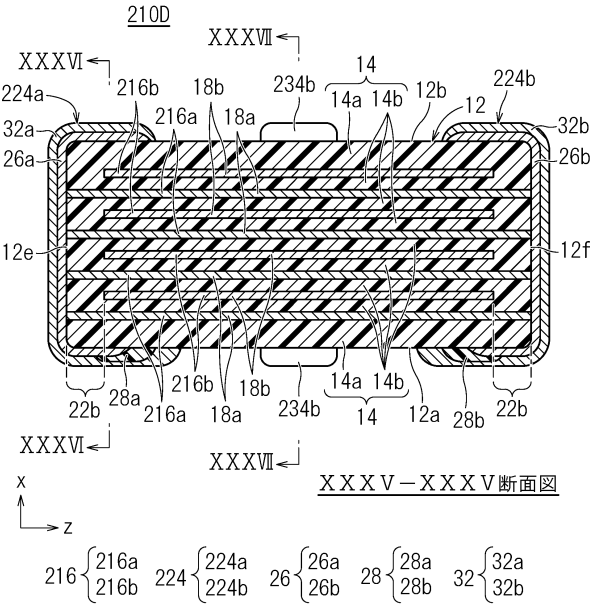
【図 3 4】

図 3 4



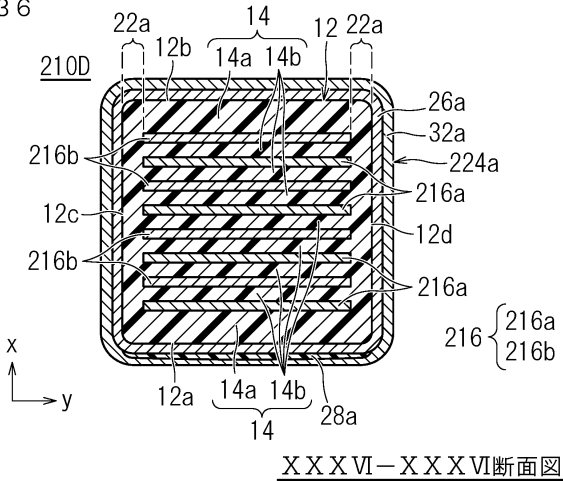
【図 3 5】

図 3 5



【図 3 6】

図 3 6



10

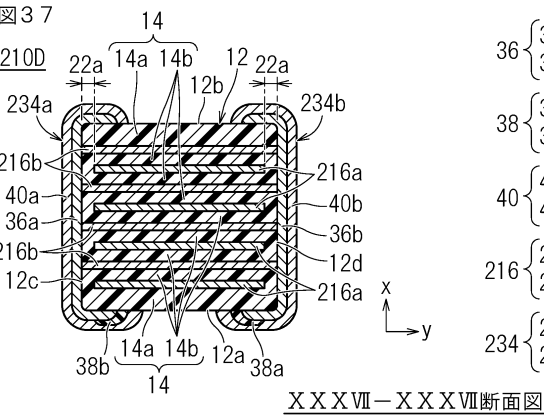
20

30

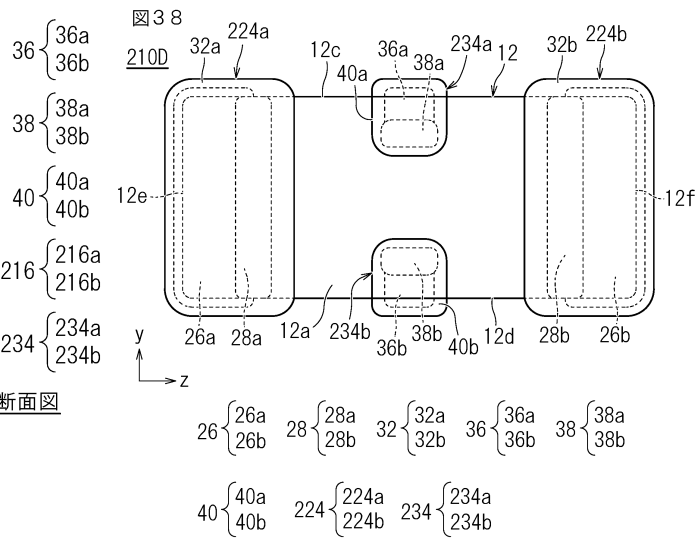
40

50

【図 3 7】

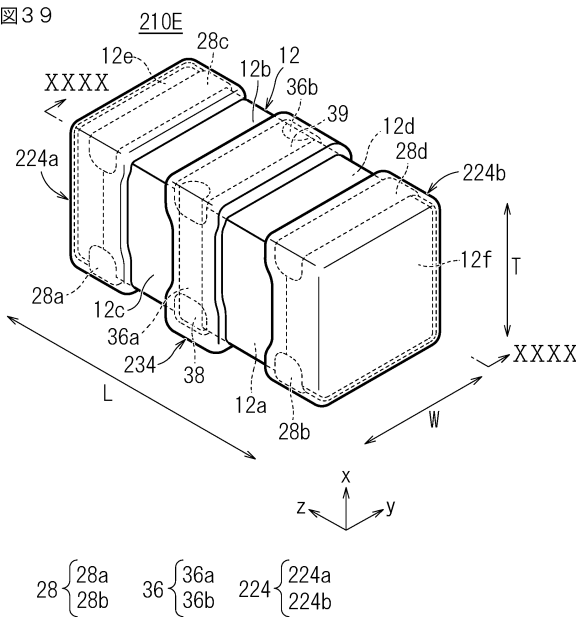


【図 3 8】

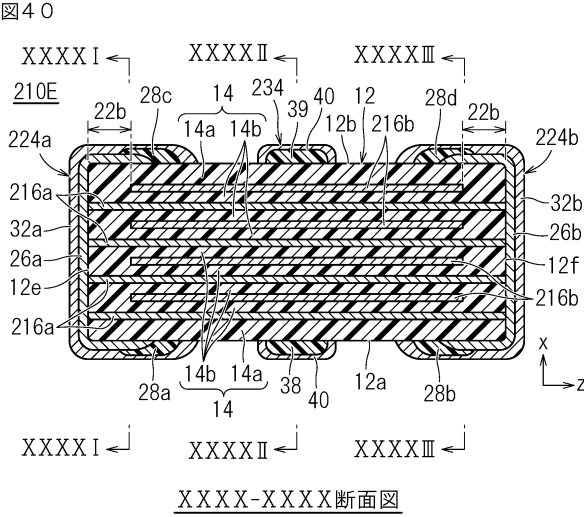


10

【図 3 9】



【図 4 0】



20

30

40

50

フロントページの続き

- (56)参考文献 特開2015-216337 (JP, A)
特開2010-226017 (JP, A)
特開2005-340289 (JP, A)
特開2000-188228 (JP, A)
特開2017-054980 (JP, A)
特開2001-076957 (JP, A)
特開2014-027085 (JP, A)
特開2003-007567 (JP, A)
特開2004-296936 (JP, A)
特開2009-239094 (JP, A)
特開2015-029009 (JP, A)
特開2016-031992 (JP, A)
特開2019-50278 (JP, A)
国際公開第2014/038066 (WO, A1)
特開2018-41761 (JP, A)
特開2018-88451 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
H01G 4/30
H01G 2/06
H01G 13/00