

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成29年2月16日 (2017.2.16)

【公表番号】特表2017-501504(P2017-501504A)

【公表日】平成29年1月12日 (2017.1.12)

【年通号数】公開・登録公報2017-002

【出願番号】特願2016-543649(P2016-543649)

【国際特許分類】

G 0 6 F 12/10 (2016.01)

G 0 6 F 12/0802 (2016.01)

【 F I 】

G 0 6 F 12/10 5 0 5 B

G 0 6 F 12/08 5 0 1 B

【手続補正書】

【提出日】平成28年7月5日 (2016.7.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

メモリの第1の物理メモリアドレスを有する第1のロケーションに記憶されたデータを前記メモリからデータキャッシュのキャッシュラインにロードするステップであって、前記第1の物理メモリアドレスが第1の仮想メモリアドレスにマップされる、ステップと、

前記第1の仮想メモリアドレスを前記メモリの前記第1の物理メモリアドレスから第2の物理メモリアドレスに再マップするために、前記データキャッシュにおいて、前記第1の仮想メモリアドレスに関連付けられたルックアップ情報の修正を開始するステップと、

前記キャッシュラインが前記第1の物理メモリアドレスではなく前記第2の物理メモリアドレスに対応することを示すように、前記データキャッシュにおいて、前記キャッシュラインに関連付けられた情報を修正するステップとを備える方法。

【請求項 2】

前記データキャッシュにおいて、デフラグ動作を実行するための要求をプロセッサから受信するステップと、

前記データが前記データキャッシュから追い出されるとき、前記修正された情報に基づいて、前記データを前記第2の物理メモリアドレスを有する第2のロケーションに書き込むステップと、

前記データを前記第2の物理メモリアドレスを有する前記第2のロケーションに書き込んだ後に応答を前記プロセッサに送るステップであって、前記応答が、前記デフラグ動作が完了したことを示す、ステップと

をさらに備える、請求項1に記載の方法。

【請求項 3】

前記要求が、ロードおよび再マップ命令に応答して受信され、前記プロセッサの命令セットが、前記ロードおよび再マップ命令を含む、請求項2に記載の方法。

【請求項 4】

前記メモリがページに編成され、前記メモリのページが前記キャッシュの複数のセットにまたがり、前記キャッシュが各ページについての複数のセグメントを含み、前記方法が

、

前記第1の物理メモリアドレスがキャッシュヒットを生じたとき、前記第1の物理メモリアドレスに対応する前記第1のロケーションに記憶された前記データを前記キャッシュの第1のセグメントから前記第2の物理メモリアドレスに対応する前記キャッシュの第2のセグメントにロードするステップと、

前記第1の物理メモリアドレスがキャッシュミスを生じたとき、前記第2の物理メモリアドレスに対応する第2のロケーションに記憶された前記データを前記メモリから前記第2のセグメントにロードするステップと  
をさらに備える、請求項1に記載の方法。

【請求項5】

前記キャッシュラインに関連付けられた前記情報を修正するステップが、前記キャッシュラインに関連付けられたタグアレイ中のタグ情報を修正するステップを備える、請求項1に記載の方法。

【請求項6】

前記キャッシュラインに関連付けられた前記情報を修正するステップが、前記第1の物理メモリアドレスに対応するタグアレイ中の第1のタグ情報を前記第2の物理メモリアドレスに対応する第2のタグ情報で上書きするステップを備える、請求項1に記載の方法。

【請求項7】

前記第2の物理メモリアドレスを有する第2のロケーションへの前記データの書込みをトリガするステップをさらに備え、前記第2の物理メモリアドレスを有する前記第2のロケーションへの前記データの前記書込みをトリガするステップが、前記キャッシュラインをダーティとしてマークするステップを備える、請求項1に記載の方法。

【請求項8】

前記データをロードしたことに応答して、前記キャッシュラインが前記第1の物理メモリアドレスに対応することを示す、前記キャッシュラインに関連付けられた第2の情報を生成するステップをさらに備える、請求項1に記載の方法。

【請求項9】

前記第1の物理メモリアドレスがメモリフラグメントに対応し、前記第2の物理メモリアドレスがデフラグ宛先に対応し、前記ルックアップ情報が第1の仮想メモリアドレスにマップされる前記第1の物理メモリアドレスに関連付けられ、前記ルックアップ情報が前記情報とは異なる、請求項1に記載の方法。

【請求項10】

前記デフラグ宛先が、前記メモリ中の占有物理アドレスの間に配置されたフリー物理アドレスに対応する、請求項9に記載の方法。

【請求項11】

前記キャッシュラインに関連付けられた前記第1のロケーションに記憶された前記データを第2のキャッシュラインにコピーするステップと、

前記キャッシュラインを無効化するステップであって、前記キャッシュラインが前記メモリの第1のセグメントに関連付けられ、前記第2のキャッシュラインが前記メモリの第2のセグメントに関連付けられる、ステップと  
をさらに備える、請求項1に記載の方法。

【請求項12】

電力を前記第1の物理メモリアドレスを含むダイナミックランダムアクセス(DRAM)の一部に低減することを含むパーシャルアレイセルフリフレッシュモードに入るステップをさらに備える、請求項1に記載の方法。

【請求項13】

前記第1の仮想メモリアドレスを前記第2の物理メモリアドレスに再マップするために、仮想メモリに関連付けられたページテーブルを修正するステップをさらに備え、前記ページテーブルが前記ルックアップ情報を含む、請求項1に記載の方法。

【請求項14】

前記メモリの第3の物理メモリアドレスを有する第3のロケーションに記憶された第2のデータを前記メモリから前記データキャッシュの第2のキャッシュラインにロードするステップであって、前記第3の物理メモリアドレスが第3の仮想メモリアドレスにマップされる、ステップと、

前記第2のキャッシュラインが前記第3の物理メモリアドレスではなく第4の物理メモリアドレスに対応することを示すように、前記データキャッシュにおいて、前記第2のキャッシュラインに関連付けられた第2の情報を修正するステップと、

前記修正された第2の情報に基づいて、前記第3のロケーションにおける前記第2のデータを前記第4の物理メモリアドレスに書き込むステップと  
をさらに備える、請求項1に記載の方法。

【請求項 15】

前記メモリのページに対応する第1の複数の追加の物理メモリアドレスの各々を有する第2のロケーションに記憶された追加のデータを前記データキャッシュの追加のキャッシュラインにロードするステップと、

各追加のキャッシュラインが前記第1の複数の追加の物理メモリアドレスではなく第2の複数の追加の物理メモリアドレスのそれぞれの物理メモリアドレスに対応することを示すように、前記データキャッシュにおいて、前記追加のキャッシュラインの各々に関連付けられた追加の情報を修正するステップと、

前記修正された追加の情報に基づいて、前記第2のロケーションに記憶された前記追加のデータを前記第2の複数の追加の物理メモリアドレスに書き込むステップと  
をさらに備える、請求項1に記載の方法。

【請求項 16】

前記キャッシュに関連付けられた前記情報を修正するステップが、電子デバイスに統合されたプロセッサによって開始される、請求項1に記載の方法。

【請求項 17】

複数の物理メモリアドレスを備えるメモリと、

メモリデフラグ動作を実行するように構成されたデフラグ回路を含むデータキャッシュとを備え、前記メモリデフラグ動作の実行が前記デフラグ回路に、

第1の物理メモリアドレスを有する第1のロケーションに記憶されたデータを前記メモリから前記データキャッシュのキャッシュラインにロードすることであって、前記第1の物理メモリアドレスが第1の仮想メモリアドレスにマップされる、ロードすることと、

前記第1の仮想メモリアドレスを前記メモリの前記第1の物理メモリアドレスから第2の物理メモリアドレスに再マップするために、前記第1の仮想メモリアドレスに関連付けられたルックアップ情報の修正を開始することと、

前記キャッシュラインが前記第1の物理メモリアドレスではなく前記第2の物理メモリアドレスに対応することを示すように、前記キャッシュラインに関連付けられた情報を修正することと

を行わせる、システム。

【請求項 18】

プロセッサをさらに備え、前記データキャッシュが、前記メモリデフラグ動作を実行するための要求を前記プロセッサから受信し、前記メモリデフラグ動作が完了したことを示す応答を前記プロセッサに送るようさらに構成される、請求項17に記載のシステム。

【請求項 19】

前記応答が割込み信号を含み、前記プロセッサが前記デフラグ動作に無関係な動作を実行する間に、前記データキャッシュが前記デフラグ動作を実行するよう構成される、請求項18に記載のシステム。

【請求項 20】

前記メモリデフラグ動作の前記実行が、前記デフラグ回路に、前記第1の物理メモリアドレスに対応する前記第1のロケーションに記憶された前記データを前記メモリから前記キャッシュにロードさせることが、前記要求に応答したものである、請求項18に記載のシ

ステム。

【請求項 2 1】

前記メモリデフラグ動作の前記実行が、前記デフラグ回路に、前記第1の物理メモリアドレスに対応する前記第1のロケーションに記憶された前記データを前記メモリから前記キャッシュにロードさせることが、ロードおよび再マップ命令より前に前記プロセッサから受信されたデータ要求に応答したものである、請求項18に記載のシステム。

【請求項 2 2】

少なくとも1つの追加のキャッシュをさらに備え、前記データキャッシュがメインメモリと第2のレベルキャッシュとの間で結合されたラストレベルキャッシュである、請求項17に記載のシステム。

【請求項 2 3】

前記データキャッシュが、メインメモリとプロセッサとの間で結合された専用デフラグキャッシュを備え、前記データキャッシュが、前記メモリとは異なる、請求項17に記載のシステム。

【請求項 2 4】

前記第1の物理メモリアドレスがメモリフラグメントに対応し、前記第2の物理メモリアドレスがデフラグ宛先に対応する、請求項17に記載のシステム。

【請求項 2 5】

前記メモリおよび前記データキャッシュが統合される、モバイルフォン、タブレット、コンピュータ、通信デバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、携帯情報端末(PDA)、および固定ロケーションデータユニットから選択された電子デバイスをさらに備える、請求項17に記載のシステム。

【請求項 2 6】

プロセッサによって実行されると、前記プロセッサに、  
第1の物理メモリアドレスを有する第1のロケーションに記憶されたデータをメモリからデータキャッシュのキャッシュラインにロードするステップであって、前記第1の物理メモリアドレスが第1の仮想メモリアドレスにマップされる、ステップと、

前記第1の仮想メモリアドレスを前記メモリの前記第1の物理メモリアドレスから第2の物理メモリアドレスに再マップするために、前記第1の仮想メモリアドレスに関連付けられたルックアップ情報の修正を開始するステップと、

前記キャッシュラインが前記第1の物理メモリアドレスではなく前記第2の物理メモリアドレスに対応することを示すように、前記キャッシュラインに関連付けられた情報を修正するステップと

を備える動作を実行させる命令を備える非一時的コンピュータ可読媒体。

【請求項 2 7】

前記第1の物理メモリアドレスがメモリフラグメントに対応し、前記第2の物理メモリアドレスがデフラグ宛先に対応する、請求項26に記載の非一時的コンピュータ可読媒体。

【請求項 2 8】

複数の物理メモリアドレスを使用してデータを記憶するための手段と、

データをキャッシュするための手段とを備え、前記データをキャッシュするための前記手段が、

メモリの第1の物理メモリアドレスを有する第1のロケーションに記憶されたデータを前記メモリからデータキャッシュのキャッシュラインにロードすることであって、前記第1の物理メモリアドレスが第1の仮想メモリアドレスにマップされる、ロードすることと、

前記第1の仮想メモリアドレスを前記メモリの前記第1の物理メモリアドレスから第2の物理メモリアドレスに再マップするために、前記第1の仮想メモリアドレスに関連付けられたルックアップ情報の修正を開始することと、

前記第1の仮想メモリアドレスが再マップされたことに応答して、前記キャッシュラインが前記第1の物理メモリアドレスではなく前記第2の物理メモリアドレスに対応するこ

とを示すように、前記キャッシュラインに関連付けられた情報を修正することと  
を行うように構成されたデフラグ回路を含む、システム。

【請求項 29】

少なくとも1つのダイに統合された、請求項28に記載のシステム。

【請求項 30】

前記第1の物理メモリアドレスがメモリフラグメントに対応し、前記第2の物理メモリア  
ドレスがデフラグ宛先に対応する、請求項29に記載のシステム。