



(12)发明专利

(10)授权公告号 CN 104836552 B

(45)授权公告日 2018.02.13

(21)申请号 201510243084.6

(22)申请日 2015.05.13

(65)同一申请的已公布的文献号

申请公布号 CN 104836552 A

(43)申请公布日 2015.08.12

(73)专利权人 中国电子科技集团公司第二十四研究所

地址 400060 重庆市南岸区南坪花园路14号

(72)发明人 胡蓉彬 王永禄 胡刚毅 王育新
付东兵 张正平 李梁

(74)专利代理机构 上海光华专利事务所(普通合伙) 31219

代理人 李强

(51)Int.Cl.

H03K 3/64(2006.01)

(56)对比文件

US 5493486 A, 1996.02.20,

CN 102801402 A, 2012.11.28,

CN 101171558 A, 2008.04.30,

US 2003155963 A1, 2003.08.21,

CN 103516332 A, 2014.01.15,

审查员 李健壮

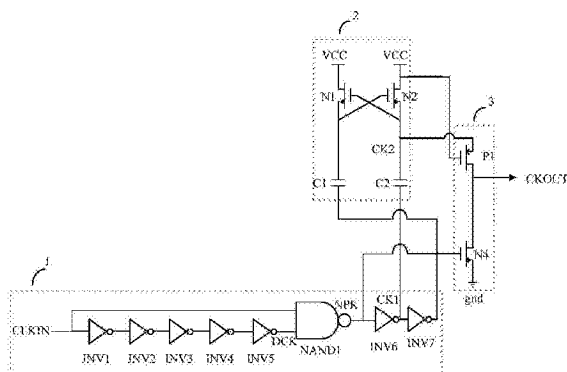
权利要求书2页 说明书6页 附图4页

(54)发明名称

一种高压窄脉冲产生电路

(57)摘要

本发明公开了一种高压窄脉冲产生电路,至少包括用于产生第一负窄脉冲信号、第二负窄脉冲信号和正窄脉冲信号的窄脉冲信号产生模块,用于接收所述正窄脉冲信号和所述第二负窄脉冲信号并生成倍压窄脉冲信号的倍增窄脉冲信号产生模块;与窄脉冲信号产生模块和倍增窄脉冲信号产生模块连接的高压窄脉冲信号转换模块,该转换模块适于接收所述第一负窄脉冲信号和所述倍增窄脉冲信号,并输出高压窄脉冲信号,本发明提供的高压窄脉冲产生电路可以在芯片内部产生2倍于电源电压的高压窄脉冲,可在深亚微米极低电源电压条件下瞬间充分地打开NMOS晶体管,从而对开关电容电路中采样电容有效复位。解决了传统窄脉冲产生电路不能有效开启NMOS晶体管的问题。



1. 一种高压窄脉冲产生电路,其特征在于,所述高压窄脉冲产生电路至少包括窄脉冲信号产生模块、倍压窄脉冲信号产生模块和高压窄脉冲信号转换模块;

所述窄脉冲信号产生模块用于产生第一负窄脉冲信号、第二负窄脉冲信号和正窄脉冲信号,所述正窄脉冲信号的高电平等于VCC,低电平等于Vgnd,所述第一负窄脉冲信号和第二负窄脉冲信号的高电平等于VCC,低电平等于Vgnd,其中,VCC为电源电压,Vgnd为接地电压;

所述倍压窄脉冲信号产生模块用于接收所述正窄脉冲信号和所述第二负窄脉冲信号,并生成倍增窄脉冲信号;所述倍增窄脉冲信号的高电平等于2VCC,低电平等于VCC;

所述高压窄脉冲信号转换模块与所述窄脉冲信号产生模块和倍压窄脉冲信号产生模块连接;适于接收所述第一负窄脉冲信号和所述倍增窄脉冲信号,并输出高压窄脉冲信号,所述高压窄脉冲信号的高电平等于2VCC,低电平等于Vgnd;高压窄脉冲信号在脉冲期间打开NMOS晶体管,并且在脉冲过后,关断NMOS晶体管,在开关电容中用于对采样电容进行瞬间复位;

所述高压窄脉冲信号转换模块包括第四晶体管和第五晶体管;

所述第五晶体管的栅极连接电源电压VCC,第五晶体管的源极连接第二电容器上极板,第五晶体管的漏极连接第四晶体管的漏极并输出高压窄脉冲信号CKOUT;第四晶体管源极接地,第四晶体管的栅极连接与非门的输出端。

2. 根据权利要求1所述的高压窄脉冲产生电路,其特征在于:所述窄脉冲信号产生模块包括可调延迟传输电路、第五反相器、第六反相器、第七反相器和一个与非门;

所述可调延迟传输电路的输出连接第五反相器的输入;外部时钟信号CLKIN同时接入可调延迟传输电路的输入端和与非门的一个输入端;第五反相器的输出端接入所述与非门的另一个输入端;所述与非门的输出端接所述第六反相器输入端,所述第六反相器的输出端接所述第七反相器的输入端;外部时钟信号CLKIN同时接入第一反相器的输入端和与非门的一个输入端;第五反相器的输出端接入与非门的另一个输入端;与非门的输出端接第六反相器输入端,第六反相器的输出端接第七反相器的输入端。

3. 根据权利要求2所述的高压窄脉冲产生电路,其特征在于:所述可调延迟传输电路包括第一反相器、第二反相器、第三反相器和第四反相器;所述第一反相器的输出连接第二反相器的输入,第二反相器的输出连接第三反相器的输入,第三反相器的输出连接第四反相器的输入,所述第四反相器的输出连接所述第五反相器的输入。

4. 根据权利要求2所述的高压窄脉冲产生电路,其特征在于:所述倍压窄脉冲信号产生模块包括第一晶体管、第二晶体管、第一电容器和第二电容器;

第一晶体管的栅极连接第二晶体管的源极;第一晶体管的源极连接第二晶体管的栅极;

第一晶体管和第二晶体管的漏极连接电源电压VCC;第一电容器的上极板连接第一晶体管的源极,第二电容器的上极板连接第二晶体管的源极;第一电容器的下极板连接第七反相器的输出端;第二电容器的下极板连接第六反相器的输出端。

5. 根据权利要求4所述的高压窄脉冲产生电路,其特征在于:所述高压窄脉冲信号转换模块还包括第三晶体管,所述第三晶体管串接在第四晶体管漏极和第五晶体管漏极之间。

6. 根据权利要求4所述的高压窄脉冲产生电路,其特征在于:所述倍压窄脉冲信号产生

模块还包括第三电容器,所述第三电容器连接于第二电容器的下极板和第三晶体管的源端之间。

7.根据权利要求5所述的高压窄脉冲产生电路,其特征在于:所述第一晶体管、第二晶体管、第三晶体管和第四晶体管分别采用NMOS晶体管;所述第五晶体管采用PMOS晶体管。

一种高压窄脉冲产生电路

技术领域

[0001] 本发明涉及模拟/混合信号集成电路领域,特别是涉及一种高压窄脉冲产生电路。

背景技术

[0002] 随着半导体CMOS工艺特征尺寸向着深亚微米方向发展,电源电压越来越低(低至1V以下)。如此低的电源电压已经不能有效地开/关MOS晶体管。为此,有人提出了在芯片内部产生高于电源电压的电压信号来解决该问题。各种各样的电路被设计出来,用于在芯片内部产生高于电源电压的高压信号,他们各有优缺点,各有应用场合。

[0003] 窄脉冲广泛应用于模拟/混合信号集成电路,特别地应用于开关电容电路中,瞬间打开NMOS晶体管,进而对采样电容复位。传统的窄脉冲产生电路,只能产生大小等于电源电压的窄脉冲信号。由于深亚微米工艺下,供电电源极低,传统窄脉冲电路产生的脉冲已经不能有效开启PMOS晶体管,从而不能对采样电容复位。

[0004] 图1为一传统的窄脉冲产生电路,其包含7个反相器(INV1、INV2、INV3、INV4、INV5、INV6、INV7) 和一个与非门NAND1。反相器INV1、INV2、INV3、INV4、INV5串行连接,即INV1的输出连接INV2的输入,INV2的输出连接INV3的输入,INV3的输出连接INV4的输入,INV4的输出连接INV5的输入。外部时钟信号CLKIN同时接入INV1的输入端和NAND1的一个输入端。INV5的输出端接入NAND1的另一个输入端。NAND1的输出端接INV6输入端。INV1、INV2、INV3、INV4、INV5、INV6、INV7、NAND1都为CMOS静态逻辑电路,由芯片电源供电。因此,它们输出的高电平都为电源电压,低电平都为地电位。传统的窄脉冲产生电路的工作原理如下:

[0005] 如图2如示,假设在初始时刻,外部时钟信号CLKIN为低电平。那么,与非门NAND1的输出为高电平,INV5的输出也为高电平。当时钟信号的上升沿到来时,外部时钟信号CLKIN由低电平跳变为高电平,与非门NAND1的输出由高电平跳变为低电平。此后,经过INV1、INV2、INV3、INV4、INV5延迟时间后,INV5输出由高电平跳变为低电平,与非门NAND1的输出再次由低电平跳变回高电平,时钟信号的上升沿在与非门输出端产生一持续时间等于五个反相器延迟时间的负脉冲,每个时钟周期时钟信号的上升沿都会在与非门的输出端产生一持续时间等于五个反相器延迟时间的负脉冲,即负脉冲的频率和时钟信号频率相同。经过INV6反相后,该负脉冲转换成正脉冲信号。该正脉冲信号,脉冲宽度等于五个反相器延迟,高电平等于电源电压,低电平等于地电位。深亚微米工艺条件下五个反相器的延迟时间大概为50ps到100ps,所以该脉冲持续时间极短,为典型的窄脉冲信号。

[0006] 经过上面的分析发现,传统的窄脉冲产生电路,只能产生大小等于电源电压的窄脉冲信号。由于深亚微米工艺下,供电电源极低,传统窄脉冲电路产生的脉冲已经不能有效开启NMOS晶体管,从而不能对开关电容电路中的采样电容复位。

发明内容

[0007] 鉴于以上所述现有技术的缺点,本发明的目的在于提供一种高压窄脉冲产生电路,用于解决现有技术中传统窄脉冲产生电路在深亚微米芯片极低电源电压下不能有效开

启NMOS晶体管的问题。

[0008] 为实现上述目的及其他相关目的,本发明提供一种高压窄脉冲产生电路,所述高压窄脉冲产生电路至少包括窄脉冲信号产生模块、倍压窄脉冲信号产生模块和高压窄脉冲信号转换模块;

[0009] 所述窄脉冲信号产生模块用于产生第一负窄脉冲信号、第二负窄脉冲信号和正窄脉冲信号,所述正窄脉冲信号的高电平等于VCC,低电平等于Vgnd,所述第一负窄脉冲信号和第二负窄脉冲信号的高电平等于VCC,低电平等于Vgnd,其中,VCC为电源电压,Vgnd为接地电压;

[0010] 所述倍压窄脉冲信号产生模块用于接收所述正窄脉冲信号和所述第二负窄脉冲信号,并生成倍增窄脉冲信号;所述倍增窄脉冲信号的高电平等于2VCC,低电平等于VCC;

[0011] 所述高压窄脉冲信号转换模块与所述窄脉冲信号产生模块和倍增窄脉冲信号产生模块连接;适于接收所述第一负窄脉冲信号和所述倍增窄脉冲信号,并输出高压窄脉冲信号,所述高压窄脉冲信号的高电平等于2VCC,低电平等于Vgnd。

[0012] 优选地,所述窄脉冲信号产生模块包括可调延迟传输电路、第五反相器、第六反相器、第七反相器和一个与非门;

[0013] 所述可调延迟传输电路的输出连接第五反相器的输入;外部时钟信号CLKIN同时接入可调延迟传输电路的输入端和与非门的一个输入端;第五反相器的输出端接入所述与非门的另一个输入端;所述与非门的输出端接所述第六反相器输入端,所述第六反相器的输出端接所述第七反相器的输入端;外部时钟信号CLKIN同时接入第一反相器的输入端和与非门的一个输入端;第五反相器的输出端接入与非门的另一个输入端;与非门的输出端接第六反相器输入端,第六反相器的输出端接第七反相器的输入端。

[0014] 优选地,所述可调延迟传输电路包括第一反相器、第二反相器、第三反相器和第四反相器;所述第一反相器的输出连接第二反相器的输入,第二反相器的输出连接第三反相器的输入,第三反相器的输出连接第四反相器的输入,所述第四反相器的输出连接所述第五反相器的输入。

[0015] 优选地,所述倍压窄脉冲信号产生模块包括第一晶体管、第二晶体管、第一电容器和第二电容器;

[0016] 所述第一晶体管、第二晶体管为一对交叉耦合的晶体管;

[0017] 第一晶体管的栅极连接第二晶体管的源极;

[0018] 第一晶体管的源极连接第二晶体管的栅极;

[0019] 第一、第二晶体管的漏极连接电源电压VCC;

[0020] 第一、第二电容器为一对容值匹配的电容器,第一电容器的上极板连接第一晶体管的源极,第二电容器的上极板连接第二晶体管的源极;第一电容器的下极板连接第七反相器的输出端;第二电容器的下极板连接第六反相器的输出端。

[0021] 优选地,所述高压窄脉冲信号转换模块包括第四晶体管和第五晶体管;

[0022] 第五晶体管的栅极连接电源电压VCC,源极连接第二电容器上极板,漏极连接第四晶体管的漏极并输出高压窄脉冲信号CKOUT;第四晶体管源极接地,栅极连接与非门的输出端。

[0023] 优选地,所述高压窄脉冲信号转换模块还可包括第三晶体管,所述第三晶体管串

接在第四晶体管漏极和第五晶体管漏极之间。

[0024] 优选地,所述倍压窄脉冲信号产生模块还可包括第三电容器,所述第三电容器连接于第二电容器的下极板和第三晶体管的源端之间。

[0025] 优选地,所述第一晶体管、第二晶体管、第三晶体管和第四晶体管分别采用NMOS晶体管;所述第五晶体管采用PMOS晶体管。

[0026] 如上所述,本发明的高压窄脉冲产生电路,具有以下有益效果:

[0027] 本发明提出了一种高压窄脉冲产生电路。该高压窄脉冲产生电路可以在芯片内部产生2倍于电源电压的高压窄脉冲,可在深亚微米极低电源电压条件下瞬间充分地打开NMOS晶体管,从而对开关电容电路中采样电容有效复位。解决了传统窄脉冲产生电路,在深亚微米芯片极低电源电压下不能有效开启NMOS晶体管的问题。

附图说明

[0028] 图1显示为现有技术中窄脉冲产生电路图。

[0029] 图2显示为现有技术中窄脉冲产生电路时序图。

[0030] 图3显示为本发明高压窄脉冲产生电路的第一实施例电路图。

[0031] 图4显示为本发明高压窄脉冲产生电路的时序图。

[0032] 图5显示为本发明高压窄脉冲产生电路的第二实施例电路图。

[0033] 图6显示为本发明高压窄脉冲产生电路的第三实施例电路图。

[0034] 图7显示为本发明高压窄脉冲产生电路的第四实施例电路图。

[0035] 图8显示为本发明高压窄脉冲产生电路的第五实施例电路图。

[0036] 元件标号说明

[0037] 1窄脉冲信号产生模块

[0038] 2倍压窄脉冲信号产生模块

[0039] 3高压窄脉冲信号转换模块

具体实施方式

[0040] 以下通过特定的具体实例说明本发明的实施方式,本领域技术人员可由本说明书所揭露的内容轻易地了解本发明的其他优点与功效。本发明还可以通过另外不同的具体实施方式加以实施或应用,本说明书中的各项细节也可以基于不同观点与应用,在没有背离本发明的精神下进行各种修饰或改变。

[0041] 需要说明的是,本实施例中所提供的图示仅以示意方式说明本发明的基本构想,遂图式中仅显示与本发明中有关的组件而非按照实际实施时的组件数目、形状及尺寸绘制,其实际实施时各组件的型态、数量及比例可为一种随意的改变,且其组件布局型态也可能更为复杂。需说明的是,在不冲突的情况下,以下实施例及实施例中的特征可以相互组合。

[0042] 在实施例的描述中,第一晶体管、第二晶体管、第三晶体管、第四晶体管均采用NMOS晶体管;第五晶体管采用PMOS晶体管。

[0043] 第一实施例电路

[0044] 请参阅图3,如图3所示为发明高压窄脉动冲产生电路第一实施例电路,该高压窄

脉冲产生电路至少包括窄脉冲信号产生模块1、倍压窄脉冲信号产生模块2和高压窄脉冲信号转换模块3;窄脉冲信号产生模块用于产生第一负窄脉冲信号、第二负窄脉冲信号和正窄脉冲信号,正窄脉冲信号的高电平等于VCC,低电平等于Vgnd,第一负窄脉冲信号和第二负窄脉冲信号的高电平等于VCC,低电平等于Vgnd,其中,VCC为电源电压,Vgnd为接地电压;

[0045] 倍压窄脉冲信号产生模块用于接收所述正窄脉冲信号和所述第二负窄脉冲信号,并生成倍增窄脉冲信号;倍增窄脉冲信号的高电平等于2VCC,低电平等于VCC;

[0046] 高压窄脉冲信号转换模块与所述窄脉冲信号产生模块和倍压窄脉冲信号产生模块连接;适于接收所述第一负窄脉冲信号和所述倍增窄脉冲信号,并输出高压窄脉冲信号,高压窄脉冲信号的高电平等于2VCC,低电平等于Vgnd。

[0047] 其中窄脉冲信号产生模块1用于产生一窄脉冲信号CK1,CK1的高电平等于电源电压VCC,低电平等于地电位gnd。倍压窄脉冲信号产生模块2用于产生另一窄脉冲信号CK2,CK2高电平等于2VCC,但是低电平等于VCC压,这种高压窄脉冲信号不能关断NMOS晶体管。高压窄脉冲信号转换模块3把倍压窄脉冲信号产生模块2产生的高压脉冲信号转换成低电平等于地电位Vgnd,高电平等于2VCC的高压窄脉冲信号CKOUT。该高压窄脉冲信号可以在脉冲期间充分地打开NMOS晶体管,并且在脉冲过后,有效地关断NMOS晶体管,在开关电容中可用于对采样电容进行瞬间复位。

[0048] 窄脉冲信号产生模块1包含7个反相器(INV1、INV2、INV3、INV4、INV5、INV6、INV7)和一个与非门NAND1。INV1、INV2、INV3、INV4和INV5串行连接,即INV1的输出连接INV2的输入,INV2的输出连接INV3的输入,INV3的输出连接INV4的输入,INV4的输出连接INV5的输入。外部时钟信号CLKIN同时接入INV1的输入端和与非门NAND1的一个输入端。INV5的输出端接入NAND1的另一个输入端。NAND1的输出端接INV6输入端,INV6的输出端接INV7的输入端。INV1、INV2、INV3、INV4、INV5、INV6、INV7和NAND1都为CMOS静态逻辑电路,由电源VCC供电。因此,它们输出的高电平都为电源电压VCC,低电平都为地电位gnd。窄脉冲信号产生模块1的工作原理如下:

[0049] 如图4假设在初始时刻,外部时钟信号CLKIN为低电平。那么,与非门NAND1的输出NPK为高电平,反相器INV5的输出信号(图中标记DCK为其输出信号)也为高电平。当外部时钟信号CLKIN的上升沿到来时,外部时钟信号CLKIN由低电平跳变为高电平,与非门NAND1的输出NPK由高电平跳变为低电平。此后,经过五个反相器INV1、INV2、INV3、INV4、INV5的延迟时间5t,INV5输出DCK由高电平跳变为低电平。这时,与非门的输出NPK再次由低电平跳变回高电平。这时,时钟信号的上升沿在与非门输出端NPK产生一持续时间等于五个反相器延迟时间5t的负脉冲,在每个时钟周期,时钟信号的上升沿都会在与非门的输出端NPK产生一持续时间等于五个反相器延迟时间5t的负脉冲,即负脉冲的频率和时钟信号频率相同。NPK经过INV6反相后转换成正脉冲信号CK1。该正脉信号,脉冲宽度等于五个反相器延迟时间5t,高电平等于电源电压VCC,低电平等于地电位Vgnd。深亚微米工艺条件下五个反相器的延迟时间大概为50ps到100ps,所以该脉冲持续时间极短。

[0050] 倍压窄脉冲信号产生模块2包含两个NMOS晶体管,分别为第一晶体管N1和第二晶体管N2、两个电容器C1和C2。其中,第一晶体管N1和第二晶体管N2为一对交叉耦合的晶体管:第一晶体管N1的栅极连接第二晶体管N2的源极;第一晶体管N1的源极连接第二晶体管N2的栅极;第一晶体管N1和第二晶体管N2的漏极连接电源电压VCC。电容器C1和C2为一对容

值匹配的电容器,电容器C1的上极板连接第一晶体管N1的源极,电容器C2的上极板连接第二晶体管N2的源极。电容器C1的下极板连接窄脉冲信号产生模块1INV7的输出端。电容器C2的下极板连接窄脉冲信号产生模块1INV6的输出端CK1。下面给出倍压窄脉冲信号产生模块2的工作原理。

[0051] 如图4,假设在开始时刻,电容器C1和C2上极板的电位都为VCC。当窄脉冲信号产生模块1产生的正脉冲信号CK1的正脉冲到来时,窄脉冲信号产生模块1INV6的输出CK1由地电位跳变为电源电压VCC,电容器C2的上极板CK2电压被泵到2倍电源电压。同时,窄脉冲信号产生模块1INV7的输出端从高电平跳变为低电平,电容器C1上极板电位从电源电压VCC回到地电位Vgnd;这时,第一晶体管N1开启,对电容器C2充电,直到电容器C2的上极板电位达到电源电压VCC。经过大约五个反相器延迟时间 $5t$,CK1的脉冲结束,窄脉冲信号产生模块1反相器INV6的输出NPK由电源电压VCC跳变回地电位Vgnd,引起电容器C2的上极板CK2电位由2倍电源电压跳变回电源电压VCC。同时,窄脉冲信号产生模块1反相器INV7的输出端从低电平跳变为高电平,电容器C1的上极板电平从电源电压VCC被泵到 $2VCC$ 。这时,第二晶体管N2开启,对电容器C2充电,补充其损失的电荷,直到电容极C2上极板电位达到电源电压VCC。此后,在窄脉冲信号产生模块1正脉冲信号CK1周期性驱动下,在电容器C2上极板CK2产生一正脉冲信号,该正脉冲持续时间约为五个反相器延迟时间 $5t$,高电平为 $2VCC$,低电平为VCC,脉冲周期与时钟周期相同。

[0052] 高压窄脉冲信号转换模块3包括第四晶体管N4、第五晶体管P1。第五晶体管P1的栅极连接电源电压VCC,源极连接倍压窄脉冲信号产生模块2电容器C2上极板CK2,漏极连接第四晶体管N4的漏极并输出高压窄脉冲信号CKOUT。第四晶体管N4源极接地gnd,栅极连接窄脉冲信号产生模块1与非门NAND1的输出端NPK。

[0053] 高压窄脉冲信号转换模块3工作原理如下:

[0054] 如图4,当倍压窄脉冲信号产生模块2产生的正脉冲信号CK2的正脉冲到来时,CK2电平为 $2VCC$,这时窄脉冲信号产生模块1与非门NAND1输出NPK为低电平Vgnd,第四晶体管N4关断,电容器C2上极板CK2产生的大小为 $2VCC$ 的高压信号通过PMOS晶体管P1传输到高压窄脉冲CKOUT,即高压窄脉冲CKOUT输出 $2VCC$ 的高压信号。此后经过大约五个反相器延迟时间 $5t$,CK2从 $2VCC$ 跳变回VCC,这时第五晶体P1关断。同时,窄脉冲信号产生模块1与非门NAND1输出NPK为高电平,第四晶体管N4开启,把高压窄脉冲CKOUT拉到地电位,每当倍压窄脉冲信号产生模块2CK2为高电平 $2VCC$ 时,CKOUT输出 $2VCC$ 的高压信号,当CK2回到VCC时,高压窄脉冲CKOUT输出地电位。即高压窄脉冲CKOUT为一与CK2频率相同,并且脉冲方向和持续时间相同的脉冲信号。不同的是高压窄脉冲CKOUT的高电平为 $2VCC$,低电平为gnd。即高压窄脉冲CKOUT为高电平为2倍电源电压,低电平为地,持续时间为五个反相器延迟时间的高压窄脉冲信号。

[0055] 第二实施例电路

[0056] 如图5为本发明的第二实施例电路。本实施例电路在第一实施例电路的基础上,用其它可调延迟传输线代替反相器INV1、INV2、INV3、INV4。作这样的改进后,第二实施例电路产生的高压窄脉冲信号,脉冲宽度可调。

[0057] 本实施例的窄脉冲信号产生模块包括可调延迟传输电路、第五反相器、第六反相器、第七反相器和一个与非门;

[0058] 可调延迟传输电路的输出连接第五反相器的输入；外部时钟信号CLKIN同时接入可调延迟传输电路的输入端和与非门的一个输入端；第五反相器的输出端接入所述与非门的另一个输入端；与非门的输出端接所述第六反相器输入端，第六反相器的输出端接所述第七反相器的输入端；外部时钟信号CLKIN同时接入第一反相器的输入端和与非门的一个输入端；第五反相器的输出端接入与非门的另一个输入端；与非门的输出端接第六反相器输入端，第六反相器的输出端接第七反相器的输入端。

[0059] 可调延迟传输电路包括第一反相器、第二反相器、第三反相器、第四反相器；所述第一反相器的输出连接第二反相器的输入，第二反相器的输出连接第三反相器的输入，第三反相器的输出连接第四反相器的输入，第四反相器的输出连接所述第五反相器的输入。

[0060] 第三实施例电路

[0061] 如图6为本发明的第三实施例电路。本实施例电路在第一实施例电路的基础上，在第四晶体管N4的上面串接了另一NMOS晶体管即第三晶体管N3。在第一实施例电路中，当高压窄脉冲CKOUT输出2倍于电源电压的高压信号时，第四晶体管N4的漏源极间电压和漏栅极间电压达到了 $2V_{CC}$ ，如此高的极间电压会超成第四晶体管N4击穿失效。图6中在第四晶体管N4的上面串接第三晶体管N3解决了该问题。第三晶体管N3的栅极连接 V_{CC} ，源极连接第四晶体管N4的漏极，漏极连接P1的漏极并输出高压窄脉冲信号CKOUT。这样当高压窄脉冲CKOUT输出 $2V_{CC}$ 高压时，第四晶体管N4的极间电压保持在 V_{CC} 以下。

[0062] 第四实施例电路

[0063] 如图7为本发明的第四实施例电路。本实施例电路在第三实施例电路的基础上，在倍压窄脉冲信号产生模块2电容器的下极板和第三晶体管N3的源端间增加了一电容器C3。增加电容器C3可以减少高压窄脉冲CKOUT的上升和下降时间。

[0064] 第五实施例电路

[0065] 如图8为本发明的第五实施例电路。本实施例结合了第一至四实施例电路的所有属性。区别在于所述倍压窄脉冲信号产生模块还包括第三电容器，所述第三电容器连接于第二电容器的下极板和第三晶体管的源端之间。所述高压窄脉冲信号转换模块还包括第三晶体管，所述第三晶体管串接在第四晶体管漏极和第五晶体管漏极之间用于防止击穿第四晶体管。所述窄脉冲信号产生模块中的第一反相器、第二反相器、第三反相器、第四反相器采用可调延迟传输电路来替换。

[0066] 综上所述，本发明提供的高压窄脉冲产生电路，解决了现有技术中传统窄脉冲产生电路在深亚微米芯片极低电源电压下不能有效开启NMOS晶体管的问题；所以，本发明有效克服了现有技术中的种种缺点而具高度产业利用价值。

[0067] 上述实施例仅例示性说明本发明的原理及其功效，而非用于限制本发明。任何熟悉此技术的人士皆可在不违背本发明的精神及范畴下，对上述实施例进行修饰或改变。因此，举凡所属技术领域中具有通常知识者在未脱离本发明所揭示的精神与技术思想下所完成的一切等效修饰或改变，仍应由本发明的权利要求所涵盖。

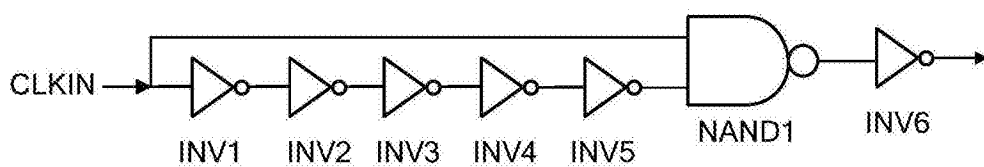


图 1

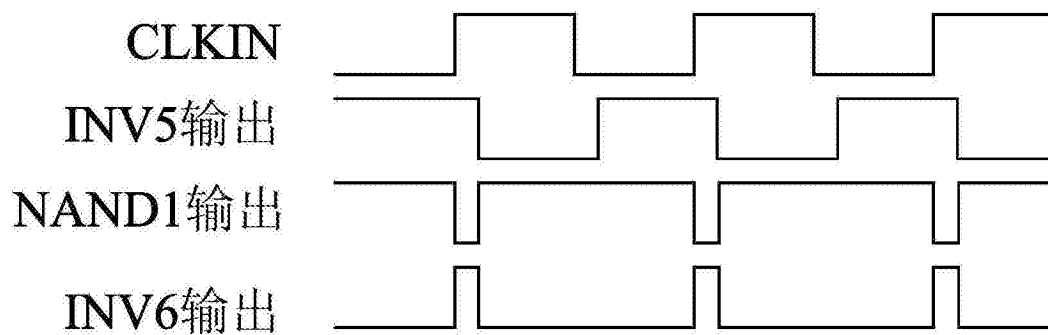


图2

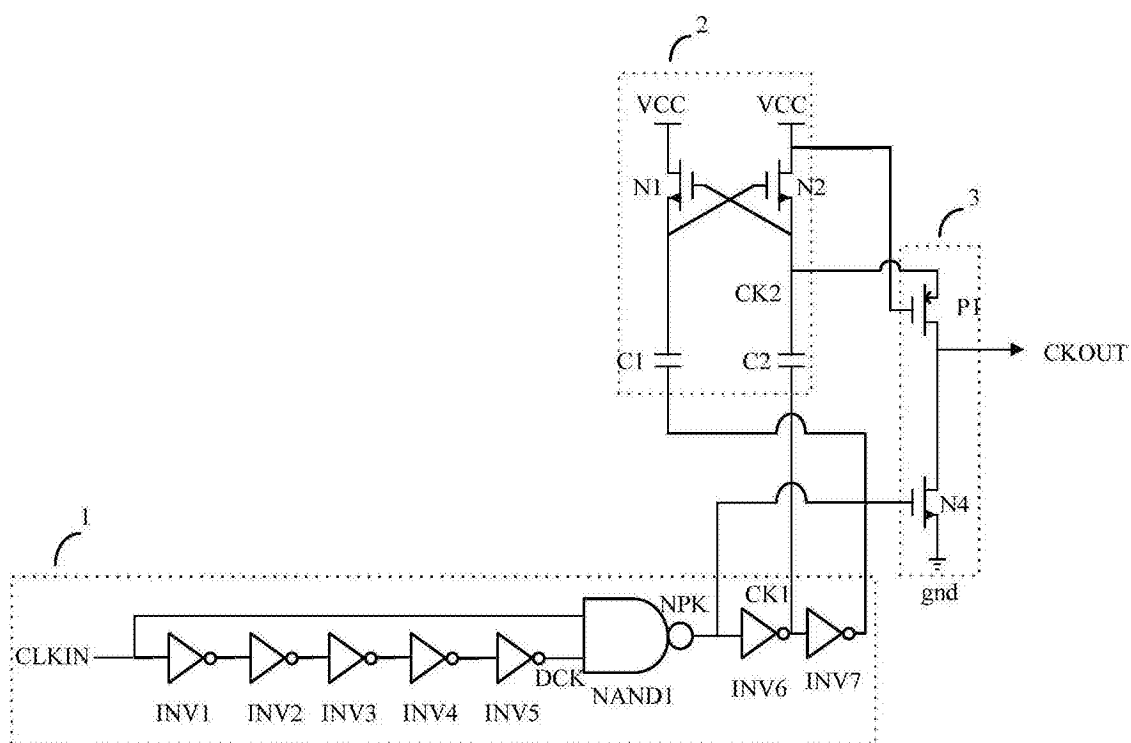


图3

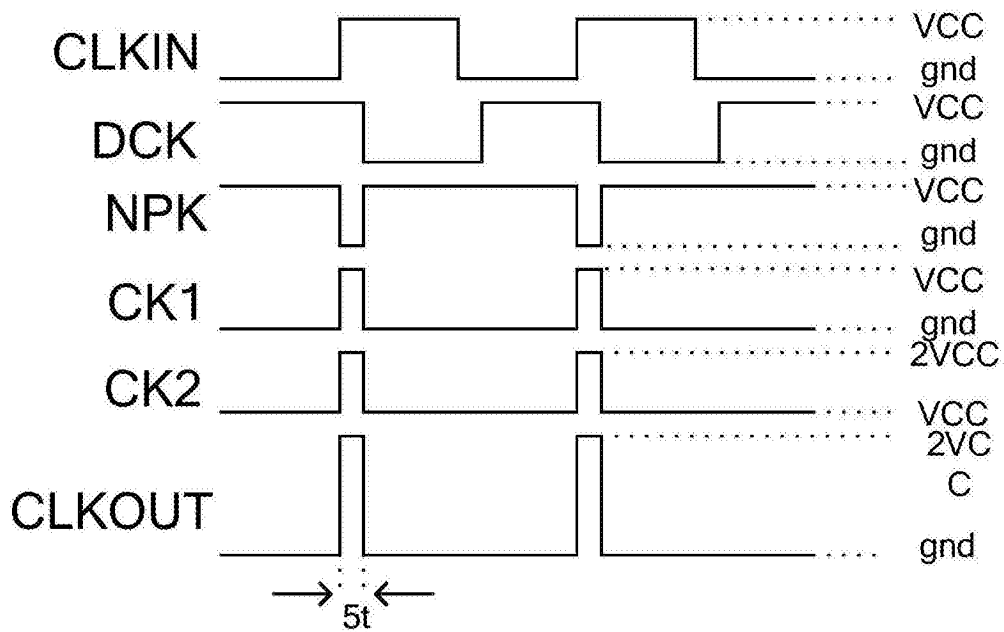


图4

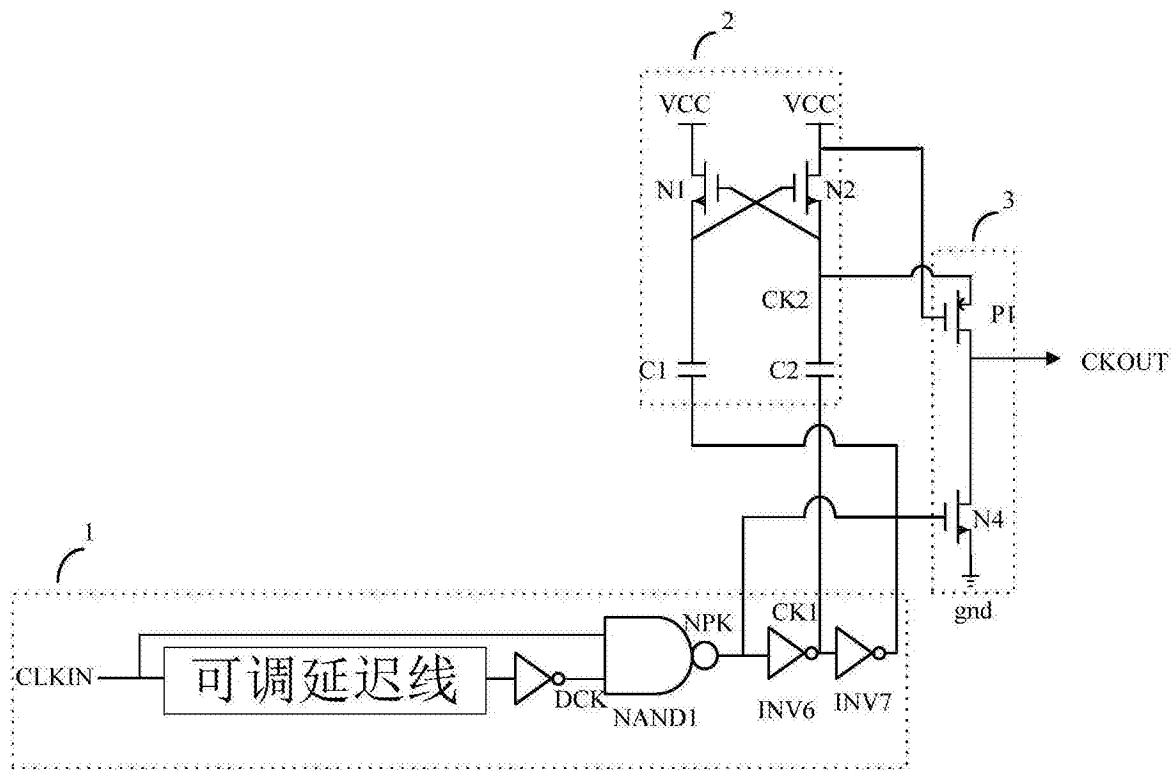


图5

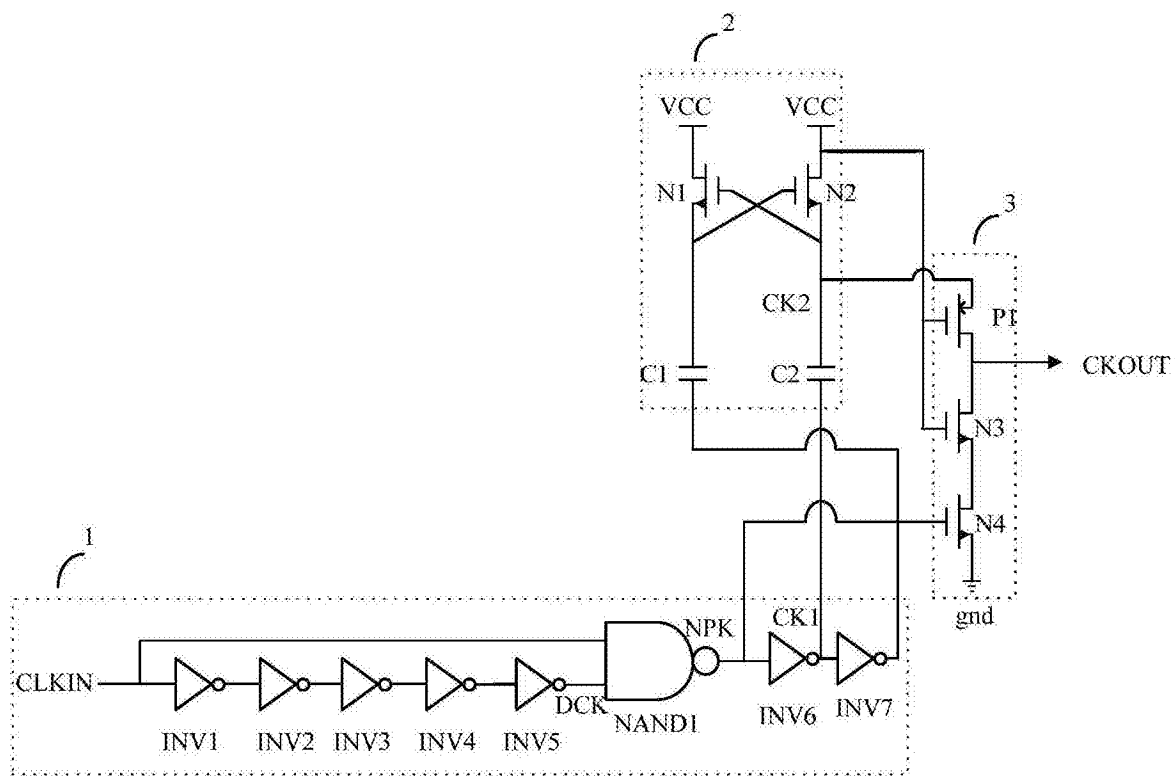


图6

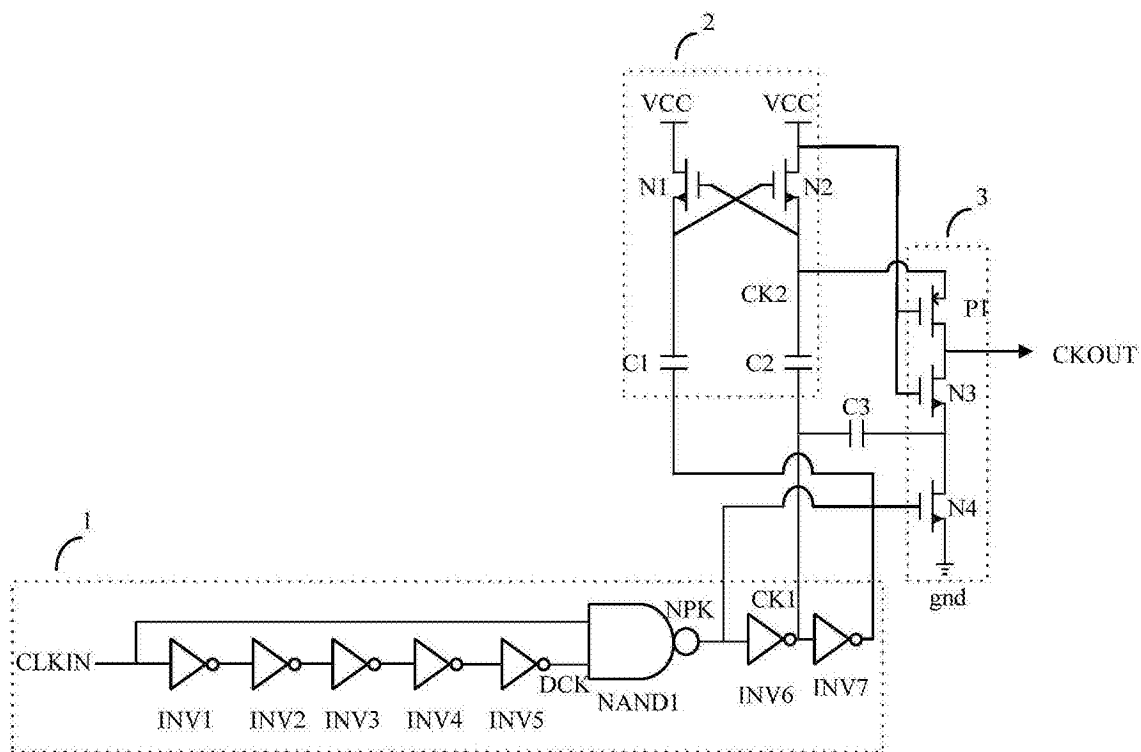


图7

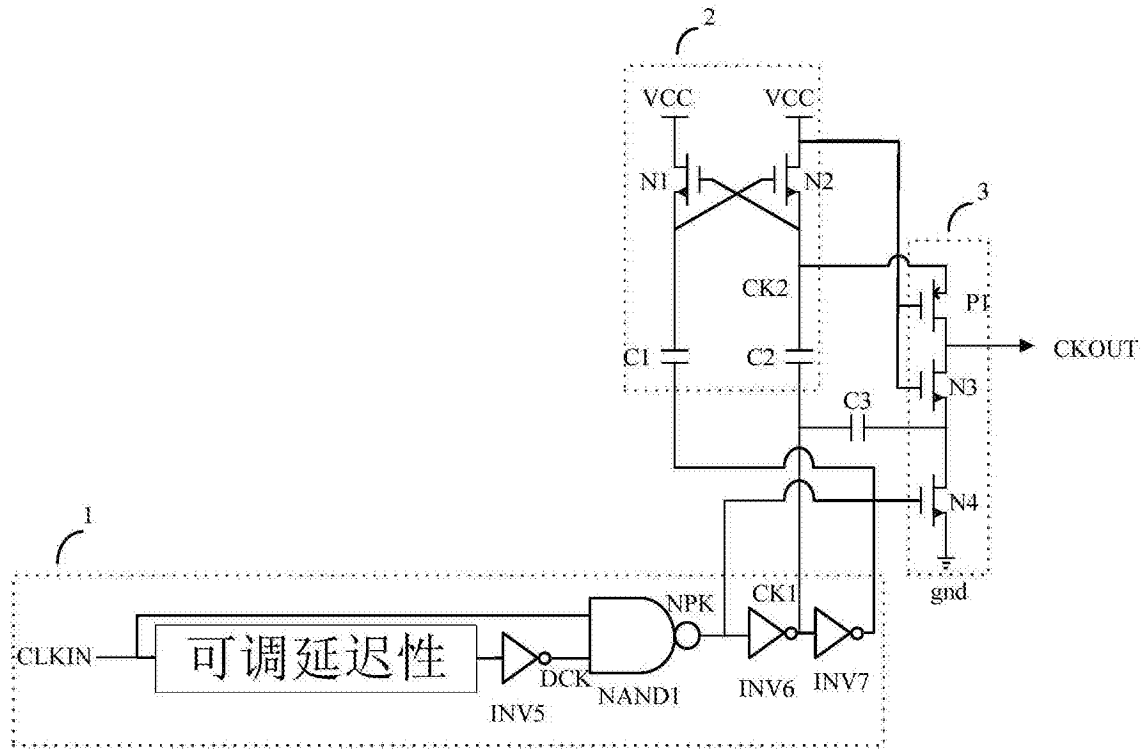


图8