

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4263787号  
(P4263787)

(45) 発行日 平成21年5月13日(2009.5.13)

(24) 登録日 平成21年2月20日(2009.2.20)

(51) Int.Cl. F I  
H O 1 L 29/78 (2006.01) H O 1 L 29/78 6 5 2 H

請求項の数 6 (全 9 頁)

<p>(21) 出願番号 特願平10-318826                  (22) 出願日 平成10年11月10日(1998.11.10)                  (65) 公開番号 特開平11-233759                  (43) 公開日 平成11年8月27日(1999.8.27)                          審査請求日 平成17年9月21日(2005.9.21)                  (31) 優先権主張番号 08/966867                  (32) 優先日 平成9年11月10日(1997.11.10)                  (33) 優先権主張国 米国(US)</p>	<p>(73) 特許権者 503006420                  フェアチャイルド セミコンダクター                  コーポレーション                  アメリカ合衆国 メイン州 04106                  サウス ポートランド ランニング ヒル                  ロード 82                  (74) 代理人 100096024                  弁理士 柏原 三枝子                  (72) 発明者 ジョン ニールソン                  アメリカ合衆国ペンシルバニア州 187                  07-2189 マウンテントップ クレ                  ストウッドロード 125                  審査官 小野田 誠</p>
---	---

最終頁に続く

(54) 【発明の名称】 高電圧MOSFET構造

(57) 【特許請求の範囲】

【請求項1】

縦型パワーMOSFETであって、

a) 当該MOSFETの一の表面に設けられたドレインコンタクトであって、当該ドレインコンタクト上に第1導電型の高度にドーブされた基板を具えるドレインコンタクトと

b) 前記ドレインコンタクトの反対側の前記基板上に設けられたブロッキング層であって、

i) 第1の複数の縦型セクションそれぞれが、6つの四角形の面を有する平行六面体であり、前記ブロッキング層の縦方向の厚さよりも短い水平方向の厚さを有する第1の複数の縦型セクションであって、

ii) P導電型の縦型セクションとN導電型の縦型セクションが交互に配置された第1の複数の縦型セクションを具えるブロッキング層と、

c) 前記基板と反対側の前記ブロッキング層の一の面に設けられた、前記第1導電型と反対の第2導電型の第2の複数のウェル領域と、

d) 前記第1導電型の第3の複数の高度にドーブされたソース領域であって、当該ソース領域のうちの2つが前記第2の複数の各ウェル領域内に配置された、前記第3の複数の高度にドーブされたソース領域と、

e) 前記基板と反対側の前記ブロッキング層の一の面に設けられた前記第1導電型の第4の複数の領域であって、当該領域がそれぞれ、前記第2の複数のウェル領域の2つのウ

10

20

エル領域の間に延在する前記第1導電型の第4の複数の領域と、

f) 第5の複数のゲートポリ領域であって、当該ゲートポリ領域がそれぞれ、2つの隣接する各ウェル領域内の一のソース領域と、前記第4の複数の領域のうちの一つに覆い被さる第5の複数のゲートポリ領域と、  
を具えることを特徴とする縦型パワーMOSFET。

【請求項2】

請求項1に記載のMOSFETにおいて、前記各縦型セクションが、前記基板と、前記第2の複数のウェル領域のうちの一つ及び/又は前記第4の複数の領域のうちの一つと接することを特徴とするMOSFET。

【請求項3】

請求項1に記載のMOSFETにおいて、前記縦型セクションの水平方向の厚さが同じであることを特徴とするMOSFET。

【請求項4】

請求項1に記載のMOSFETにおいて、前記P導電型の縦型セクションの水平方向の厚さが、前記N導電型の縦型セクションの水平方向の厚さと異なることを特徴とするMOSFET。

【請求項5】

縦型パワーMOSFETであって、

a) 当該MOSFETの一の表面に設けられたドレインコンタクトであって、当該ドレインコンタクト上に第1導電型の高度にドーブされた基板を具えるドレインコンタクトと

b) 前記ドレインコンタクトの反対側の前記基板上に設けられたブロッキング層であって、前記第1導電型と反対の第2導電型の第1の複数の円柱形の縦型セクションを有する前記第1導電型の水平層を具えるブロッキング層と、

c) 前記基板と反対側の前記ブロッキング層の一の面に設けられた第2導電型の第2の複数のウェル領域と、

d) 前記第1導電型の第3の複数の高度にドーブされたソース領域であって、当該ソース領域のうち2つが前記各第2の複数のウェル領域内に配置された、前記第3の複数の高度にドーブされたソース領域と、

e) 前記基板と反対側の前記ブロッキング層の一の面に設けられた前記第1導電型の第4の複数の領域であって、当該領域がそれぞれ、前記第2の複数のウェル領域のうち2つのウェル領域の間に延在する第4の複数の領域と、

f) 第5の複数のゲートポリ領域であって、当該ゲートポリ領域がそれぞれ、2つの隣接する各ウェル領域内の一のソース領域と、前記第4の複数の領域のうちの一つに覆い被さる第5の複数のゲートポリ領域と、  
を具えることを特徴とする縦型パワーMOSFET。

【請求項6】

請求項5に記載のMOSFETにおいて、前記円柱形の縦型セクションが、前記水平層内に均一に配置されていることを特徴とするMOSFET。

【発明の詳細な説明】

【0001】

【発明を適用する技術分野】

本発明は、半導体装置に関するものであり、特に、高電圧MOSFETsに関するものである。

【0002】

【従来の技術】

金属酸化膜半導体電界効果トランジスタ(MOSFETs)は公知である。MOSFETsの性能特性はバイポーラより優れているためパワーエレクトロニクス分野で用いられている。すなわち、MOSFETsは、バイポーラに比べてスイッチング時間がより早く、ドライブ回路がより簡素で、セカンドブレイクダウン欠陥メカニズムがなく、平衡能力

10

20

30

40

50

に優れ、幅広い温度範囲においてゲインと応答時間が安定している。MOSFETsの主な欠点は、デバイスのオン抵抗が高い点である。

【0003】

【発明が解決しようとする課題】

従来の縦型MOSFETsは、通常、縦型2重拡散プロセス(VDMOS, Vertical Double-Diffused Process)を用いて製造されている。VDMOS MOSFETのオン抵抗は、通常、(1)チャンネル抵抗、(2)ネック抵抗、(3)ブロッキング層抵抗の3つに分けることができる。チャンネル抵抗と、ネック抵抗とは、例えばより微細なジオメトリとより浅い拡散を用いるなどして、デバイスの製造時に最小に抑えることが可能である。しかし、ブロッキング層抵抗、すなわち、印加された電圧を支える層の抵抗は、デバイスのブレークダウン電圧に依存しており、デバイスを高電圧に耐えるようにするためには、ブロッキング層の抵抗は犠牲にせざるを得ない。

10

【0004】

図1及び2は、従来の典型的なVDMOS MOSFETの構造を示す図である。これらの2つのデバイスにおいては、高い電圧容量を得るために、ブロッキング層を厚く均一にドーパされた層にして、デバイス内に高電界(および早すぎるブレークダウン)が生じないようにしている。このデバイスに電圧が印加されると、均一にドーパされたN-ブロッキング層内にP-N接合から下側へ空乏領域が広がる。P-N接合から空乏領域の端部へかけてのドーパント濃度は約 $1.3 \times 10^{12} / \text{cm}^2$ になり、P-N接合におけるピーク電界はミクロンあたり約20ボルトである。これは、ほぼアバランシェブレークダウンが始まる電界である。装置のブロッキング層は、ブレークダウン時には実際のブレークダウン電圧とは無関係にこれとほぼ同じ量のドーパントを含む。温度やドーパント濃度などのファクタによって生じるキャリアの移動度の変化によって些細な変化が生じることがある。従来のデバイスでは、デバイスのブレークダウン電圧を上げるために、ドーパントを縦方向に厚い領域の中に分布させなくてはならず、これによってブロッキング層の厚さがより厚くなると共に、高抵抗となっている。従来のデバイスにおいて、ブレークダウン電圧が上がると、デバイスのオン抵抗は、主にブロッキング層の抵抗の上昇によってパワーを約2.3に上げるブレークダウン電圧の上昇と同じファクタによって上がる。

20

【0005】

本発明の目的のひとつは、オン抵抗の低い高電圧MOSFETおよびその製造方法を提供しようとするものである。

30

【0006】

本発明の他の目的は、高電圧MOSFET用のブロッキング層を有し、オン抵抗が低く、ブレークダウン電圧が高い高電圧MOSFETを提供しようとするものである。

【0007】

本発明は、電圧サポート領域を有し、水平層を具える半導体装置であって、この水平層が第1の導電型であり、第2の導電型のほぼ縦のセクションを具え、これらのセクションがほぼ同じ大きさであり、好ましくはこれらのセクションが柱状であることを特徴とする。

【0008】

本発明は、半導体装置のブロッキング層を製造する方法に関するものであり、この方法は、第1導電型の半導体材料でできた層を提供するステップと、この層の複数領域に第2の導電型のドーパントを注入するステップとを具え、前記ドーパントが前記注入領域において前記層の厚さ方向に縦に分布されており、前記注入領域がほぼ同じ大きさであって、好ましくは前記注入領域が筒型であることを特徴とする。

40

【0009】

【発明の実施の形態】

図3及び図4に、本発明のVDMOS MOSFETの実施形態を示す。これらの図中、同じ構成要素については同じ符号を付すものとする。VDMOS MOSFET 10は、一方にN<sup>+</sup>基板12と、ドレインコンタクト14とを、他方にブロッキング層16を具える。ブロッキング層16の基板12と反対側にブロッキング層に隣接してP型ウェル領域

50

18およびN<sup>+</sup>型ソース領域20が設けられている。P型ウェル領域18の間にはN領域22が設けられている。ゲートポリ領域24は、N領域22と、N型領域22に隣接するP型ウェル領域18およびソース領域20の一部の上に設けられている。誘電層26をゲートポリ領域24の上に設けて、ゲートポリ領域24をソースメタル28からアイソレートするようにしている。

#### 【0010】

図5は、VDMOS MOSFET10の実施形態を示す図であり、ブロッキング層16はPおよびN型材料でできた縦型のセクション、即ち、Pセクション30とNセクション32とを交互に具える。各縦型セクション30、32は約 $1E^{12}/cm^2$ から $2E^{12}/cm^2$ のドーパント濃度を有する。デバイスに電圧が与えられると、空乏領域が縦型セクション30、32の各サイドに水平に広がる。各縦型セクション30、32のドーパント量は、全体で、ブレークダウン電界が生じるのに必要とされる量より少ないので、水平方向の電界がアバランシェブレークダウンを引き起こすのに十分に高くなる前に、ブロッキング層16が縦方向の厚さ全体にわたって空乏化される。この領域が完全に水平方向に空乏化された後は、電界がミクロンあたり約20~30ボルトのアバランシェ電界に達するまで電界が縦方向にでき続ける。

10

#### 【0011】

縦型セクション30、32の水平方向の厚さBは、これらセクションを形成するのに使用する方法に応じて可能な限り小さくすると共に、ブロッキング領域16の縦方向の厚さAより小さくなくてはならない。導電型が同じ縦型セクション間の距離は、デバイスのピッチであり、他の導電型の縦型セクションの水平方向の厚さBに等しい。図5の例に示す例では、セクション30、32の水平方向の厚さは同じであるが、異なる厚さとしても良い。一方のセクションを他のセクションより厚くする場合は、電流キャリアセクションがより厚いセクションであることが好ましい。例えば、Nチャンネルデバイスにおいては、Nセクションがより厚いことが好ましく、同様に、Pチャンネルデバイスにおいては、Pセクションがより厚いことが好ましい。

20

#### 【0012】

縦型セクション30、32のドーパント濃度は(縦方向の抵抗をなるべく小さくするために)できる限り高くするべきであるが、ブレークダウン電圧が生じない程度に十分に低くなくてはならない。最大ドーパント濃度に関する主な条件は、各縦型セクションにおける濃度が十分に低く水平電界が臨界電界に達する前に縦型セクション30、32の水平方向の厚さB全体に水平方向に空乏領域が広がり得ることである。各縦型セクションの水平方向におけるドーパント濃度は、約2ないし $4E^{12}/cm^2$ 以下に保たれていなければならない。臨界電界はミクロンあたり20ないし30ボルトであり、これは、1平方センチメートルあたりの電荷密度1.2ないし1.8に相当する。各縦型セクションは両側から空乏化されるので、各セクションは2倍のドーパント原子を含有しうる。

30

#### 【0013】

臨界電界の正確な値は、ドーパント濃度、キャリアの移動度、セクションの厚さ、イオン化の度合いなど様々なファクタによって決まる。イオン化の度合いが異なると、縦方向における臨界電界は水平方向における臨界電界と明らかに異なる。縦方向の電界は長さ方向に存在するので、イオン化の度合いが大きく、すなわち、各自由キャリアが長い距離を移動することができ、更に多数の自由キャリアを生み出すことができる。この結果、縦方向の臨界電界は1ミクロンあたり約20ボルトになる。水平方向においては、イオン化の度合いが低い(自由キャリアの移動距離が短い)ため、臨界電界は1ミクロンあたり30ボルト近くになり、アバランシェブレークダウンが生じる前に電界がいくらかより高くなりうる。従って、最大許容ドーパント濃度は、縦型セクションが薄いほど高くなる。

40

#### 【0014】

空乏化されている間に、電界がブロッキング層の縦方向の全体に亘ってミクロンあたり20~30ボルトの臨界電界に達する。従来技術においては、電界はP-N接合でのみ臨界電界となり、従ってブロッキング層の厚さ全体に亘って平均してミクロンあたり10~1

50

5 ボルトのテーパ形状をなしている。従って、本願に係る V D M O S M O S F E T のブロッキング層の縦方向の厚さは、従来のデバイスの縦方向の厚さより薄くすることができる。

【0015】

ブロッキング層の厚さをより薄くできることに加えて、本発明の装置のブロッキング層は、N型セクション32内を電流が縦方向に流れるので、従来の装置のブロッキング層より抵抗が低い。本発明の装置においてブレークダウン電圧が大きくなると、装置のオン抵抗は、従来のデバイスに比べると、ブレークダウン電圧に対してのみ直線的に増える。従来のデバイスでは、オン抵抗はパワーを約2.3倍に上げるブレークダウン電圧の増加に等しいファクタによって増える。図6は従来の装置と本発明に係る装置間で、所定のブレークダウン電圧に対するオン抵抗(面積×オン抵抗)を比較するグラフである。

10

【0016】

図7は、本発明のブロッキング層16の他の実施形態を示す図である。本実施例では、ブロッキング層16が、第2導電型材料(本実施例ではP型)からなる縦型セクション36を有する、第1導電型材料(本実施例ではN型)からなる水平層34を具えている。この例では、縦型セクション36が柱状をしており、水平層34内に均一に配置されている。縦型セクション36は、図示するような円柱形状の他、断面角形の角柱形状にしても良い。縦型セクション36間の水平方向における距離Cは、ブロッキング層16の縦方向における厚さAより小さくなくてはならない。

20

【0017】

ブロッキング層16以外は、従来のV D M O S 製造技術を利用してM O S F E T 10を製造することができる。

【0018】

ブロッキング層16は、まず第1導電型(例えばN型)のエピタキシャル層を形成し、次いで、第2導電型(例えばP型)のドーパントを注入して縦型セクション32あるいは36を形成する。第2の導電型のドーパントは厚い注入マスク、あるいはイオンビームを用いて注入することができる。

【0019】

実施形態として、10ミクロンのピッチの1000ボルトの装置用に、厚さ55ミクロン、ドーパント濃度 $4E^{15}/cm^3$ (1.2オームcm)のエピタキシャル層をN<sup>+</sup>基板上に作る。数KeVから70MeVの範囲の注入エネルギーでボロンを注入し、セクション32または36内に縦方向にボロンを分布させる。必要な全注入量は、マスクインプラントの場合は、約 $2E^{13}/cm^2$ 、イオンビームインプラントの場合はこの半分の量である。

30

【0020】

本願は、オン抵抗が低い高電圧M O S F E T と高電圧M O S F E T の特別なデバイスのブレークダウン電圧に対するオン抵抗を下げる方法に関するものである。M O S F E T は第1導電型のブロッキング層を具え、このブロッキング層は第2の導電型の縦型セクションを有している。または、ブロッキング層は、第1及び第2の導電型のセクションを交互に配置したものであっても良い。

40

【図面の簡単な説明】

【図1】図1は、従来の高電圧V D M O S M O S F E T の構成を示す図である。

【図2】図2は、図1に示すV D M O S M O S F E T の断面図である。

【図3】図3は、本発明に係る高電圧V D M O S M O S F E T の実施形態の構成を示す図である。

【図4】図4は、図3に示すV D M O S M O S F E T の断面図である。

【図5】図5は、本発明の高電圧V D M O S M O S F E T のブロッキング層の実施形態を示す図である。

【図6】図6は、従来のM O S F E T と本発明のM O S F E T の実施形態のブレークダウン電圧当たりの抵抗値を示すグラフである。

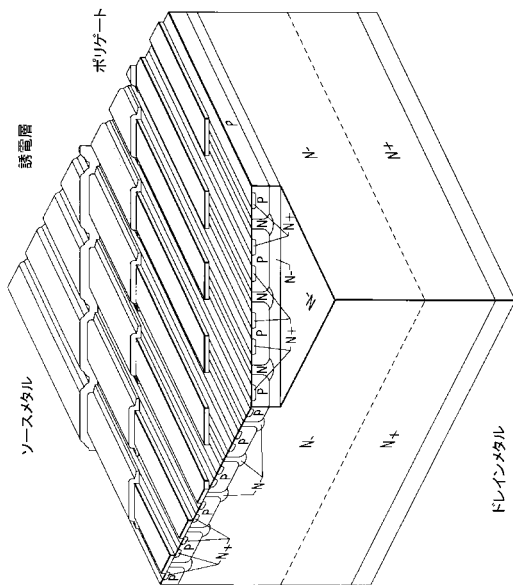
50

【図7】図7は、本発明に係る高電圧VDMOS MOSFETのブロッキング層の他の例の構成を示す図である。

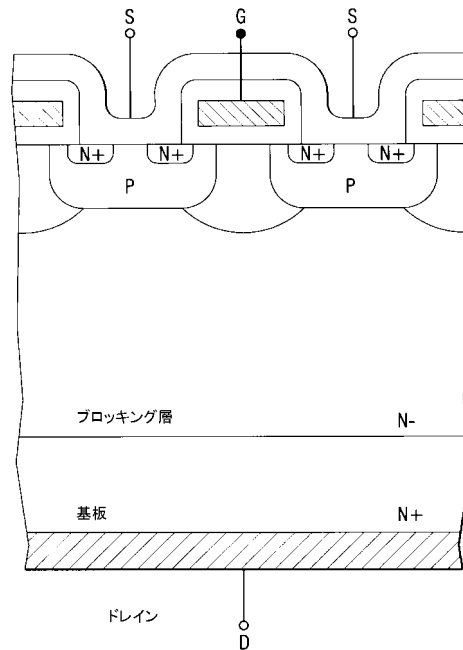
【符号の説明】

- 10 VDMOS MOSFET
- 12 基板
- 14 ドレインコンタクト
- 16 ブロッキング層
- 18 ウエル領域
- 20 ソース領域
- 24 ゲート領域
- 26 誘電層
- 30、32 縦型セクション
- 34 水平層
- 36 縦型セクション

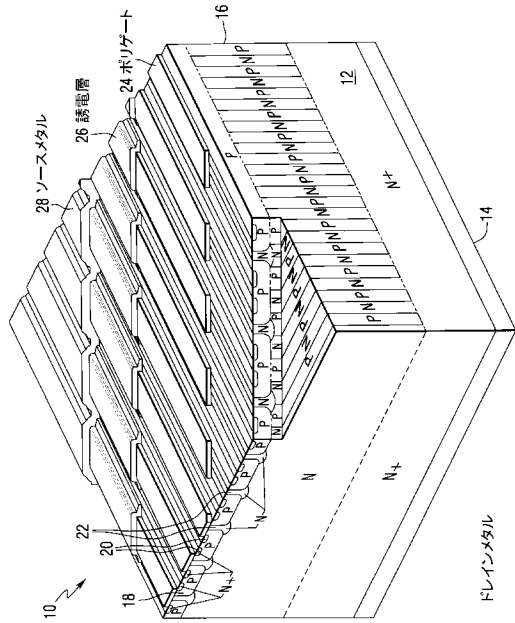
【図1】



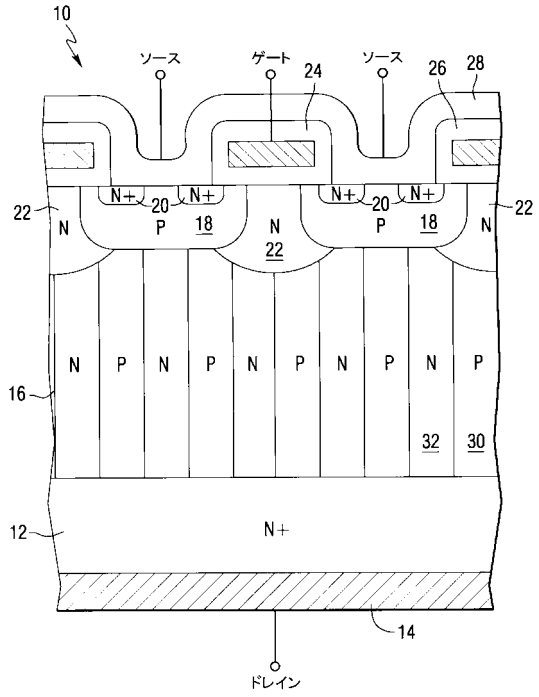
【図2】



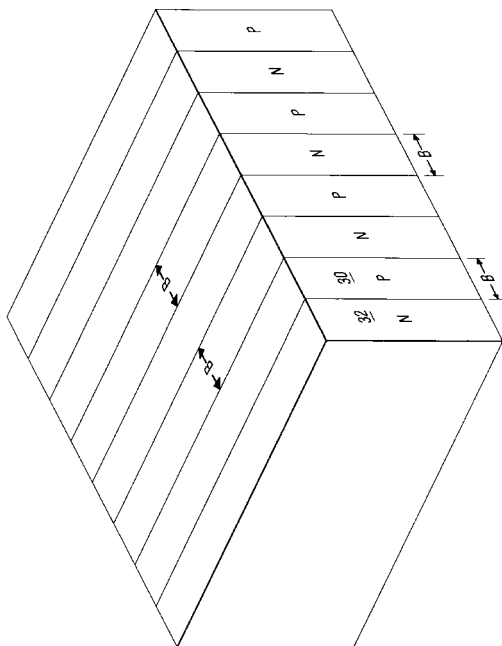
【図3】



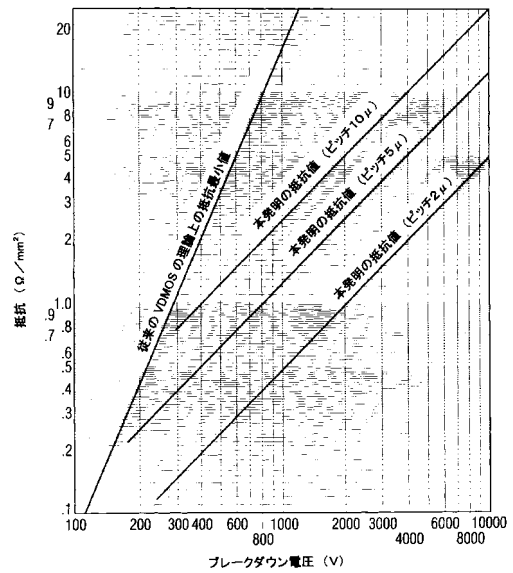
【図4】



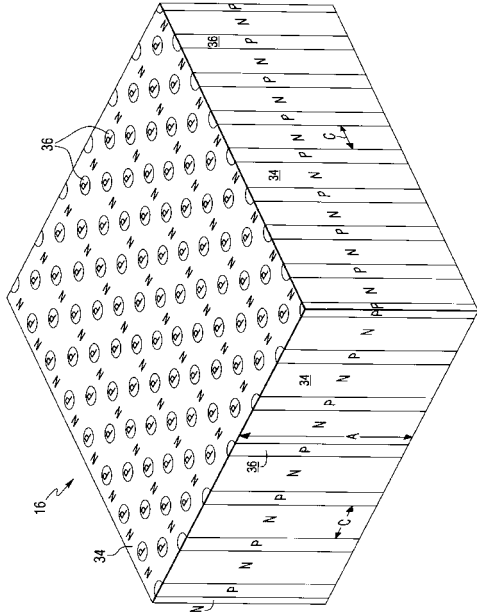
【図5】



【図6】



【 図 7 】



フロントページの続き

(56)参考文献 特開平07-007154(JP,A)  
特開平09-266311(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H01L 29/78