(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H01L 29/786

(45) 공고일자 2002년09월04일
(11) 등록번호 10-0326885
(24) 등록일자 2002년02월20일

(21) 출원번호 10-1995-0049535
(22) 출원일자 1995년12월14일

(65) 공개번호 특1996-0026980
(43) 공개일자 1996년07월22일

(30) 우선권주장 94-333876 1994년12월16일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 야마자끼 순페이
일본국 도쿄도 세타가야쿠 기타가라스야마 7-21-21
구스모또 나오또
일본국 가나가와켄 이세하라시 히가시오다케 202 2-26-2
다나까 고이치로
일본국 가나가와켄 아쯔기시 하세 304-1 플래트 SEL-B

(74) 대리인 이병호

심사관 : 김관식

(54) 반도체장치제조방법

요약

레이저광을 조사해서 반도체 장치를 제조할 때, 선형 레이저광이 라인에 수직인 방향으로 주사되는 동안 어닐링이 반도체 재료에 대해 수행된다. 상기 상태에서, 복수의 반도체 소자가 선형 레이저광이 조사되는 라인 방향을 따라 형성되기 때문에 라인 방향에 대응하는 빔 횡방향으로 어닐링 효과가 주사 방향에서의 그것과 2 배 이상 다르다. 또한, 박막 트랜지스터의 소스 및 드레인 영역을 연결하는 라인 방향은 선형 레이저광의 라인 방향으로 정렬된다.

대표도
도 1

명세서

도면의 간단한 설명

제 1 도는 선형 레이저광이 조사되는 실리콘막의 굴절률 도시도.

제 2 도는 레이저광 조사 장치의 개략도.

제 3A 내지 3C 도는 선형 패턴을 갖는 레이저광을 형성하는 광 시스템도.

제 4 도는 액티브 매트릭스형 액정 표시 장치의 개략도.

제 5 도는 유리 기판 상에 형성된 박막 트랜지스터(TFT)의 패턴과 레이저 광의 조사 상태 도시도.

제 6A 및 6B 도는 TFT 패턴의 개략도.

* 도면의 주요부분에 대한 부호의 설명 *

4 : 광 시스템 9 : 전 반사 미러

10 : 스테이지 20 : 능동형 액정 표시 장치

21 : 픽셀부 22, 23 : 주변 회로부

51, 52 : TFTs

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 반도체를 사용해서 트랜지스터와 같은 장치(소자)를 집적시키는 방법에 관한 것이며, 특히 선형 레이저 빔을 이용해서 복수의 박막 장치를 그 특성의 분산 없이 제조하는 방법 및 상기 방법에 의해 제조된 반도체 장치에 관한 것이다.

최근에, 많은 연구가 반도체 장치의 제조 프로세스의 저온화에 대해 있어왔고, 왜냐하면 반도체 장치는 저가격이고 높은 가공성(processability)을 갖는 유리와 같은 절연 기판 상에 형성됨이 요구되기 때문이다. 또한 반도체 장치의 미소화 및 장치의 다층 구조화를 도모하기 위하여 제조 프로세스의 저온화가 요구된다.

반도체 장치 제조 프로세스에서, 반도체 재료에 포함되는 비결정 성분 또는 비결정 반도체 재료를 결정화시키는 것과, 원래 결정이지만 이온의 주입에 의해 결정성이 저하된 반도체 재료의 결정성을 복원하는 것과, 결정을 갖는 반도체 재료의 결정성을 더 향상시키는 것이 요구된다. 상기 요구사항 때문에, 어닐링이 사용된다. 실리콘이 반도체 재료로 사용될 때, 비결정 재료(성분)의 결정화, 결정성 복원, 결정성 개선등이 0.1 내지 48 시간 동안 600 ℃ 내지 1000 ℃ 에서 어닐링으로 수행된다.

열 어닐링에서, 처리온도가 증가함에 따라 처리 시간은 더 짧게 세트되나, 500℃ 이하에서 별다른 효과가 얻어지지 않는다. 그러므로, 프로세스의 저온화의 관점에서, 열 어닐링을 기본으로 한 프로세스를 다른 방법으로 대체하는 것이 요구된다.

특히, 유리기판이 사용될 때, 유리 기판의 열 저항 온도가 약 600 ℃ 이기 때문에, 다른 방법은 600 ℃ 이하의 프로세스 온도에서 종래의 열 어닐링과 비교될 수 있도록 요구된다.

상기 요구사항을 만족시키는 방법으로서, 레이저광을 반도체 재료에 조사해서 다양한 어닐링 처리를 수행하는 기술이 공지된다. 레이저광 조사기술이 최종의 저온 공정으로서 주목되고 있다. 그것은 열 어닐링의 에너지와 비교될 수 있는 고에너지를 갖는 레이저광이 소망된 제한 부분만으로 조사될 수 있고, 전체 기판을 고온으로 노출시킬 필요가 없기 때문이다.

2 개의 방법이 레이저광 조사를 위해 주로 제안된다. 제 1 방법에서, 아르곤 이온 레이저와 같은 연속적인 발진 레이저는 스폿 형상으로 된 빔을 반도체 재료로 조사하기 위해 사용된다. 반도체 재료는 용해되고, 빔내의 에너지 분포차 및 빔 이동에 기인해서 점차 고체화되어 결정화된다. 제 2 방법에서, 엑시머 레이저와 같은 펄스 발진 레이저를 사용해서 큰 에너지 레이저 펄스를 반도체 재료에 조사하면, 반도체 재료는 순간적으로 용해된 후 고체화되어 반도체 재료의 결정 성장이 진행된다.

제 1 방법은 긴 처리 시간을 필요로 하는 문제를 갖는다. 왜냐하면 연속 발진 레이저의 최대 에너지는 제한되며 빔 스폿 크기는 최대로 mm 평방 단위로 세트되기 때문이다. 제 2 방법은 굉장히 큰 최대 레이저 에너지를 갖고, 대량 제조는 수 cm 평방 이상의 스폿 빔을 사용해서 더 개선 될 수 있다.

그러나, 큰 면적을 갖는 기판이 보통 사용되는 평방 또는 장방형 빔으로 처리될 때, 빔은 좌우 방향으로 그리고 상 및 하 방향으로 이동되어야 한다. 따라서, 양산성의 개선을 필요로 한다.

빔을 라인 형태로 변형시키고, 빔폭을 처리되는 기판 길이를 초과하도록 세팅하고 빔을 기판에 주사하는 방법에 의해 큰 개선을 달성할 수 있다. 용어 " 주사 (scanning)" 는 선형 레이저가 조금씩 옮겨지는 동안 겹쳐서 조사되는 것을 의미한다.

그러나, 선형 펄스 레이저를 조금씩 옮기는 동안 겹쳐서 조사하는 기술에서, 스트라이프(stripes)가 레이저빔이 조사되는 반도체 재료 표면상에 반드시 형성된다. 상기 스트라이프는 반도체 재료에 형성되거나 형성되려는 장치 특성에 큰 영향을 미친다. 특히, 각 장치의 특성이 균일하게 되도록 하나의 기판 상에 복수의 장치가 형성되어야 할 때 상기 영향은 위험하다. 상기 경우에, 각 스트라이프의 특성은 균일하나 스트라이프간의 특성에 분산이 발생한다.

라인 형태로 된 레이저광을 사용하는 어닐링에서 조사 효과의 균일성에 대해 문제가 있다. 높은 균일성은, 장치들이 기판의 어떤 부분에서 형성되더라도 동일한 장치 특성이 기판 상에서 얻어질 수 있다는 것을 의미한다. 균일성의 개선은 반도체 재료의 결정성이 균일하게 된다는 것을 의미한다. 다음의 방법이 균일성을 개선시키기 위해 사용된다.

레이저 조사 효과의 비균일성을 완화하고 그 균일성을 개선시키기 위해, 강한 펄스 레이저광(이하 '본 조사'라 함)의 조사 전에 약한 펄스 레이저광(이하 '예비 조사'라 함)을 예비적으로 조사하는 방법이 알려져 있다. 상기 방법은 특성 분산을 감소할 수 있어 반도체 장치의 회로 특성을 현저히 개선할 수 있는 효과가 있다,

예비 조사가 막의 균일성을 얻는 데 효과적인 이유는 비결정 부분을 포함하는 반도체 재료막에서 레이저 에너지에 대한 반도체 재료의 흡수율이 다결정막 또는 단결정막의 흡수율과 매우 다른 특성을 가진다는 점에 있다. 상세하게는, 상기 2 단계 조사는, 먼저 막에 잔존하는 비결정 부분이 제 1 조사 프로세스에 의해 결정화되는 단계와, 상기 단계 이후 제 2 조사 프로세스에 의해 전 결정화가 증진되는 단계로 이루어진다. 결정화를 완만하게 증진함으로써, 선형 레이저 조사에 기인해서 반도체 재료 상에서 발생한 스트라이프의 비균일성은 어느 정도로 억제될 수 있다. 그러므로, 레이저광의 조사 효과의 균일성은 현저히 개선될 수 있고, 스트라이프는 시각적으로 거의 두드러지지 않는다.

그러나, 박막 트랜지스터(TFTs)와 같은 다수의(수천 또는 수만 단위) 반도체 장치가 예를 들어, 액티브 매트릭스형 액정 표시 장치의 유리 기판 상에 형성될 때, 2 단계 조사를 기초로 한 레이저 조사 방법이 사용되더라도 효과의 균일성이 만족되지 않는다.

상기 언급했듯이, 선형 빔으로 처리되는 엑시머 레이저광을 사용하는 어닐링 방법은 대면적 장치 설계에 적합하다는 관점에서 우수하지만, 효과의 균일성에서 단점을 갖는다.

본 발명의 목적은, 선형 빔 형상의 레이저광을 조사하여 어닐링함으로써 다수의 반도체 장치를 형성할 때 각 반도체 장치 특성의 분산을 현저히 억제시키기는 기술을 제공하는 것이다.

선형 레이저빔의 사용은 스트라이프된 비균일성을 발생시키기 마련이다. 그러므로, 본 발명에 따라서, 상기 문제는 반도체 재료의 균일성을 개선시키는 기술적 개념을 반도체 재료 상에 형성되거나 형성된 장치들을 레이저 조사에 의한 비균일성에 일치(매치)시키는 기술적 개념으로 변환시킴으로써 극복될 수 있다.

제 1 도는 레이저광의 2 단계 조사에 기인해서 반도체 재료 표면에 발생하는 비균일성의 측정 결과를 정량적으로 도시한다. 1mm 폭 및 125mm 길이의 선형 빔으로 가공(processed)된 KrF 엑시머 레이저(파장: 248nm, 펄스폭: 30ns)를 빔 라인에 수직방향으로 주사하면서 유리 기판 상에 형성된 500 Å 두께의 비결정 실리콘막에 조사한 후, 실리콘막의 굴절률을 측정한다.

제 1 도에서, 주사 방향은 선형 레이저빔의 주사 방향, 즉, 라인에 수직 방향으로 굴절률 분포를 표시한다. 빔 횡 방향은 선형 레이저빔의 라인 방향(길이 방향)에서 굴절률 분포를 표시한다. 비결정 실리콘막은 레이저광 조사에 의해 결정화되고, 그 결정성 변화는 그 굴절률 변화를 토대로 해서 측정될 수 있다. 박막두께가 알려지면, 실리콘막의 굴절률이 에립소미터(ellipsometer)에 의해 측정될 수 있다. 제 1 도의 데이터는 2 단계 조사를 수행할 때 얻어진다.

제 1 도로부터, 굴절률의 균일성이 선형 레이저빔에 수직인 라인(원형 표시에 의해 표시된 레이저광의 주사 방향) 상의 굴절률 균일성보다 사각 표시에 의해 표시된 선형 레이저에 평행인 라인 상에서 더 양호하다. 굴절률은 막의 결정성과 매우 관련되어 있으며, 굴절률 분산이 없다는 것은 결정성 분산이 없다는 것이다. 그러므로, 선형 레이저에 평행인 라인 상에서 결정화의 균일성이 선형 레이저에 수직인 라인 상에서의 결정화 균일성 보다 훨씬 양호하다. 또한, 선형 레이저광에 기인한 어닐링 효과는 분산이 없기 때문에 라인 방향으로는 양호하나, 주사 방향으로는 큰 분산이 있다.

선형 레이저의 라인 방향에서 분산은 약 0.6% 이다. 그러나, 주사 방향에서 분산은 0.6% 보다 2 배 이상인 1.3% 이다. 그러므로, 라인에 수직인 방향으로 선형 레이저빔을 주사하는 동안 선형 레이저빔으로 어닐링을 실행할 때, 라인 방향에서의 어닐링 효과는 라인에 수직인 주사 방향에서의 어닐링 효과보다 2 배 이상이다.

동일한 현상이 실리콘 반도체 박막에서뿐만 아니라 다른 박막 반도체에서도 충족되리라 예상된다. 제 1 도의 레이저광 조사에 기인한 효과는 비결정 실리콘막의 결정화뿐만 아니라 반도체 박막의 결정화, 결정성의 증가 및 개선, 도핑된 불순물의 활성화 등에 적용된다.

본 발명은 특히 선형 레이저빔을 사용하는 다수의 어닐링 처리에서 라인 방향의 어닐링 효과와 주사 방향의 어닐링 효과간에 2 배 또는 더 큰 차이가 있을 때 매우 효과적이다. 반도체 재료 상에 형성된 복수의 장치가 제조될 때, 동일한 특성을 가지도록 요구되는 장치가 가능한 동일 라인으로 정렬되고, 다수의 어닐링 처리를 수행하기 위해 장치들이 정렬되는 장치 영역(또는 장치 영역으로 되는 영역)에 선형 레이저광이 조사된다. 그러므로, 레이저광의 어닐링 효과는 장치들이 정렬되는 각 장치 영역에서 균일하게 될 수 있고, 정렬된 복수의 장치들간 특성의 분산이 없다.

결정 실리콘막이 제 1 도의 어닐링 효과를 갖는 선형 레이저빔으로 형성되고 박막 트랜지스터(TFT)가 결정 실리콘막을 사용해서 형성될 때, TFT 의 소스 및 드레인을 연결하는 라인이 선형 레이저빔의 라인 방향(길이 방향)과 일치하도록 설정됨으로써, 캐리어 이동 방향에서 결정성이 균일하게 될 수 있다. 상기 경우에, 캐리어가 균일한 결정성을 갖는 영역에서 이동하기 때문에, 캐리어 이동에 어떤 장애(전기적 장애)도 없고 따라서 특성이 개선된다.

본 발명에서, 반도체 제조 방법은 선형 레이저광을 박막 트랜지스터로 조사함으로써 어닐링을 실행하는 단계와, 선형 레이저광이 조사되는 영역의 길이 방향을 따라 복수의 반도체 장치를 형성하는 단계를 포함한다.

TFTs 가 유리 기판과 같은 절연 표면을 갖는 기판 상에 형성될 때, 상기 단계가 사용된다. 선형 레이저광은 후에 설명된 실시예에서 설명하듯이 광 시스템을 통해 엑시머 레이저광을 선형 형태로 가공함으로써 형성된다. 레이저빔이 조사되는 길이 방향은 레이저빔이 선형 형태로 조사되는 영역의 라인 방향을 의미한다.

본 발명에서, 반도체 제조 방법은 선형 레이저광을 박막 트랜지스터로 조사하는 단계를 포함하며, 선형 레이저광의 라인 방향이 장치의 정렬 방향과 일치되도록, 복수의 반도체 장치가 적어도 하나의 라인에 정렬되는 영역에 선형 레이저광이 조사된다.

본 발명에서, 반도체 제조 방법은 선형 레이저광을 박막 트랜지스터에 조사하는 단계를 포함하며, 여기서 선형 패턴을 갖는 선형 레이저광이 TFT 의 소스 영역이 형성된 영역과 TFT 의 드레인 영역이 형성된 영역을 연결하는 방향과 일치하는 방향을 따라 조사된다.

TFT 는 스태거(stagger)형태, 리버스 스태거(reverse stagger) 형태, 플래너(planar) 형태 및 리버스 플래너(reverse planar) 형태중 하나이다. 각각의 소스, 채널, 및 드레인 영역이 하나의 활성층에 형성되는 플래너 형태 TFT 가 사용될 때 본 발명의 방법은 특히 효과적이다. 레이저광이 결정화, 결정화 증진, 결정화의 개선, 불순물의 활성화, 및 다수의 어닐링 처리를 위해 조사된다.

본 발명에서, 반도체 제조 방법은, 선형 레이저광을 박막 트랜지스터로 조사하는 단계와, 선형 레이저광의 라인 방향을 따라 소스 영역 및 드레인 영역을 갖는 TFT를 형성하는 단계를 포함한다.

본 발명에서, 반도체 제조 방법은, 선형 레이저광을 박막 트랜지스터로 조사하는 단계와, 캐리어가 선형 레이저광의 라인 방향을 따라 이동되는, 반도체 장치를 제조하는 단계를 포함한다.

본 발명에서, 반도체 제조 방법은, TFT 의 소스 및 드레인 영역을 하나의 도전 형태로 만들기 위하여 불순물 이온을 주입하는 단계와, 소스 영역 및 드레인 영역을 연결하는 라인을 따라 선형 레이저광을 조사하는 단계를 포함한다.

본 발명에서, 반도체 장치는 결정 실리콘막의 TFT 를 포함하고, TFT 의 소스 및 드레인 영역을 연결하는 제 1 방향에 수직인 제 2 방향으로 결정 실리콘막의 굴절률 분산은 상기 제 1 방향으로 결정 실리콘막의 굴절률 분산 보다 2 배 이상 높다.

본 발명에서, 반도체 장치는 결정 실리콘막을 사용하며, 반도체 장치의 캐리어 이동 방향에 수직인 방향으로 결정 실리콘막의 굴절률 분산은 캐리어 이동 방향으로 결정 실리콘막의 굴절률 분산 보다 2 배 이상 높다.

선형 빔 패턴을 갖는 레이저광으로 반도체를 어닐링할 때, 레이저 패턴의 라인 방향으로 형성된 복수의 박막 특성은 레이저 패턴의 라인 방향에서 어닐링 효과의 균일성을 사용해서 균일화된다.

반도체 장치의 전기적 특성은 반도체 장치의 캐리어 이동 방향을 라인 레이저 패턴의 라인 방향과 일치시킴으로써 개선될 수 있다. 이는 캐리어가 균일한 결정성을 갖는 영역에서 이동되기 때문이다.

캐리어 이동 방향에 수직인 방향으로 결정 실리콘막의 굴절률 분산은 캐리어 이동 방향으로 결정 실리콘막의 굴절률 분산보다 2 배 이상 더 높게 설정됨으로 써, 높은 특성을 갖는 TFT가 얻어질 수 있다.

실시예 1

상기 실시예에서, 본 발명은 유리 기판 상에 형성된 비결정 실리콘막이 결정화되는 경우에 적용된다. 선형 레이저광은 열에 의해 결정화된 결정 실리콘막으로 더 조사된다. 또한, 동일한 특성을 갖는 박막 트랜지스터(TFTs)는 결정 실리콘막으로 형성된다. 특히, TFTs 는 유리 기판 상에 집적되어 액티브 매트릭스형 액정 표시 장치를 구성한다.

레이저광을 조사하는 장치가 설명된다. 제 2 도는 상기 실시예에서 레이저 어닐링(annealing)장치의 개략도이다. 레이

저광은 발진기(2)에 의해 발진된다. 발진기(2)에 의해 발진된 레이저광은 KrF 엑시머 레이저(파장: 248nm, 펄스폭: 30ns)이다. 다른 엑시머 레이저 또는 다른 레이저 형태가 사용될 수 있다. 발진 기(2)에 의해 발진된 레이저광은 전반사 미러(5 및 6)를 통해 증폭기(3)에 의해 증폭된 후 전반사 미러(7 및 8)를 통해 광 시스템(4)으로 들어간다. 광 감쇠 필터를 출입시키는 기계(도시 안됨)는 미러(8) 및 광 시스템(4) 사이에 놓인다. 상기 광 감쇠 필터는 다른 투과율을 갖는 필터를 조합하여 소망의 조사 강도를 얻기 위해 사용된다.

광 시스템(4)에 입사되기 전, 레이저광의 빔 패턴은 3 ×2㎠정도의 장방형을 갖는다. 레이저광을 광 시스템(4)을 통해 통과시킴으로써, 길이: 10 내지 30cm, 폭: 0.1 내지 1cm 정도의 가느다란 빔(선형 빔)이 얻어질 수 있다. 광 시스템(4)을 통해 통과하는 레이저광 에너지는 최대 1000m/샷(shot) 정도이다.

레이저광이 가느다란 빔으로 가공되어 조사 효율을 개선시킨다. 즉, 광 시스템(4)을 통해 통과한 후, 선형 빔은 전반사 미러(9)를 통해 통과된 후, 기판(샘플)(11)으로 조사된다. 상기 경우에, 빔 폭을 기판 폭보다 더 크게 설정하고, 기판을 일 방향으로 이동시킴으로써 레이저광은 기판의 전체 표면으로 조사될 수 있다. 그러므로, 기판을 배치시킨 스테이지 및 구동기 장치(10)는 간단한 구성이고, 보수가 용이하다. 기판을 설정할 때의 정렬은 쉽게 수행된다. 또한, 기판을 일방향으로 이동시켜 기판의 전체 표면에 레이저광을 조사할 수 있음으로, 레이저광 조사 처리의 단순화 및 양호한 제어성이 달성될 수 있다.

조사될 기판(11)이 배치되는 스테이지(10)는 컴퓨터(도시 안됨)에 의해 제어되고, 소망된 속도로 선형 레이저광에 수직인 방향으로 이동되도록 설계된다. 기판을 배치한 스테이지가 그 평면내에서 회전할 수 있다면, 레이저광 주사 방향의 변경이 용이해 진다. 히터는 스테이지(10) 아래에 배열되어 레이저 조사 동안 소망 온도로 기판을 유지한다.

제 3A 내지 3C 도는 광 시스템(4)의 광 경로를 도시한다. 제 3A 도는 광 경로의 상면도이고, 제 3B 도는 측면도이다. 광 시스템(4)으로 입사하는 레이저광은 원통 오목렌즈(A), 원통 볼록렌즈(B) 및 횡방향의 플라이 아이(fly eye) 렌즈(C 및 D)를 통과하여, 레이저광이 가우스 분포형으로부터 장방형 분포형으로 변화된다. 레이저광은 원통 볼록 렌즈(E 및 F) 및 미러(G)를 통과한 후 원통 렌즈(H)에 의해 집속되어 선형 레이저광이 된다. 미러(G)는 제 2 도의 미러(9)에 대응한다. 또한, 원통 렌즈(H)(제 2 도에 도시 안됨)는 미러(9) 및 기판(샘플)(11)간에 배치된다.

결정 실리콘막이 유리 기판 상에 형성되는 경우가 하기에서 도시된다. 10cm 평방의 유리 기판(예를 들어, 코닝 7959 유리 기판 또는 코닝 1737 유리 기판)이 준비된다. 실리콘 산화물 막이 TEOS 를 원료로 사용하는 플라즈마 CVD 에 의해 유리 기판 상에 200Å 두께로 형성된다. 실리콘 산화물막은 유리 기판측으로부터 반도체막으로 불순물 확산을 방지하기 위한 기본 막으로서 기능한다.

비결정 실리콘막은 플라즈마 CVD 또는 저압 열 CVD 에 의해 500 Å 두께로 형성된다. 그 두께는 소망의 두께로 설정될 수 있다.

기판을 과산화수소 암모니아에 담그고 70℃로 5 분간 유지하여 비결정 실리콘막 표면상에 실리콘 산화물막을 형성한다. 또한, 액상 Ni 아세테이트가 스핀 코팅에 의해 비결정 실리콘막 표면상에 도포된다. Ni 원소는 비결정 실리콘막의 결정화를 증진시키기 위한 원소로 기능한다. 실리콘막의 Ni 원소량은 1×1016 내지 5×10^{19} cm^{-3} 이다. 특히, Ni 아세테이트 용액의 Ni 농도는 실리콘막으로 도입되는 Ni 원소량을 제어하기 위해 조절된다. 상기 실시예에서, Ni 원소가 사용되나, Fe, Co, Ru, Rh, Pd, Os, Ir, Pt, Cu 및 Au 중 적어도 하나가 Ni 대신에 사용될 수 있다.

기판을 1 시간 동안 450℃의 질소 분위기에 유지시킴으로써, 비정질 실리콘막으로부터 수소를 제거한다. 연속적인 결정화 처리에 요구되는 임계 에너지가 비정질 실리콘막에 댕글링(dangling) 결합을 의도적으로 형성시킴으로써 감소되기 때문이다. 4 시간 동안 550℃의 질소 분위기에서 열처리를 함으로써, 비정질 실리콘막이 결정화된다. 결정 온도는

Ni 원소 반응에 의해 550℃로 설정된다. 열처리온도가 550℃ 일 때, 593℃ 의 왜곡점을 갖는 코닝 7059 유리 기판에는 열 손상 문제가 거의 없다. 일반적으로, 사용되는 유리 기판의 왜곡점 아래의 온도에서 열처리를 수행하는 것이 필요하다.

상기 공정을 통해, 기판의 결정 실리콘막이 얻어질 수 있다. 또한, KrF 엑시머 레이저(파장: 248nm, 펄스폭: 25ns)는 제 2 도의 장치에 의해 결정 실리콘막으로 조사된다. 레이저광 조사는 결정성을 증대시킨다.

결정 실리콘막이 실리콘 결정화를 도모하는 금속 원소를 사용하는 열 처리에 의해 얻어질 때, 상기 얻어진 막은 결정성을 갖지만 상당한 비정질 성분을 포함한다. 그러므로, 레이저광 조사에 의해 막의 결정성을 증대시키는 것이 매우 효과적이다.

레이저광은 제 3A 내지 3C 도의 광 시스템에 의해 선형 빔 패턴으로 성형되고 조사된 부분에서 범 패턴이 125㎜×1㎜으로 되는 선형 레이저광으로 된다고 가정한다.

실리콘막을 형성하는 기판(샘플)이 스테이지(10)상에 배치된다. 스테이지를 2mm/s로 이동시킴으로써 레이저광이 기판의 전 표면상에 조사된다. 스테이지 (10)의 이동 속도는 실리콘막의 막 품질 및 막 형성 조건에 따라 실험으로 결정된다.

2 단계 조사가 수행된다. 즉, 150 내지 300mJ/㎠의 조사가 예비 (preliminary) 조사로서 수행된 후 200 내지 400mJ/㎠의 조사가 본(main) 조사로서 수행된다. 펄스폭은 30ns 이고, 펄스 수는 30 펄스/s 이다. 2 단계 조사가 수행되어, 최대 레이저광 조사에 기인한 막 표면의 균일성 저하가 억제되고 양호한 결정성을 갖는 막이 형성된다.

광 감쇠 필터는 레이저 에너지를 변환(예를 들어, 예비 조사로부터 본 조사로의 에너지 변환)시키기 위해 함께 사용된다. 그것에 의해 에너지 변환은 레이저 발진 장치 자체의 에너지가 조절되는 경우보다 더 짧은 시간동안 수행된다.

레이저광이 조사될 때, 기판 온도는 200℃로 유지된다. 이는 레이저광 조사에 기인한 기판 표면 온도의 상승 및 하강 속도가 완화되기 때문이다. 상기 실시예에서, 기판 온도는 200℃이나, 실제의 실시에서는 100 도 내지 600℃ 정도(상한은 유리 기판의 왜곡점에 의해 제한됨)까지 사이에서 레이저 어닐링에 대한 최적의 온도를 선택한다. 분위기 제어는 특별히 수행되지 않고, 조사는 대기(압력)에서 수행된다.

이와 같은 공정에 따라서, 유리 기판 상에 형성된 결정 실리콘막이 얻어진다. 다음 설명에서, 액티브 매트릭스형 액정 표시 장치에 사용되는 TFTs 가 레이저 어닐링에 의해 생산된다.

제 4 도에 도시했듯이, 액티브형 액정 표시 장치(20)는 픽셀부(21)와 주변 회로부(22 및 23)를 갖는다. 픽셀부(20)에서, 픽셀 전극(수백 × 수백)은 매트릭스 형태로 배열되고, 적어도 하나의 TFT가 각 픽셀마다 스위칭 소자로서 배치된다. 주변 회로는 픽셀부(21)에 배열된 TFTs 를 구동하고, 전류를 흐르게 하는 시프트 레지스터 회로 및 버퍼 회로(저 임피던스를 갖는 출력회로)를 갖는다. 주변 회로는 주로 TFTs 에 의해 구성된다.

상기 실시예에서, 픽셀부에 배치된 TFTs 및 주변 회로에 배치된 TFTs 는 선형으로 배열(정렬)된다. 또한, 상기 TFTs 는 소스와 드레인을 연결하는 방향이 선형 레이저광의 라인 방향과 일치하도록 배치된다.

제 5 도는 TFTs 가 실제로 배열되는 패턴을 도시한다. 제 5 도에서, 도면 번호(51)는 주변 회로에 배열된 TFTs 패턴을 나타내고 대전류로 구동된다. 도면번호(52)는 픽셀 회로에 배열된 TFTs 패턴을 나타낸다. 레이저 조사 단계에서, TFTs는 아직 형성되지 않았다. 그러므로, 패턴(51 및 52)은, TFTs 가 최종적으로 형성되는 영역으로 간주된다.

TFTs(51 및 52)는 제 6A 및 6B 도에 상세히 도시된다. TFTs 는 선형으로 배열된다. 소스와 드레인을 잇는 라인은 선형 레이저광의 길이 방향과 일치하거나 거의 일치하게 설정된다.

선형 레이저광이 제 1 도의 어닐링에서 조사될 때, 빔 패턴의 라인 방향에서 어닐링 효과는 매우 균일하다. 그러므로, 레이저빔의 길이 방향으로 TFTs 를 정렬시킴으로써, TFTs 특성을 서로 일치시킬 수 있다. 또한, 각 TFT 의 소스 및 드레인 영역을 연결하는 라인을 선형빔의 길이 방향으로 정렬시킴으로써 소스 및 드레인 영역간 균일한 결정성을 갖는 영역에서 캐리어가 이동할 수 있기 때문에, 고 이동도가 얻어질 수 있다. 소스와 드레인을 연결하는 방향에서 결정성이 균일하다는 것은 결정 상태의 불연속성에 기인한 트랩 레벨 효과가 소스/드레인 방향에서 적다는 것을 의미한다. 트랩 레벨 효과는 동작 불안정 증대 및 OFF 전류 증가와 같은 문제를 유발한다.

그러므로, 소스와 드레인을 연결하는 방향에서 트랩 레벨 효과를 감소시키는 것은 낮은 OFF 전류를 갖는 안정된 소자를 제조하는데 효과적이다.

실시예 2

본 실시예에서, 유리 기판 상에 형성된 비정질 실리콘막에 레이저광이 조사되어 결정 실리콘막이 얻어지고, 이 결정 실리콘막이 사용되어 액티브 매트릭스형 액정 표시 장치의 픽셀 회로부분 및 주변 회로 부분을 구성하는 TFTs 가 제조된다.

3000Å의 실리콘 산화물 막이 스퍼터링에 의해 유리 기판상에서 기본 막으로서 형성된다. 또한, 비정질 실리콘막이 플라즈마 CVD 또는 저압 열 CVD 에 의해 500Å 두께로 형성된다. 상기 상태에서, 열처리가 400℃의 질소 분위기에서 1 시간 동안 수행되어, 비정질 실리콘막으로부터 수소가 제거된다.

TFT들이 선형으로 형성되는 선형 영역에 광이 정열되도록, 선형 엑시머 레이저광이 비결정 실리콘막으로 조사(제 5 도)되어 결정 실리콘막이 얻어진다.

결정 실리콘막이 얻어진 후, TFT들은 TFT 제조 공정에 의해 제조되어, 제 5도의 상태와 같이 정렬된다. 즉, TFTs 는 조사된 선형 레이저의 라인 방향을 따라 배열되고, 배열된 TFTs 의 소스 및 드레인 영역을 연결하는 라인은 선형 레이저광의 라인 방향과 일치한다. 제 2 도의 장치는 전 표면을 주사하면서, 레이저광을 조사한다.

실시예 3

본 실시예에서, 본 발명이 TFT 제조 공정에 요구되는 소스/드레인 영역의 활성화 공정에 응용된다.

결정 실리콘막으로 TFT들을 형성하는 경우에, 일 도전 형태를 나타내기 위한 인 또는 붕소와 같은 불순물 이온이 게이트 전극을 마스크로서 사용하고, 이온 도핑 또는 플라즈마 도핑에 의해 자기 정렬 방식으로 소스 및 드레인 영역에 도핑될 때, 도핑된 영역이 비정질로 되거나 그 결정성이 가속된 이온의 충격 때문에 현저하게 감소될 수 있다. 그러므로, 소스 및 드레인 영역의 결정성을 복원하는 어닐링 공정이 요구된다. 상기 열처리 없이, 도핑된 불순물 이온은 도전 형태를 제어하는 불순물로써 동작하지 못한다. 그러므로, 불순물 이온을 활성화시키는 어닐링이 요구된다.

상기 목적을 위한 어닐링 프로세스가 레이저광의 조사에 의해 이루어진다. TFTs 는 실시예 1 또는 2 에 따라서, 결정 실리콘막으로 형성되고, 제 5 도에 도시된 바와 같이 배치된다. 불순물 이온이 TFTs 의 소스 및 드레인 영역으로 주입된 후, 제 5 도의 선형 레이저광이 조사된다. 이 경우에, 소스 및 드레인 영역이 선형 레이저의 라인 방향으로 배치되기 때문에, 어닐링 효과는 하나의 TFT 에서 균일하다. 또한, TFTs 의 배열 방향 및 선형 레이저광의 라인 방향은 서로 일치하므로, 각 TFT에 대한 어닐링 효과가 균일화될 수 있다.

실시예에서, 액티브 매트릭스형 액정 표시 장치를 구성하는 TFTs 가 제조된다. 그러나, 본 발명이 다수의 집적 회로를 제조하는 프로세스에 응용될 수 있다. 본 발명은 TFTs 에 제한되지 않으며, 박막 다이오드, 바이폴라형 트랜지스터와 같은 다수의 반도체 장치 제조에도 적용될 수 있다.

본 발명은, 일 방향으로 선형 레이저광을 주사하는 동안 상기 레이저광을 반도체 재료에 조사하는 공정에 의해 반도체 재료의 특성이 불균일하게 되는 단점을 최소로 억제하는 효과가 있다. 즉, 액정 표시 장치에 반도체 박막으로 이루어진 복수의 박막 장치가 형성될 때, 복수의 TFT가 선형으로 정렬되고, 선형 레이저광이 정렬 방향을 따라 조사됨으로써, 각 TFT 특성이 서로 일치될 수 있다.

TFT 의 소스 및 드레인 영역 방향이 선형 레이저광의 라인 방향과 일치하는 동안 선형 레이저광이 조사됨으로써, 캐리어 이동 방향으로 결정 상태가 균일하게된다. 따라서, 각각의 TFT는 높은 캐리어 이동도, 낮은 OFF 전류 값, 및 안정한 특성을 갖는다.

본 발명은 반도체 장치 공정에서 사용되는 모든 레이저 처리 공정에 사용될 수 있다. 특히, 본 발명이 반도체 장치로서 TFTs 를 사용하는 TFT 액정 패널을 제조하기 위해 사용될 때, 각 TFT 특성이 균일하게 제조될 수 있기 때문에, 높은 품질을 갖는 액정 표시 장치가 얻어질 수 있다.

(57) 청구의 범위

청구항 1.

반도체 장치 제조 방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

제 1 주사 속도에서 제 1 주사 방향으로 상기 기판을 이동시키면서 제 1 에너지 밀도의 제 1 펄스 선형 레이저광으로 상기 반도체막을 조사하는 제 1 조사 단계로서, 상기 제 1 주사 방향은 상기 제 1 펄스 선형 레이저광의 제 1 길이 방향에 수직인, 상기 제 1 조사 단계;

제 2 주사 속도에서 제 2 주사 방향으로 상기 기판을 이동시키면서 제 2 에너지 밀도의 제 2 펄스 선형 레이저광으로 상기 반도체막을 조사하는 제 2 조사 단계로서, 상기 제 2 주사 방향은 상기 제 2 펄스 선형 레이저광의 제 2 길이 방향에 수직이고 상기 제 1 주사 방향과 동일하며, 일 펄스의 조사 영역이 다음 펄스와 부분적으로 중첩되도록 상기 제 1 및 제 2 레이저광의 각 조사가 행해지는, 상기 제 2 조사 단계; 및

상기 반도체막을 이용하여 복수의 박막 트랜지스터를 형성하는 단계로서, 상기 각 박막 트랜지스터는 소스 영역과 드레인 영역 및 그들 사이에 배치된 채널 영역을 포함하는 액티브 영역을 가지고, 상기 복수의 박막 트랜지스터 중 하나의 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 라인은 상기 복수의 박막 트랜지스터 중 다른 각각의 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 라인과 평행인, 상기 복수의 박막 트랜지스터를 형성하는 단계를 포함하고,

상기 박막 트랜지스터 각각의 액티브 영역이 상기 제 1 펄스 선형 레이저광의 제 1 펄스와 상기 제 2 펄스 선형 레이저광의 제 2 펄스가 조사되는 상기 반도체막의 일부에 형성되며,

상기 제 1 및 제 2 주사 방향으로 상기 채널 영역의 굴절률 분산은 상기 제 1 및 제 2 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 2.

반도체 장치 제조 방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 펄스 선형 레이저광으로 상기 반도체막을 조사하는 단계로서, 상기 주사 방향은 상기 펄스 레이저광의 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스와 부분적으로 중첩되도록 상기 조사가 행해지는, 상기 반도체막을 조사하는 단계: 및

상기 조사된 반도체막을, 적어도 제 1 및 제 2 박막 트랜지스터를 형성하기 위한 적어도 제 1 및 제 2 섬형상 반도체로 패터닝하는 단계로서, 각 섬형상 반도체는 소스 영역, 드레인 영역, 및 그들 사이에 배치된 채널 영역을 포함하고, 상기 제 1 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 1 라인은 상기 제 2 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 2 라인에 평행한, 상기 반도체막을 패터닝하는 단계를 포함하고,

상기 주사 방향으로 상기 채널 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 3.

반도체 장치 제조 방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 펄스 선형 레이저광으로 상기 반도체막을 조사하는 단계로서, 상기 주사 방향은 상기 펄스 선형 레이저광의 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스와 부분적으로 중첩되도록 상기 조사가 행해지는, 상기 반도체막을 조사하는 단계; 및

상기 반도제막을 이용하여 적어도 제 1 및 제 2 박막 트랜지스터를 형성하는 단계로서, 상기 제 1 및 제 2 박막 트랜지스터 각각은 소스 영역, 드레인 영역, 및 그들 사이에 배치된 채널 영역을 포함하는 액티브 영역을 가지고, 상기 제 1 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 1 라인은 상기 제 2 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 2 라인과 평행인, 상기 적어도 제 1 및 제 2 박막 트랜지스터를 형성하는 단계를 포함하고,

상기 제 1 및 제 2 박막 트랜지스터 각각의 액터브 영역이 상기 펄스 선형 레이저광의 펄스들이 조사되는 상기 반도체막의 일부에 형성되며,

상기 주사 방향으로 상기 채널 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 4.

액티브 매트릭스 장치의 픽셀들을 스위칭하는 적어도 제 1 및 제 2 박막 트랜지스터를 포함하는 액티브 매트릭스 회로를 구비한 반도체 장치의 제조방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 펄스 선형 레이저광으로 상기 반도체막을 조사하는 단계로서, 상기 주사 방향은 상기 펄스 선형 레이저광의 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스와 부분적으로 중첩되도록 상기 조사가 행해지는, 상기 반도체막을 조사하는 단계: 및

상기 반도체막을 이용하여 적어도 제 1 및 제 2 박막 트랜지스터를 형성하는 단계로서, 상기 제 1 및 제 2 박막 트랜지스터 각각은 소스 영역, 드레인 영역, 및 그들 사이에 배치된 채널 영역을 포함하는 액티브 영역을 가지고, 상기 제 1 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 1 라인은 상기 제 2 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 2 라인과 평행인, 상기 적어도 제 1 및 제 2 박막 트랜지스터를 형성하는 단계를 포함하고,

상기 제 1 및 제 2 박막 트랜지스터 각각의 액티브 영역이 상기 펄스 선형 레이저광의 펄스들이 조사되는 상기 반도체막의 일부에 형성되고,

상기 주사 방향으로 상기 채널 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 5.

액티브 매트릭스 장치의 픽셀들을 스위칭하는 적어도 제 1 및 제 2 박막 트랜지스터를 포함하는 액티브 매트릭스 회로를 구비한 반도체 장치의 제조방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 펄스 선형 레이저광으로 상기 반도제막을 조사하는 단계로서, 상기 주사 방향은 상기 펄스 선형 레이저광의 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스와 부분적으로 중첩되도록 상기 조사가 행해지는, 상기 반도체막을 조사하는 단계:

상기 조사된 반도체막을, 적어도 제 1 및 제 2 박막 트랜지스터를 형성하기 위한 적어도 제 1 및 제 2 섬형상 반도체로 패터닝하는 단계로서, 각 성형상 반도체가 채널 영역을 포함하는, 상기 반도체막을 패터닝하는 단계를 포함하고,

상기 제 1 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 1 라인이 상기 제 2 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 제 2 라인과 평행하고,

상기 주사 방향으로 상기 채널 형성 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 6.

제 1 항에 있어서, 상기 제 1 및 제 2 펄스 선형 레이저광 각각이 엑시머 레이저광을 광학 시스템에 의해 선형 패턴으로 형성함으로써 얻어지는, 반도체 장치 제조 방법.

청구항 7.

제 2 내지 5 항 중 어느 한 항에 있어서, 상기 펄스 선형 레이저광이 엑시머 레이저광을 광학 시스템에 의해 선형 패턴으로 형성함으로써 얻어지는, 반도체 장치 제조 방법.

청구항 8.

반도체 장치 제조 방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

제 1 주사 속도에서 제 1 주사 방향으로 상기 기판을 이동시키면서 제 1 에너지 밀도의 제 1 펄스 선형 레이저광으로 상기 반도체막을 조사하는 제 1 조사 단계로서, 상기 제 1 주사 방향은 상기 제 1 펄스 선형 레이저광의 제 1 길이 방향에 수직인, 상기 제 1 조사 단계;

제 2 주사 속도에서 제 2 주사 방향으로 상기 기판을 이동시키면서 상기 제 1 에너지 밀도보다 더 높은 제 2 에너지 밀도의 제 2 펄스 선형 레이저광으로 상기 반도체막을 조사하는 제 2 조사 단계로서, 상기 제 2 주사 방향은 상기 제 2 펄스 선형 레이저광의 제 2 길이 방향에 수직이고 상기 제 1 주사 방향과 동일한, 상기 제 2 조사 단계;

상기 반도체막을 이용하여 복수의 박막 트랜지스터를 형성하는 단계로서, 상기 박막 트랜지스터 각각은 소스 영역, 드레인 영역, 및 그들 사이에 배치된 채널 영역을 포함하는 액티브 영역을 가지고, 상기 복수의 박막 트랜지스터 중 하나의 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 라인은 상기 복수의 박막 트랜지스터 중 다른 각각의 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 라인과 평행인, 상기 복수의 박막 트랜지스터를 형성하는 단계; 및

제 3 주사 속도에서 제 3 주사 방향으로 상기 기판을 이동시키면서 제 3 에너지 밀도의 제 3 펄스 선형 레이저광으로 상기 박막 트랜지스터 각각의 소스 영역과 드레인 영역을 조사하는 제 3 조사 단계로서, 상기 제 3 주사 방향은 상기 제 3 펄스 선형 레이저광의 제 3 길이 방향에 수직이고 상기 제 1 주사 방향과 동일한, 상기 제 3 조사 단계를 포함하고,

상기 박막 트랜지스터 각각의 액티브 영역이 상기 제 1 펄스 선형 레이저광의 제 1 펄스, 상기 제 2 펄스 선형 레이저광의 제 2 펄스, 및 상기 제 3 선형 레이저광의 제 3 펄스가 조사되는 상기 반도체 박막의 일부에 형성되고,

상기 제 1, 제 2, 및 제 3 주사 방향으로 상기 채널 영역의 굴절률 분산이 상기 제 1, 제 2, 및 제 3 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 9.

픽셀 부분과 주변 회로 부분을 포함하는 액티브 매트릭스형 액정 표시 장치의 제조 방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 상기 반도체막의 픽셀 부분과 주변 회로 부분을 동일한 펄스 선형 레이저광으로 조사하는 단계로서, 상기 주사 방향은 상기 펄스 선형 레이저광의 길이 방향에 수직이고, 일 펄스의 조사 영역은 다음 펄스의 조사 영역과 부분적으로 중첩하도록 상기 조사가 행해지는, 상기 레이저 조사 단계; 및

상기 반도체막을 이용하여 상기 픽셀 부분에 복수의 제 1 박막 트랜지스터를 형성하고, 상기 주변 회로 부분에 복수의 제 2 박막 트랜지스터를 형성하는 단계로서, 상기 복수의 제 1 및 제 2 박막 트랜지스터 각각은 소스 영역, 드레인 영역, 및 이들 사이에 배치된 채널 영역을 포함하는 액티브 영역을 가지고, 상기 복수의 제 1 박막 트랜지스터 중 하나와 상기 복수의 제 2 박막 트랜지스터 중 하나의 소스 영역과 드레인 영역을 연결하는 라인은 상기 복수의 제 1 박막 트랜지스터 중 다른 박막 트랜지스터와 상기 복수의 제 2 박막 트랜지스터 중 다른 박막 트랜지스터의 소스 영역과 드레인 영역을 연결하는 라인과 평행한, 상기 복수의 제 1 및 제 2 박막 트랜지스터를 형성하는 단계를 포함하고,

상기 제 1 및 제 2 박막 트랜지스터 각각의 액티브 영역이 상기 펄스 선형 레이저광의 펄스가 조사되는 상기 반도체막의 일부에 형성되고,

상기 주사 방향으로 상기 채널 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 픽셀 부분과 주변 회로 부분을 포함하는 액티브 매트릭스형 액정 표시 장치의 제조 방법.

청구항 10.

제 1 항 또는 제 11 항에 있어서, 상기 각 박막 트랜지스터가 스태거 타입, 인버스 스태거 타입, 플래너 타입, 및 인버스 플래너 타입으로 구성된 그룹으로 선택된 하나의 타입인, 반도체 장치 제조 방법.

청구항 11.

제 2 내지 5 항 중 어느 한 항에 있어서, 상기 제 1 및 제 2 박막 트랜지스터 각각이 스태거 타입, 인버스 스태거 타입, 플래너 타입, 인버스 플래너 타입으로 구성된 그룹으로 선택된 하나의 타입인, 반도체 장치 제조 방법.

청구항 12.

반도체 장치 제조 방법에 있어서,

절연 표면을 갖는 기판 위에 반도체막을 형성하는 단계;

상기 반도체막을 결정화하는 단계;

일렬로 배치된 상기 반도체막을 사용하여 적어도 제 1 및 제 2 박막 트랜지스터를 형성하는 단계로서, 상기 제 1 및 제 2 박막 트랜지스터 각각이 소스 영역, 드레인 영역, 및 그들 사이에 배치된 채널 영역을 포함하는 액티브 영역을 갖는, 상기 적어도 제 1 및 제 2 박막 트랜지스터를 형성하는 단계;

소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 소정 에너지 밀도의 펄스 선형 레이저광으로 상기 제 1 및 제 2 박막 트랜지스터 각각의 소스 영역과 드레인 영역을 조사하는 단계로서, 상기 주사 방향은 상기 펄스 선형 레이저광의 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스의 조사 영역과 부분적으로 중첩하도록 상기 조사가 행해지는, 상기 소스 영역과 드레인 영역을 조사하는 단계를 포함하고,

상기 주사 방향으로 상기 채널 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 13.

제 12항에 있어서, 상기 제 1 및 제 2 박막 트랜지스터 각각이 스태거 타입, 인버스 스태거 타입, 플래너 타입, 및 인버스 플래너 타입으로 구성된 그룹으로부터 선택된 하나의 타입인, 반도체 장치 제조 방법.

청구항 14.

제 12 항에 있어서, 상기 반도체막은 상기 반도체막으로부터 수소가 제거되도록 가열되는, 반도체 장치 제조 방법.

청구항 15.

제 12 항에 있어서, 상기 소스 영역과 드레인 영역이 불순물 이온의 도핑에 의해 형성되는, 반도체 장치 제조 방법.

청구항 16.

제 12 항에 있어서, 상기 펄스 선형 레이저광이 엑시머 레이저인, 반도체 장치 제조 방법.

청구항 17.

제 1 항 또는 제 11 항에 있어서, 상기 제 1 및 제 2 펄스 선형 레이저광이 동일한 장치에 의해 발생되는, 반도체 장치 제조 방법.

청구항 18.

액티브 매트릭스 회로, 및 상기 액티브 매트릭스 회로에 전류를 인가하는 복수의 박막 트랜지스터를 구비하는 버퍼 회로를 포함하는 구동 회로를 갖는 액티브 매트릭스 장치의 제조 방법에 있어서,

절연 표면을 가진 기판 위에 비정질 실리콘을 포함하는 반도체막을 형성하는 단계로서, 상기 반도체막이 상기 박막 트랜지스터를 형성하는 부분을 갖는, 상기 반도체막을 형성하는 단계:

상기 반도체막을 결정화시키기 위해 소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 펄스 선형 레이저광으로 상기 반도체막의 상기 부분을 조사하는 단계로서, 상기 펄스 선형 레이저광은 반도체막에서 길이 방향으로 연장되는 기다란 횡단면을 가지고, 상기 주사 방향은 상기 펄스 레이저광의 상기 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스의 조사 영역과 부분적으로 중첩되도록 조사가 행해지는, 상기 반도체막의 상기 부분을 조사하는 단계;

상기 펄스 선형 레이저광에 의한 결정화 후, 상기 박막 트랜지스터용의 복수의 액티브 영역으로 상기 반도체막을 패터닝하는 단계로서, 상기 박막 트랜지스터 중 일 박막 트랜지스터의 액티브 영역을 통해 이동하는 캐리어의 방향으로 연장하는 라인이 나머지 박막 트랜지스터의 액티브 영역을 통해 이동하는 캐리어의 방향으로 연장하는 라인들에 평행한, 상기 반도체막을 패터닝하는 단계; 및

상기 액티브 영역을 이용하여 상기 박막 트랜지스터를 형성하는 단계를 포함하고,

상기 박막 트랜지스터 각각의 액티브 영역이 상기 펄스 선형 레이저광의 펄스들이 조사되는 상기 반도체막의 일부분에 형성되고,

상기 주사 방향으로 상기 액티브 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 액티브 매트릭스 장치 제조 방법.

청구항 19.

액티브 매트릭스 회로, 및 상기 액티브 매트릭스 회로에 전류를 인가하는 복수의 박막 트랜지스터를 구비하는 시프트 레지스터 회로를 포함하는 구동 회로를 갖는 액티브 매트릭스 장치의 제조 방법에 있어서,

절연 표면을 가진 기판 위에 비정질 실리콘을 포함하는 반도체막을 형성하는 단계로서, 상기 반도체막이 상기 박막 트랜지스터를 형성하는 부분을 갖는, 상기 반도제막을 형성하는 단계;

상기 반도체막을 결정화시키기 위해 소정 주사 속도에서 소정 주사 방향으로 상기 기판을 이동시키면서 펄스 선형 레이저광으로 상기 반도체막의 상기 부분을 조사하는 단계로서, 상기 펄스 선형 레이저광은 반도체막에서 길이 방향으로 연장되는 기다란 횡단면을 가지고, 상기 주사 방향은 상기 펄스 레이저광의 상기 길이 방향에 수직이고, 일 펄스의 조사 영역이 다음 펄스의 조사 영역과 부분적으로 중첩되도록 조사가 행해지는, 상기 반도체막의 상기 부분을 조사하는 단계;

상기 펄스 선형 레이저광에 의한 결정화 후, 상기 박막 트랜지스터용의 복수의 액티브 영역으로 상기 반도체막을 패터닝하는 단계로서, 상기 박막 트랜지스터 중의 일 박막 트랜지스터의 액티브 영역을 통해 이동하는 캐리어의 방향으로 연장하는 라인이 나머지 박막 트랜지스터의 액티브 영역을 통해 이동하는 캐리어의 방향으로 연장하는 라인들에 평행한, 상기 반도체막을 패터닝하는 단계; 및

상기 액티브 영역을 이용하여 상기 박막 트랜지스터를 형성하는 단계를 포함하고,

상기 주사 방향으로 상기 액티브 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 액티브 매트릭스 장치 제조 방법.

청구항 20.

액티브 매트릭스 장치의 픽셀들을 스위칭하는 복수의 박막 트랜지스터를 포함하는 액티브 매트릭스 회로를 구비한 반도체 장치의 제조 방법에 있어서,

절연 표면에 실리콘을 포함하는 반도제막을 형성하는 단계;

상기 반도체막에서 연장된 횡단면을 갖는 펄스 레이저빔으로 상기 반도체막을 조사하는 단계로서, 상기 조사는 상기 펄스 레이저빔에 대하여 상기 반도체막을 상기 횡단면의 연장된 방향에 수직인 방향으로 이동시키면서 행해지고, 상기 펄스 레이저빔의 각 펄스는 상기 반도체막에서 다음 펄스와 부분적으로 중첩되는, 상기 반도체막을 조사하는 단계, 및

상기 복수의 박막 트랜지스터의 제조에 적합하도록, 상기 조사된 반도체막을 행과 열의 매트릭스 형태로 배열되는 복수

의 섬형상 반도체로 패터닝하는 단계로서, 섬형상 반도체 각각은 채널 형성 영역을 포함하고, 상기 복수의 섬형상 반도체의 채널 형성 영역 중 하나를 통해서 이동하는 캐리어의 방향으로 연장하는 라인이 상기 복수의 섬형상 반도체의 나머지 각 채널 형성 영역을 통해서 이동하는 캐리어의 방향으로 연장하는 라인과 평행한, 상기 조사된 반도체막을 패터닝하는 단계를 포함하고,

상기 주사 방향으로 상기 액티브 영역의 굴절률 분산이 상기 주사 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 21.

액티브 매트릭스 장치의 픽셀들을 스위칭하느 복수의 박막 트랜지스터를 구비한 액티브 매트릭스 회로를 포함하는 반도체 장치의 제조 방법에 있어서,

절연 표면에 실리콘을 포함하는 반도체막을 형성하는 단계;

상기 반도체막에 연장된 횡단면을 갖는 펄스 레이저빔을 준비하는 단계로서, 상기 펄스 레이저빔의 파워 밀도가 적어도 상기 횡단면의 연장 방향으로 균일화되는, 상기 펄스 레이저빔을 준비하는 단계;

상기 펄스 레이저빔에 대하여 상기 연장된 방향에 수직인 방향으로 상기 반도체막을 이동시키면서 상기 펄스 레이저빔으로 상기 반도체막을 조사하는 단계로서, 상기 펄스 레이저빔의 각 펄스는 상기 반도체막 상에서 다음 펄스와 부분적으로 중첩되는, 상기 반도체막을 조사하는 단계;

상기 복수의 박막 트랜지스터의 제조에 적합하도록, 상기 조사된 반도체막을 행과 열의 매트릭스 형태로 배열되는 복수의 섬형상 반도체로 패터닝하는 단계로서, 섬형상 반도체 각각은 채널 형성 영역을 포함하고, 상기 복수의 섬형상 반도체의 채널 형성 영역 중 하나를 통해서 이동하는 캐리어의 방향으로 연장하는 라인이 상기 복수의 섬형상 반도체의 나머지 각 채널 형성 영역을 통해서 이동하는 캐리어의 방향으로 연장하는 리인과 평행한, 상기 조사된 반도체막을 패터닝하는 단계를 포함하고,

상기 이동 방향으로 상기 액티브 영역의 굴절률 분산이 상기 이동 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 빈도체 장치 제조 방법.

청구항 22.

복수의 박막 트랜지스터를 구비한 버퍼 회로를 포함하는 반도체 장치의 제조 방법에 있어서,

절연 표면에 실리콘을 포함하는 반도체막을 형성하는 단계;

상기 반도체막에 연장된 횡단면을 갖는 펄스 레이저빔을 준비하는 단계로서, 상기 펄스 레이저빔의 파워 밀도가 적어도 상기 횡단면의 연장 방향으로 균일화되는, 상기 펄스 레이저빔을 준비하는 단계;

상기 펄스 레이저빔에 대하여 상기 연장된 방향에 수직인 방향으로 상기 반도체막을 이동시키면서 상기 펄스 레이저빔으로 상기 반도체막을 조사하는 단계로서, 상기 펄스 레이저빔의 각 펄스는 상기 반도체막 상에서 다음 펄스와 부분적으로 중첩되는, 상기 반도체막을 조사하는 단계;

상기 복수의 박막 트랜지스터의 제조에 적합하도록, 상기 조사된 반도체막을 행과 열의 매트릭스 형태로 배열되는 복수의 섬형상 반도체로 패터닝하는 단계로서, 섬형상 반도체 각각은 소스 영역, 드레인 영역, 및 그들 사이에 배치된 채널

형성 영역을 포함하고, 상기 복수의 섬형상 반도체 중 일 반도체의 소스 영역과 드레인 영역을 연결하는 라인은 상기 복수의 섬형상 반도체 중 다른 반도체 각각의 소스 영역과 드레인 영역을 연결하는 라인들과 평행한, 상기 복수의 섬형상 반도체를 패터닝하는 단계를 포함하고,

상기 이동 방향으로 상기 액티브 영역의 굴절률 분산이 상기 이동 방향에 수직인 방향으로의 굴절률 분산보다 더 큰, 반도체 장치 제조 방법.

청구항 23.

제 18항에 있어서, 상기 제 2 박막 트랜지스터가 상기 길이 방향을 따라 일렬로 배열되는, 액티브 매트릭스 장치 제조 방법.

청구항 24.

제 20 내지 22항 중 어느 한 항에 있어서, 상기 섬형상 반도체 상에 게이트 전극을 형성하는 단계를 포함하는, 반도체 장치 제조 방법.

청구항 25.

제 20 내지 22항 중 어느 한 항에 있어서, 상기 섬형상 반도체 아래에 게이트 전극을 형성하는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 26.

제 20 내지 22항 중 어느 한 항에 있어서, 상기 펄스 레이저빔의 조사 전에 상기 반도체막을 결정화하는 단계를 더 포함하는, 반도체 장치 제조 방법.

청구항 27.

제 20 내지 22항 중 어느 한 항에 있어서, 상기 반도체막이 상기 펄스 레이저빔에 대하여 연속적으로 이동되는, 반도체 장치 제조 방법.

청구항 28.

제 1 내지 5, 12,18 내지 22항 중 어느 한 항에 있어서, 상기 제 1 및 제 2 주사 방향에 수직인 상기 방향이 캐리어 이동 방향에 평행한, 반도체 장치 제조 방법.

청구항 29.

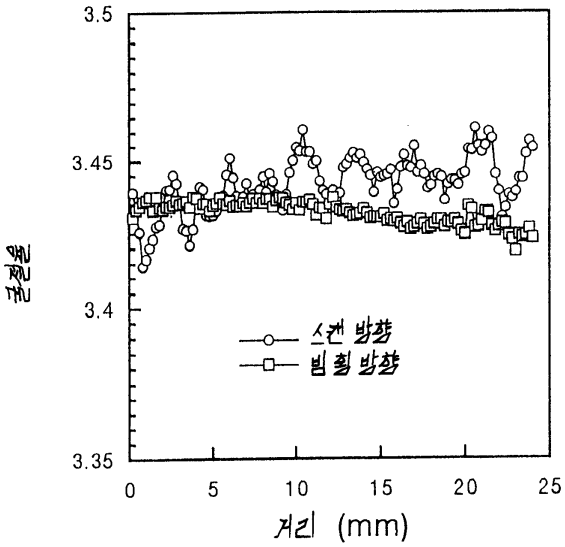
제 8 항에 있어서, 상기 제 1, 제 2, 및 제 3 주사 방향에 수직인 상기 방향이 캐리어 이동 방향에 평행한, 반도체 장치 제조 방법.

청구항 30.

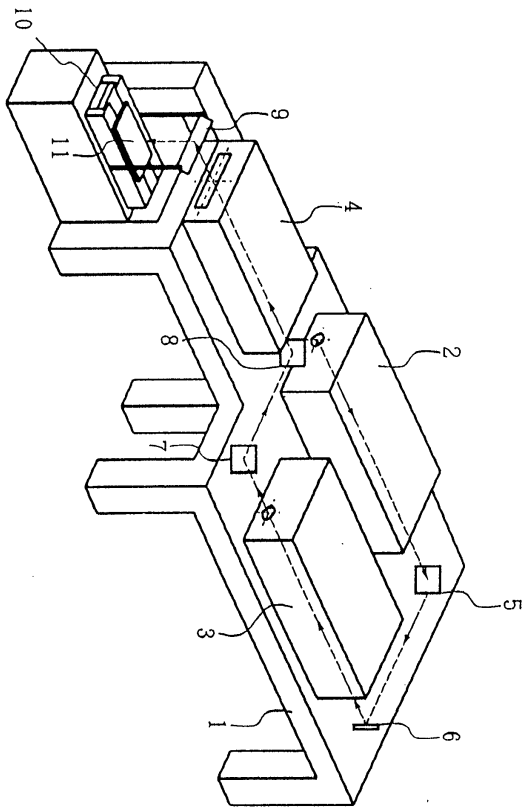
제 1 내지 5, 8, 12, 20 내지 22항 중 어느 한 항에 있어서, 상기 굴절률이 엘립소미터에 의해 측정되는, 반도체 장치 제조 방법.

도면

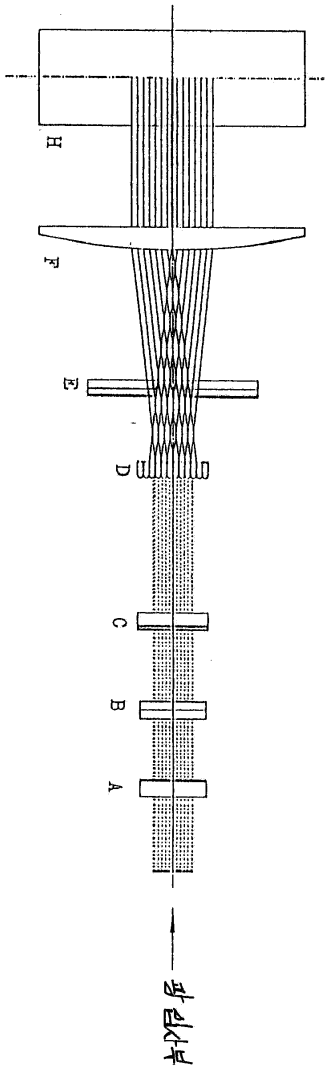
도면 1



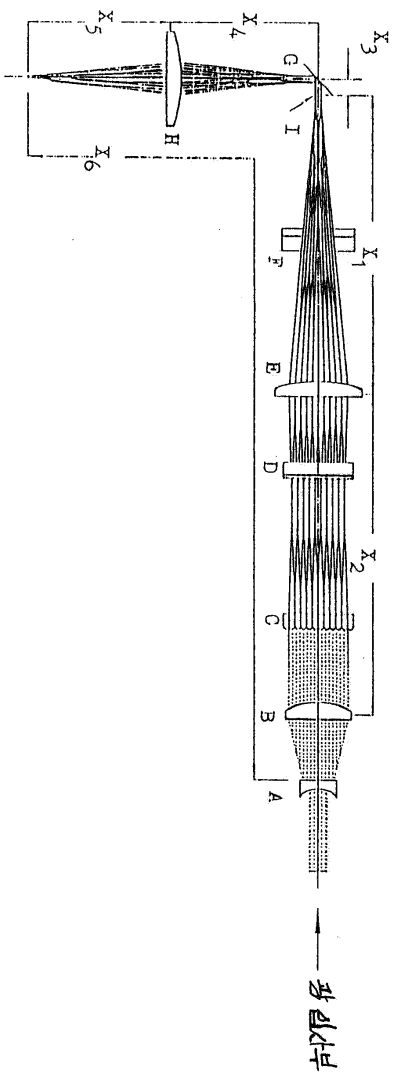
도면 2



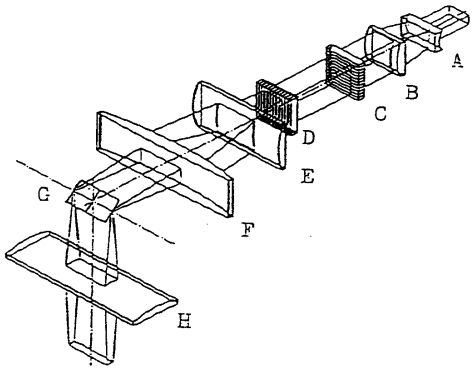
도면 3a



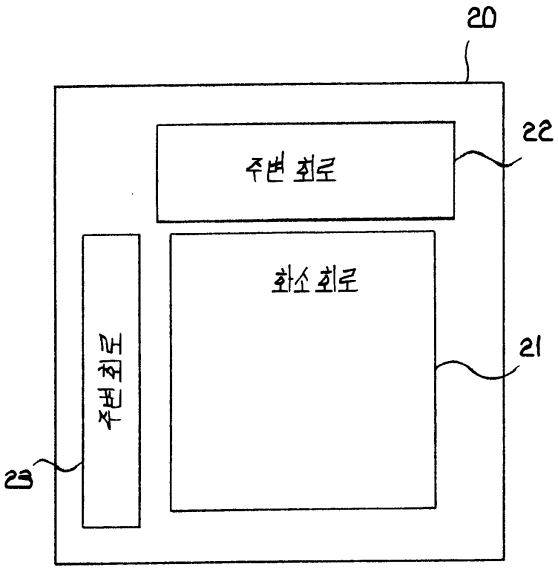
도면 3b



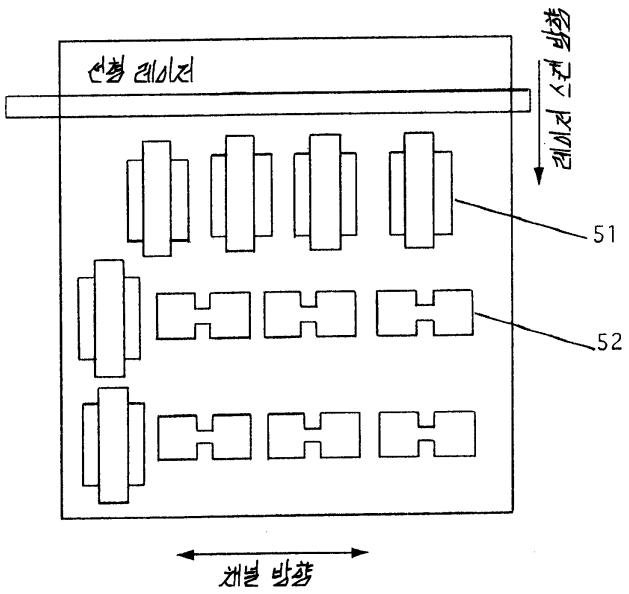
도면 3c



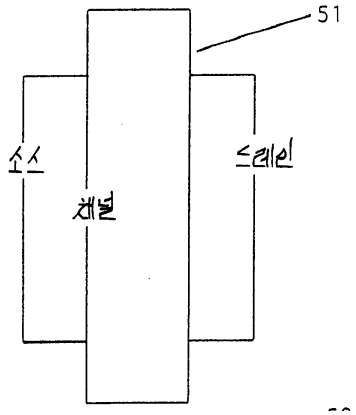
도면 4



도면 5



도면 6a



도면 6b

