

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年2月13日(13.02.2020)



(10) 国際公開番号
WO 2020/031439 A1

- (51) 国際特許分類:
H04N 5/378 (2011.01) H03M 1/56 (2006.01)
H03F 3/34 (2006.01)
- (21) 国際出願番号: PCT/JP2019/017845
- (22) 国際出願日: 2019年4月26日(26.04.2019)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2018-148292 2018年8月7日(07.08.2018) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

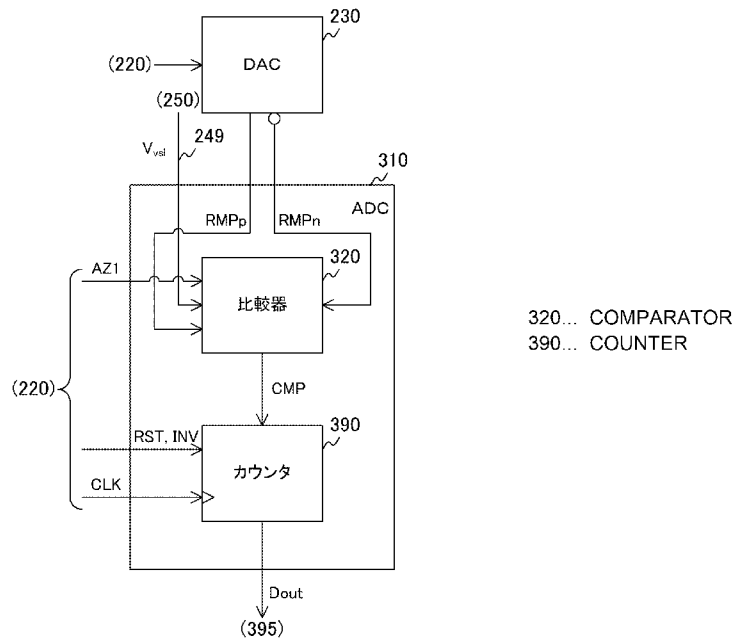
神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

- (72) 発明者: 瀬上 雅博 (SEGAMI, Masahiro); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山下 知憲 (YAMASHITA, Tomonori); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 大迫 洋平(OOSAKO, Youhei); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(54) Title: SOLID-STATE IMAGING ELEMENT, IMAGING DEVICE, AND METHOD FOR CONTROLLING SOLID-STATE IMAGING ELEMENT

(54) 発明の名称: 固体撮像素子、撮像装置、および、固体撮像素子の制御方法

[図4]



(57) Abstract: A solid-state imaging element for performing AD conversion using a reference signal, wherein the power consumption of a circuit that generates the reference signal is reduced. A pixel unit outputs a pixel signal based on the luminous energy of incident light. A reference signal supply unit generates a first reference signal and a second reference signal. A comparison unit includes first differential pair transistors to which a signal based on the pixel signal and the first reference signal are inputted, and second differential pair transistors to which the second reference signal is inputted. A



WO 2020/031439 A1

(74) 代理人: 丸島 敏一 (MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿 3-3-2 京
王 新宿三丁目第二ビル 5 F クラフト
国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,
BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,
DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS,
MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM,
ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ,
TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ,
DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT,
LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS,
SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM,
GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

counter unit counts a count value on the basis of a signal from the comparison unit.

(57) 要約: 参照信号を用いて A/D 変換を行う固体撮像素子において、参照信号を生成する回路の消費電力を低減する。画素部は、入射光の光量に基づいた画素信号を出力する。参照信号供給部は、第一の参照信号、および、第二の参照信号を生成する。比較部は、画素信号および第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、第二の参照信号が入力される第二の差動対トランジスタを含む。カウンタ部は、比較部の信号に基づいてカウントする。

明 細 書

発明の名称：

固体撮像素子、撮像装置、および、固体撮像素子の制御方法

技術分野

[0001] 本技術は、固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。詳しくは、比較器およびカウンタを用いてアナログ信号をデジタル信号に変換する固体撮像素子、撮像装置、および、固体撮像素子の制御方法に関する。

背景技術

[0002] 従来より、固体撮像素子においては、その構造が簡易であるために、シングルスロープ方式のアナログデジタル変換器（ADC：Analog to Digital Converter）が広く用いられている。このシングルスロープ方式のADCは、比較器およびカウンタからなり、比較器は、変換対象の入力信号と所定の参照信号とを比較する。また、そのADC内のカウンタは、比較器の比較結果が反転するまでの期間に亘って計数値を計数し、その計数値を示すデジタル信号を出力する。参照信号としては、ランプ信号などが用いられる。そのランプ信号の振幅が大きいほど、ADCの分解能仕様によって決まるデジタル信号の範囲に対応する入力信号のフルスケールが大きくなる。例えば、列ごとにADCを配置し、DAC（Digital to Analog Converter）がシングルエンド信号を参照信号として生成して、それらをADCに供給する固体撮像素子が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2009-296423号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術では、列ごとのADCにより、1行分のアナログ信号を同

時にAD変換することができる。しかしながら、参照信号を生成するためのDACの消費電力を低減することが困難である。例えば、参照信号の振幅を小さくすることで、DACの出力電圧の最大値も小さくし、これによって電源電圧も下げることでDACの消費電力を低減しようとしても、DACが出力する参照信号のフルスケールとノイズ実効値の比（PSNR：Peak Signal-to-Noise Ratio）を維持するための消費電流増分が電源電圧を減らした効果を相殺してしまうからである。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、参照信号を用いてAD変換を行う固体撮像素子において、参照信号を生成する回路の消費電力を低減することを目的とする。

課題を解決するための手段

[0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、入射光の光量に基づいた画素信号を出力する画素部と、第一の参照信号、および、第二の参照信号を生成する参照信号供給部と、画素信号および上記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、上記第二の参照信号が入力される第二の差動対トランジスタを含む比較部と、上記比較部の信号に基づいてカウントするカウンタ部とを具備する固体撮像素子、および、その制御方法である。これにより、第一および第二の参照信号と入力信号とから比較結果が生成されるという作用をもたらす。

[0007] また、この第1の側面において、上記比較部は、上記第一の参照信号と上記画素信号との差分を分圧した信号を比較対象信号として上記第一の差動対トランジスタに供給する入力側分圧回路をさらに備え、上記第一および第二の差動対トランジスタを含む差動アンプは、上記比較対象信号と上記第二の参照信号との差分を増幅して上記比較結果として上記カウンタ部に出力してもよい。これにより、第一の参照信号と画素信号との差分を分圧した信号が第二参照信号と比較されるという作用をもたらす。

[0008] また、この第1の側面において、上記比較部は、上記第二参照信号と所定

の固定電位との差分を分圧した信号を上記第二の差動対トランジスタに供給する参照側分圧回路をさらに備え、上記差動アンプは、上記比較対象信号と上記参照側分圧回路により分圧された信号との差分を増幅してもよい。これにより、差動対称性の高い第一および第二参照信号が供給されるという作用をもたらす。

[0009] また、この第1の側面において、上記比較部は、上記比較結果を増幅して上記カウンタに出力する出力アンプをさらに備えてもよい。これにより、増幅された信号によってカウンタ以降の回路が駆動されるという作用をもたらす。

[0010] また、この第1の側面において、上記比較部は、上記比較結果の振幅を制限して上記出力アンプに供給する振幅制限部をさらに備えてもよい。これにより、比較結果の振幅が制限されるという作用をもたらす。

[0011] また、この第1の側面において、上記振幅制限部は、互いに異なるバイアス電圧を供給する一对のバイアス電圧供給部と、上記一对のバイアス電圧供給部の間に直列に挿入された一对のダイオードとを備え、上記差動アンプの出力端子と上記出力アンプの入力端子とは、上記一对のダイオードの接続点に共通に接続されてもよい。これにより、上限値から下限値までの範囲内に振幅が制限されるという作用をもたらす。

[0012] また、この第1の側面において、上記振幅制限部は、直列に接続されたP型トランジスタおよびN型トランジスタと、互いに異なるバイアス電圧を上記P型トランジスタおよびN型トランジスタのそれぞれのゲートに供給する一对のバイアス電圧供給部とを備え、上記差動アンプの出力端子と上記出力アンプの入力端子とは、上記P型トランジスタおよび上記N型トランジスタの接続点に共通に接続されてもよい。これにより、上限値から下限値までの範囲内に振幅が制限されるという作用をもたらす。

[0013] また、この第1の側面において、上記振幅制限部は、電源端子に接続された電源側電流源と、上記電源側電流源にソースおよびドレインの一端が接続されたゲート接地トランジスタと、上記ゲート接地トランジスタのゲートに

所定のバイアス電圧を供給するバイアス電圧供給部と、上記ゲート接地トランジスタのソースおよびドレインの他端と接地端子との間に挿入された接地側電流源とを備え、上記電源側電流源および上記接地側電流源の一方と上記ゲート接地トランジスタのソースとの接続点が上記差動アンプの出力端子に接続され、上記電源側電流源および上記接地側電流源の他方と上記ゲート接地トランジスタのドレインとの接続点が上記出力アンプの入力端子に接続されてもよい。これにより、下限値を超える範囲内に振幅が制限されるという作用をもたらす。

[0014] また、この第1の側面において、上記振幅制限部は、上記電源側電流源および上記接地側電流源の一方と上記ゲート接地トランジスタのソースとの接続点と、上記差動アンプの出力端子との間の経路を開閉する入力側スイッチと、上記電源側電流源および上記接地側電流源の他方と上記ゲート接地トランジスタのドレインとの接続点と、上記接地端子との間の経路を開閉する出力側スイッチとをさらに備え、上記入力側スイッチおよび上記出力側スイッチの一方が開状態の場合には他方が閉状態に移行してもよい。これにより、オートゼロ動作中に差動アンプの出力が遮断されるという作用をもたらす。

[0015] また、この第1の側面において、上記参照信号供給部は、所定の選択信号に従って第1および第2の出力端子の一方から所定電流を出力する複数の選択回路と、上記複数の選択回路のそれぞれの上記第1の出力端子に一端が共通に接続された第1の抵抗と、上記複数の選択回路のそれぞれの上記第2の出力端子に一端が共通に接続された第2の抵抗とを備え、上記第1の抵抗の上記一端から上記第一参照信号が出力され、上記第2の抵抗の上記一端から上記第二の参照信号が出力されてもよい。これにより選択信号に従って第一および第二の参照信号が生成されるという作用をもたらす。

[0016] また、この第1の側面において、上記選択回路は、上記所定電流を供給する電流源と、上記電流源に共通に接続された第1および第2の選択トランジスタと、上記選択信号を反転させて上記第1および第2の選択トランジスタ

の一方のゲートに供給するインバータと、上記第1の選択トランジスタと上記第1の出力端子との間に直列に挿入された第1のカスコードトランジスタと、上記第2の選択トランジスタと上記第2の出力端子との間に直列に挿入された第2のカスコードトランジスタとを備え、上記第1および第2の選択トランジスタの他方のゲートには上記選択信号が入力され、上記第1および第2のカスコードトランジスタのそれぞれのゲートには、所定のバイアス電圧が印加されてもよい。これにより、DAC出力の精度が向上するという作用をもたらす。

[0017] また、この第1の側面において光電変換により上記入力信号を生成する画素をさらに具備し、上記画素は、所定の受光基板に配置され、上記参照信号供給部、上記比較部および上記カウンタ部は、上記受光基板に積層された所定の回路基板に配置されてもよい。これにより、基板当たりの回路規模が削減されるという作用をもたらす。

[0018] また、本技術の第2の側面は、入射光の光量に基づいた画素信号を出力する画素部と、第一の参照信号、および、第二の参照信号を生成する参照信号供給部と、画素信号および上記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、上記第二の参照信号が入力される第二の差動対トランジスタを含む比較部と、上記比較部の信号に基づいてカウントするカウンタ部と、上記カウンタ部の計数値を示すデジタル信号を処理する信号処理部とを具備する撮像装置である。これにより、第一および第二の参照信号と入力信号とから比較結果が生成され、その比較結果から生成されたデジタル信号が処理されるという作用をもたらす。

発明の効果

[0019] 本技術によれば、参照信号を用いてAD変換を行う固体撮像素子において、参照信号を生成する回路の消費電力を低減することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0020] [図1]本技術の第1の実施の形態における撮像装置の一構成例を示すブロック図である。

[図2]本技術の第1の実施の形態における固体撮像素子の一構成例を示すブロック図である。

[図3]本技術の第1の実施の形態におけるカラム信号処理部の一構成例を示すブロック図である。

[図4]本技術の第1の実施の形態におけるDACおよびADCの一構成例を示すブロック図である。

[図5]本技術の第1の実施の形態における比較器の一構成例を示す回路図である。

[図6]本技術の第1の実施の形態における差動アンプの一構成例を示す回路図である。

[図7]本技術の第1の実施の形態における接続を変更した差動アンプの一構成例を示す回路図である。

[図8]本技術の第1の実施の形態におけるトランジスタの極性を変更した差動アンプの一構成例を示す回路図である。

[図9]本技術の第1の実施の形態におけるDACの一構成例を示す回路図である。

[図10]本技術の第1の実施の形態における選択回路の一構成例を示す回路図である。

[図11]本技術の第1の実施の形態における参照信号の変動の一例を示すタイミングチャートである。

[図12]本技術の第1の実施の形態における固体撮像素子の動作の一例を示すフローチャートである。

[図13]本技術の第2の実施の形態における固体撮像素子の積層構造の一例を示す図である。

[図14]本技術の第3の実施の形態における比較器の一構成例を示す回路図である。

[図15]本技術の第3の実施の形態における差動アンプおよび出力アンプの一構成例を示す回路図である。

[図16]本技術の第4の実施の形態における比較器の一構成例を示す回路図である。

[図17]本技術の第4の実施の形態における振幅制限部の一構成例を示す回路図である。

[図18]本技術の第4の実施の形態の第1の変形例における振幅制限部の一構成例を示す回路図である。

[図19]本技術の第4の実施の形態の第2の変形例における振幅制限部の一構成例を示す回路図である。

[図20]本技術の第4の実施の形態の第3の変形例における振幅制限部の一構成例を示す回路図である。

[図21]本技術の第5の実施の形態における選択回路の一構成例を示す回路図である。

[図22]本技術の第6の実施の形態における比較器の一構成例を示す回路図である。

[図23]本技術の第6の実施の形態におけるDACの一構成例を示す回路図である。

[図24]本技術の第6の実施の形態における参照信号の変動の一例を示すタイミングチャートである。

[図25]車両制御システムの概略的な構成例を示すブロック図である。

[図26]撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0021] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 第1の実施の形態（一对の参照信号を比較器に供給する例）
2. 第2の実施の形態（積層構造において一对の参照信号を比較器に供給する例）

3. 第3の実施の形態（一对の参照信号を比較器に供給し、比較器内に2段のアンプを配置する例）
4. 第4の実施の形態（一对の参照信号を比較器に供給し、比較結果の振幅を制限する例）
5. 第5の実施の形態（一对の参照信号を比較器に供給し、DAC内にカスコードトランジスタを追加する例）
6. 第6の実施の形態（差動対称性の高い一对の参照信号を比較器に供給する例）
7. 移動体への応用例

[0022] <1. 第1の実施の形態>

[撮像装置の構成例]

図1は、本技術の第1の実施の形態における撮像装置100の一構成例を示すブロック図である。この撮像装置100は、画像データを撮像するための装置であり、光学部110、固体撮像素子200およびDSP (Digital Signal Processing) 回路120を備える。さらに撮像装置100は、表示部130、操作部140、バス150、フレームメモリ160、記憶部170および電源部180を備える。撮像装置100としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

[0023] 光学部110は、被写体からの光を集光して固体撮像素子200に導くものである。固体撮像素子200は、光電変換により画像データを生成するものである。この固体撮像素子200は、画像データを生成し、DSP回路120に信号線209を介して供給する。

[0024] DSP回路120は、画像データに対して所定の信号処理を実行するものである。このDSP回路120は、処理後の画像データをバス150を介してフレームメモリ160などに出力する。なお、DSP回路120は、特許請求の範囲に記載の信号処理部の一例である。

[0025] 表示部130は、画像データを表示するものである。表示部130としては、例えば、液晶パネルや有機EL (Electro Luminescence) パネルが想定

される。操作部140は、ユーザの操作に従って操作信号を生成するものである。

[0026] バス150は、光学部110、固体撮像素子200、DSP回路120、表示部130、操作部140、フレームメモリ160、記憶部170および電源部180が互いにデータをやりとりするための共通の経路である。

[0027] フレームメモリ160は、画像データを保持するものである。記憶部170は、画像データなどの様々なデータを記憶するものである。電源部180は、固体撮像素子200、DSP回路120や表示部130などに電源を供給するものである。

[0028] [固体撮像素子の構成例]

図2は、本技術の第1の実施の形態における固体撮像素子200の一構成例を示すブロック図である。この固体撮像素子200は、行選択部210、タイミング制御部220、DAC230、画素アレイ部250、カラム信号処理部260および水平転送走査部270を備える。これらの回路は、単一の半導体基板に配置される。画素アレイ部250には、複数の画素251が二次元格子状に配列される。以下、水平方向に配列された画素251の集合を「行」と称し、垂直方向に配列された画素251の集合を「列」と称する。また、画素アレイ部250内には、列ごとに垂直方向に垂直信号線259が配線される。なお、画素アレイ部250は、特許請求の範囲に記載の画素部の一例である。

[0029] タイミング制御部220は、垂直同期信号VSYNCに同期して、行選択部210、DAC230、カラム信号処理部260および水平転送走査部270のそれぞれの動作タイミングを制御するものである。

[0030] 行選択部210は、画素アレイ部250内の行を順に選択して駆動し、画素信号を出力させるものである。選択された行内の画素251のそれぞれは、対応する垂直信号線259を介してカラム信号処理部260にアナログの画素信号を出力する。

[0031] DAC230は、時間の経過に伴って変動する一对の差動信号を一对の参

照信号として生成するものである。例えば、参照信号としてランプ信号が生成される。DAC230は、生成した一对の参照信号をカラム信号処理部260に供給する。なお、DAC230は、特許請求の範囲に記載の参照信号供給部の一例である。

[0032] カラム信号処理部260は、列ごとに画素信号に対して、AD変換やCD S (Correlated Double Sampling) 処理などの処理を行うものである。このカラム信号処理部260は、処理後のデジタル信号からなる画像データをDSP回路120に供給する。

[0033] 水平転送走査部270は、列を順に選択して、その列のデジタル信号をカラム信号処理部260から出力させるものである。

[0034] [カラム信号処理部の構成例]

図3は、本技術の第1の実施の形態におけるカラム信号処理部260の一構成例を示すブロック図である。このカラム信号処理部260は、定電流源回路261およびAD変換部300を備える。

[0035] 定電流源回路261には、列ごとに定電流源262が配置される。それぞれの定電流源262は、対応する列の垂直信号線259に接続される。

[0036] AD変換部300には、ADC310およびラッチ回路395からなる組が列ごとに配置される。

[0037] ADC310は、対応する列の垂直信号線259を介して入力された画素信号をデジタル信号に変換するものである。このADC310は、変換後のデジタル信号をラッチ回路395に出力する。

[0038] ラッチ回路395は、対応する列のデジタル信号を保持するものである。このラッチ回路395は、保持したデジタル信号を水平転送走査部270の制御に従ってDSP回路120へ出力する。

[0039] [ADCの構成例]

図4は、本技術の第1の実施の形態におけるDAC230およびADC310の一構成例を示すブロック図である。ADC310は、比較器320およびカウンタ390を備える。

- [0040] DAC230は、一对の差動信号のうち正側の信号を参照信号RMP_pとして出力し、負側の信号を参照信号RMP_nとして出力する。これらの参照信号として、例えば、ランプ信号が用いられる。
- [0041] 比較器320には、参照信号RMP_pを基準とした画素信号V_{v_s1}の値に応じた比較対象信号を、参照信号RMP_nと比較するものである。例えば、比較器320は、参照信号RMP_pと画素信号V_{v_s1}との差分を分圧した信号を比較対象信号として生成し、参照信号RMP_nと比較する。そして、比較器320は、比較結果CMPをカウンタ390に供給する。なお、比較器320を構成する回路は、特許請求の範囲に記載の比較部の一例である。
- [0042] カウンタ390は、比較結果CMPが反転するまでの期間に亘って、タイミング制御部220からのクロック信号CLKに同期して計数値を計数するものである。ここで、行選択部210は、露光終了の前に、選択した行内の画素251が出力する画素信号V_{v_s1}の電位をリセットレベルに初期化する。また、行選択部210は、露光終了後に、露光量に応じた画素信号V_{v_s1}を画素251に出力させる。このときの画素信号V_{v_s1}の電位は、信号レベルと呼ばれる。なお、カウンタ390を構成する回路は、特許請求の範囲に記載のカウンタ部の一例である。
- [0043] タイミング制御部220は、リセットレベルの出力前に、リセット信号RSTによりカウンタ390に計数値を初期化させる。カウンタ390は、比較結果CMPが反転するまでの期間に亘って、クロック信号CLKに同期して計数値をダウンカウントする。これにより、リセットレベルがAD変換される。
- [0044] そして、タイミング制御部220は、信号レベルの出力直前に、反転信号INVにより増分値の極性を反転させる。カウンタ390は、比較結果CMPが反転するまでの間に亘って、クロック信号CLKに同期して計数値をアップカウントする。これにより、信号レベルがAD変換される。また、計数終了時の計数値は、リセットレベルと信号レベルとの差分を示す。これらの手順により、AD変換およびCDS処理が実行される。カウンタ390は、

計数値を示すデジタル信号Doutをラッチ回路395に出力する。

[0045] なお、カウンタ390は、リセットレベルの変換時にダウンカウントし、信号レベルの変換時にアップカウントしているが、この構成に限定されない。例えば、カウンタ390は、リセットレベルの変換時にアップカウントし、信号レベルの変換時にダウンカウントすることもできる。

[0046] また、1つのDAC230が、参照信号RMPpおよびRMPnの両方を生成しているが、一对のDACを配置し、それらの一方が参照信号RMPpを生成し、他方が参照信号RMPnを生成する構成であってもよい。

[0047] [比較器の構成例]

図5は、本技術の第1の実施の形態における比較器320の一構成例を示す回路図である。この比較器320は、容量321、322および323と、差動アンプ330とを備える。

[0048] 容量321の一端には画素信号 V_{vs1} が入力され、他端は、差動アンプ330の非反転入力端子(+)に接続される。容量322の一端には参照信号RMPpが入力され、他端は、容量321と共通に差動アンプ330の非反転入力端子(+)に接続される。この接続構成により、差動アンプ330の非反転入力端子(+)には、入力された画素信号 V_{vs1} と、参照信号RMPpとの差分を分圧した信号が入力される。なお、容量321および322からなる回路は、特許請求の範囲に記載された入力側分圧回路の一例である。

[0049] また、容量323の一端には、参照信号RMPnが入力され、他端は、差動アンプ330の非反転入力端子(-)に接続される。

[0050] 差動アンプ330は、非反転入力端子(+)に入力された信号と、反転入力端子(-)に入力された信号との差分を増幅するものである。この差動アンプ330は、増幅した信号を比較結果CMPとしてカウンタ390に出力する。また、差動アンプ330には、タイミング制御部220からのオートゼロ信号AZ1が入力される。

[0051] ここで、DAC230がシングルエンド信号を参照信号として容量322に供給する比較例を想定する。フルスケールを一定とすると、この比較例の

DAC230の消費電力は、DAC230が一对の差動信号を供給する構成と比べて大きい。その理由については後述する。

[0052] なお、容量322の一端に参照信号RMP_pを入力し、容量323の一端に参照信号RMP_nを入力しているが、この構成に限定されない。例えば、容量322の一端に参照信号RMP_nを入力し、容量323の一端に参照信号RMP_pを入力することもできる。

[0053] 図6は、本技術の第1の実施の形態における差動アンプ330の一構成例を示す回路図である。この差動アンプ330は、P型トランジスタ331および332と、N型トランジスタ333乃至336と、電流源トランジスタ337とを備える。これらのトランジスタとして、例えば、MOS (Metal-Oxide-Semiconductor) トランジスタが用いられる。電流源トランジスタ337として、例えば、N型のMOSトランジスタが用いられる。

[0054] P型トランジスタ331および332のソースは、電源電位VDD_{COM}の電源端子に共通に接続される。また、P型トランジスタ331のゲートは、自身のドレインと、P型トランジスタ332のゲートとに接続される。

[0055] N型トランジスタ335のドレインは、P型トランジスタ331のドレインと接続され、ゲートは、容量321および322の接続点に接続され、ソースは電流源トランジスタ337のドレインに接続される。N型トランジスタ336のドレインは、P型トランジスタ332のドレインと接続され、ゲートは、容量323に接続され、ソースは電流源トランジスタ337のドレインに接続される。また、P型トランジスタ332およびN型トランジスタ336の接続点からは、比較結果CMPが出力される。なお、P型トランジスタ332は、特許請求の範囲に記載の第一の差動対トランジスタの一例であり、N型トランジスタ336は、特許請求の範囲に記載の第二の差動対トランジスタの一例である。

[0056] 電流源トランジスタ337のゲートには、一定のバイアス電圧V_{bCOM}が印加され、ソースは接地端子に接続される。この電流源トランジスタ337は、テール電流源として機能する。

- [0057] N型トランジスタ333は、オートゼロ信号AZ1に従ってN型トランジスタ335のゲートおよびドレインを短絡する。N型トランジスタ334は、オートゼロ信号AZ1に従ってN型トランジスタ336のゲートおよびドレインを短絡する。これらのトランジスタにより、オートゼロ動作が実現される。
- [0058] 上述の構成により、N型トランジスタ335および336のそれぞれのゲートに入力された信号の差分を増幅した信号が、比較結果CMPとして生成される。
- [0059] なお、差動アンプ330は、P型トランジスタ332およびN型トランジスタ336の接続点の信号を比較結果CMPとして出力しているが、この構成に限定されない。差動アンプ330は、図7に例示するようにP型トランジスタ331およびN型トランジスタ335の接続点を比較結果CMPとして出力することもできる。この場合には、P型トランジスタ331のゲートをドレインと接続せず、P型トランジスタ332のゲートを、そのドレインと、P型トランジスタ331のゲートとに接続すればよい。
- [0060] また、差動アンプ330の構成は、入力端子間の差分を増幅することができるのであれば、図6や図7に例示した回路に限定されない。例えば、図8に例示するように、N型トランジスタ335および336の代わりにP型トランジスタ335-1および336-2を配置してもよい。この場合には、P型トランジスタ331および332の代わりにN型トランジスタ331-1および332-2が配置され、N型の電流源トランジスタ337の代わりにP型の電流源トランジスタ337-1が配置される。また、この構成では、電流源トランジスタ337-1は電源側に配置され、N型トランジスタ331-1および332-2は接地側に配置すればよい。なお、図6乃至図8においてN型トランジスタ333および334をオートゼロ動作時に制御するスイッチとして用いているが、これらについてもN型トランジスタの代わりにP型トランジスタを用いることもできる。

- [0061] [DACの構成例]

図9は、本技術の第1の実施の形態におけるDAC230の一構成例を示す回路図である。このDAC230は、M（Mは、整数）個の選択回路240と、抵抗231乃至233とを備える。選択回路240のそれぞれは、電流源241と、スイッチ243および245とを備える。M個の電流源241は、電源電位 VDD_{DAC} の電源端子に並列に接続される。また、DAC230には、タイミング制御部220からのMビットの制御信号CTLが入力される。この制御信号CTLのm（mは、1乃至M-1の整数）ビット目は、選択信号CTL_mとして、m個目の選択回路240に入力される。

[0062] 電流源241は、所定電流を供給するものである。スイッチ243および245は、対応する選択信号CTL_mに従って、一对の出力端子のいずれかに電流源241からの電流を出力するものである。

[0063] 選択回路240のそれぞれの出力端子の一方は、抵抗231に共通に接続され、他方は、抵抗232に共通に接続される。また、抵抗231および232は、抵抗233の一端に共通に接続される。抵抗233の他端は、基準電位 VSS_{DAC} の端子に接続される。

[0064] 抵抗231と選択回路240との接続点からは、参照信号RMP_pが出力され、抵抗232と選択回路240との接続点からは、参照信号RMP_nが出力される。

[0065] 上述の構成により、選択回路240のそれぞれは、制御信号CTLに従って、M個の電流源241の合計電流 I_{FS} を抵抗231側と抵抗232側とに振り分ける。抵抗231と抵抗232とのそれぞれに分流した電流は、再び加算されて抵抗233に流れるため、抵抗233の端子電位は一定となる。分流比をk（kは0乃至1の実数）とし、抵抗231、抵抗232および抵抗233の抵抗値を R_1 、 R_2 および R_3 とすると、参照信号RMP_pおよびRMP_nのそれぞれの電圧 V_{RMP_p} および V_{RMP_n} は、次の式により表される。

$$V_{RMP_p} = VSS_{DAC} + R_3 \cdot I_{FS} + R_1 \cdot k \cdot I_{FS} \quad \dots \text{式1}$$

$$V_{RMP_n} = VSS_{DAC} + R_3 \cdot I_{FS} + R_2 \cdot (1 - k) \cdot I_{FS} \quad \dots \text{式2}$$

[0066] ここで、差動アンプ330に容量321乃至323を介して、画素信号 V_v

v_{s1} と、参照信号RMP_pおよびRMP_nが入力されることに着目する。これらの容量が適切に初期電圧に初期化されるのであれば、DAC230と、画素251（定電流源262を含む）と、差動アンプ330との直流電位は任意に決定することができる。このため、基準電位VSS_{DAC}を0ボルト（V）としても問題は無い。また、差動アンプ330の非反転入力端子（+）の電位V_{CMp}は、容量321および322の分圧により決定される。容量321および322の容量値をC₁およびC₂とすると、差動アンプ330の非反転入力端子（+）の電位V_{CMp}は、次の式により表される。

$$V_{CMp} = V_{vs1} \cdot C_1 / (C_1 + C_2) + V_{RMPp} \cdot C_2 / (C_1 + C_2) \quad \dots \text{式3}$$

[0067] 一方、差動アンプ330の反転入力端子（-）の電位V_{CMn}は、次の式により表される。

$$V_{CMn} = V_{RMPn} \quad \dots \text{式4}$$

[0068] 電位V_{CMp}およびV_{CMn}が等しくなるときに比較結果CMPが反転する。このときの画素信号V_{vs1}をV_{vs1eq}とすると、式3および式4より次の式が得られる。

$$V_{RMPn} = V_{vs1eq} \cdot C_1 / (C_1 + C_2) + V_{RMPp} \cdot C_2 / (C_1 + C_2) \quad \dots \text{式5}$$

[0069] 基準電位VSS_{DAC}を0ボルト（V）とし、式5に式1および式2を代入して変形すると、次の式が得られる。

$$V_{vs1eq} = R_3 \cdot I_{FS} + R_2 \cdot I_{FS} \cdot (1 + C_2 / C_1) - k \{ R_1 \cdot I_{FS} \cdot C_2 / C_1 + R_2 \cdot I_{FS} \cdot (1 + C_2 / C_1) \} \quad \dots \text{式6}$$

[0070] ここで、比較器320が動作可能な信号範囲として、分流比kが0から1に変化した際の電位V_{vs1eq}の変化量を求める。これは、DAC230の振幅の最大値であるフルスケールを、画素信号V_{vs1}の振幅の最大値であるフルスケールに換算した値であり、この値を実効フルスケールと称する。式6より、実効フルスケールV_{FS}は、次の式により表される。

$$V_{FS} = R_1 \cdot I_{FS} \cdot C_2 / C_1$$

$$+ R_2 \cdot I_{FS} \cdot (1 + C_2 / C_1) \quad \dots \text{式 7}$$

[0071] ここで、DAC230がシングルエンド信号を参照信号として供給する場合を、比較例として想定する。この比較例では、差動アンプ330の反転入力端子(−)側の容量323を接地端子に接続する構成と、差動アンプ330の非反転入力端子(+)側に画素信号V_{vs1}を容量321と容量322による分圧で生成した比較対象信号を入力する構成の2通りが考えられる。前者の実効フルスケールV_{FS}は、式7右辺の第1項のみにより表される。後者の実効フルスケールV_{FS}は、式7右辺の第2項のみにより表される。実効フルスケールV_{FS}に一定の目標値を設定する場合、式7右辺の第1項および第2項の一方のみを用いる比較例と比較して、第1項および第2項の両方を用いる構成では、その目標値を実現するためDAC230が出力する電圧の最大値を小さく設計できる。それに合わせて電源電圧V_{DD,COM}も小さくすることにより、DAC230の消費電力を比較例よりも低減することができる。

[0072] さらに、実効フルスケールV_{FS}に一定の目標値を設定する場合、式7右辺の第1項か第2項の一方のみを用いる比較例と比較して、第1項および第2項の両方を用いる構成では、その目標値を実現するために要する電流I_{FS}を小さくすることも可能であり、これにより、DAC230の消費電力を比較例よりも低減することができる。

[0073] なお、DAC230内の回路は、参照信号RMP_pおよびRMP_nを生成することができるものであれば、同図に例示した回路に限定されない。

[0074] 図10は、本技術の第1の実施の形態における選択回路240の一構成例を示す回路図である。この選択回路240は、電流源トランジスタ242と、選択トランジスタ244および246と、インバータ247とを備える。電流源トランジスタ242、選択トランジスタ244および選択トランジスタ246として、例えば、P型のMOSトランジスタが用いられる。

[0075] 電流源トランジスタ242のソースは、電源端子に接続され、ゲートには一定のバイアス電圧V_{b1}が印加される。V_{b1}は、例えば、電源電位V_D

D_{COM} との差が一定になるように制御される。

[0076] 選択トランジスタ244および246のそれぞれのソースは、電流源トランジスタ242のドレインに共通に接続される。また、選択トランジスタ244のドレインは抵抗231に接続される。選択トランジスタ246のドレインは抵抗232に接続され、ゲートには選択信号CTL_mが入力される。

[0077] インバータ247は、選択信号CTL_mを反転して選択トランジスタ244のゲートに供給するものである。

[0078] 上述の構成により、電流源トランジスタ242は、図8の電流源241として機能し、インバータ247と選択トランジスタ244および246とからなる回路は、図8のスイッチ243および245として機能する。

[0079] 図11は、本技術の第1の実施の形態における参照信号の変動の一例を示すタイミングチャートである。同図におけるaは、参照信号RMP_pの変動の一例を示すタイミングチャートであり、同図におけるbは、参照信号RMP_nの変動の一例を示すタイミングチャートである。同図における縦軸は、参照信号の電位を示し、横軸は時間を示す。また、同図におけるaの実線は、参照信号RMP_pの波形を示し、一点鎖線は、比較例の参照信号の波形を示す。

[0080] 露光終了の直前のタイミングT0乃至T1までの期間に亘って、タイミング制御部220は、オートゼロ信号AZ1により比較器320にオートゼロ動作を行わせる。

[0081] そして、リセットレベルが出力されるとタイミングT2乃至T3までの期間に亘って、DAC230は、時間の経過に伴って増大する参照信号RMP_pと、時間の経過に伴って減少する参照信号RMP_nとを生成する。この期間において、リセットレベルのAD変換が行われる。容量321、322および323のそれぞれの容量値に応じて、参照信号RMP_pと参照信号RMP_nの振幅が設定される。

[0082] また、露光が終了して信号レベルが出力されるとタイミングT4乃至T5

までの期間に亘って、DAC230は、再度、参照信号RMP_pと参照信号RMP_nとを生成する。この期間において、信号レベルのAD変換が行われる。

[0083] 上述の制御は、行が読み出されるたびに繰り返し実行される。なお、参照信号RMP_pがスロープ状に変化する期間と、参照信号RMP_nがスロープ状に変化する期間とを一致させているが、この構成に限定されない。例えば、それらの期間の少なくとも一部がオーバーラップする構成であってもよい。

[0084] 同図におけるaに例示するように、シングルエンド信号を参照信号として用いる比較例では、実効フルスケール V_{FS} の目標値を実現するために必要な参照信号の振幅が、差動信号を用いる場合と比較して大きくなる。このため、DACの消費電力が増大してしまう。

[0085] [固体撮像素子の動作例]

図12は、本技術の第1の実施の形態における固体撮像素子200の動作の一例を示すフローチャートである。この動作は、例えば、画像データを撮像するための所定のアプリケーションが実行されたときに開始される。

[0086] 行選択部210は、未選択の行を選択して駆動する（ステップS901）。DAC230は、参照信号RMP_pおよびRMP_nを生成する（ステップS902）。ADC310は、リセットレベルをAD変換し（ステップS903）、信号レベルをAD変換する（ステップS904）。

[0087] 行選択部210は、全行の読出しが完了したか否かを判断する（ステップS905）。全行の読出しが完了していない場合に（ステップS905：No）、行選択部210は、ステップS901以降を繰り返し実行する。一方、全行の読出しが完了した場合に（ステップS905：Yes）、行選択部210は、画像データを撮像するための動作を終了する。複数枚の画像データを連続して撮像する場合には、ステップS901乃至S905が、垂直同期信号VSYNCに同期して繰り返し実行される。

[0088] このように、本技術の第1の実施の形態によれば、差動信号の一方（RM

P p) を基準とした入力信号の値に応じた信号を他方 (RMP n) と比較するため、シングルエンド信号を用いる場合と比較して、参照信号の振幅を小さくすることができる。これにより、参照信号を供給するDAC 230の消費電力を低減することができる。

[0089] <2. 第2の実施の形態>

上述の第1の実施の形態では、固体撮像素子200内の回路を単一の半導体基板に配置していたが、画素数が多くなるほど、半導体基板の回路規模が増大する。この第2の実施の形態の固体撮像素子は、積層された複数の基板に、固体撮像素子200内の回路を分散して配置した点において第1の実施の形態と異なる。

[0090] 図13は、本技術の第2の実施の形態における固体撮像素子200の積層構造の一例を示す図である。この固体撮像素子200は、受光基板201および回路基板202を備える。これらの基板は積層され、電気的に接続されて1つの半導体チップを構成する。

[0091] 受光基板201には、画素アレイ部250が配置される。また、回路基板202には、行選択部210、タイミング制御部220、DAC 230、カラム信号処理部260および水平転送走査部270が配置される。

[0092] このように、本技術の第2の実施の形態によれば、固体撮像素子200内の回路を複数の基板に分散して配置したため、基板ごとの回路規模を削減することができる。

[0093] <3. 第3の実施の形態>

上述の第1の実施の形態では、比較器320内に増幅回路として差動アンプ330のみを配置していたが、差動アンプ330のみでは、カウンタ390以降の後段の回路の駆動能力が不足するおそれがある。この第3の実施の形態の比較器320は、差動アンプ330の出力を増幅する出力アンプをさらに配置した点において第1の実施の形態と異なる。

[0094] 図14は、本技術の第3の実施の形態における比較器320の一構成例を示す回路図である。この第3の実施の形態の比較器320は、出力アンプ3

40をさらに備える点において第1の実施の形態と異なる。

- [0095] 出力アンプ340は、比較結果CMPを所定のゲインにより増幅するものである。この出力アンプ340は、増幅後の信号をCMP'としてカウンタ390に出力する。また、出力アンプ340には、タイミング制御部220からのオートゼロ信号AZ2が入力される。
- [0096] 図15は、本技術の第3の実施の形態における差動アンプ330および出力アンプ340の一構成例を示す回路図である。第3の実施の形態の差動アンプ330は、容量338をさらに備える点において第1の実施の形態と異なる。また、出力アンプ340は、P型トランジスタ341、N型トランジスタ342、スイッチ343および容量344を備える。P型トランジスタ341およびN型トランジスタ342として、例えば、MOSトランジスタが用いられる。
- [0097] 容量338は、P型トランジスタ332およびN型トランジスタ336の接続点（すなわち、差動アンプ330の出力端子）と、電源端子との間に挿入される。
- [0098] P型トランジスタ341およびN型トランジスタ342は、電源端子と接地端子との間において直列に接続される。また、P型トランジスタ341のゲートは、差動アンプ330の出力端子に接続され、P型トランジスタ341およびN型トランジスタ342の接続点から、比較結果CMP'が出力される。
- [0099] 容量344は、N型トランジスタ342のゲートと接地端子との間に挿入される。スイッチ343は、オートゼロ信号AZ2に従って、N型トランジスタ342のドレインとゲートとの間の経路を開閉するものである。
- [0100] 上述の構成により、出力アンプ340は、差動アンプ330の出力をさらに増幅して出力する。また、出力アンプ340は、オートゼロ信号AZ2に従ってオートゼロ動作を行う。
- [0101] このように、本技術の第3の実施の形態によれば、差動アンプ330の出力をさらに増幅する出力アンプ340を比較器320内に追加したため、カ

ウンタ 390 以降の後段の回路の駆動力を増大することができる。

[0102] <4. 第4の実施の形態>

上述の第3の実施の形態では、出力アンプ 340 をさらに配置していたが、この構成では、筋状のノイズであるストリーキングが生じるおそれがある。これは、差動アンプ 330 の出力側のN型トランジスタ 336 のゲートに参照信号 RMP_n を印加する構成では、差動アンプ 330 の出力の振幅が大きいと、その参照信号 RMP_n との間で干渉が生じてしまうためである。この第4の実施の形態の比較器 320 は、差動アンプ 330 の出力の振幅を制限して、ストリーキングを抑制した点において第3の実施の形態と異なる。

[0103] 図 16 は、本技術の第4の実施の形態における比較器 320 の一構成例を示す回路図である。この第4の実施の形態の比較器 320 は、振幅制限部 350 をさらに備える点において第3の実施の形態と異なる。

[0104] 振幅制限部 350 は、差動アンプ 330 の出力（比較結果 CMP）の振幅を、一定範囲内に制限して出力アンプ 340 に供給するものである。

[0105] 図 17 は、本技術の第4の実施の形態における振幅制限部 350 の一構成例を示す回路図である。この振幅制限部 350 は、バイアス電圧供給部 351、電流源トランジスタ 352、ゲート接地トランジスタ 353 および電流源トランジスタ 354 を備える。電流源トランジスタ 352 として、例えば、P型のMOSトランジスタが用いられる。電流源トランジスタ 354 として、例えば、N型のMOSトランジスタが用いられる。ゲート接地トランジスタ 353 として、例えば、P型のMOSトランジスタが用いられる。

[0106] バイアス電圧供給部 351 は、一定のバイアス電圧を生成してゲート接地トランジスタ 353 のゲートに供給するものである。

[0107] 電流源トランジスタ 352、ゲート接地トランジスタ 353 および電流源トランジスタ 354 は、電源端子と接地端子との間に直列に接続される。また、電流源トランジスタ 352 およびゲート接地トランジスタ 353 の接続点は、入力側の差動アンプ 330 の出力端子に接続される。ゲート接地トランジスタ 353 および電流源トランジスタ 354 の接続点は、出力側の出力

アンプ340の入力端子に接続される。

[0108] 電流源トランジスタ352のゲートには、一定のバイアス電圧 V_{bLIM1} が印加され、電流源トランジスタ354のゲートには、一定のバイアス電圧 V_{bLIM2} が印加される。これらのトランジスタは、電流源として機能する。なお、電流源トランジスタ352は、特許請求の範囲に記載の電源側電流源の一例であり、電流源トランジスタ354は、特許請求の範囲に記載の接地側電流源の一例である。

[0109] 上述の構成により、差動アンプ330の出力（比較結果CMP）は、所定の上限値未満の範囲内に制限されて、出力アンプ340に出力される。

[0110] このように、本技術の第4の実施の形態によれば、差動アンプ330の出力の振幅を制限するため、その出力と参照信号RMPnとの間の干渉を抑制することができる。これにより、その干渉に起因するストリーキングを抑制することができる。

[0111] [第1の変形例]

上述の第4の実施の形態では、差動アンプ330をオートゼロ動作させる際にも振幅制限部350は、差動アンプ330に接続されていた。この構成では、オートゼロ動作期間中、回路構造や素子のばらつきやミスマッチに応じた電位を発生する差動アンプ330の出力が、あらかじめ電位が決まっているゲート接地トランジスタ353のソースに直接接続するため、異常電流が流れることでオートゼロ特性が悪化するおそれある。この第4の実施の形態の第1の変形例の振幅制限部は、オートゼロ動作中に差動アンプ330の入力を遮断する点において第1の実施の形態と異なる。

[0112] 図18は、本技術の第4の実施の形態の第1の変形例における振幅制限部360の一構成例を示す回路図である。この第4の実施の形態の第1の変形例では、振幅制限部350の代わりに振幅制限部360が配置される。

[0113] 振幅制限部360は、スイッチトランジスタ361および365をさらに備える点において第4の実施の形態と異なる。スイッチトランジスタ361として、例えば、P型のMOSトランジスタが用いられ、スイッチトランジ

スタ365として例えば、N型のMOSトランジスタが用いられ、スイッチトランジスタ361と365のゲートはともにオートゼロ信号AZ1で駆動される。また、バイアス電圧供給部351は、例えば、P型トランジスタ362および363と電流源トランジスタ364を備える。

[0114] スイッチトランジスタ361は、タイミング制御部220からのオートゼロ信号AZ1に従って、差動アンプ330の出力端子と電流源トランジスタ352およびゲート接地トランジスタ353の接続点との間の経路を開閉するものである。なお、スイッチトランジスタ361は、特許請求の範囲に記載の入力側スイッチの一例である。

[0115] スイッチトランジスタ365は、タイミング制御部220からのオートゼロ信号AZ1に従って、ゲート接地トランジスタ353、電流源トランジスタ354および出力アンプ340の入力端子の接続点と接地端子との間の経路を開閉するものである。なお、スイッチトランジスタ365は、特許請求の範囲に記載の出力側スイッチの一例である。

[0116] また、P型トランジスタ362および363と電流源トランジスタ364とは、電源端子と接地端子との間に直列に接続される。P型トランジスタ362のゲートおよびドレインは短絡される。また、ゲート接地トランジスタ353のゲートは、自身のドレインとP型トランジスタ363のゲートとに接続される。これらのトランジスタとして、例えば、MOSトランジスタが用いられる。電流源トランジスタ364のゲートには、一定のバイアス電圧 V_{bLIM3} が印加され、電流源トランジスタ364は、電流源として機能する。電流源トランジスタ364としては、例えば、N型のMOSトランジスタが用いられる。

[0117] オートゼロ信号AZ1がハイレベルである場合には、差動アンプ330がオートゼロ動作を行い、その出力は、電源電位 V_{DD_COM} からN型トランジスタ331のゲート・ソース電圧 V_{GS} だけ下がった電位が発生する。バイアス電圧供給部351は、ゲート接地トランジスタ353のソース電位が差動アンプ330のオートゼロ時の出力すなわち電源電位 V_{DD_COM} からN型トラン

ジスタ 331 のゲート・ソース電圧 V_{GS} だけ下がった電位と概同電位になるように、ゲート接地トランジスタ 353 のゲートを駆動する電位を出力する。入力側のスイッチトランジスタ 361 は、開状態となり、出力側のスイッチトランジスタ 365 は閉状態となる。振幅制限部 360 の出力は接地電位となる。

[0118] 一方、オートゼロ信号 AZ1 がローレベルである場合には、差動アンプ 330 内の N 型トランジスタ 333 および 334 はオフ状態となり、差動アンプ 330 が差動増幅を行う。また、振幅制限部 360 の入力側のスイッチトランジスタ 361 は、閉状態となり、出力側のスイッチトランジスタ 365 は開状態となる。ここで、オートゼロ信号 AZ1 がハイレベルのときにバイアス電圧供給部 351 の出力に基づいて決まるゲート接地トランジスタ 353 のソース電位は差動アンプ 330 の出力と概同電位に設定されていたため、スイッチトランジスタ 361 が閉状態に移行した際の過渡現象時においても、振幅制限部 350 内に異常電流は流れない。

[0119] このように、本技術の第 4 の実施の形態の第 1 の変形例によれば、差動アンプ 330 がオートゼロ動作中に、その出力を遮断するスイッチトランジスタ 361 を配置したため、振幅制限部 350 の異常電流の発生とオートゼロ特性の劣化を防止することができる。

[0120] [第 2 の変形例]

上述の第 4 の実施の形態では、差動アンプ 330 の出力を上限値未満の範囲内に制限していたが、下限値も設定することが望ましい。この第 4 の実施の形態の第 2 の変形例の振幅制限部は、差動アンプ 330 の出力を、下限値から上限値までの範囲内に制限する点において第 4 の実施の形態と異なる。

[0121] 図 19 は、本技術の第 4 の実施の形態の第 2 の変形例における振幅制限部 370 の一構成例を示す回路図である。この第 4 の実施の形態の第 2 の変形例では、振幅制限部 350 の代わりに振幅制限部 370 が配置される。

[0122] 振幅制限部 370 は、バイアス電圧供給部 371 および 372 と、ダイオード 373 および 374 とを備える。ダイオード 373 および 374 は、バ

イアス電圧供給部371および372の間において直列に接続される。ダイオード373のカソードは、バイアス電圧供給部372に接続され、ダイオード374のアノードは、バイアス電圧供給部371に接続される。また、ダイオード373および374の接続点は、差動アンプ330の出力端子と、出力アンプ340の入力端子とに接続される。

[0123] バイアス電圧供給部371および372は、互いに異なるバイアス電圧 V_1 および V_2 を供給するものである。

[0124] 上述の構成により、差動アンプ330の出力（比較結果CMP）の電圧 V_{CMP} は、次の式に示す制限範囲内に制限される。

$$V_1 - V_F < V_{CMP} < V_2 + V_F$$

上式において、 V_F は、ダイオード373および374の順方向電圧である。

[0125] このように、本技術の第4の実施の形態の第2の変形例によれば、差動アンプ330の出力を、下限値から上限値までの範囲内に制限するため、その出力と参照信号RMPnとの間の干渉を十分に抑制することができる。

[0126] [第3の変形例]

上述の第4の実施の形態では、差動アンプ330の出力を上限値未満の範囲内に制限していたが、下限値も設定することが望ましい。この第4の実施の形態の第3の変形例の振幅制限部は、差動アンプ330の出力を、下限値から上限値までの範囲内に制限する点において第4の実施の形態と異なる。

[0127] 図20は、本技術の第4の実施の形態の第3の変形例における振幅制限部380の一構成例を示す回路図である。この第4の実施の形態の第3の変形例では、振幅制限部350の代わりに振幅制限部380が配置される。

[0128] 振幅制限部380は、N型トランジスタ381と、P型トランジスタ382と、バイアス電圧供給部383および384とを備える。

[0129] N型トランジスタ381およびP型トランジスタ382は、電源端子と接地端子との間において直列に接続される。また、N型トランジスタ381およびP型トランジスタ382の接続点は、差動アンプ330の出力端子と、出力アンプ340の入力端子とに接続される。

[0130] バイアス電圧供給部383および384は、互いに異なるバイアス電圧 V_3 および V_4 を供給するものである。バイアス電圧 V_3 は、N型トランジスタ381のゲートに印加され、バイアス電圧 V_4 は、P型トランジスタ382のゲートに印加される。これらの電圧の組合せは、N型トランジスタ381およびP型トランジスタ382が同時にオン状態にならない値の組合せに設定される。

[0131] 上述の構成により、差動アンプ330の出力（比較結果CMP）の電圧 V_{CMP} は、次の式に示す制限範囲内に制限される。

$$V_3 - V_{GSN} < V_{CMP} < V_4 + V_{GSP}$$

上式において、 V_{GSN} は、オン状態のN型トランジスタ381のゲート・ソース間電圧であり、 V_{GSP} は、オン状態のP型トランジスタ382のゲート・ソース間電圧である。

[0132] このように、本技術の第4の実施の形態の第3の変形例によれば、差動アンプ330の出力を、下限値から上限値までの範囲内に制限するため、その出力と参照信号 RMP_n との間の干渉を十分に抑制することができる。

[0133] <5. 第5の実施の形態>

上述の第1の実施の形態では、DAC230内において選択回路240ごとに電流源トランジスタ242を配置して電流を生成していた。しかしながら、電源変動などに起因して、そのトランジスタのドレイン・ソース間電圧が変動すると、トランジスタ固有の特性に応じてドレイン電流値が変化するため、DAC230の出力精度が劣化する恐れがある。具体的には、例えば、フルスケール精度や直線性が劣化する可能性がある。この第5の実施の形態のDAC230は、電流源トランジスタ242に選択トランジスタ244と246とを介してカスコードトランジスタを接続して線形性を確保した点において第1の実施の形態と異なる。

[0134] 図21は、本技術の第5の実施の形態における選択回路240の一構成例を示す回路図である。この選択回路240は、カスコードトランジスタ248および249をさらに備える点において第1の実施の形態と異なる。これ

らのトランジスタとして、例えば、P型のMOSトランジスタが用いられる。

[0135] カスコードトランジスタ248のソースは、選択トランジスタ244に接続され、ドレインは、抵抗231と、参照信号RMP_pを出力する出力端子とに接続される。カスコードトランジスタ249のソースは、選択トランジスタ246に接続され、ドレインは、抵抗232と、参照信号RMP_nを出力する出力端子とに接続される。また、カスコードトランジスタ248および249のゲートには、電流源トランジスタ242のドレイン・ソース間電圧を安定化するために、バイアス電圧V_{b2}が印加される。

[0136] 上述の構成において、電流源トランジスタ242と、カスコードトランジスタ248または249内、選択信号CTL_mの値に基づいてONになる方のトランジスタのそれぞれのドレイン・ソース間電圧の合計の変動に対する、電流源トランジスタ242のゲート・ソース間電圧の変動は、第1の実施の形態と比較して小さくなる。これにより、第1の実施の形態と比較してDAC230の出力精度の劣化を小さくすることができる。

[0137] このように、本技術の第5の実施の形態によれば、カスコードトランジスタ248および249を選択トランジスタ244と246を介して電流源トランジスタ242に直列に接続したため、それらのドレイン・ソース間電圧の合計の変動に対する、電流源トランジスタ242のドレイン・ソース間電圧の変動が小さくなる。これにより、DAC230の出力精度を向上させることができる。

[0138] <6. 第6の実施の形態>

上述の第1の実施の形態では、差動アンプ330の非反転入力端子には容量321、322からなる分圧回路を備える一方、差動アンプ330の反転入力端子には、分圧回路は構成していないため、例えば、差動アンプ330の反転および非反転入力端子の振幅をバランスさせようとする、参照信号RMP_pの振幅を参照信号RMP_nよりも大きくする必要があるが、ノイズ等との間の干渉を抑制する観点から、参照信号RMP_pおよびRMP_nの差

動対称性が高いことが望ましい。この第6の実施の形態の固体撮像素子200は、差動対称性の高い参照信号RMP_pおよびRMP_nを生成する点において第1の実施の形態と異なる。

[0139] 図22は、本技術の第6の実施の形態における比較器320の一構成例を示す回路図である。この比較器320は、容量324をさらに備える点において第1の実施の形態と異なる。容量324の一端には、所定の固定電圧V_cが入力され、他端は、容量323と共通に差動アンプ330の反転入力端子(−)に接続される。これらの容量323および324により、参照信号RMP_nと固定電圧V_cとの差分が分圧される。なお、容量323および324からなる回路は、特許請求の範囲に記載の参照側分圧回路の一例である。

[0140] 差動アンプ330の非反転入力端子(+)の電位V_{CM_p}は、第1の実施の形態と同様に式3により表される。一方、容量323および324の容量値をC₃およびC₄とすると、差動アンプ330の反転入力端子(−)の電位V_{CM_n}は、次の式により表される。

$$V_{CMn} = V_c \cdot C_4 / (C_3 + C_4) + V_{RMPn} \cdot C_3 / (C_3 + C_4) \quad \dots \text{式10}$$

[0141] 電位V_{CM_p}およびV_{CM_n}が等しくなるときに比較結果CMPが反転する。このときの画素信号V_{vs_l}をV_{vs_leq}とすると、式3および式10より次の式が得られる。

$$V_{vsleq} \cdot C_1 / (C_1 + C_2) + V_{RMPp} \cdot C_2 / (C_1 + C_2) = V_c \cdot C_4 / (C_3 + C_4) + V_{RMPn} \cdot C_3 / (C_3 + C_4) \quad \dots \text{式11}$$

[0142] 基準電位VSS_{DAC}を0ボルト(V)とし、式11に式1および式2を代入して変形すると、次の式が得られる。

$$V_{vsleq} = V_c \cdot C_4 (C_1 + C_2) / \{ (C_3 + C_4) C_1 \} + R_3 \cdot I_{FS} \cdot C_3 (C_1 + C_2) / \{ (C_3 + C_4) C_1 \} - R_3 \cdot I_{FS} \cdot C_2 / C_1 + R_2 \cdot I_{FS} \cdot C_3 (C_1 + C_2) / \{ (C_3 + C_4) C_1 \}$$

$$\begin{aligned}
 & -k \cdot R_1 \cdot I_{FS} \cdot C_2 / C_1 \\
 & -k \cdot R_2 \cdot I_{FS} \cdot C_3 (C_1 + C_2) / \{ (C_3 + C_4) C_1 \} \\
 & \dots \text{式12}
 \end{aligned}$$

[0143] 式12より、実効フルスケール V_{FS} は、次の式により表される。

$$\begin{aligned}
 V_{FS} &= R_1 \cdot I_{FS} \cdot C_2 / C_1 \\
 & + R_2 \cdot I_{FS} \cdot C_3 (C_1 + C_2) / \{ (C_3 + C_4) C_1 \} \dots \text{式13}
 \end{aligned}$$

[0144] なお、差動対称性をさらに向上させるために次の式を満たす値に抵抗値や容量値を設定することもできる。

$$R_1 = R_2 \quad \dots \text{式14}$$

$$C_3 / C_4 = C_2 / C_1 \quad \dots \text{式15}$$

[0145] 式14および式15を式12および式13に適用すると、次の式が得られる。

$$\begin{aligned}
 V_{vs1eq} &= V_c + R_2 \cdot I_{FS} \cdot C_2 / C_1 - k \cdot 2 R_1 \cdot I_{FS} \cdot C_2 / C_1 \\
 V_{FS} &= 2 R_1 \cdot I_{FS} \cdot C_2 / C_1
 \end{aligned}$$

[0146] 図23は、本技術の第6の実施の形態におけるDAC230の一構成例を示す回路図である。この第6の実施の形態のDAC230は、固定電圧生成部234をさらに備える点において第1の実施の形態と異なる。固定電圧生成部234は、固定電圧 V_c を生成して比較器320に供給するものである。

[0147] なお、固定電圧生成部234をDAC230内に配置しているが、DAC230の外部に配置することもできる。

[0148] 図24は、本技術の第6の実施の形態における参照信号の変動の一例を示すタイミングチャートである。同図におけるaは、参照信号 RMP_p の変動の一例を示すタイミングチャートであり、同図におけるbは、参照信号 RMP_n の変動の一例を示すタイミングチャートである。同図における縦軸は、参照信号の電位を示し、横軸は時間を示す。同図に例示するように、参照信号 RMP_p および RMP_n のそれぞれの波形の対称性が第1の実施の形態と比較して向上する。

[0149] このように、本技術の第6の実施の形態によれば、比較器320内で、容量321および322と、容量323および324とのそれぞれが分圧を行うため、DAC230は、差動対称性の高い参照信号RMP_pおよびRMP_nを供給することができる。これにより、ノイズ等と参照信号との間の干渉を抑制することができる。

[0150] <7. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0151] 図25は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0152] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図25に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。

[0153] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0154] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に

装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0155] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0156] 撮像部 12031 は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部 12031 は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部 12031 が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0157] 車内情報検出ユニット 12040 は、車内の情報を検出する。車内情報検出ユニット 12040 には、例えば、運転者の状態を検出する運転者状態検出部 12041 が接続される。運転者状態検出部 12041 は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット 12040 は、運転者状態検出部 12041 から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0158] マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 又

は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0159] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0160] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0161] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図25の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0162] 図26は、撮像部12031の設置位置の例を示す図である。

[0163] 図26では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0164] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0165] なお、図26には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0166] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0167] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的变化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例え

ば、0 km/h以上)で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御(追従停止制御も含む)や自動加速制御(追従発進制御も含む)等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0168] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0169] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部

12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0170] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち例えば、撮像部12031に適用され得る。具体的には、図1の撮像装置100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、撮像部12031の消費電力を低減することができるため、システム全体の消費電力を削減することができる。

[0171] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0172] なお、本技術は以下のような構成もとることができる。

(1) 入射光の光量に基づいた画素信号を出力する画素部と、
第一の参照信号、および、第二の参照信号を生成する参照信号供給部と、
画素信号および前記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、前記第二の参照信号が入力される第二の差動対トランジスタを含む比較部と、
前記比較部の信号に基づいてカウントするカウンタ部と
を具備する固体撮像素子。

(2) 前記比較部は、
前記第一の参照信号と前記画素信号との差分を分圧した信号を比較対象信号として前記第一の差動対トランジスタに供給する入力側分圧回路をさらに備え、

前記第一および第二の差動対トランジスタを含む差動アンプは、前記比較

対象信号と前記第二の参照信号との差分を増幅して前記比較結果として前記カウンタ部に出力する前記（１）記載の固体撮像素子。

（３）前記比較部は、前記第二参照信号と所定の固定電位との差分を分圧した信号を前記第二の差動対トランジスタに供給する参照側分圧回路をさらに備え、

前記差動アンプは、前記比較対象信号と前記参照側分圧回路により分圧された信号との差分を増幅する

前記（２）記載の固体撮像素子。

（４）前記比較部は、前記比較結果を増幅して前記カウンタに出力する出力アンプをさらに備える

前記（２）または（３）に記載の固体撮像素子。

（５）前記比較部は、前記比較結果の振幅を制限して前記出力アンプに供給する振幅制限部をさらに備える

前記（４）記載の固体撮像素子。

（６）前記振幅制限部は、

互いに異なるバイアス電圧を供給する一对のバイアス電圧供給部と、

前記一对のバイアス電圧供給部の間に直列に挿入された一对のダイオード

と

を備え、

前記差動アンプの出力端子と前記出力アンプの入力端子とは、前記一对のダイオードの接続点に共通に接続される

前記（５）記載の固体撮像素子。

（７）前記振幅制限部は、

直列に接続されたP型トランジスタおよびN型トランジスタと、

互いに異なるバイアス電圧を前記P型トランジスタおよびN型トランジスタのそれぞれのゲートに供給する一对のバイアス電圧供給部と

を備え、

前記差動アンプの出力端子と前記出力アンプの入力端子とは、前記P型ト

ランジスタおよび前記N型トランジスタの接続点に共通に接続される前記（５）に記載の固体撮像素子。

（８）前記振幅制限部は、

電源端子に接続された電源側電流源と、

前記電源側電流源にソースおよびドレインの一端が接続されたゲート接地トランジスタと、

前記ゲート接地トランジスタのゲートに所定のバイアス電圧を供給するバイアス電圧供給部と、

前記ゲート接地トランジスタのソースおよびドレインの他端と接地端子との間に挿入された接地側電流源と

を備え、

前記電源側電流源および前記接地側電流源の一方と前記ゲート接地トランジスタのソースとの接続点が前記差動アンプの出力端子に接続され、前記電源側電流源および前記接地側電流源の他方と前記ゲート接地トランジスタのドレインとの接続点が前記出力アンプの入力端子に接続される前記（５）記載の固体撮像素子。

（９）前記振幅制限部は、

前記電源側電流源および前記接地側電流源の一方と前記ゲート接地トランジスタのソースとの接続点と、前記差動アンプの出力端子との間の経路を開閉する入力側スイッチと、

前記電源側電流源および前記接地側電流源の他方と前記ゲート接地トランジスタのドレインとの接続点と、前記接地端子との間の経路を開閉する出力側スイッチと

をさらに備え、前記入力側スイッチおよび前記出力側スイッチの一方が開状態の場合には他方が閉状態に移行する

前記（８）記載の固体撮像素子。

（１０）前記参照信号供給部は、

所定の選択信号に従って第１および第２の出力端子の一方から所定電流を

出力する複数の選択回路と、

前記複数の選択回路のそれぞれの前記第 1 の出力端子に一端が共通に接続された第 1 の抵抗と、

前記複数の選択回路のそれぞれの前記第 2 の出力端子に一端が共通に接続された第 2 の抵抗と

を備え、

前記第 1 の抵抗の前記一端から前記第一の参照信号が出力され、前記第 2 の抵抗の前記一端から前記第二の参照信号が出力される

前記 (1) から (9) のいずれかに記載の固体撮像素子。

(11) 前記選択回路は、

前記所定電流を供給する電流源と、

前記電流源に共通に接続された第 1 および第 2 の選択トランジスタと、

前記選択信号を反転させて前記第 1 および第 2 の選択トランジスタの一方のゲートに供給するインバータと、

前記第 1 の選択トランジスタと前記第 1 の出力端子との間に直列に挿入された第 1 のカスコードトランジスタと、

前記第 2 の選択トランジスタと前記第 2 の出力端子との間に直列に挿入された第 2 のカスコードトランジスタと

を備え、

前記第 1 および第 2 の選択トランジスタの他方のゲートには前記選択信号が入力され、前記第 1 および第 2 のカスコードトランジスタのそれぞれのゲートには、所定のバイアス電圧が印加される

前記 (10) 記載の固体撮像素子。

(12) 光電変換により前記入力信号を生成する画素をさらに具備し、

前記画素は、所定の受光基板に配置され、

前記参照信号供給部、前記比較部および前記カウンタ部は、前記受光基板に積層された所定の回路基板に配置される

前記 (1) から (11) のいずれかに記載の固体撮像素子。

(13) 入射光の光量に基づいた画素信号を出力する画素部と、
第一の参照信号、および、第二の参照信号を生成する参照信号供給部と、
画素信号および前記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、前記第二の参照信号が入力される第二の差動対トランジスタを含む比較部と、
前記比較部の信号に基づいてカウントするカウンタ部と、
前記カウンタ部の計数値を示すデジタル信号を処理する信号処理部と
を具備する撮像装置。

(14) 第一の参照信号、および、第二の参照信号を生成する参照信号供給手順と、

入射光の光量に基づいた画素信号および前記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、前記第二の参照信号が入力される第二の差動対トランジスタを含む比較手順と、

前記比較手順により生成された信号に基づいてカウントするカウンタ手順とを具備する固体撮像素子の制御方法。

符号の説明

[0173]	100	撮像装置
	110	光学部
	120	DSP回路
	130	表示部
	140	操作部
	150	バス
	160	フレームメモリ
	170	記憶部
	180	電源部
	200	固体撮像素子
	201	受光基板
	202	回路基板

- 210 行選択部
- 220 タイミング制御部
- 230 DAC
- 231、232、233 抵抗
- 234 固定電圧生成部
- 240 選択回路
- 241 電流源
- 242、337、337-1、352、354、364 電流源トランジスタ
- 243、245、343 スイッチ
- 244、246 選択トランジスタ
- 247 インバータ
- 248、249 カスコードトランジスタ
- 250 画素アレイ部
- 251 画素
- 260 カラム信号処理部
- 261 定電流源回路
- 262 定電流源
- 270 水平転送走査部
- 300 AD変換部
- 310 ADC
- 320 比較器
- 321、322、323、324、338、344 容量
- 330 差動アンプ
- 331、332、335-1、336-1、341、362、363、382 P型トランジスタ
- 333~336、331-1、332-2、342、381 N型トランジスタ

340 出力アンプ

350、360、370、380 振幅制限部

351、371、372、383、384 バイアス電圧供給部

353 ゲート接地トランジスタ

361、365 スイッチトランジスタ

373、374 ダイオード

390 カウンタ

395 ラッチ回路

12031 撮像部

請求の範囲

- [請求項1] 入射光の光量に基づいた画素信号を出力する画素部と、
第一の参照信号、および、第二の参照信号を生成する参照信号供給部と、
画素信号および前記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、前記第二の参照信号が入力される第二の差動対トランジスタを含む比較部と、
前記比較部の信号に基づいてカウントするカウンタ部と
を具備する固体撮像素子。
- [請求項2] 前記比較部は、
前記第一の参照信号のと前記画素信号との差分を分圧した信号を比較対象信号として前記第一の差動対トランジスタに供給する入力側分圧回路をさらに備え、
前記第一および第二の差動対トランジスタを含む差動アンプは、前記比較対象信号と前記第二の参照信号との差分を増幅して比較結果として前記カウンタ部へ出力する
を備える請求項1記載の固体撮像素子。
- [請求項3] 前記比較部は、前記第二参照信号と所定の固定電位との差分を分圧した信号を前記第二の差動対トランジスタに供給する参照側分圧回路をさらに備え、
前記差動アンプは、前記比較対象信号と前記参照側分圧回路により分圧された信号との差分を増幅する
請求項2記載の固体撮像素子。
- [請求項4] 前記比較部は、前記比較結果を増幅して前記カウンタへ出力する出力アンプをさらに備える
請求項2記載の固体撮像素子。
- [請求項5] 前記比較部は、前記比較結果の振幅を制限して前記出力アンプへ供給する振幅制限部をさらに備える

請求項4記載の固体撮像素子。

[請求項6]

前記振幅制限部は、

互いに異なるバイアス電圧を供給する一対のバイアス電圧供給部と

、

前記一対のバイアス電圧供給部の間に直列に挿入された一対のダイオードと

を備え、

前記差動アンプの出力端子と前記出力アンプの入力端子とは、前記一対のダイオードの接続点に共通に接続される

請求項5記載の固体撮像素子。

[請求項7]

前記振幅制限部は、

直列に接続されたP型トランジスタおよびN型トランジスタと、

互いに異なるバイアス電圧を前記P型トランジスタおよびN型トランジスタのそれぞれのゲートに供給する一対のバイアス電圧供給部とを備え、

前記差動アンプの出力端子と前記出力アンプの入力端子とは、前記P型トランジスタおよび前記N型トランジスタの接続点に共通に接続される

請求項5記載の固体撮像素子。

[請求項8]

前記振幅制限部は、

電源端子に接続された電源側電流源と、

前記電源側電流源にソースおよびドレインの一端が接続されたゲート接地トランジスタと、

前記ゲート接地トランジスタのゲートに所定のバイアス電圧を供給するバイアス電圧供給部と、

前記ゲート接地トランジスタのソースおよびドレインの他端と接地端子との間に挿入された接地側電流源と

を備え、

前記電源側電流源および前記接地側電流源の一方と前記ゲート接地トランジスタのソースとの接続点が前記差動アンプの出力端子に接続され、前記電源側電流源および前記接地側電流源の他方と前記ゲート接地トランジスタのドレインとの接続点が前記出力アンプの入力端子に接続される請求項5記載の固体撮像素子。

[請求項9]

前記振幅制限部は、

前記電源側電流源および前記接地側電流源の一方と前記ゲート接地トランジスタのソースとの接続点と、前記差動アンプの出力端子との間の経路を開閉する入力側スイッチと、

前記電源側電流源および前記接地側電流源の他方と前記ゲート接地トランジスタのドレインとの接続点と、前記接地端子との間の経路を開閉する出力側スイッチと

をさらに備え、前記入力側スイッチおよび前記出力側スイッチの一方が開状態の場合には他方が閉状態に移行する

請求項8記載の固体撮像素子。

[請求項10]

前記参照信号供給部は、

所定の選択信号に従って第1および第2の出力端子の一方から所定電流を出力する複数の選択回路と、

前記複数の選択回路のそれぞれの前記第1の出力端子に一端が共通に接続された第1の抵抗と、

前記複数の選択回路のそれぞれの前記第2の出力端子に一端が共通に接続された第2の抵抗と

を備え、

前記第1の抵抗の前記一端から前記第一参照信号が出力され、前記第2の抵抗の前記一端から前記第二の参照信号が出力される

請求項1記載の固体撮像素子。

[請求項11]

前記選択回路は、

前記所定電流を供給する電流源と、

前記電流源に共通に接続された第1および第2の選択トランジスタと、

前記選択信号を反転させて前記第1および第2の選択トランジスタの一方のゲートに供給するインバータと、

前記第1の選択トランジスタと前記第1の出力端子との間に直列に挿入された第1のカスコードトランジスタと、

前記第2の選択トランジスタと前記第2の出力端子との間に直列に挿入された第2のカスコードトランジスタと

を備え、

前記第1および第2の選択トランジスタの他方のゲートには前記選択信号が入力され、前記第1および第2のカスコードトランジスタのそれぞれのゲートには、所定のバイアス電圧が印加される

請求項10記載の固体撮像素子。

[請求項12]

光電変換により前記入力信号を生成する画素をさらに具備し、

前記画素は、所定の受光基板に配置され、

前記参照信号供給部、前記比較部および前記カウンタ部は、前記受光基板に積層された所定の回路基板に配置される

請求項1記載の固体撮像素子。

[請求項13]

入射光の光量に基づいた画素信号を出力する画素部と、

第一の参照信号、および、第二の参照信号を生成する参照信号供給部と、

画素信号および前記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、前記第二の参照信号が入力される第二の差動対トランジスタを含む比較部と、

前記比較部の信号に基づいてカウントするカウンタ部と、

前記カウンタの計数値を示すデジタル信号を処理する信号処理部とを具備する撮像装置。

[請求項14]

第一の参照信号、および、第二の参照信号を生成する参照信号供給

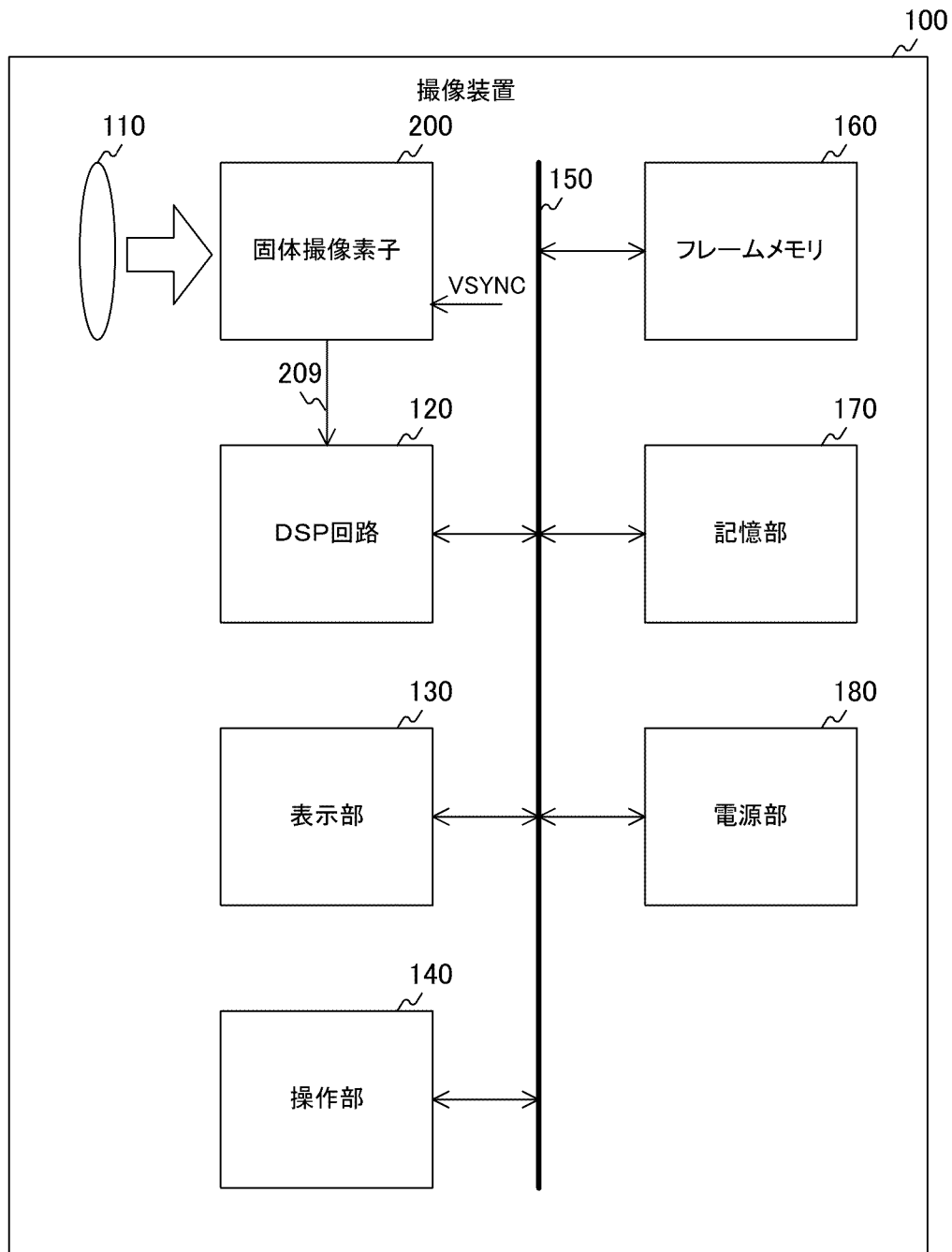
手順と、

入射光の光量に基づいた画素信号および前記第一の参照信号に基づいた信号が入力される第一の差動対トランジスタ、および、前記第二の参照信号が入力される第二の差動対トランジスタを含む比較手順と、

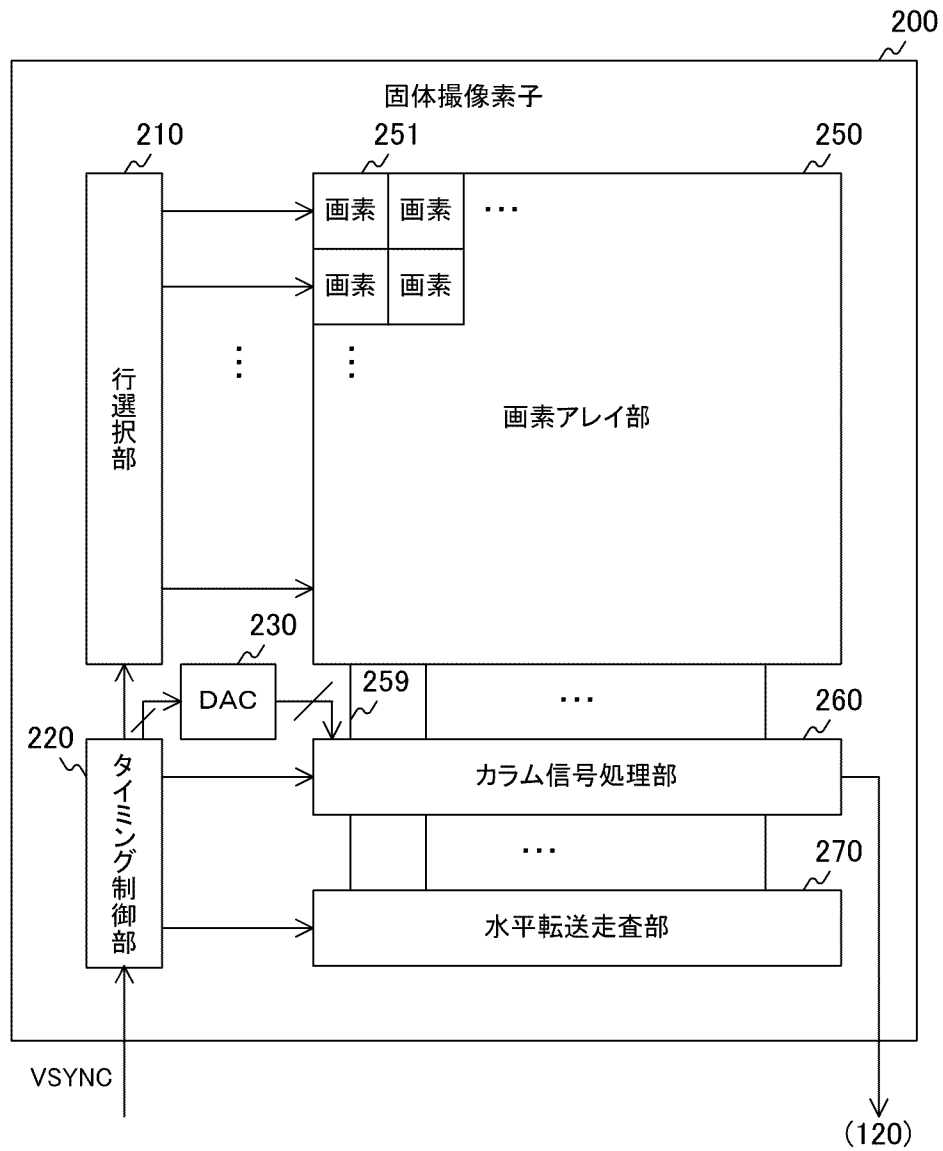
前記比較手順により生成された信号に基づいてカウントするカウンタ手順と

を具備する固体撮像素子の制御方法。

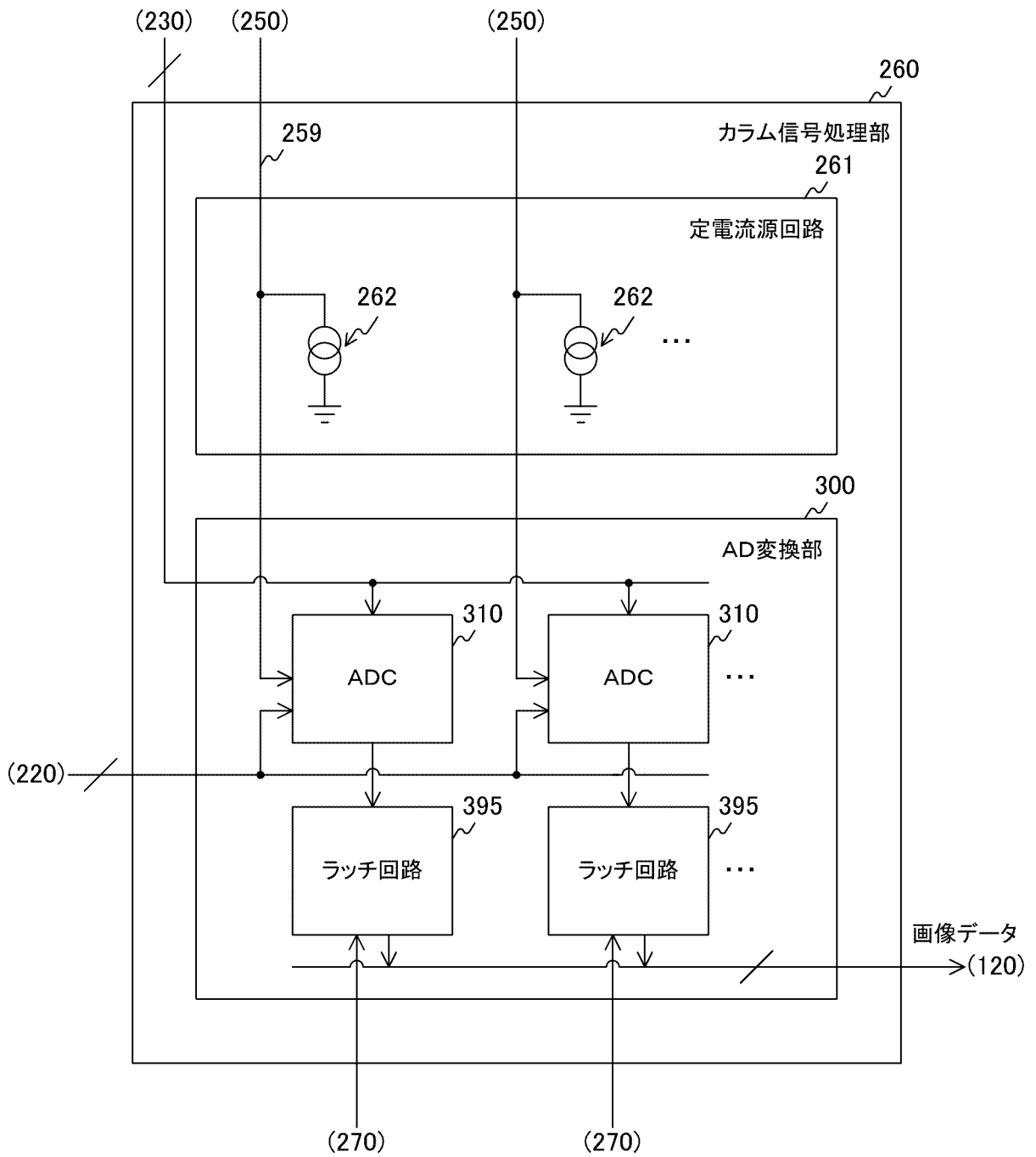
[図1]



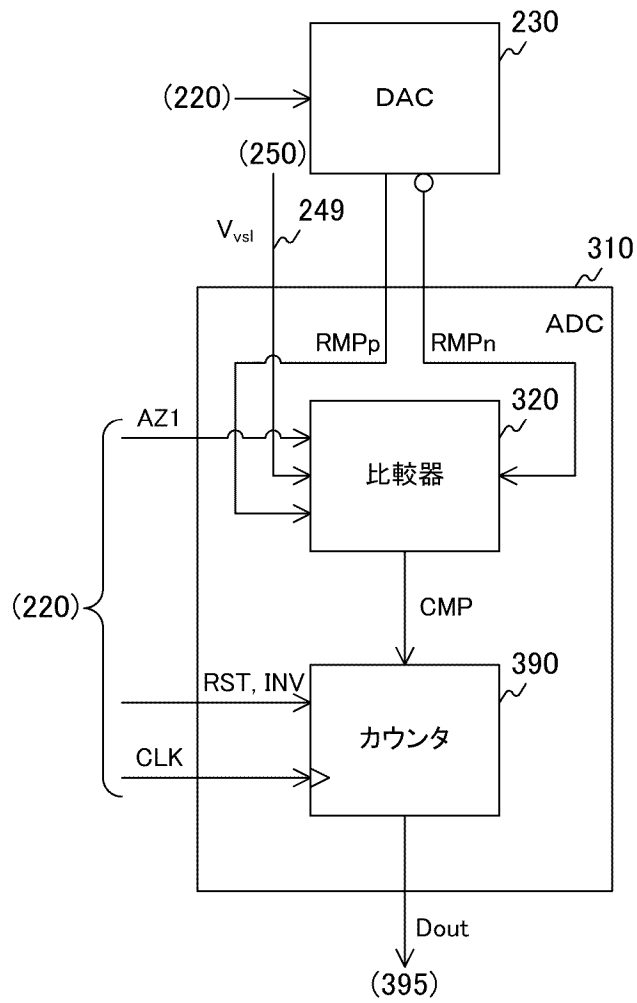
[図2]



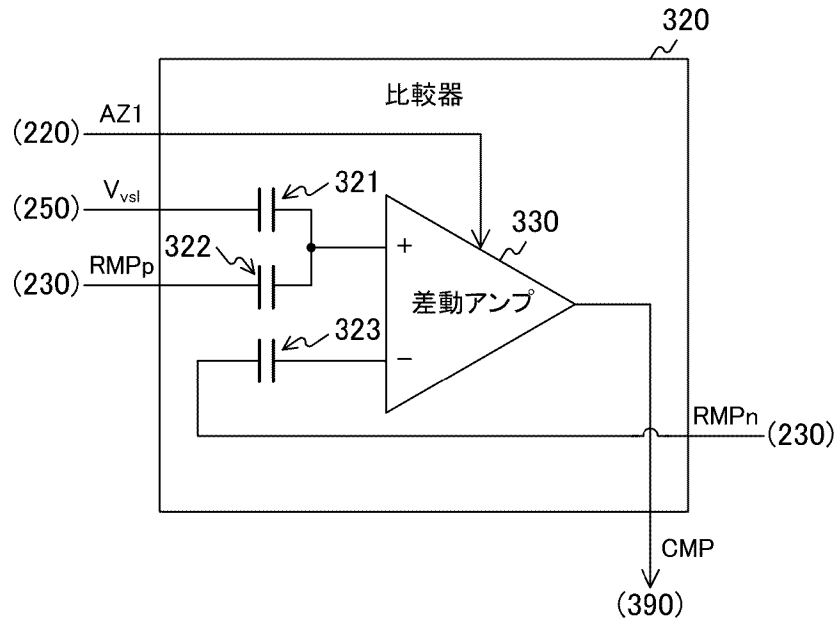
[図3]



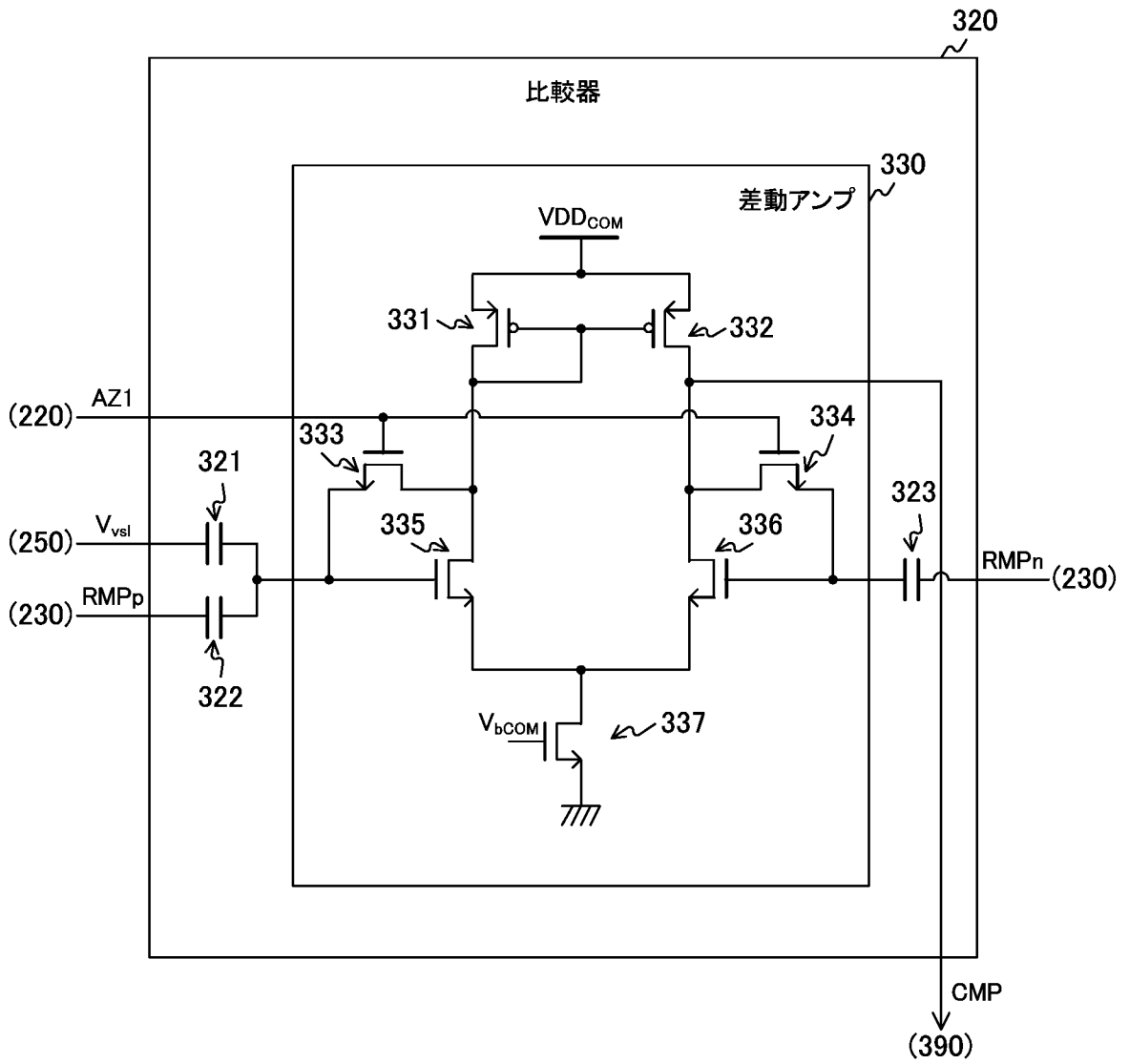
[図4]



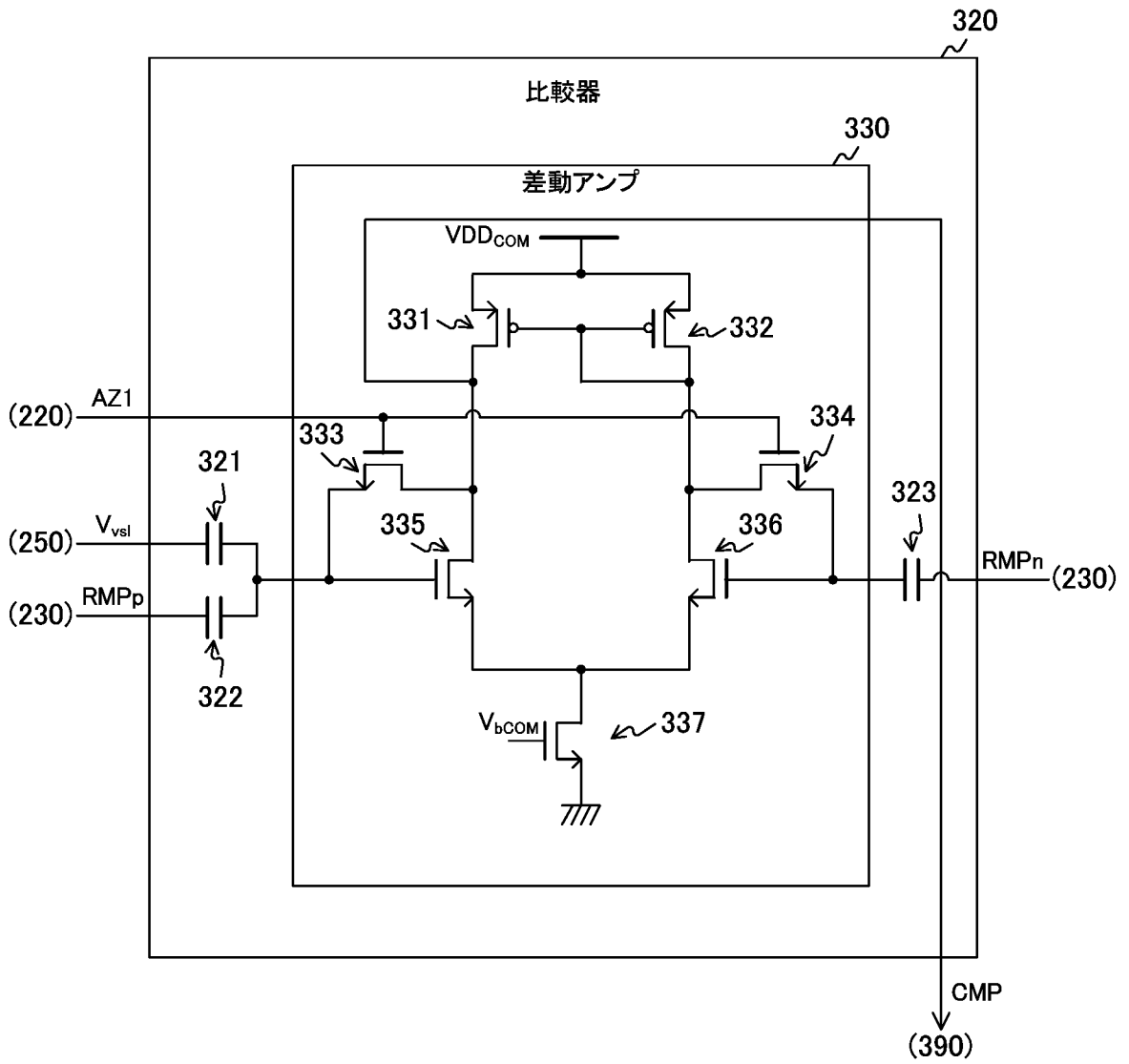
[図5]



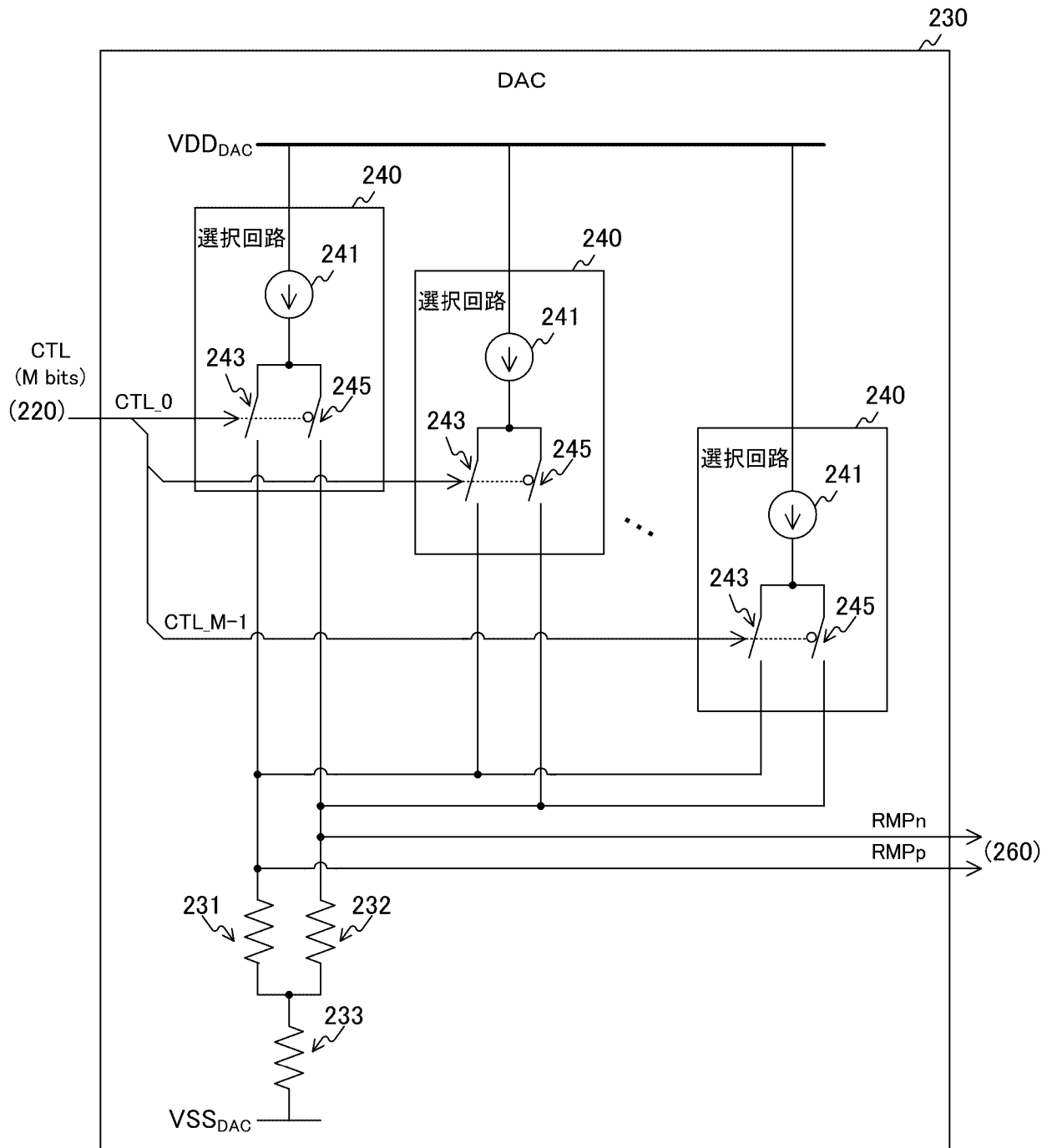
[図6]



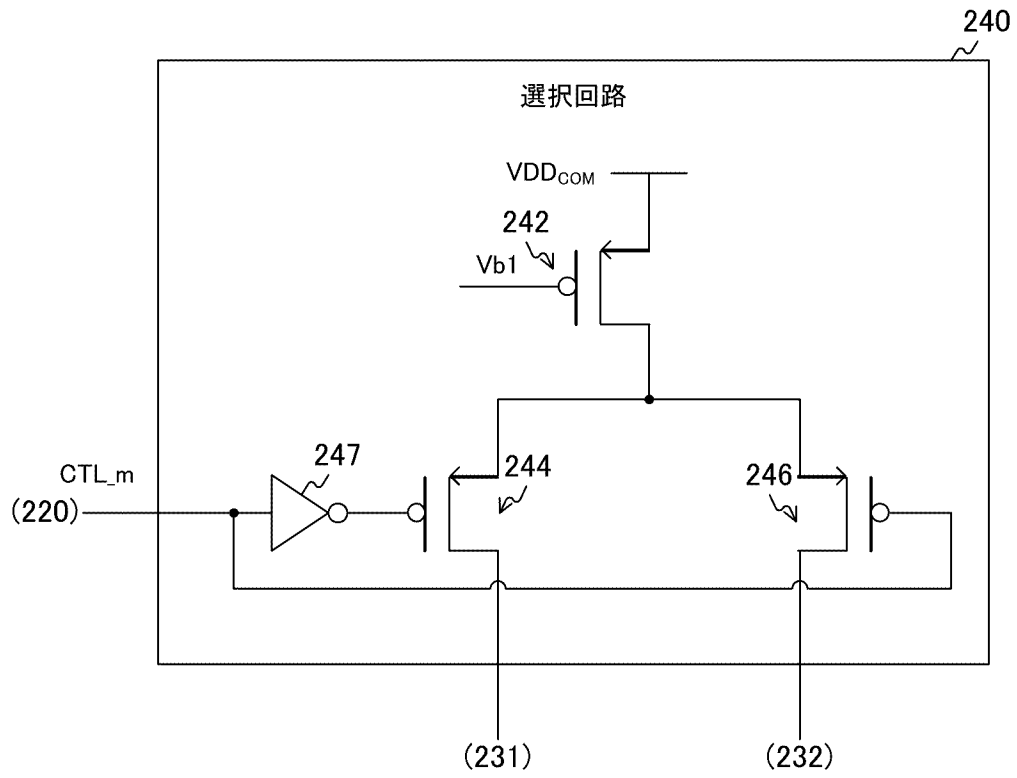
[図7]



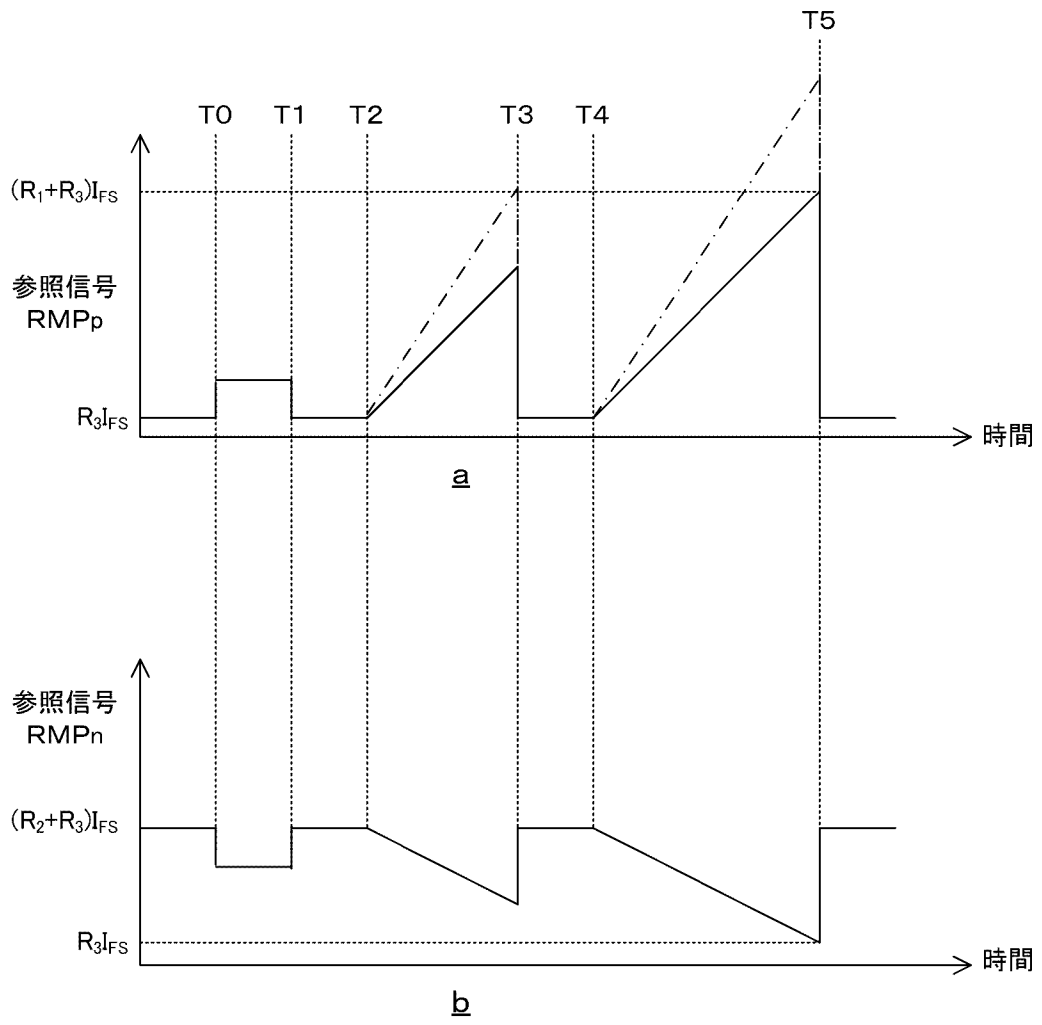
[図9]



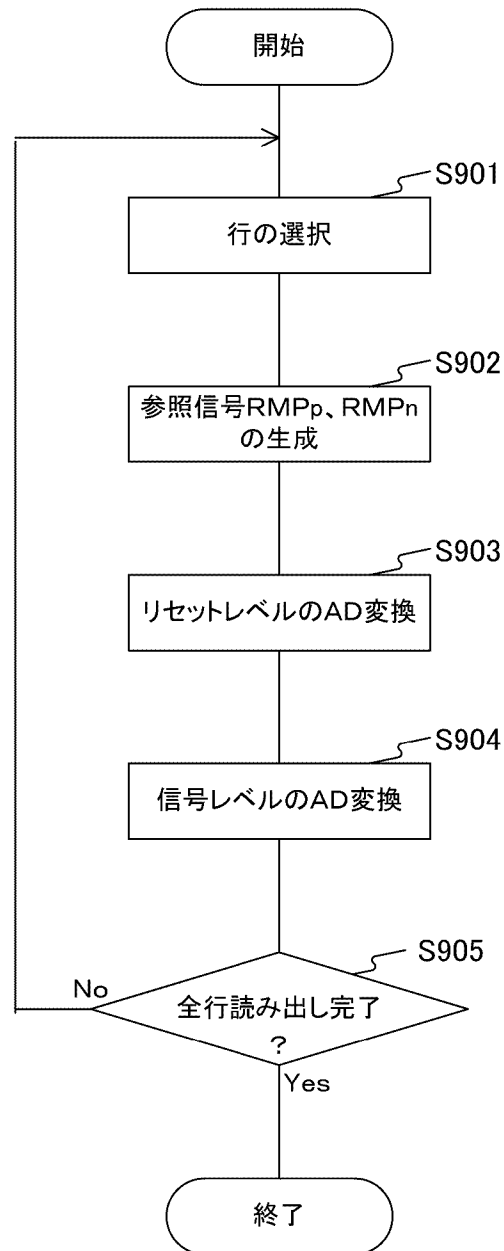
[図10]



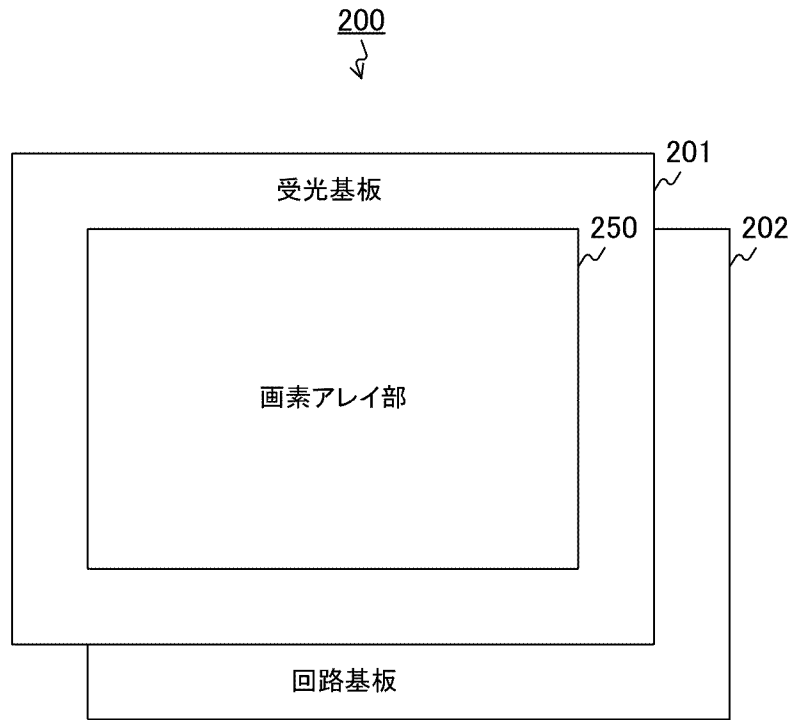
[図11]



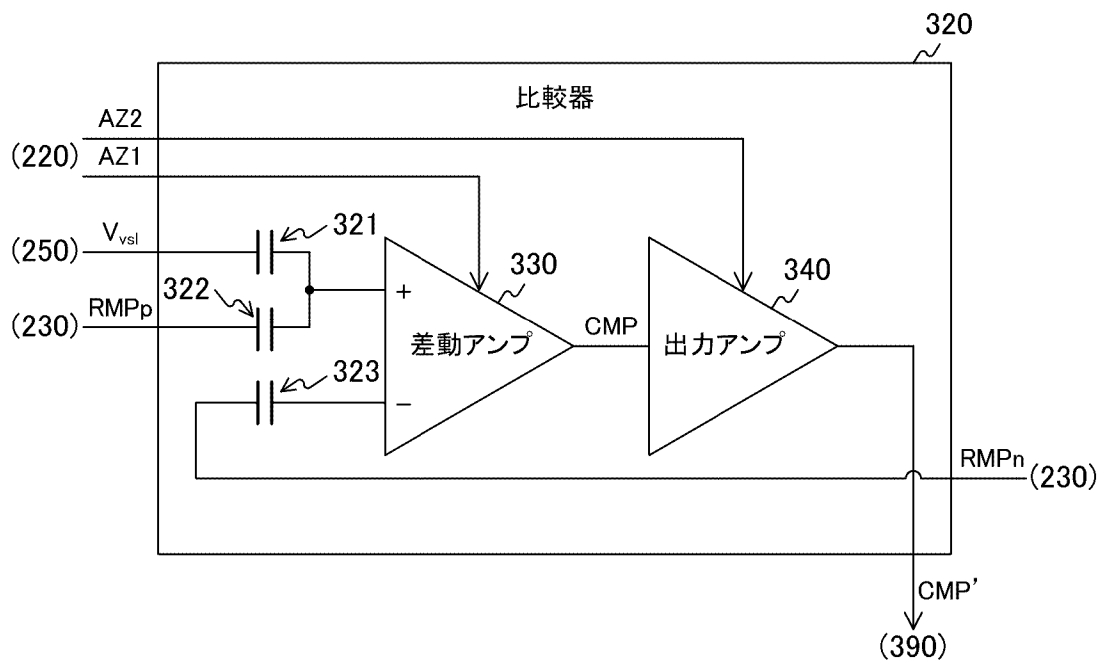
[図12]



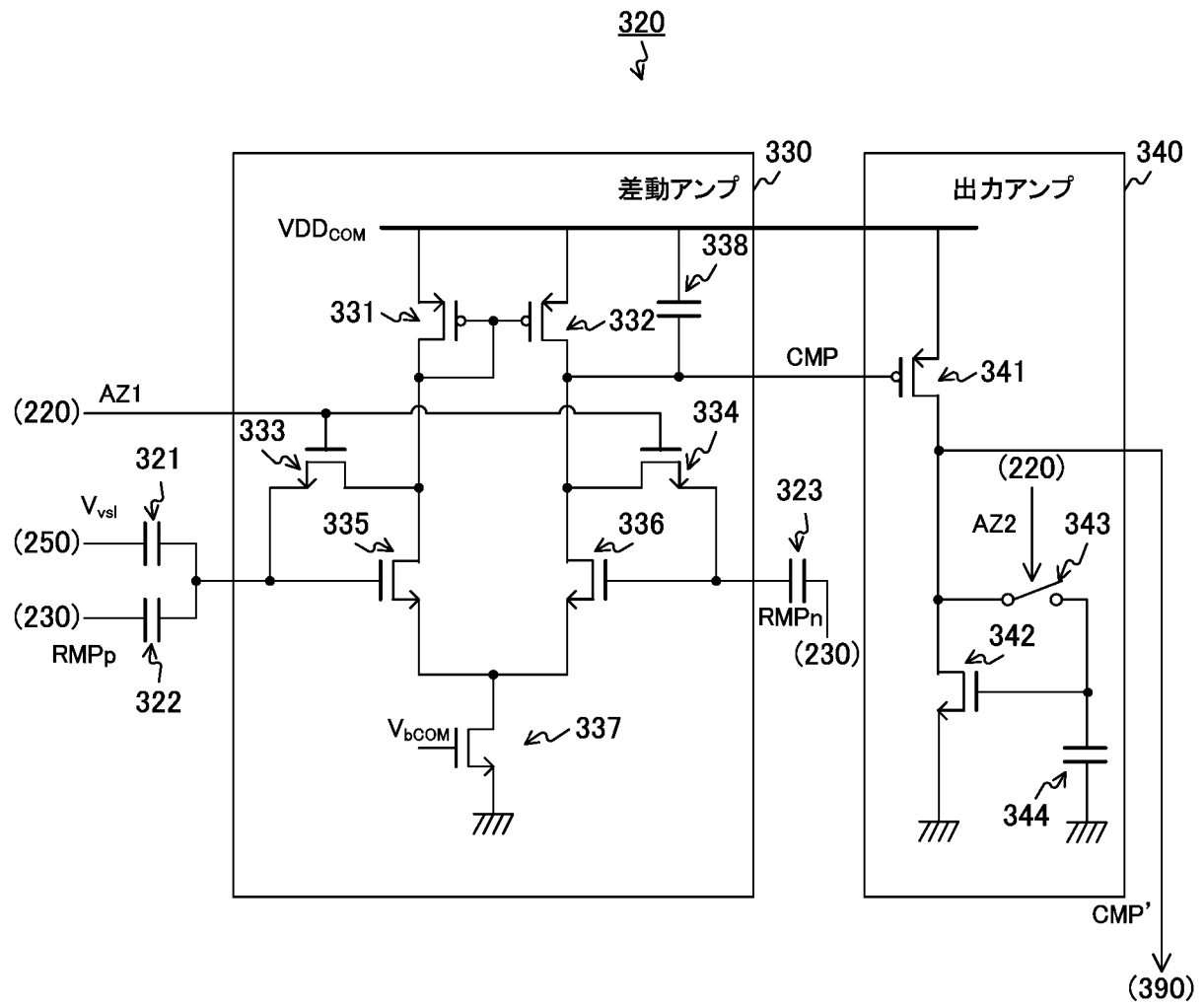
[図13]



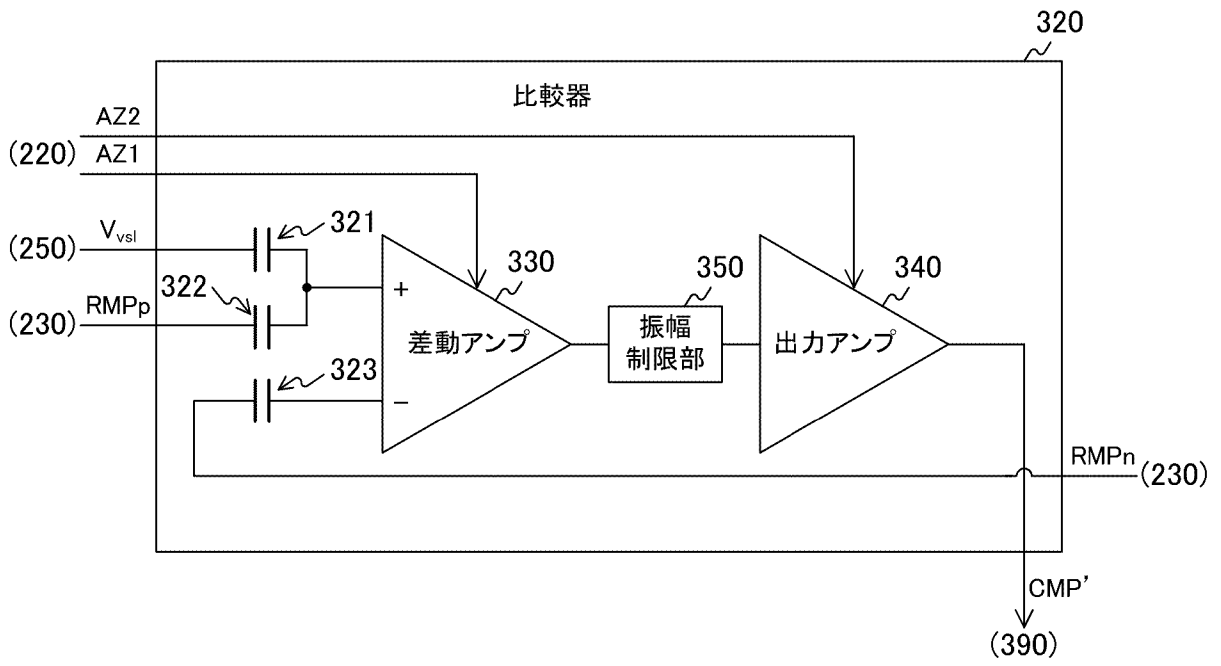
[図14]



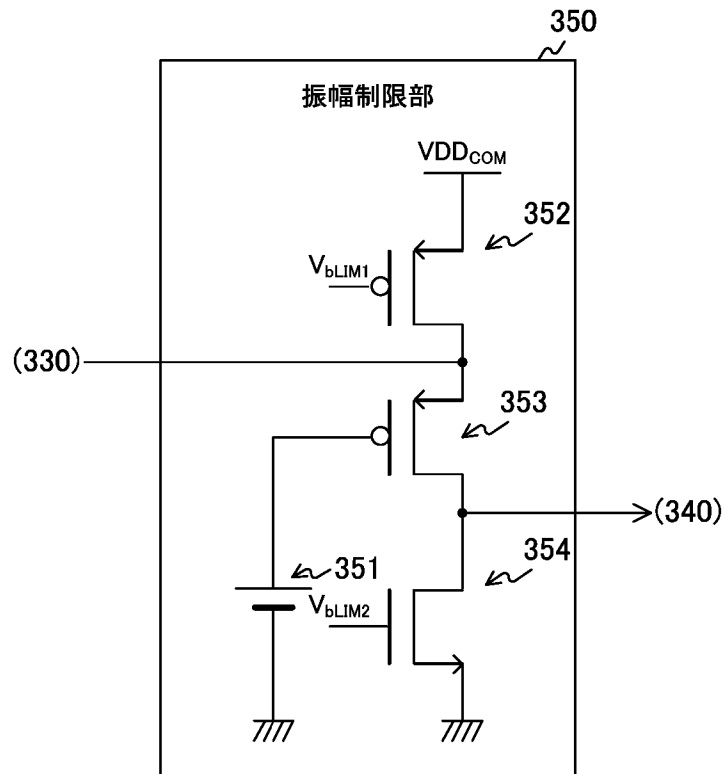
[図15]



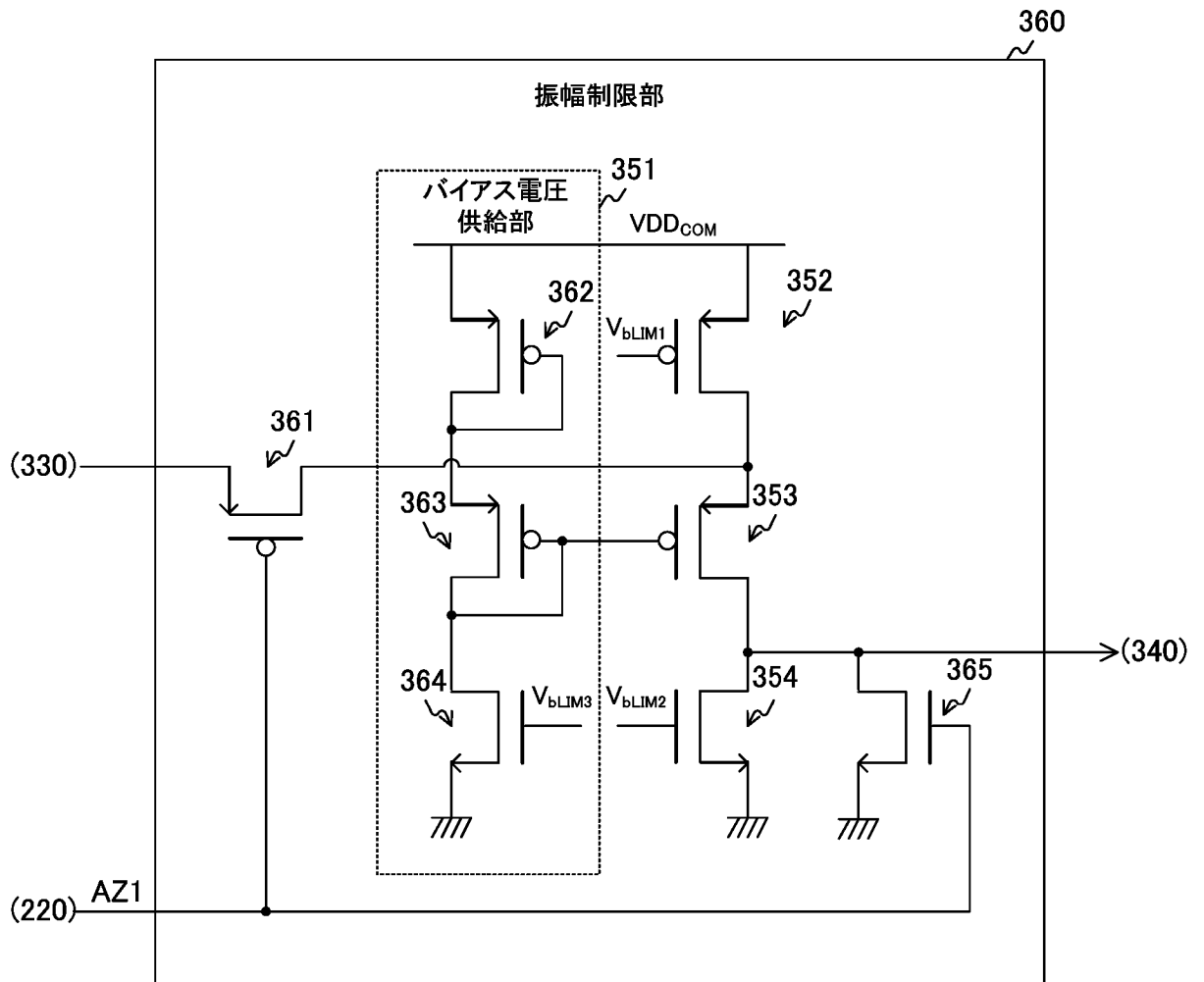
[図16]



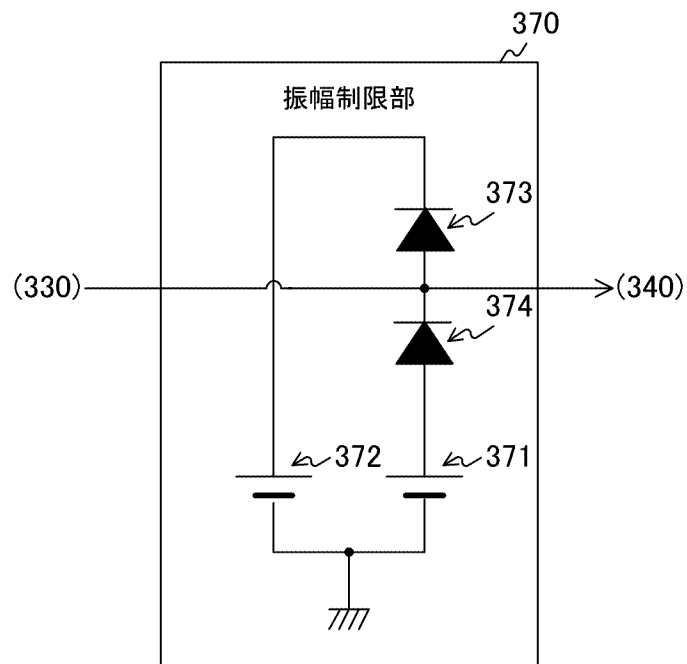
[図17]



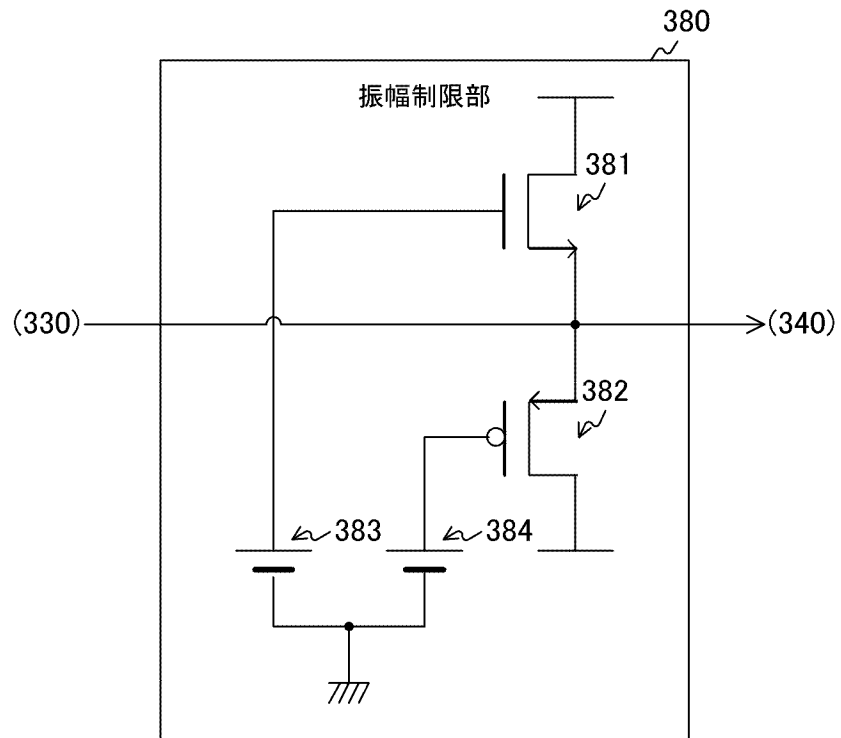
[図18]



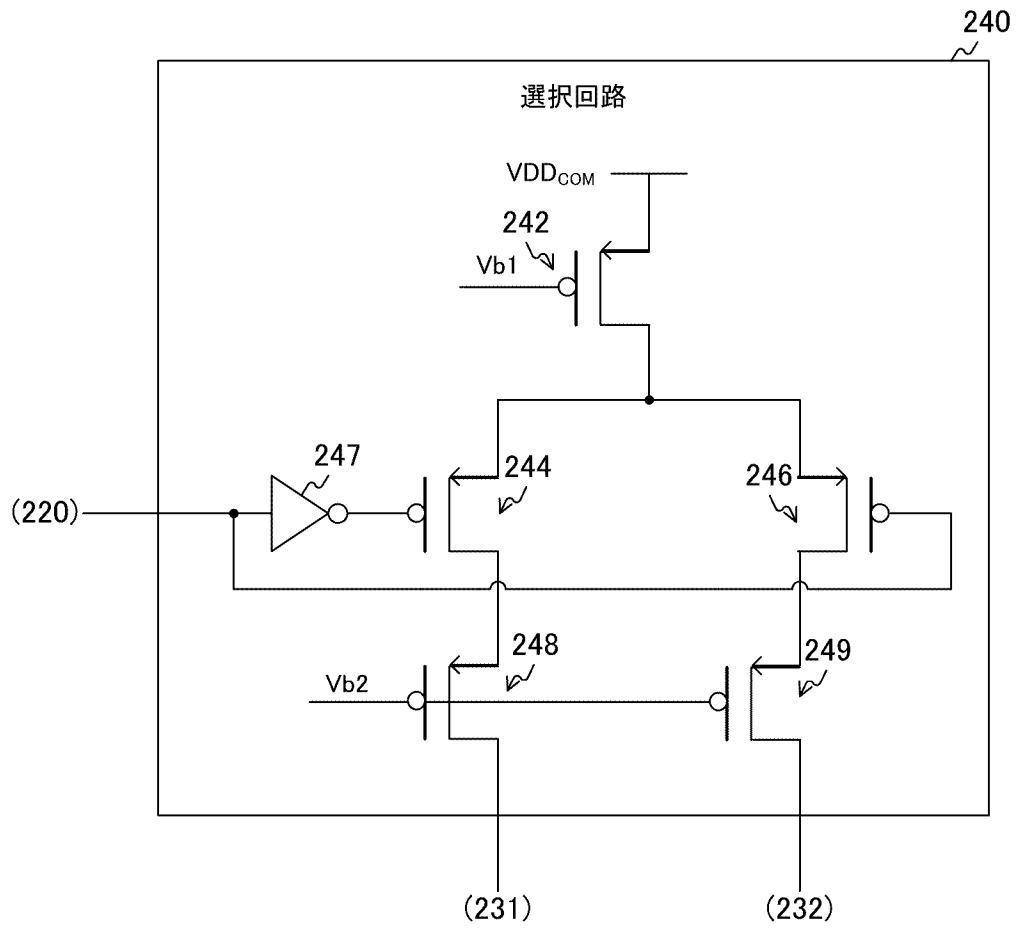
[図19]



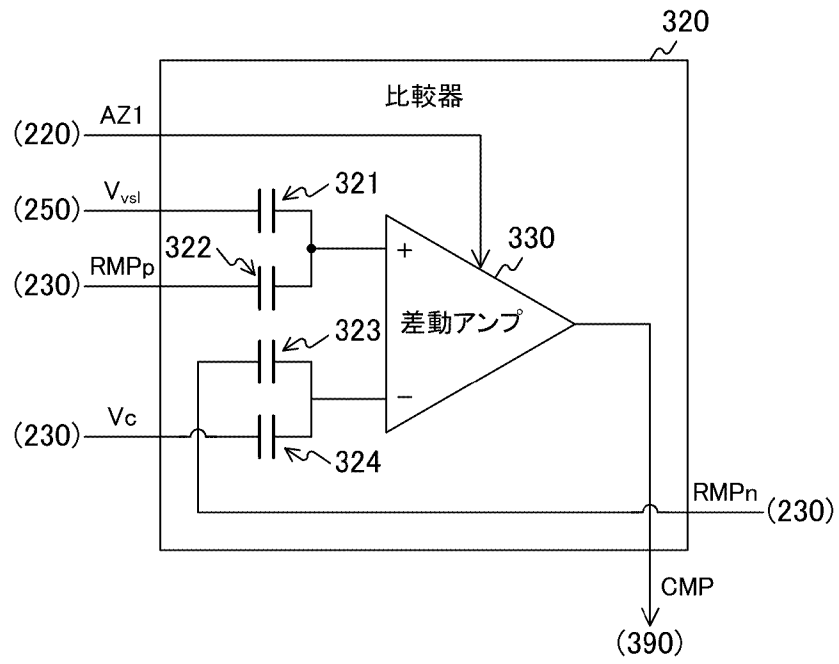
[図20]



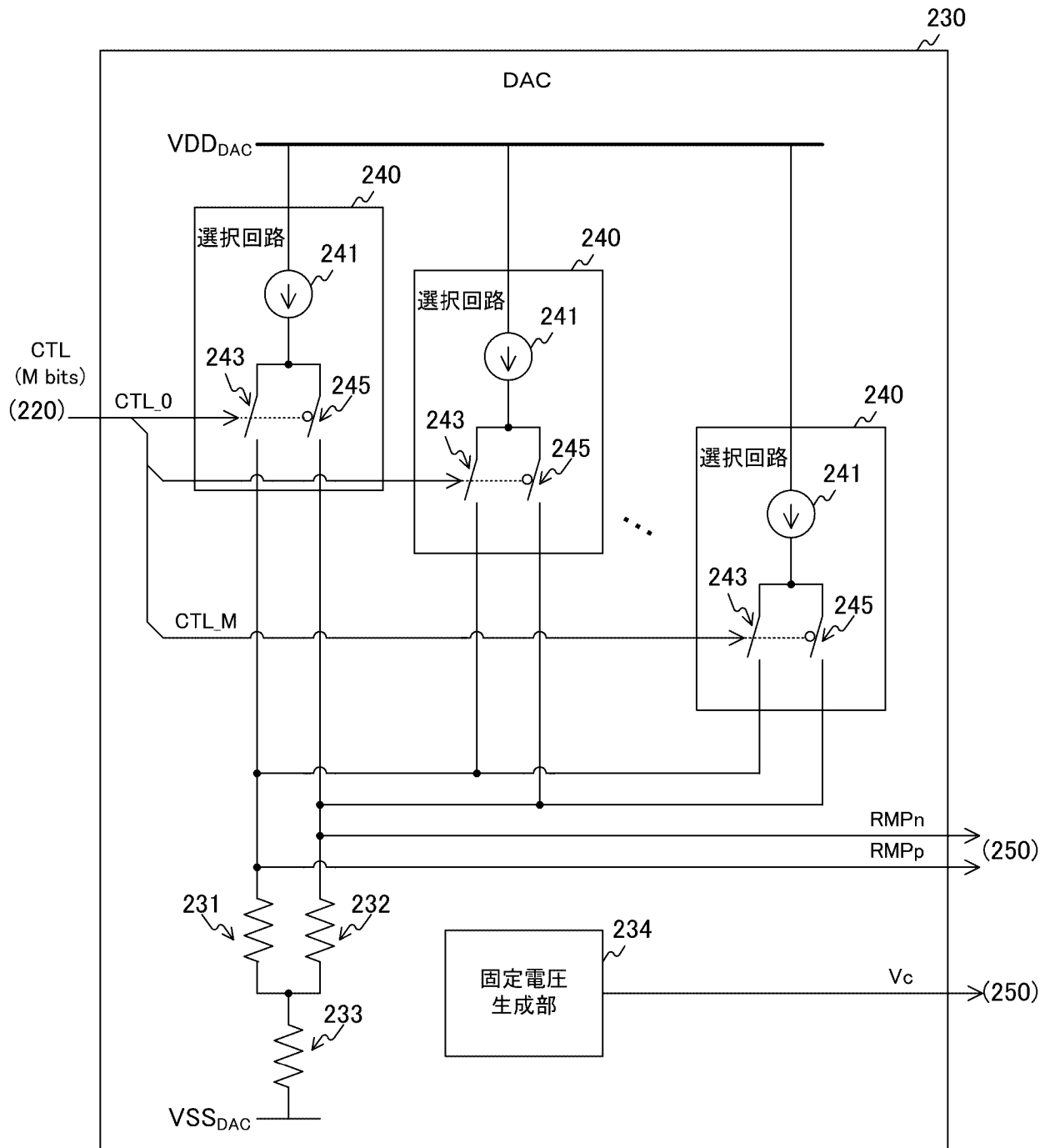
[図21]



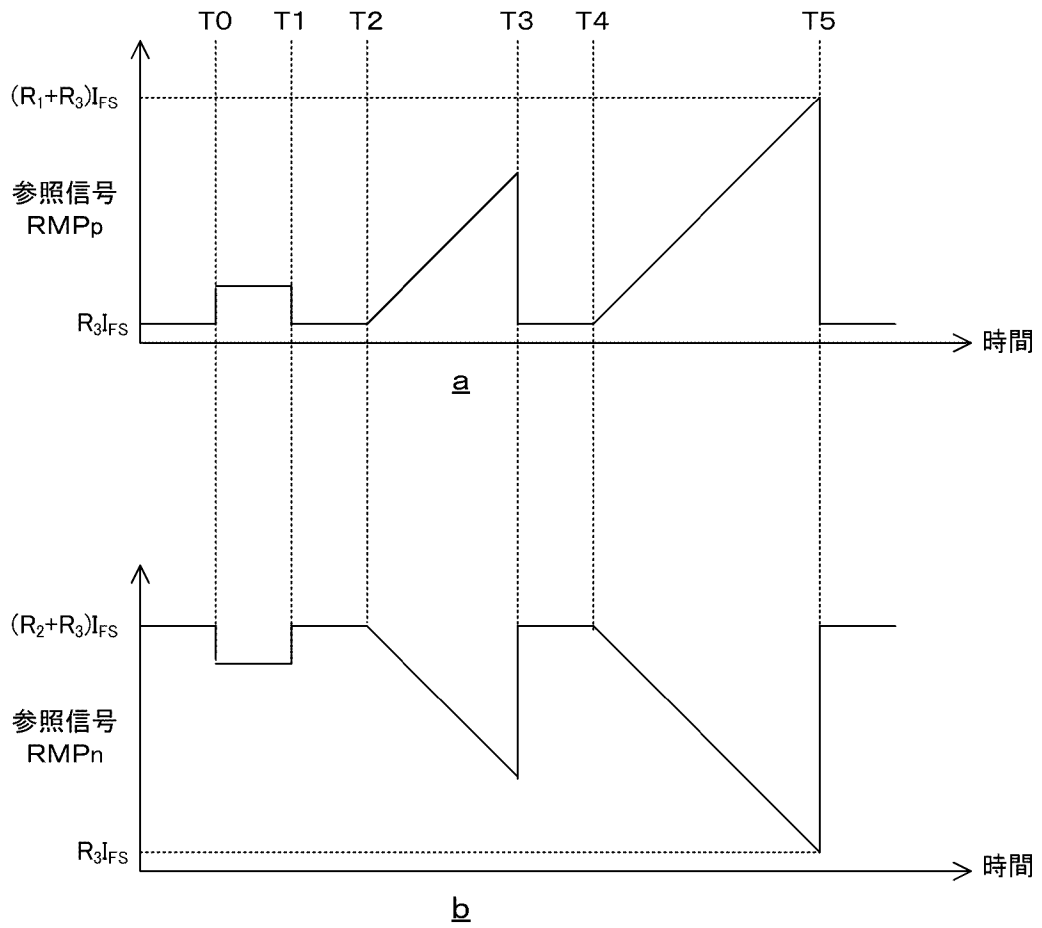
[図22]



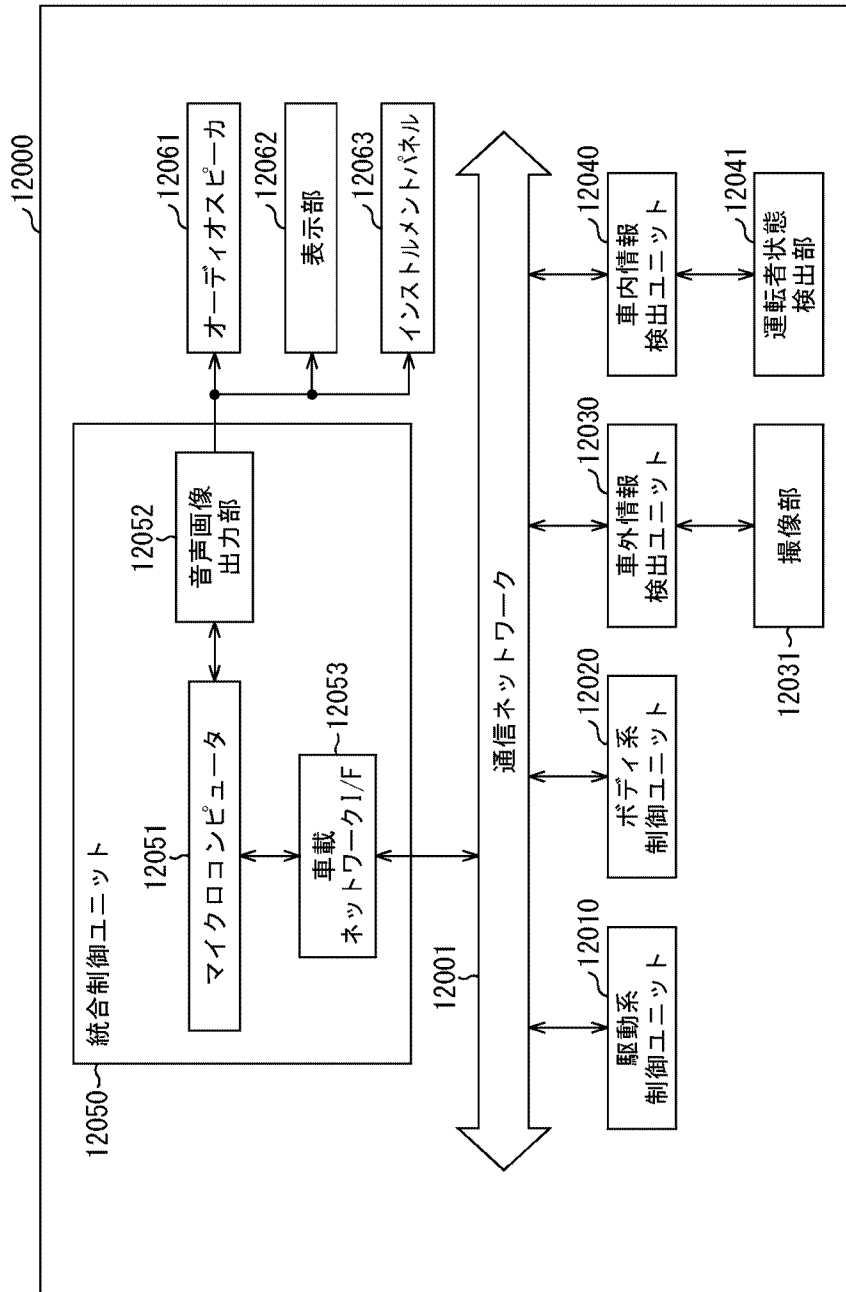
[図23]



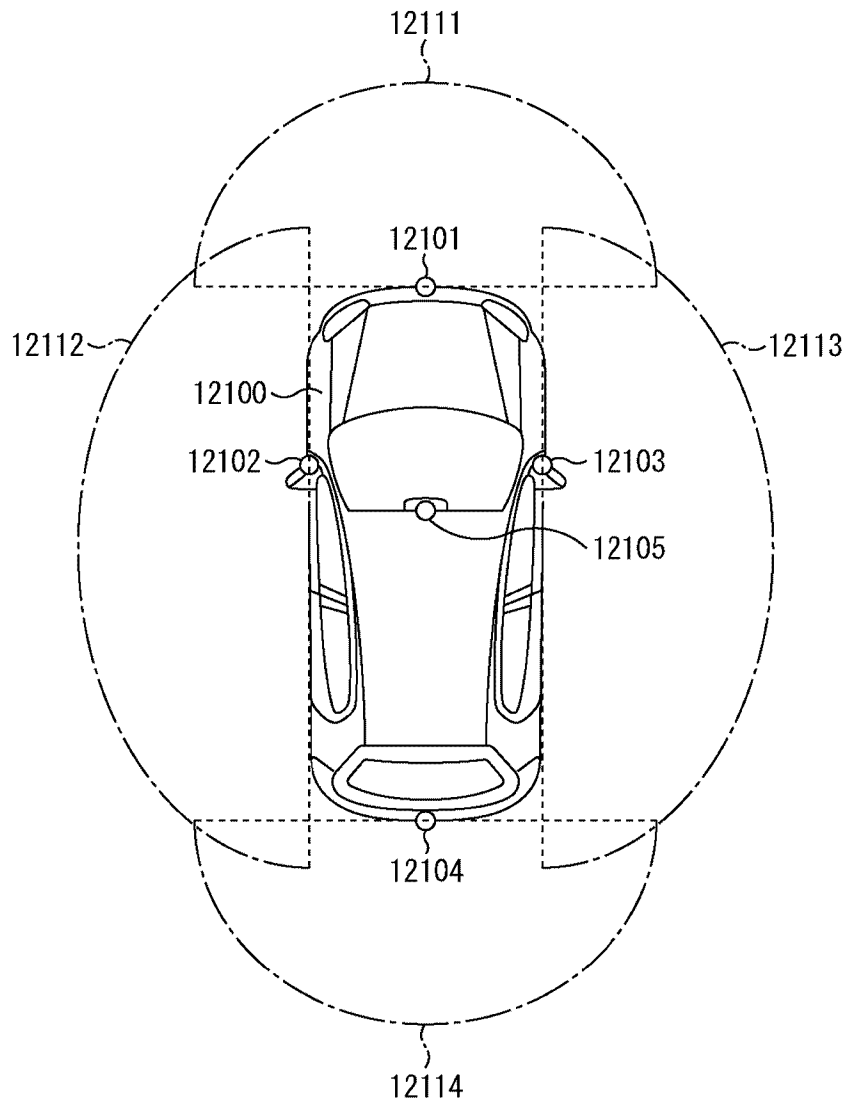
[図24]



[図25]



[図26]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/017845

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H03F3/34 (2006.01) i, H03M1/56 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H03F3/34, H03M1/56

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2019
Registered utility model specifications of Japan	1996-2019
Published registered utility model applications of Japan	1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2007-281987 A (SONY CORP.) 25 October 2007, entire text & US 2008/0136948 A1, entire text & KR 10-2007-0101159 A & CN 101056364 A	1-14
A	JP 2010-288218 A (SHARP CORP.) 24 December 2010, entire text & US 2010/0315540 A1, entire text & CN 101924555 A & KR 10-2010-0134518 A	1-14
A	JP 2009-188815 A (SHARP CORP.) 20 August 2009, entire text & US 2011/0001039 A1, entire text & KR 10-2010-0093568 A & CN 101939917 A	1-14
A	JP 11-168383 A (NEC CORP.) 22 June 1999, entire text (Family: none)	1-14

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search
 09 July 2019 (09.07.2019)

Date of mailing of the international search report
 23 July 2019 (23.07.2019)

Name and mailing address of the ISA/
 Japan Patent Office
 3-4-3, Kasumigaseki, Chiyoda-ku,
 Tokyo 100-8915, Japan

Authorized officer

 Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/378(2011.01)i, H03F3/34(2006.01)i, H03M1/56(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/378, H03F3/34, H03M1/56

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2019年
日本国実用新案登録公報	1996-2019年
日本国登録実用新案公報	1994-2019年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-281987 A (ソニー株式会社) 2007. 10. 25, 全文 & US 2008/0136948 A1, 全文 & KR 10-2007-0101159 A & CN 101056364 A	1-14
A	JP 2010-288218 A (シャープ株式会社) 2010. 12. 24, 全文 & US 2010/0315540 A1, 全文 & CN 101924555 A & KR 10-2010-0134518 A	1-14

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 09.07.2019	国際調査報告の発送日 23.07.2019
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 橋 高志 電話番号 03-3581-1101 内線 3571	5V	8391
---	---	----	------

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2009-188815 A (シャープ株式会社) 2009. 08. 20, 全文 & US 2011/0001039 A1, 全文 & KR 10-2010-0093568 A & CN 101939917 A	1-14
A	JP 11-168383 A (日本電気株式会社) 1999. 06. 22, 全文 (ファミリーなし)	1-14