

(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.<sup>7</sup> (11) 공개번호 10-2005-0094438  
H01L 21/027 (43) 공개일자 2005년09월27일

(21) 출원번호 10-2005-7013155  
(22) 출원일자 2005년07월15일  
    번역문 제출일자 2005년07월15일  
(86) 국제출원번호 PCT/US2004/001219 (87) 국제공개번호 WO 2004/065934  
    국제출원일자 2004년01월16일      국제공개일자 2004년08월05일

(30) 우선권주장 10/346,263      2003년01월17일      미국(US)

(71) 출원인      프리스케일 세미컨덕터, 인크.  
    미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄 캐논 드라이브 웨스트 6501

(72) 발명자      스팍스 테리 지.  
    미국 텍사스 78735 오스틴 멘도시노 드라이브 8808  
    싱홀 아제이  
    미국 텍사스 78681 라운드 록 웨스트 매직 레인 7408  
    스트로제우스키 커크 제이.  
    미국 텍사스 78664 라운드 록 캐스케이더스 코브 2904

(74) 대리인      정상구  
    신현문  
    이범래

심사청구 : 없음

(54) 작은 형상부를 제조하기 위한 반도체 제조 방법

요약

반도체 기판(102) 위의 하위층(110) 및 이미징층(112)을 포함하는 막(109)을 형성하는 것을 포함하는 반도체 제조 방법이 개시된다. 이미징층(112)은 인쇄된 치수(124)를 가지는 인쇄된 형상부(116)를 제조하도록 패터닝된다. 그 후, 하위층(110)은 하위층(110)내에 경사진 측벽 보이드(120)를 형성하도록 처리되며, 여기서, 보이드(120)는 인쇄된 치수 보다 작은, 하위 기판에 인접한 마감 치수(126)를 갖는다. 하위층(110)의 처리는 고밀도 저압 N<sub>2</sub> 플라즈마에 웨이퍼를 노출시키는 것을 포함한다.

대표도

도 7

색인어

하위층, 이미징층, 보이드, 마감 치수, 웨이퍼

## 명세서

### 기술분야

본 발명은 반도체 제조 분야에 관한 것으로서, 보다 구체적으로는 반도체 디바이스의 작은 형상부(small feature)를 제조하는 분야에 관한 것이다.

### 배경기술

반도체 제조 분야에서, 임의의 제조 프로세스의 중요한 특징은 프로세스로 신뢰성있게 제조될 수 있는 최소 형상부 크기이다. 최소 형상부 크기는 집적 회로 디바이스의 성능 또는 속도 뿐만 아니라, 디바이스의 크기에까지 넓은 범위에 영향을 준다. 집적 회로 디바이스의 크기 및 속도는 임계적인 파라미터들이다. 따라서, 점증적으로 보다 작은 형상부를 제조할 수 있게 하는 임의의 제조 시설이 일반적으로 요구된다.

형상부 크기를 감소시키는 한가지 종래의 방법은 현존하는 포토리소그래피 장비(일반적으로 스텝퍼라 불림)를 차세대 스텝퍼로 교체하는 것이다. 이 접근법의 명백한 단점은 스텝퍼의 새로운 라인을 구매, 설치 및 최적화(qualify)하기 위해 필요한 방대한 양의 자본이다. 결과적으로, 현존하는 장비의 교체는 매우 비용 제한적이며, 제조업자는 항상 그들의 스텝퍼의 사용 수명을 연장하는 제조 기술을 구현하는 것에 관심을 두고 있다.

작은 형상부의 제조에 연관된 다른 문제점은 불량에 관련된다. 최소 형상 수축으로서, 치명적 결함의 수는 제조 설비의 주어진 동일 수준의 결함을 증가시킨다는 것은 잘 알려져 있다. 이는 특히, 포토레지스트 및 포토레지스트 처리의 사용이 비교적 많은 수의 입자를 발생시키는 포토리소그래피의 영역에서 그러하다. 형상부의 최종 또는 에칭후 치수가 신뢰성있게, 대응 포토리소그래피 형상부의 인쇄된 치수 보다 작은 프로세스를 구현하는 것이 바람직하다.

### 발명의 상세한 설명

상술된 문제점은 본 발명에서, 바람직하게는 반도체 기판 위에 하위층과 이미징층을 가지는 2중층 레지스트를 형성하는 것을 포함하는 반도체 제조 방법에 의해 해결된다. 이미징층은 인쇄된 치수를 갖는 인쇄된 형상부를 형성 또는 규정하도록 패터닝된다. 그 후, 하위층은 하위층내에 경사진 측벽 보이드를 생성하도록 처리된다. 보이드는 인쇄된 치수 보다 작은 하위 기판에 인접한 마감 치수를 갖는다. 이러한 방식으로, 하위층 보이드는 이미징층에 인쇄된 형상부의 크기 보다 작은 하위 기판상의 형상을 노출시키며, 그에 의해, 이미징 장비 또는 노출 프로세스를 변경하지 않고 형상부를 효과적으로 수축시킨다. 하위층의 처리는 10°C 미만의 온도로 유지되는 고밀도 저압 N<sub>2</sub>-기반 플라즈마에 웨이퍼를 노출시키는 것을 포함한다.

첨부 도면과 관련하여 취해지는 하기의 상세한 설명을 참조함으로써, 그 부가적인 장점과 함께 본 발명을 가장 잘 이해할 수 있을 것이다.

### 도면의 간단한 설명

도 1은 그 위에 에칭 정지층 및 유전층이 형성되어 있는 반도체 기판의 부분 단면도.

도 2는 유전층 위에 유전 캡핑층이 형성되어 있는 도 1에 이은 처리를 예시하는 도면.

도 3은 웨이퍼 위에 2중층 레지스트 구조의 하위층이 코팅되어 있는 도 2에 이은 처리를 예시하는 도면.

도 4는 2중층 레지스트 구조의 이미징층이 형성되는 도 3에 이은 처리를 예시하는 도면.

도 5는 포토리소그래피 이미징에 의해 이미징층이 패터닝되는 도 4에 이은 처리를 예시하는 도면.

도 6은 2중층 레지스트의 하위층내에 웨이퍼 벽 비아가 형성되어 있는 도 5에 이은 처리를 예시하는 도면.

도 7은 테이퍼 벽 비아에 의해 형성된 형상부가 하위 유전체에 형성되어 있는 도 6에 이은 처리를 예시하는 도면.

도 8은 하위층이 웨이퍼로부터 벗겨지는 도 7에 이은 처리를 예시하는 도면.

### 실시예

이제, 본 발명의 현재의 양호한 실시예를 상세히 참조하며, 그 예는 첨부 도면에 예시되어 있다. 도면은 단순화된 형태이며, 축척대로 그려진 것은 아니라는 것을 이해하여야 한다. 비록 하기의 설명이 예시된 실시예를 참조하지만, 이들 실시예는 제한이 아닌 예로서 주어진 것이라는 것을 이해하여야 한다. 하기의 상세한 설명의 목적은 첨부된 청구범위에 의해 규정되는 바와 같은 본 발명의 개념 및 범주내에 포함되는 모든 변형, 대안 및 등가체를 포함하기 위한 것이다.

본 명세서에 기술된 프로세스 단계 및 구조는 집적 회로의 제조를 위한 완전한 프로세스 흐름을 포괄하는 것은 아니다. 본 발명은 본 기술에 종래에 사용되는 다양한 집적 회로 제조 기술과 결부하여 실시될 수 있으며, 단지 대부분의 공동적으로 실시되는 프로세스 단계만이 본 명세서에 본 발명에 대한 이해를 제공하기 위한 필요에 따라 포함되어 있다. 따라서, 예로서, 하기의 설명은 형성된 트랜지스터의 상호접속 또는 "백 엔드" 처리라 일반적으로 지칭되는 다른 처리를 다루지 않는다.

일반적으로 말하면, 본 발명은 폐기가능한 막 위의 포토레지스트 막내에 형상부가 인쇄 또는 규정되는 반도체 제조 기술을 고려한다. 그후, 폐기가능한 막은 테이퍼형 측벽을 가지는 보이드 또는 개구를 생성하도록 처리된다. 테이퍼형 측벽은 기판 경계면에서 개구의 치수가 인쇄된 형상부의 치수 보다 작도록 하위 기판상에서 종결한다. 테이퍼형 측벽을 제조하기 위한 폐기가능한 막의 처리는 고밀도 저압  $N_2$ -기반 플라즈마 에칭을 포함할 수 있다. 폐기가능한 막의 처리 이후, 기판은 그후 기판내에 에칭된 형상부를 생성하도록 적소에서 처리된 폐기가능한 막으로 에칭될 수 있다. 에칭된 형상부는 기판 경계면에서의 개구의 치수에 거의 같은(즉, 인쇄된 치수 보다 작은) 치수를 갖는다.

이러한 방식으로, 적어도 두 개의 제조 개선이 실현된다. 첫 번째로, 현존하는 포토리소그래피 프로세스로 인쇄될 수 있는 최소 형상부 크기 보다 작은 형상부 크기를 생성하기 위해 이 처리 기술이 사용될 수 있다. 두 번째로, 처리 기술은 제조업자가 보다 적은 불량으로 작은 형상부를 제조할 수 있게 한다. 보다 구체적으로, 개시된 프로세스는 최종 형상부의 크기를 증가시키지 않고, 포토리소그래피 형상부의 크기를 증가시키기 위해 사용될 수 있다. 완성된 포토리소그래피 처리는 보다 소수의 결함을 초래한다.

이제, 도면으로 돌아가서, 도 1 내지 도 8은 본 발명의 현저한 양태를 강조하는 반도체 제조 처리 시퀀스를 예시한다. 도 1은 집적 회로의 제조의 중간 단계에서 반도체 웨이퍼(100)의 부분 단면도이다. 도 1에 도시된 바와 같이, 웨이퍼(100)는 기판(102)을 포함하며, 그 위에, 에칭 정지층(ESL)(104) 및 유전층(106)이 형성되어 있다. 기판(102)은 단결정 실리콘을 포함하거나, p-채널 및 n-채널 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)와 중간에 분포된 트랜지스터 격리 구조체를 통상 포함하는 복수의 전자 디바이스들 포함하도록 처리된 다른 반도체 기판을 포함할 수 있다. 부가적으로, 기판(102)은 하나 이상의 상호접속층 및 하나 이상의 중간레벨 유전체(ILD)의 층을 포함할 수 있으며, 모두는 반도체 제조 분야의 숙련자에게 친숙한 바와 같다. 유전층(106) 및 ESL(104)은 또한, 기판(102)의 일부를 포함하는 것으로서 지칭될 수도 있다.

일 실시예에서, ESL(104)은 두께가 약 500Å인 실리콘 질화물( $Si_3N_4$ ) 또는 탄소 도핑된 실리콘 질화물( $SiCN$ ) 층이다. 실리콘 질화물은 약 300 내지 500°C 범위의 온도에서 유지되는 CVD 반응기 챔버내에서 시레인과 암모늄으로부터 플라즈마를 형성함으로써 생성된 플라즈마 강화 화학 기상 증착(PECVD) 실리콘 질화물을 포함할 수 있다. 탄화 실리콘 질화물은 보다 낮은 유전 상수가 바람직한 경우에, 종래의 실리콘 질화물 대신 사용될 수 있다.

유전층(106)은 실리콘 산화물( $SiO_2$ ) 또는 탄화 실리콘 산화물( $SiCOH$ ) 같은 전기 절연 재료의 약 3000 내지 9000Å을 포함할 수 있다. 유전체(106)는 그 상하에 배치된 한 쌍의 상호접속부(미도시) 사이에서 ILD 층으로서 기능하기 쉽다. 층(106)의 실리콘 산화물 실시예에서, 실리콘 산화물은 테트라에틸오르소실리케이트(TEOS)를 분해하고, 시레인과 산소를 반응시키고, 디클로시레인과 질소 산화물을 반응시키거나, 다른 적절한 CVD 산화물 기술을 사용함으로써 CVD에 의해 형성될 수 있다. 층(106)의  $SiCOH$  실시예는 층간 및 층간 용량 결함 효과를 감소시키는 것이 바람직한 경우, 저-K 유전체(약 3.0 미만의 유전 상수를 가지는 재료)로서 채용될 수 있다.

이제 도 2를 참조하면, 캡핑층(108)이 유전층(106) 상에 형성된다. 캡핑층(108)은 적어도 두 개의 이유로 프로세스 내로 통합될 수 있다. ILD로서 기능할 때 유전층(106)은 화학 기계적 연마(CMP) 프로세스와 같은 소정 형태의 평탄화 프로세스를 일반적으로 받게 된다. 평탄화에 이어서, 캡핑층(108)의 적층은 최종 ILD가 유전층(106)과 캡핑층(108)을 포함하는

입의 최종 ILD 두께를 성취하는데 사용될 수 있다. 유전층(106)이 SiCOH와 같은 저-K 재료이거나 이를 포함하는 실시예에서, 비교적 얇은 캡핑층(108)은 그 상부에 후속층이 형성될 수 있는 안정적인 막을 제공할 수 있다. 일 실시예에서, 캡핑층(108)은 약 800Å의 TEOS 기반 실리콘 옥사이드를 포함한다.

이제 도 3 및 도 4를 참조하면, 막(109)이 캡핑층(108) 상에 형성된다. 막(109)은 제조 프로세스의 완료 전에 제거될 수 있는 일시적인 막이다. 일 실시예에서, 막(109)은 비교적 두꺼운 광 흡수성 폴리머 하위층 또는 폐기가능한 막(UL)(110) 및 비교적 얇은 이미징층(IL)(112)을 포함하는 2중층 포토레지스트(BLR)이다. 일 실시예에서, IL(112)은 약 6 내지 15중량%의 실리콘 함량을 갖는 실리콘 함유 포토레지스트 이미징층이고 UL(110)은 광 불감성 폴리머이다. 2중층 레지스트는 짧은 이미징 파장(248nm 이하) 및 큰 수치적 구경(NA) 렌즈를 이용하는 포토리소그래피 시스템의 포커스 특성의 감소된 깊이를 보상하는데 사용된다. 이러한 시스템은 100nm 이하의 형상을 생성하도록 거의 일반적으로 이용된다. 이들 시스템에서, 포커스의 감소된 깊이를 보상하도록 포토레지스트 두께를 감소시키는 것은 제한된 유효성을 갖는다. 레지스트가 너무 얇으면, 웨이퍼의 후속의 에칭 중에 패턴 전사 마스크로서 기능할 수 없다. 2중층 레지스트는 얇은 막 이미징층 및 두꺼운 광 불감성 하위층을 제공함으로써 이 문제점에 접근한다. 이미징층의 패턴링 후에, 최종 패턴은 이미징층 또는 하위 기판을 실질적으로 에칭하지 않고 하위층을 에칭하는 특정 에칭 프로세스를 사용하여 두꺼운 하위층으로 전사된다. 상업적으로 입수 가능한 2중층의 예는 쉘플리 컴퍼니 엘엘씨로부터의 SIBER 레지스트 시스템이다.

도 3 및 도 4에 도시된 실시예에서, 막(109)은 먼저 폴리머 UL(110)로 웨이퍼(100)를 코팅함으로써 형성된다. UL(110)의 두께는 3500 내지 15000Å의 범위인 것이 바람직하다. 코팅된 UL은 이어서 폴리머 재료를 가교 결합하고 막을 기계적으로 경화하도록 약 150 내지 250°C의 범위의 온도로 베이킹된다. UL(110)의 베이킹에 이어서, IL(112)이 UL(110) 상에 코팅된다. IL(112)의 두께는 약 500 내지 3000Å의 범위인 것이 바람직하다. 이미징층으로의 웨이퍼의 코팅 후에, IL(112)은 도 4에 도시된 바와 같은 막(109)을 형성하도록 90 내지 140°C의 범위인 것이 바람직한 온도에서 베이킹된다.

다음, IL(112)은 도 5에 도시된 바와 같이 IL의 부분을 선택적으로 제거하고 패턴링된 IL(114)을 생성하도록 통상의 포토마스크를 통해 이미징 방사선에 노광되고 적합한 포토레지스트 현상액에 침지된다. IL(112)의 노광은 예를 들면 248nm 또는 193nm 리소그래피 장치로 수행될 수 있다. 패턴링된 IL(114)이 보이드 또는 인쇄된 형상부(116)를 규정한다. 패턴링된 IL(114)을 생성하기 위한 이미징층의 포토리소그래피 프로세싱은 UL(110)이 광 감응성이 아니기 때문에 UL(110)을 실질적으로 그대로 잔류시킨다.

이제 도 6을 참조하면, 패턴링된 IL(114) 내의 인쇄된 형상부(116)는 UL(110) 내의 테이퍼형 벽 비아(120)로서 본원에서 칭하는 보이드를 생성하도록 UL(110)을 프로세싱함으로써 UL(110) 내로 전사된다. 일 실시예에서, 건식 현상 프로세싱이라 본원에서 칭하는 프로세싱이 UL(110) 내로 인쇄된 형상부(116)를 전사하는데 사용된다. UL(110)의 건식 현상 프로세싱은 화학 작용 및 테이퍼형 벽 비아(120)가 그의 명칭이 제안하는 바와 같이 테이퍼형 또는 경사진 측벽(122)에 의해 특징화되는 UL(110) 내에 테이퍼형 벽 비아(120)를 생성하는 프로세싱 조건을 이용한다. 본 발명에 따르면, 측벽(122)은 약 70 내지 89°(하위 기판의 상부층에 대해) 사이의 각도로 특징적으로 경사지고 실질적으로 직선형(단면에서 볼 때)이다. 비아(120)의 테이퍼형 측벽(122)은 그의 대응 인쇄된 형상부(116)보다 작은 집적 회로 형상부를 효과적으로 규정하기 위한 메카니즘을 유리하게 제공한다. 달리 말하면, UL(110)의 프로세싱은 인쇄된 형상부의 크기에 대한 집적 회로 형상부의 기하학적 형상을 효과적으로 수축시키는 테이퍼형 벽 비아(120)를 형성한다.

일 실시예에서, UL(110)의 건식 현상 프로세싱은 건식 에칭 실리콘 옥사이드에 사용된 챔버와 같은 통상의 플라즈마 에칭 챔버에서 수행될 수 있다. 바람직한 실시예에서, UL(110)의 건식 현상 프로세싱에 사용된 에칭제는 이러한 프로세싱에 전용되고 제조 설비 내에서 다른 에칭 프로세싱에 사용되지 않는다. 이 "전용 챔버" 실시예에서, 건식 현상 프로세싱에 챔버를 전용화하는 것은 결합을 감소시키고 건식 현상 프로세스의 효율을 향상시킨다. 종래의 2중층 프로세싱에서, 하위층은 수직 측벽 또는 더 불행하게는 만곡된 측벽 보이드를 형성하는 경향이 있는 O<sub>2</sub> 화학 작용을 사용하여 현상되거나 에칭된다. 수직 측벽 보이드는 상술한 형상부 크기 감소 이점을 성취할 수 없다. 만곡된 측벽 보이드는 건식 현상 중에 파괴되는 경향이 있는 하위층 재료의 얇은 현수부에 의해 특징화된다.

본 발명의 일 실시예는 도 6에 도시된 바와 같이 테이퍼형 벽 비아(120)를 생성하도록 UL(110)의 건식 현상 프로세싱을 위해 저압에서 고밀도 N<sub>2</sub> 플라즈마를 유리하게 사용한다. 본원에서, 고밀도 플라즈마는 약 10<sup>11</sup> ions/cm<sup>3</sup>을 초과하는 이온 밀도를 갖는 플라즈마를 칭하고 "저압"은 15mT 이하의 압력을 칭한다. 일 실시예에서, UL(110)의 건식 현상 프로세싱은 500W를 초과하는 RF 소스 전력, 50W를 초과하는 RF 바이어스 전력, 적어도 20sccm의 N<sub>2</sub> 유량(다른 가스는 챔버에 도입되지 않음), 15mT 미만의 압력, 및 10°C 미만의 웨이퍼(척) 온도로 유도 결합 플라즈마 반응기에서 수행된다. 건식 현상 프로세싱은 예를 들면 50 내지 2500W의 RF 소스 전력, 50 내지 200W의 RF 바이어스 전력, 20 내지 100sccm의 N<sub>2</sub>

유량, 3 내지 15mT의 챔버 압력, 및 -10 내지 10°C의 웨이퍼 온도를 사용할 수 있다. N<sub>2</sub> 건식 현상 화학 작용은 고밀도 저압 플라즈마 에칭 파라미터와 결합하여 상응하는 NH<sub>3</sub>/O<sub>2</sub> 플라즈마보다 높은 질소 "중성자" 농도를 생성하고 풍부한 질소 중성자는 테이퍼형 벽 비아(120) 내에 테이퍼형 측벽(122)을 생성하는 것을 담당한다는 것이 이론화되어 있다. 약 5000Å의 UL 두께에서, 개시된 건식 현상 기술에 의해 생성된 측벽(122)의 테이퍼 형성은 약 40 내지 70nm의 형상부 크기 수축을 초래한다. 따라서, 본원에 개시된 BLR 건식 현상 프로세싱 기술은 약 170nm의 인쇄된 치수(도면 부호 124) 및 약 105nm의 최종 또는 더 낮은 치수(126)를 갖는 테이퍼형 벽 비아(120)를 생성하는데 사용될 수 있다.

테이퍼형 벽 비아(120)의 형성은 적어도 두 개의 주요 이점을 제공한다. 먼저, 테이퍼형 벽 비아(120)는 포토리소그래피가 인쇄할 수 있는 최소 형상부 크기보다 작은 최소 형상부 크기를 갖는 최종 형상부를 형성하는데 사용될 수 있다. 패터닝된 IL(114) 내의 인쇄 형상부(116)가 스테퍼가 인쇄할 수 있는 거의 최소 형상부 크기인 치수를 가지면, 테이퍼형 벽 비아(120)는 인쇄 가능한 최소 치수보다 작은 최소 치수를 갖는 하위 웨이퍼 내에 형성된 집적 회로 형상부를 초래할 수 있다. 본 명세서의 이익을 갖는 포토리소그래피 분야의 숙련자들은 이 방식으로 테이퍼형 벽 비아(120)가 인쇄된 형상부의 크기를 수축시키기 위한 대안 수단을 제공함으로써 포토리소그래피 설비의 사용 수명을 연장시킬 수 있다는 것을 이해할 수 있을 것이다. 테이퍼형 벽 비아(120)는 완성된 디바이스의 다이 크기 또는 성능에 영향을 주지 않고 포토리소그래피 파라미터의 완화를 가능하게 함으로써 치명적인 결함의 수를 감소시키는데 또한 사용될 수 있다. 더 구체적으로는, 테이퍼형 벽 비아는 형상부(116)에 규정된 최소 치수보다 큰 치수를 갖는 형상부(116)를 인쇄하는 포토리소그래피 프로세스와 결합하여 사용될 수 있다. 웨이퍼 에칭 프로세싱을 완성한 후에, 웨이퍼 내에 생성된 형상부는 형상부(116)를 위해 규정된 최소 형상부에 상당하는 최소 형상부를 가질 수 있다.

도 7을 참조하면, 집적 회로의 형상부(128)는 UL(110)의 건식 현상 프로세싱 후에 에칭 마스크로서 UL(110)(및 IL(112))을 갖는 이방성 에칭 프로세스를 사용하여 웨이퍼(100)에 형성된다. 전형적으로, 플루오르기 반응성 이온 에칭(RIE) 프로세스가 집적 회로 형상부(128)를 형성하는데 사용된다. 도식된 실시예에서, 형상부(128)는 하위 유전층(106) 및 캡핑층(108)에 형성된 비아이다. 대안 실시예에서, 유사하게 처리된 보이드는 그로부터 다마신 프로세스를 사용하여 상호 접속부가 형성될 수 있는 트랜치로서 기능할 수 있다. IL(114)의 실리콘 함유 실시예는 일반적으로 도 7에 도시된 바와 같은 형상부(128)를 포함하는 웨이퍼(100) 상에 UL(110)만을 잔류시키는 이러한 에칭 프로세스 동안에 에칭 제거된다. 사용된 에칭 프로세스는 보이드(120)의 최종 치수가 하위막 내로 전사되도록 실질적으로 수직 측벽을 생성하는 것이 바람직할 수 있다. 따라서, 도 7에 도시된 바와 같이, 형상부(128)는 UL(110) 내의 테이퍼형 벽 비아(120)의 최종 치수에 실질적으로 동일한 최종 형상부 크기(126)를 갖는다.

도 8을 참조하면, UL(110)의 잔여부는 통상의 포토레지스트 박리액을 사용하여 웨이퍼(110)로부터 박리된다. 이 스테이지에서, 웨이퍼(100)는 점점 또는 상호 접속부로서 기능할 수 있는 도전성 재료로 형상부(128)를 충전하도록 금속 증착 프로세싱과 같은 후속의 프로세싱(도시 생략)을 위한 조건에 있다.

따라서, 본 발명에 따라서 상술한 장점을 성취하는 포토리소그래피 이미징 프로세스 또는 설비를 실질적으로 변경하지 않고 더 작은 형상부 크기를 제조하기 위한 프로세스가 제공되었다는 것이 본 명세서의 이익을 갖는 본 기술 분야의 숙련자들에게 명백할 것이다. 본 발명은 그의 특정 예시적인 실시예를 참조하여 설명되고 예시되었지만, 본 발명은 이들 예시적인 실시예에 한정되는 것으로 의도되는 것은 아니다. 본 기술 분야의 숙련자들은 다양한 변경 및 수정이 본 발명의 사상으로부터 이탈하지 않고 수행될 수 있다는 것을 인식할 수 있을 것이다. 따라서, 첨부된 청구범위 및 그의 등가물의 범주 내에 있는 모든 이러한 변경 및 수정은 본 발명 내에 포함되는 것으로 의도된다.

**(57) 청구의 범위**

**청구항 1.**

반도체 제조 방법으로서,

반도체 기판 위에 폐기가능한 막(disposable film)을 형성하는 단계,

상기 폐기가능한 막 위의 포토레지스트 막내에 인쇄된 치수를 가지는 형상부(feature)를 형성하는 단계, 및

경사진 측벽들에 의해 특징되는 보이드(void)를 생성하도록 인쇄된 형상부 아래의 폐기가능한 막을 처리하는 단계로서, 상기 기판 인근의 상기 보이드의 치수는 상기 인쇄된 치수 보다 작은 상기 단계를 포함하는 반도체 제조 방법.

## 청구항 2.

제 1 항에 있어서, 상기 포토레지스트 막은 두께가 약 500 내지 3000Å인 실리콘 함유 포토레지스트를 포함하고, 상기 포토레지스트 층의 실리콘 함량은 약 6 내지 15중량%의 범위이며, 상기 폐기가능한 막은 두께가 약 3500 내지 15000Å인 폴리머층을 포함하는 반도체 제조 방법.

## 청구항 3.

제 1 항에 있어서, 상기 폐기가능한 막을 처리하는 단계는 고밀도 저압 플라즈마에 상기 막을 노출시키는 단계를 포함하고, 상기 플라즈마는 질소(N<sub>2</sub>) 플라즈마를 포함하며, 상기 반도체 기판은 상기 폐기가능한 막의 처리 동안 10°C 미만의 온도로 유지되는 반도체 제조 방법.

## 청구항 4.

반도체 제조 방법으로서, 반도체 기판 위에 하위층 및 이미징층을 포함하는 2중층 레지스트(bilayer resist)를 형성하는 단계, 인쇄된 치수를 가지는 인쇄된 형상부를 생성하도록 상기 이미징층을 패터닝(patterning)하는 단계, 상기 하위층내에 보이드를 생성하도록 상기 하위층을 처리하는 단계로서, 상기 보이드는 하위 기판에 인접하게 마감 치수(finished dimension)를 가지며, 상기 보이드의 상기 마감 치수는 상기 인쇄된 치수 미만인, 상기 처리 단계, 및 상기 기판내에 집적 회로 형상부를 형성하도록 상기 하위층을 에칭 마스크(etch mask)로서 사용하여 상기 기판을 에칭하는 단계로서, 상기 하위층 보이드의 상기 마감 치수에 의해 상기 집적 회로 형상부의 치수가 결정되는, 상기 에칭 단계를 포함하는, 반도체 제조 방법.

## 청구항 5.

제 4 항에 있어서, 상기 이미징층은 두께가 약 500 내지 3000Å인 실리콘 함유 포토레지스트를 포함하고, 상기 이미징층의 실리콘 함량은 약 6 내지 15중량%의 범위이며, 상기 하위층은 두께가 약 3500 내지 15000Å인 폴리머층을 포함하는, 반도체 제조 방법.

## 청구항 6.

제 4 항에 있어서, 상기 하위층을 처리하는 단계는 플라즈마 반응기 챔버내에서 N<sub>2</sub>-기반 플라즈마에 웨이퍼를 노출시키는 단계를 포함하고, N<sub>2</sub>는 상기 하위층의 처리 동안 상기 챔버내로 도입되는 유일한 가스이며,

상기 반도체 기판은 10℃ 미만의 온도로 유지되고,

상기 반응기는 15mT 미만의 압력으로 유지되는 반도체 제조 방법.

**청구항 7.**

제 4 항에 있어서, 상기 하위층 보이드는 상기 기판의 상부면에 대해 약 70°내지 89°사이의 경사를 갖는 경사 및 실질적으로 직선인 측벽들에 의해 특징되는, 반도체 제조 방법.

**청구항 8.**

반도체 제조 방법으로서,

반도체 기판 위에 폐기가능한 막을 형성하는 단계,

상기 폐기가능한 막상의 포토레지스트 막내에 인쇄된 치수를 가지는 개구를 규정하는 단계,

경사진 측벽들에 의해 특징되는 보이드를 생성하도록 고밀도 질소 플라즈마로 상기 개구 아래의 상기 폐기가능한 막을 처리하는 단계로서, 상기 기판에 인접한 상기 보이드의 치수는 상기 인쇄된 치수 보다 작은, 상기 처리 단계, 및

상기 기판내에 집적 회로 형상부를 형성하도록 에칭 마스크로서 상기 처리된 폐기가능한 층을 사용하여 상기 기판을 에칭하는 단계로서, 상기 집적 회로 형상부의 치수는 상기 기판에 인접한 상기 보이드의 상기 치수에 의해 결정되는, 상기 에칭 단계를 포함하는, 반도체 제조 방법.

**청구항 9.**

제 8 항에 있어서, 상기 폐기가능한 막은 폴리머 막을 포함하고,

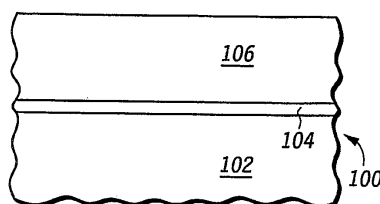
상기 포토레지스트 막은 실리콘 함유 포토레지스트를 포함하며, 상기 실리콘 함유 포토레지스트의 두께는 약 500 내지 3000Å의 범위이고, 상기 폴리머 막의 두께는 3500 내지 15000Å의 범위인, 반도체 제조 방법.

**청구항 10.**

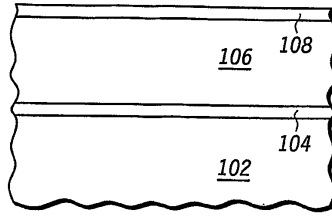
제 8 항에 있어서, 폐기가능한 층을 처리하는 단계는 10℃ 미만의 온도 및 15mT 미만의 압력에서 10<sup>11</sup>ions/cm<sup>3</sup>을 초과하는 플라즈마 밀도로 상기 폐기가능한 층을 처리함으로써 특징되는, 반도체 제조 방법.

**도면**

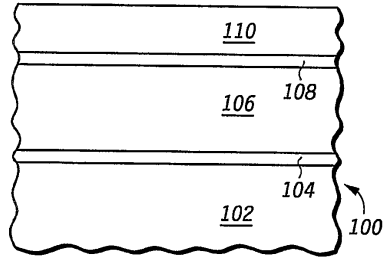
도면1



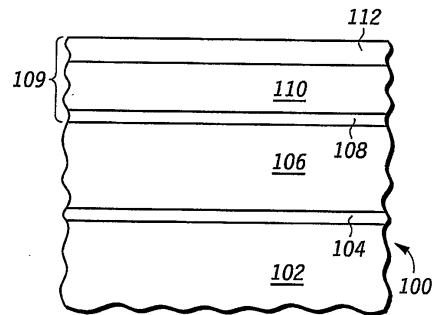
도면2



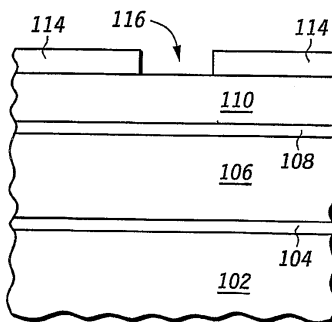
도면3



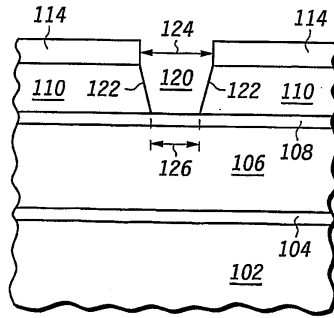
도면4



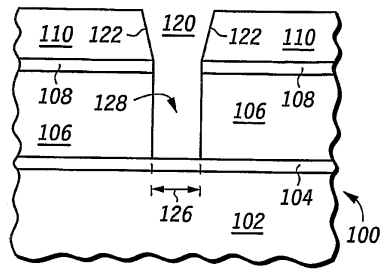
도면5



도면6



도면7



도면8

