



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I469190 B

(45) 公告日：中華民國 104 (2015) 年 01 月 11 日

(21) 申請案號：098146476 (22) 申請日：中華民國 98 (2009) 年 12 月 31 日

(51) Int. Cl. : **H01L21/265 (2006.01)**

(30) 優先權：2009/02/06 美國 12/367,306

(71) 申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)
美國(72) 發明人：戴爾阿古亞伯尼奎爾傑西依葛那西歐 DEL AGUA BORNIQUEL, JOSE IGNACIO
(ES)；普恩茲 POON, TZE (US)；許瑞特爾坎波羅伯特 SCHREUTELKAMP,
ROBERT (NL)；福德馬吉德 FOAD, MAJEED (GB)

(74) 代理人：蔡坤財；李世章

(56) 參考文獻：

TW	200611337	TW	200809971
US	7365378B2	US	7422776B2

審查人員：簡信裕

申請專利範圍項數：25 項 圖式數：4 共 29 頁

(54) 名稱

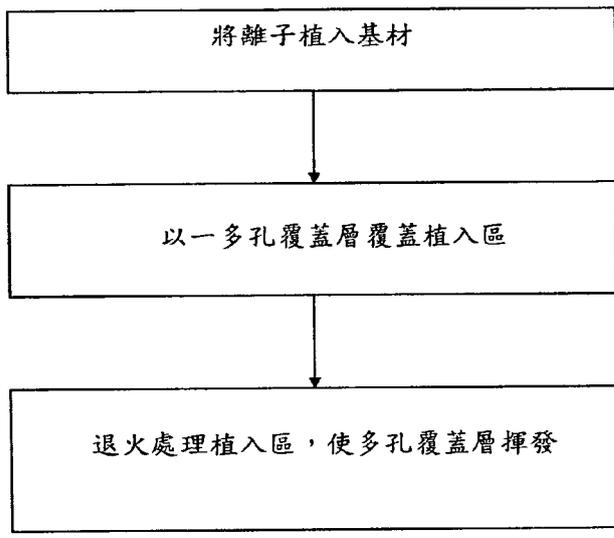
具有覆蓋層的離子佈植基材及方法

ION IMPLANTED SUBSTRATE HAVING CAPPING LAYER AND METHOD

(57) 摘要

在一離子植入方法中，基材放置於製程區，而離子植入基材之一區中以形成離子植入區。多孔覆蓋層沈積於離子植入區上方。於退火製程期間，將基材退火以揮發至少百分之八十上覆於離子植入區之多孔覆蓋層。中間產物包括基材、基材上之複數離子植入區、以及覆蓋該等離子植入區之多孔覆蓋層。

In an ion implantation method, a substrate is placed in a process zone and ions are implanted into a region of the substrate to form an ion implanted region. A porous capping layer is deposited on the ion implanted region. The substrate is annealed to volatilize at least 80% of the porous capping layer overlying the ion implanted region during the annealing process. An intermediate product comprises a substrate, a plurality of ion implantation regions on the substrate, and a porous capping layer covering the ion implantation regions.



第2圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫；惟已有申請案號者請填寫)

※申請案號：98146476

※申請日期：2009年12月31日

※IPC分類：

一、發明名稱：(中文/英文)

H01L21/265 (2006.01)

具有覆蓋層的離子佈植基材及方法

ION IMPLANTED SUBSTRATE HAVING CAPPING LAYER AND
METHOD

二、中文發明摘要：

在一離子植入方法中，基材放置於製程區，而離子植入基材之一區中以形成離子植入區。多孔覆蓋層沈積於離子植入區上方。於退火製程期間，將基材退火以揮發至少百分之八十上覆於離子植入區之多孔覆蓋層。中間產物包括基材、基材上之複數離子植入區、以及覆蓋該等離子植入區之多孔覆蓋層。

三、英文發明摘要：

In an ion implantation method, a substrate is placed in a process zone and ions are implanted into a region of the substrate to form an ion implanted region. A porous capping layer is deposited on the ion implanted region. The substrate is annealed to volatilize at least 80% of the porous capping layer overlying the ion implanted region during the annealing process. An intermediate product

comprises a substrate, a plurality of ion implantation regions on the substrate, and a porous capping layer covering the ion implantation regions.

四、指定代表圖：

(一)本案指定代表圖為：第(2)圖。

(二)本代表圖之元件符號簡單說明：

無

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【發明所屬之技術領域】

本發明之實施例係關於在基材植入離子以形成離子植入區。

【先前技術】

離子植入區形成於基材上以改變基材區域材料之能帶隙程度。例如，將硼離子、磷離子、砷離子和其他材料植入矽或化合物半導體材料中以形成半導體區域。在另一實例，離子被植入於包含石英、三五族化合物（例如：砷化鎵）之基材，以形成太陽能面板之光電單元（photovoltaic cell）。又一實例中，離子被植入於包含氮化鎵之基材以形成顯示面板之發光二極體（LED）。

然而，在某些離子植入製程，很大比例之植入離子在離子植入製程期間或後續的製程中蒸發或揮發。舉例言之，植入離子之擴散與揮發可能於離子植入製程完成後實行之退火製程發生。又一實例中，包含石英晶圓之基材的離子植入區經退火以便更均勻分佈植入區中之離子、電活化植入物，並移除晶格之缺陷。該退火製程可藉由加熱基材至溫度至少約 950°C 來執行。然而，於退火製程期間施加之熱量可能造成植入之離子從基材揮發，特別是針對淺界面中之高離子濃度。

基於上述原因和其他缺失以及儘管發展不同離子植入

方法與結構，更進一步改良離子植入之技術仍亟待尋求。

【發明內容】

在一離子植入方法中，基材放置於製程區，而離子植入基材之一區中以形成離子植入區。多孔覆蓋層沈積於離子植入區上方。於退火製程期間，將基材退火以揮發至少百分之八十上覆於離子植入區之多孔覆蓋層。中間產物包括基材、基材上之複數離子植入區、以及覆蓋該等離子植入區之多孔覆蓋層。

【實施方式】

如第 1A、第 1B 圖所示，用於半導體、太陽能面板、LED 及其他應用之基材 40 之製造製程中，複數離子植入區 44a,b 在基材上形成。基材 40 可以是諸如下述任一者或多者的材料：氧化矽、碳化矽、晶態矽、應變矽、矽鍍、摻雜或非摻雜複晶矽、摻雜或非摻雜矽晶片、摻雜矽、鍍、砷化鎵、氮化鎵、玻璃、藍寶石 (sapphire) 和石英的。基材 40 可具有不同尺寸，例如：基材 40 可為一直徑 200 或 300 毫米之圓形晶片，或矩形或方形面板。

植入於離子植入區 44a,b 的離子 45 係視基材 40 之應用。舉例而言，藉由植入 n 型與 p 型摻雜劑至包含矽晶片之基材 40，離子植入區 44a,b 可用以形成電晶體之閘極及/或源極汲極結構或積體電路晶片。植入矽時，形成

n 型摻雜劑之合適離子 45 係包含例如至少下述一者：磷、砷、銻及其組合。適合形成 p 型摻雜劑之離子 45 係包含例如至少下述一者：硼、鋁、鎵、銻、銦、矽及其組合。是以，當 P 型導電摻雜劑（如：硼）在相鄰於先前已摻雜 n 型摻雜劑（如：砷或磷）之另一離子植入區（圖未顯示）的離子植入區 44a,b 植入於矽時，沿著該二區域界面形成一 p-n 接合。離子可植入於選定之劑量程度，例如： 1×10^{14} atoms/cm³ 至 1×10^{17} atoms/cm³。

在植入製程中，將基材 40 置於製程區 46，並且基材溫度維持在約 25°C 至約 400°C 之間。引入製程氣體至製程區 46，以提供欲植入之離子源物種。製程氣體亦可包含揮發性物種，例如：氟及/或氫。舉例來說，製程氣體可以含有包含砷、硼、磷之氟化物及/或氫化物等離子植入氣體。離子植入氣體可以包含，例如，AsF₃、AsH₃、B₂H₆、BF₃、SiH₄、SiF₄、PH₃、AsF₅、P₂H₅、PO₃、PF₃、PF₅ 及 CF₄。亦可組合特定氣體之氟化物或氫化物，例如：BF₃+B₂H₆、PH₃+PF₃、AsF₃+AsH₃、SiF₄+SiH₄ 或 GeF₄+GeH₄。在一實施例中，離子植入氣體之流速可在約 2 sccm 至約 1000 sccm 之間。

製程氣體可進而包含一惰性或非反應性氣體，諸如：N₂、Ar、He、Xe、Kr。該等惰性或非反應性氣體促使離子撞擊以增加製程氣體碰撞並減少離子物種之再結合。該等惰性或非反應性氣體之流速可在約 10 sccm 至約 1200 sccm 之間。

製程氣體可進一步包含一含氮氣體以助於形成更易由製程室抽出之揮發性副產物。含氮氣體可包含 NO、NO₂、NH₃、N₂、N₂O 及其混合物。含氮氣體可以流速約 10sccm 至約 500 sccm 來供給。

離子化該製程氣體以形成電漿 48，其含有欲植入基材 40 之原子物種之離子 45。藉由施以電壓，加速該等離子（如第 1A, 1B 圖中箭頭 50 所示）使其通過製程區 46 以形成能量撞擊之離子，並進入基材 40 之暴露區 52 以形成離子植入區。製程氣體可以源功率及偏功率或源功率和偏功率之結合來激發，源功率為施於繞著製程區 46 之天線（未顯示）之感應耦合功率，偏功率為施於繞著製程區 46 之電極（未顯示）之電容耦合功率。典型地，源功率自製程氣體產生電漿 48，而偏功率更進而解離製程氣體並加速解離離子 45 朝向基材 40。設定源功率及偏功率到預先定義能階，以使離子物種被驅動進入基材 40 之所欲深度。具有低離子能量的解離離子被植入於自基材表面起算小於 500Å 之淺深度，例如，自基材表面起算約 10 Å 至約 500Å。具有來自高射頻功率（例如：高於 10KeV 左右）之高離子能量的解離離子可被植入於自基材 40 表面起算大於 500 Å 深度之基材 40 中。在一實例中，以約 10 至約 12000 伏特之 RF 電壓將源功率維持在約 50 至約 2000 瓦、偏功率維持在約 50 至約 11000 瓦。

在一實施例中，可在製程區 46 將砷離子植入基材 40。將基材 40 之溫度維持在低於 30°C。在此一製程，包含

一含砷氣體（例如 AsH_3 ）之製程氣體被引入製程區 46。製程氣體之壓力維持在約 3mTorr 至約 2Torr 左右，例如：20mTorr。藉由將繞著製程區 46 之天線（未顯示）施加於約 200 至約 8000 伏特（例如：約 6000 伏特）之電壓，製程氣體係被激發而形成電漿。施於天線之源功率可為約 100 至約 3000 瓦，例如：約 1000 瓦。形成之電漿包含激發之砷離子，其被植入基材 40 以形成包含砷植入區之離子植入區 44a,b。將砷離子以劑量至少 $1 \times 10^{16} \text{ atoms/cm}^3$ 植入自基材表面起算小於 500 Å 之深度。

在一預期實例中，可將硼離子由包含一含硼氣體（例如：三氟化硼 (BF_3)) 之製程氣體之電漿植入基材 40 中。激發該製程氣體以產生具有足以解離 BF_3 分子之能量密度之電漿，從而形成 B^+ 離子與 BF^+ 離子，亦可能形成 BF_2^+ 。製程氣體之壓力維持在約 5mTorr 至約 3Torr。十硼烷粉末，其蒸汽壓在室溫下約為 0.1Torr 並在高於溫度 100°C 時產生一實質蒸汽壓，亦可作為硼離子來源或用來補充硼離子氣體來源。

在另一預期實例中，其為硼植入製程之代表例，製程氣體包含 BF_3 、 SiH_4 ，其藉由 B^{3+} 、 BF^{2+} 、 BF^+ 、 F 、 Si_4 及 H^+ 形式之電漿解離為離子物種。由 SiH_4 氣體提供之活化氫物種與解離氟物種及其他解離之副產物反應，以形成 HF 或其他種類的揮發性物種，因此防止氟物種及其他種類的副產物被植入基材 40。從而，選擇 SiH_4 氣流以防止過量或解離之矽離子在基材上形成不想要的矽膜。

在一實施例中，製程氣體包含 BF_3 和 SiH_4 ，其氣流比例為約 1:50 至約 1:100。舉例而言， BF_3 流速可從約 50 至約 400 sccm，而 SiH_4 流速可從約 1 至約 20 sccm。源射頻功率 (source RF power) 設定在約 100 瓦至約 2000 瓦，而偏射頻功率 (bias RF power) 則設定在約 100 伏特至約 12000 伏特。所形成之電漿將硼離子植入基材 40 以形成包含硼植入區之離子植入區 44a,b。

在一更預期性之實例中，摻雜磷可以使用包含一含磷氣體之製程氣體來進行，例如三氟化磷氣體 (諸如： PF_3 或 PF_5) 或磷氫化物氣體 (例如： PH_3)。將製程氣體引入製程區 46，壓力維持在約 10mTorr 至約 3Torr。舉例而言， PF_3 氣體可以流速約 50 sccm 至約 1000 sccm 來供應。源射頻功率可設定在約 100 瓦至約 3000 瓦，而偏射頻功率則設定在約 100 伏特至約 12000 伏特。所形成之電漿將磷離子植入基材 40 以形成包含磷植入區之離子植入區 44a,b。

在一代表性實施例中，在離子植入之後，一多孔覆蓋層 54 沈積在離子植入區 44a,b 上，如第 2 圖之流程圖所示。多孔覆蓋層 54 覆蓋在離子植入區 44a,b 以形成一中間產物 55，如第 1C 圖所示。多孔覆蓋層 54 用以防止植入於離子植入區 44a,b 之離子於後續步驟中 (例如：退火製程) 揮發。然而，退火製程可能造成大部分的植入離子自基材 40 蒸發或揮發，特別是當植入離子為低質量、低結合能量或對基材為低溶解度時。多孔覆蓋層 54

被發現可減少植入離子之揮發耗損，從而保存大量植入於離子植入區 44a,b 之離子，即使在退火製程之後。

之後更進一步發現多孔覆蓋層 54 可以在退火製程期間或之後輕易蒸發及移除，並相信多孔覆蓋層 54 之孔隙度允許自下層析出之蒸發物質更輕易散逸或通過多孔覆蓋層 54 之細孔。這可防止多孔覆蓋層 54 於強力結合或黏著下層時，自附接之下層分層。而且，因多數體積為空洞的細孔空間所取代，故多孔覆蓋層 54 質量較小，且因此需較少能量即可將多孔覆蓋層 54 由基材 40 蒸發。因此，在一態樣中，多孔覆蓋層 54 包含至少百分之二十或甚至至少百分之五十孔隙度。更進而言之，多孔覆蓋層 54 可具有連續狀細孔，其孔隙體積至少百分之二十或甚至至少百分之五十。連續狀細孔為所想要的，因其允許蒸發之氣體和副產物更易由多孔覆蓋層 54 散逸而不造成分層 (delamination)。

在一態樣中，多孔覆蓋層 54 包含含矽及含氧物質。於此態樣，多孔覆蓋層 54 之沈積係藉由引入一包含含矽及含氧氣體之製程氣體至製程區 46 中，並利用電漿促進化學氣相沈積法 (PECVD) 或微波促進化學氣相沈積法 (MECVD) 激發製程氣體以形成電漿並沈積二氧化矽。儘管描述二氧化矽以說明此一製程時，應注意的是其他物質亦可用來形成多孔覆蓋層 54。此外，該沈積之矽和氧物質可包含碳、氫，甚至氮。舉例而言：二氧化矽形成之多孔覆蓋層 54 可透過包含一含矽氣體之製程氣體

來沈積，諸如：矽烷 (SiH_4)、二矽烷、二氯矽烷、三氯矽烷、四乙基正矽烷、甲基矽烷 (CH_3SiH_3)、二甲基甲矽烷 ($(\text{CH}_3)_2\text{SiH}_2$)、三甲基甲矽烷 ($(\text{CH}_3)_3\text{SiH}$)、二乙基矽烷 ($(\text{C}_2\text{H}_5)_2\text{SiH}_2$)、丙矽烷 ($\text{C}_3\text{H}_8\text{SiH}_3$)、乙烯甲基矽烷 ($(\text{CH}_2=\text{CH})\text{CH}_3\text{SiH}_2$)、1,1,2,2-四甲基二矽烷 ($\text{HSi}(\text{CH}_3)_2\text{-Si}(\text{CH}_3)_2\text{H}$)、六甲基二矽烷 ($(\text{CH}_3)_3\text{Si-Si}(\text{CH}_3)_3$)、1,1,2,2,3,3-六甲基三矽烷 ($\text{H}(\text{CH}_3)_2\text{Si-Si}(\text{CH}_3)_2\text{-SiH}(\text{CH}_3)_2$)、1,1,2,3,3-五甲基三矽烷 ($\text{H}(\text{CH}_3)_2\text{Si-SiH}(\text{CH}_3)\text{-SiH}(\text{CH}_3)_2$)及其他矽烷相關化合物。製程氣體亦可包含一含氧氣體，諸如：氧氣 (O_2)、氧化亞氮 (N_2O)、臭氧 (O_3)及二氧化碳 (CO_2)。

中間產物 55 包含沈積的包含含矽/氧物質之多孔覆蓋層 54，中間產物 55 具微觀的氣洞均勻分散於二氧化矽層中。有一代表例是，一包含多孔二氧化矽之多孔覆蓋層 54 沈積在同一製程區 46 之基材 40 上。將包含含矽氣體及含氧氣體之製程氣體引入製程區 46。例如：製程氣體可包含矽烷和氧，其體積流速比從約 1:1 至約 1:10，或甚至從約 1:2 至約 1:6。例如：矽烷流速可從約 5 至約 50 sccm，而氧流速可從約 20 至約 200 sccm。可選地，氫亦可被加入製程氣體。當加入氫時，矽烷和氧之體積流速比維持在上述等級，而充足的氫被加入以維持氧氣和氫氣體積流速比自約 1:4 至約 4:1。製程氣體壓力維持在約 5 mTorr 至約 500 mTorr，例如：約 100 mTorr。電漿自施於繞著製程區 46 之天線之射頻能量產

生，其電壓約 200 至約 10000 伏特，例如：約 1000 伏特；功率位準約 1000 瓦至約 10000 瓦，例如：約 8000 瓦。基材 40 溫度維持在低於 30°C，以使多孔覆蓋層 54 於基材上形成。

在另一預期實施例中，多孔覆蓋層 54 以含有三甲基甲矽烷((CH₃)₃-SiH)之含矽氣體及氧之製程氣體形成。三甲基甲矽烷以流速約 20 至約 100 sccm 而氧以流速約 10 至約 200 sccm 供應之。製程氣體亦可包含氦或氬，其流速為約 10 至約 5000 sccm。室壓維持在約 1 至約 15 Torr 之間。施以一 RF 功率源約 100 至約 900 瓦。基材 40 溫度維持在約 300°C 至約 450°C 以沈積多孔覆蓋層 54。

在又一預期實例中，利用包含四乙基正矽烷 (TEOS) 及氧之製程氣體沈積多孔覆蓋層 54，其中四乙基正矽烷之流速約 200 至約 2000 sccm，氧之流速約 200 至約 2000 sccm。以約 300 至約 1200 瓦之射頻能量啟動電漿。基材 40 溫度維持在約 300 至約 500°C。

如第 1D 與第 2 圖所示，退火處理上方覆蓋有多孔覆蓋層 54 之離子植入區 44a,b，以更均勻分佈植入離子植入區之離子。舉例而言，於退火製程中，離子濃度之變動可由 1×10^{17} atm/cm² 減至 1×10^{13} atm/cm²。退火製程亦可移除或減少離子植入區 44a,b 之晶格缺陷，其中該等晶格缺陷可因植入離子之能量撞擊而引發。退火製程可用以活化植入之離子。在一代表性退火製程中，基材 40 被加熱至至少約 1000°C，甚至為約 800°C 至約 1300°C。合

適的退火製程可以實施 5 分鐘。

在退火製程，至少一部份多孔覆蓋層 54 在熱處理過程揮發。在一態樣中，至少百分之八十覆蓋在離子植入區上之多孔覆蓋層 54 在退火時揮發。例如：在退火期間，至少百分之九十之多孔覆蓋層 54 可被揮發而仍留下至少百分之六十之植入離子在離子植入區 44a,b 中。因此，多孔覆蓋層 54 保留離子植入區 44a,b 中之離子，而同時蒸發基材 40。有利的是，此一製程使大量之植入離子得以保留，而移除實質全部的多孔覆蓋層 54。

儘管大部分的多孔覆蓋層 54 於退火中間產物以形成下一階段產物期間揮發，未被蒸發之多孔覆蓋層 54 殘餘物質，如第 1D 圖所示，可以乾式清洗或電漿清洗製程或濕蝕刻製程移除之。在適合的乾式清洗或電漿清洗製程中，包含氟（例如： CF_4 ）之製程氣體可被引入製程區 46，自製程氣體產生之電漿被用來清除基材 40 表面之殘餘含矽或含氧物質。如第 1E 圖所示，結果基材 40 包含之離子植入區 44a,b，其具有更均勻分佈的離子濃度、減少的晶格缺陷、及乾淨表面 58。

一代表性實施例中，包含 PMOS 與 NMOS 電晶體之積體電路可使用如第 3 圖所示之製程來製造。在此結構中，包含矽晶片之基材 40 具有一活化半導體層 100a,b，其可為主要之半導體矽物質（如圖所示），或一矽島（未顯示）形成於上覆於基材 40 之絕緣層上。一 PMOS 電晶體 102 在活化層 100 之輕 n-摻雜區 100a 形成，而一 NMOS

電晶體 202 於活化層 100 之輕 p-摻雜區 100b 形成。p-摻雜區 100b 及 n-摻雜區 100a 以一蝕刻於活化層內並填充絕緣物質（如：二氧化矽）之淺絕緣溝槽 106 彼此絕緣。PMOS 電晶體 102 亦含有重 p-摻雜源極及汲極區 108a、108b 於活化層中，以及重 p-摻雜源極及汲極延伸區 110a、110b（其由 n 摻雜通道 112 隔離之）。

舉例而言，離子植入區 44a,b 可以是輕 n-摻雜區 100a、輕 p-摻雜區 100b、重 p-摻雜源極及汲極區 108a、108b、及重 p-摻雜源極及汲極擴張 110a、110b（其由 n 摻雜通道 112 隔離之）之任一者。在此態樣中，緊接於沈積任一離子植入區 44a,b 之後，一多孔覆蓋層（未顯示）被用來覆蓋離子植入區 44a,b 以防止離子於後續實施於基材 40 上之退火製程揮發。之後，將具離子植入區 44a,b 之基材 40 退火之。在退火製程，實質全部的多孔覆蓋層 54 蒸發。之後，其他層被沈積、被蝕刻或以其他方式被處理至基材 40 上。

在 PMOS 電晶體 102 中，多晶矽閘極 114 覆蓋在 n 摻雜通道 112 上，並藉由薄閘極二氧化矽層 116 與 n 摻雜通道 112 隔離。一閘極接點 118 包含，例如，鈦矽化物或鈷矽化物，覆蓋於閘極 114 上。源極接點區 120 亦包含，例如，鈦矽化物或鈷矽化物，形成於源極區 108a 中。氮化矽絕緣層 122 覆蓋於源極及汲極區 108a、108b 上，並包圍閘極結構 114、116、118。二氧化矽島 124 位在在絕緣層 122 中。薄氮化矽蝕刻停止層 126 覆蓋於 PMOS

電晶體 102 上方。上覆多連結電極層 132 之底部絕緣層 130 覆蓋於蝕刻停止層 126 上方。在絕緣層 130 形成後，化學機械研磨製程可用來平坦化其頂面 130a。金屬源極接點 134，例如：錫，垂直延伸穿過絕緣層 130，並穿過蝕刻停止層 126 到鈦矽化物源極接點區 120。絕緣層可能為二氧化矽 (SiO_2) 或含二氧化矽物之組合物，諸如：矽酸磷玻璃 (PSG)、矽酸硼玻璃 (BSG) 或碳摻雜矽酸鹽玻璃 (CSG)。該等組合物可在使用製程氣體之電漿加強沈積製程形成，其中該製程氣體含有含氧氣體、矽前驅物 (例如：矽烷)、磷前驅物 (PH_3)、硼前驅物 (B_2H_6) 或含碳氣體。

NMOS 電晶體 202 包含活化層中之重 n-摻雜源極及汲極區 208b、208a 及重 n-摻雜源極及汲極延伸區 210b、210a (其由 p-摻雜通道 212 隔離之)。多晶矽閘極 214 上覆於通道 212 並由薄閘極二氧化矽層 216 與通道 212 隔絕。閘極 218 包含，例如：鈦矽化物覆蓋於閘極 214 上方。鈦矽化物源極接點區 220 形成於源極區 208b 中。氮化矽絕緣層 222 上覆於源極及汲極區 208b、208a，並包圍閘極結構 214、216、218。二氧化矽島 224 位於絕緣層 222 中。薄氮化矽蝕刻停止層 226 覆蓋於 NMOS 電晶體 202 上方。上覆多連結電極層 132 之底部絕緣層 130 覆蓋於蝕刻停止層 226 上方。金屬 (例如：TiN) 汲極接點 234 垂直延伸穿過絕緣層 130，並穿過蝕刻停止層 226 到鈦矽化物源極接點區 220。

第 4 圖所示為基材製程裝置 300 之代表性實施例，該裝置適合於植入離子以在基材 40 形成離子植入區 44a,b，並能夠在同一製程區 46 之植入區 44a,b 上方沈積多孔覆蓋層 54。基材製程裝置 300 可以是，例如：環狀源電漿浸漬離子植入裝置，例如：P31TM，可購自美國加州聖克拉拉市之應用材料公司。合適裝置請參見，例如：Al-Bayati 等人於 2004 年 12 月 1 日申請且公開號為 No.2005/0191828 之美國專利申請案，其全部內容以引用方式併入本文。

一般而言，裝置 300 包含一製程室 310，其由圓柱狀側壁 312 和圓盤狀室頂 314 包圍。製程室 310 內之基材支撐件 316 包含基材接受面 318，用以支撐基材 40 以便於製程區 46 處理基材。基材支撐件 316 可以是一靜電夾盤 317，其含有一電極 319，其埋於或由介電板 321 所覆蓋。電極 319 由夾持 DC 電壓來源產生器 323 所賦予功率。

製程氣體（其包含含有所欲植入基材 40 之離子物種的離子植入氣體）經由氣體分佈器 320 被引入製程室 46。位於製程室 310 之室頂 314 上之氣體分佈器 320 藉由連結至氣體分佈板 325 之氣體歧管 324 接收製程氣體。氣體歧管 340 由個別之氣體供應器 326a-j 所饋入，氣體供應器 326a-j 個別由一組質量流控制器 327a-j 所控制，該質量流控制器 327a-j 藉由設定每一氣體供應器 326a-j 之氣流以控制製程氣體之組成。舉例而言，個別之氣體供

應器 326a-j 可包含供應含砷氣體、含磷氣體、含硼氣體、含碳氣體、氫、氧、氮、矽烷、氫化鍍氣體、氬、氙、氫或其他氣體。氣體供應器 326a-j 可包含不同含摻雜劑氣體，包括：含硼氟化物、含硼氫化物、含磷氟化物及含磷氫化物。其他氣體包括用於共同植入（氫與氮）、物質增強（氮）、表面鈍化或共同植入（含矽或鍍或碳之氟化物），以及光阻移除及/或製程室清潔（氧氣）等氣體。真空泵浦 328 耦接於由基材支撐件 316 及側壁 312 界定之抽取環帶 330。

在基材 40 上方之製程區 46 激發製程氣體。適合在製程區 46 激發製程氣體之氣體激發器 333 包含一對外部凹曲導管 334、336，其建立凹曲環狀路徑以供電漿流通過且交切於製程區 46。每一導管 334、336 具一對末端 338，耦接至製程室 310 之相對側。每一導管 334、336 為中空導電管並具有一 D.C.絕緣環 340，D.C.絕緣環 340 防止在導管之兩末端間形成閉合回路導電途徑。每一導管 334、336 之環狀部分為環狀磁蕊 342 所圍繞。激磁線圈 344 圍繞磁蕊 342 並經由阻抗匹配裝置 348 耦接至一 RF 功率源 346。二個耦接至個別磁蕊 344 之 RF 功率源 346 可具有稍微不同之頻率。舉例而言，藉由施以頻率為 400kHz 及 15MHz 之 RF 電流，氣體激發器 333 可自製程氣體形成感應耦合電漿。耦接自 RF 功率產生器 346 之 RF 電源於封閉環狀路徑製造電漿離子流，其中該封閉環狀路徑延伸穿過個別導管 334、336 並穿過製程區 46。

這些離子流以個別 RF 功率源之頻率震盪。

在離子植入製程期間，氣體激發器 333 自 RF 功率產生器 346 施以源功率至凹曲導管 334、336，以於導管及製程區 46 建立環狀電漿流。藉偏壓功率產生器 349，將偏壓功率經由阻抗匹配電路 350 施於基材支撐件 316。離子植入深度由 RF 偏壓功率產生器 349 施以之基材偏壓決定之。離子植入速度或通量，亦即每秒每平方公分植入之離子數，係由電漿密度所決定，該電漿密度則由 RF 功率產生器 346 所施加之 RF 功率程度所控制。基材 40 中累積的植入劑量 (ions/cm^2) 係由通量及該通量所維持的時間二者所決定。

當多孔覆蓋層 54 沈積在基材 40 上，源功率產生器 346 可在不需使用偏壓功率產生器 349 即可用以產生電漿而不需加速離子朝向基材 40。在此一製程，製程氣體解離形成離子、中性粒子及其他物種，其係彼此互相反應或與基材表面反應，以在基材 40 上沈積多孔覆蓋層 54。

不論是離子植入或覆蓋層沈積製程，不同能量來源可用以形成電漿、激發離子及活化製程氣體。例如，取代感應耦合，電漿亦可使用任何習知或高密度電漿產生源而產生，舉例包括：電容式電漿源、電子迴旋加速器共振、或變壓耦合電漿。因此，本發明之申請專利範圍不應被限制於在此所舉之代表性裝置。

本發明在此藉由參考所列若干不同實施例加以敘述，然而，其他情形亦為可能。例如：亦可使用不同離子植

入製程。同時，如熟知此一技藝者所知，不同物質亦可用於覆蓋層 54。因此，本發明申請專利範圍之精神與範圍不應被侷限於在此所描述之實施例。

【圖式簡單說明】

配合上述實施方式、申請專利範圍及本發明實施例之相關圖示，得使本發明之特徵、外觀及優點更淺顯易懂。然而，須瞭解的是，每一特徵大體上均可適用於本發明，不僅限於特定圖示內容，且本發明包含該等特徵之任一結合。

第 1A 及 1B 圖為於基材上實行離子植入製程以於基材形成複數離子植入區之橫切面圖。

第 1C 圖係第 1B 圖中基材之橫切面圖，顯示多孔覆蓋層沈積於離子植入區上方以形成中間產物。

第 1D 圖係第 1C 圖中基材之橫切面圖，顯示離子植入區之退火處理，以及覆蓋層於退火製程中蒸發。

第 1E 圖係第 1D 圖中基材之橫切面圖，其覆蓋層已由離子植入區蒸發。

第 2 圖係離子植入、覆蓋及蒸發製程之流程圖。

第 3 圖係包含 PMOS 與 NMOS 電晶體之積體電路橫切面圖。

第 4 圖係適合實行離子植入及覆蓋製程之設備之橫切面圖。

【主要元件符號說明】

40 基材	218 閘極結構
44a,b 離子植入區	220 鈦矽化物源極接點區
45 離子	222 氮化矽絕緣層
46 製程區	224 二氧化矽島
48 電漿	226 薄氮化矽蝕刻停止層
52 暴露區	234 金屬源極接點
54 多孔覆蓋層	300 基材製程裝置
55 中間產物	310 製程室
58 乾淨表面	312 圓柱狀側壁
100 活化層	314 圓盤狀室頂
100a 活化半導體層、輕 n-摻雜區	316 基材支撐件
100b 活化半導體層、輕 p-摻雜區	317 靜電夾盤
102 PMOS 電晶體	318 基材接受面
106 絕緣溝槽	319 電極
108a、108b 重 p-摻雜源極及汲極區	320 氣體分佈器
110a、110b 重 p-摻雜源極及汲極延伸區	321 介電板
112 n 摻雜通道	323 夾持 DC 電壓來源產生器
114 多晶矽閘極/閘極	324 氣體歧管

- | | |
|--------------------------|--------------------------------|
| 116 薄閘極二氧化矽層/閘極結構 | 325 氣體分佈板 |
| 118 閘極結構 | 326a-j 氣體供應器 |
| 120 源極接點區 | 327a-j 質量流控制器 |
| 122 氮化矽絕緣層 | 328 真空泵浦 |
| 124 二氧化矽島 | 330 抽取環帶 |
| 126 薄氮化矽蝕刻停止層 | 333 氣體激發器 |
| 130 底部絕緣層 | 334、336 外部凹曲導管 |
| 130a 頂面 | 338 末端 |
| 134 金屬源極接點 | 340 D.C.絕緣環 |
| 202 NMOS 電晶體 | 342 環狀磁蕊 |
| 208b,208a 重 n-摻雜源極及汲極區 | 344 激磁線圈 |
| 210b、210a 重 n-摻雜源極及汲極延伸區 | 346 RF 功率源/RF 功率產生器
/源功率產生器 |
| 212 p-摻雜通道 | 348 阻抗匹配裝置 |
| 214 多晶矽閘極/閘極 | 349 偏壓源產生器 |
| 216 薄閘二氧化矽層/閘極結構 | 350 阻抗匹配電路 |

七、申請專利範圍：

1. 一種離子植入方法，其至少包含以下步驟：
 - (a) 將離子植入基材之一區域內以形成一離子植入區；
 - (b) 沈積一多孔覆蓋層於該離子植入區上；以及
 - (c) 於一退火製程期間，將基材退火，並使上覆於該離子植入區之之該多孔覆蓋層的至少百分之八十揮發。
2. 如申請專利範圍第 1 項所述之方法，其中 (c) 步驟包含以下步驟：將該基材上之該離子植入區退火，以揮發至少百分之九十之該多孔覆蓋層，而保留至少百分之六十之該離子植入區之該等植入離子。
3. 如申請專利範圍第 1 項所述之方法，其中 (b) 步驟包含以下步驟：沈積一多孔覆蓋層，該多孔覆蓋層之孔隙度為至少百分之二十。
4. 如申請專利範圍第 3 項所述之方法，該步驟包含沈積一多孔覆蓋層，該多孔覆蓋層之孔隙度為至少百分之五十。
5. 如申請專利範圍第 1 項所述之方法，其中 (b) 步驟包含以下步驟：沈積一多孔覆蓋層，該多孔覆蓋層具有孔隙

體積為至少百分之二十之連續狀細孔。

6. 如申請專利範圍第 1 項所述之方法，其中 (b) 步驟包含以下步驟：藉由引入一製程氣體至該製程區以沈積該多孔覆蓋層，並激發該製程氣體以在室溫形成一電漿。

7. 如申請專利範圍第 1 項所述之方法，其中 (b) 步驟包含以下步驟：藉由引入包含一含矽氣體及一含氧氣體之一製程氣體至該製程區以沈積包含二氧化矽之多孔覆蓋層，激發該製程氣體以形成一電漿，並維持該基材溫度低於 30°C。

8. 如申請專利範圍第 7 項所述之方法，其中該含矽氣體包含矽烷，並且該含氧氣體包含氧。

9. 如申請專利範圍第 7 項所述之方法，該方法包含維持該製程氣體之壓力為約 5 mTorr 至約 500 mTorr。

10. 如申請專利範圍第 7 項所述之方法，該方法包含將一繞著該製程區之天線施加於約 1000 至約 10000 瓦之功率位準。

11. 如申請專利範圍第 1 項所述之方法，其中 (a) 步驟包含以下步驟：植入包含砷、硼或磷之離子，其劑量為 $1 \times$

10^{14} atoms/cm³ 至 1×10^{17} atoms/cm³。

12. 如申請專利範圍第 11 項所述之方法，該方法包含植入該等離子至深度自基材表面起算少於 500 Å。

13. 如申請專利範圍第 11 項所述之方法，該步驟包含藉由引入一包含含砷氣體之製程氣體至該製程區內以植入砷離子，激發該製程氣體以形成一電漿，並維持該基材溫度低於 30°C。

14. 如申請專利範圍第 13 項所述之方法，該方法包含維持該製程氣體之壓力為約 3 mTorr 至約 5 Torr。

15. 如申請專利範圍第 13 項所述之方法，該方法包含將一繞著該製程區之天線施加約 200 至約 8000 伏特電壓。

16. 如申請專利範圍第 1 項所述之方法，其中步驟(a)與步驟(b)藉由將該基材放置於一製程室之製程區中實行。

17. 一種中間產物，其包含：

(a)一基材；

(b)該基材上之複數離子植入區；以及

(c)一多孔覆蓋層，覆蓋在該等離子植入區上。

18. 如申請專利範圍第 17 項所述之中間產物，其中該多孔覆蓋層包含至少百分之二十之孔隙度。

19. 如申請專利範圍第 18 項所述之中間產物，其中該多孔覆蓋層包含至少百分之五十之孔隙度。

20. 如申請專利範圍第 17 項所述之中間產物，其中該多孔覆蓋層包含孔隙體積為至少百分之二十之連續狀細孔。

21. 如申請專利範圍第 17 項所述之中間產物，其中該等離子植入區包含砷、硼或磷離子。

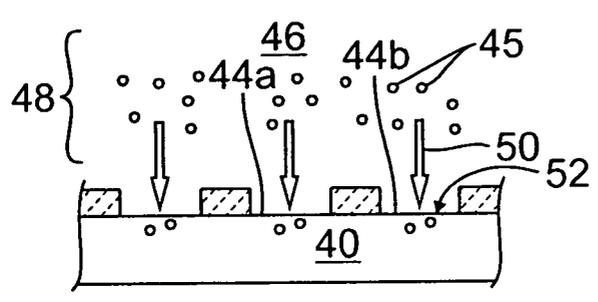
22. 如申請專利範圍第 21 項所述之中間產物，其中該等離子之植入劑量為 1×10^{14} atoms/cm³ 至 1×10^{17} atoms/cm³。

23. 如申請專利範圍第 21 項所述之中間產物，其中該等離子植入區包含植入至深度自基材表面起算少於 500 Å 之該等離子。

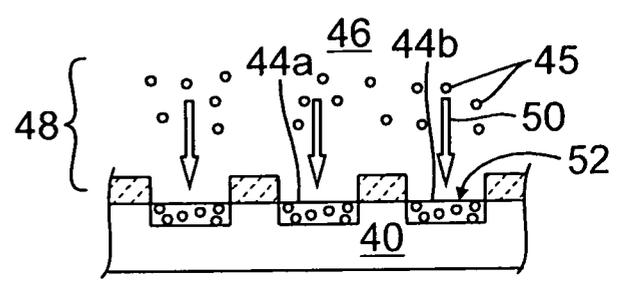
24. 如申請專利範圍第 21 項所述之中間產物，其中該等離子植入區包含一 p-型摻雜區，該 p-型摻雜區鄰近於一 n 型摻雜區。

25. 如申請專利範圍第 21 項所述之中間產物，其中該基材包含氧化矽、碳化矽、晶態矽、應變矽、矽鍺、摻雜或非摻雜複晶矽、摻雜或非摻雜矽晶片、摻雜矽、鍺、砷化鎵、氮化鎵、玻璃、藍寶石 (sapphire) 和石英之至少一者。

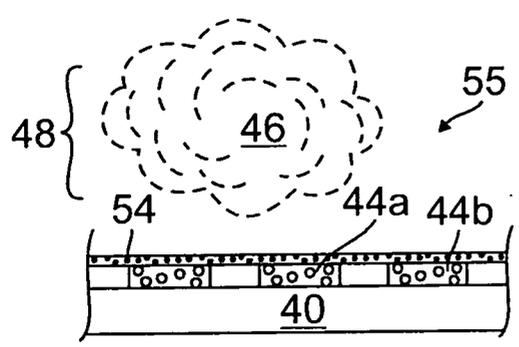
八、圖式：



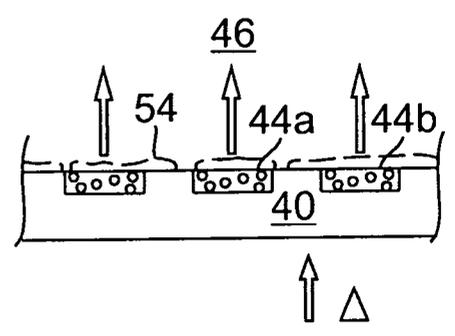
第1A圖



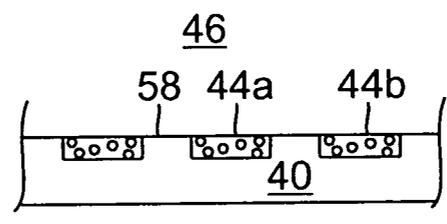
第1B圖



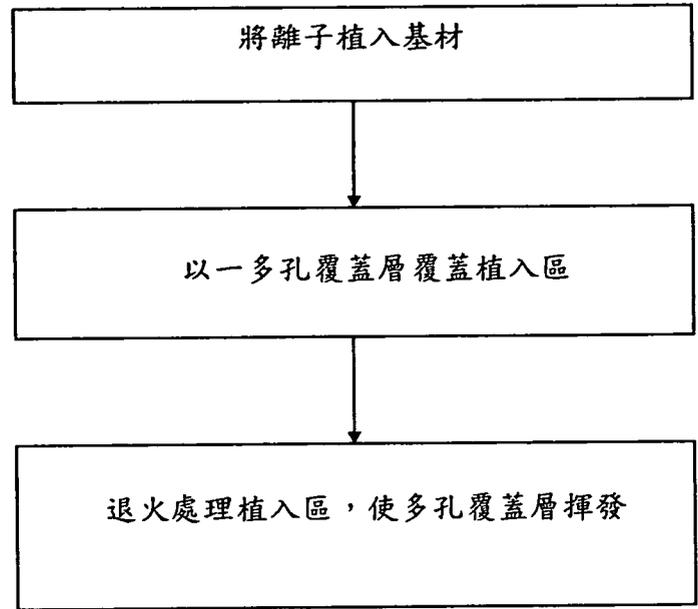
第1C圖



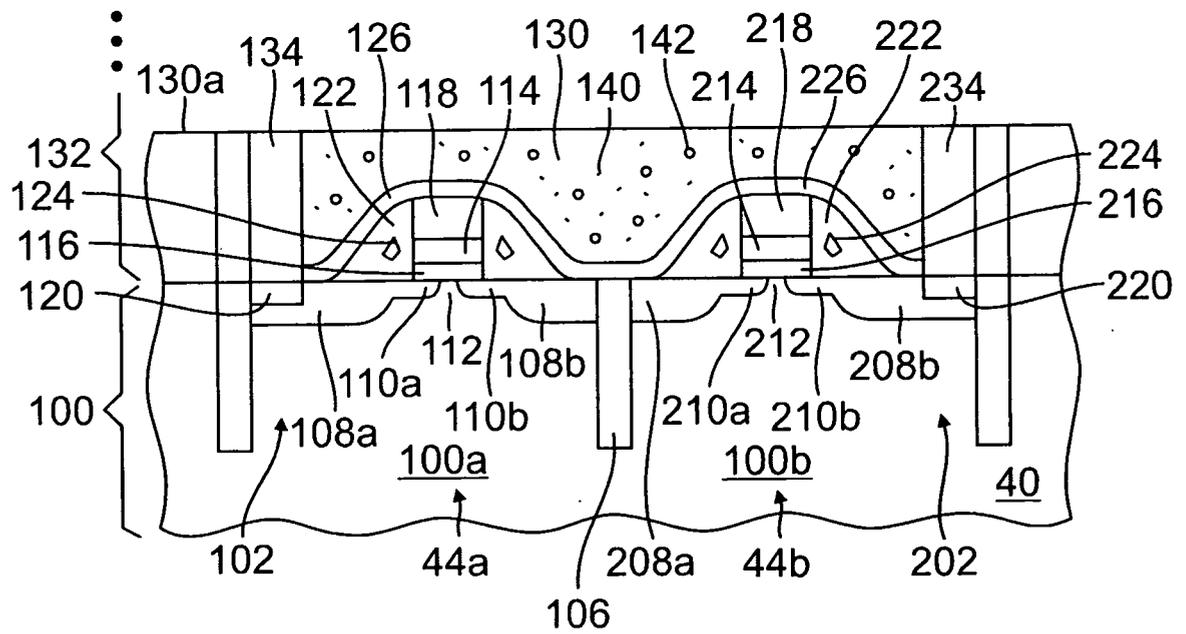
第1D圖



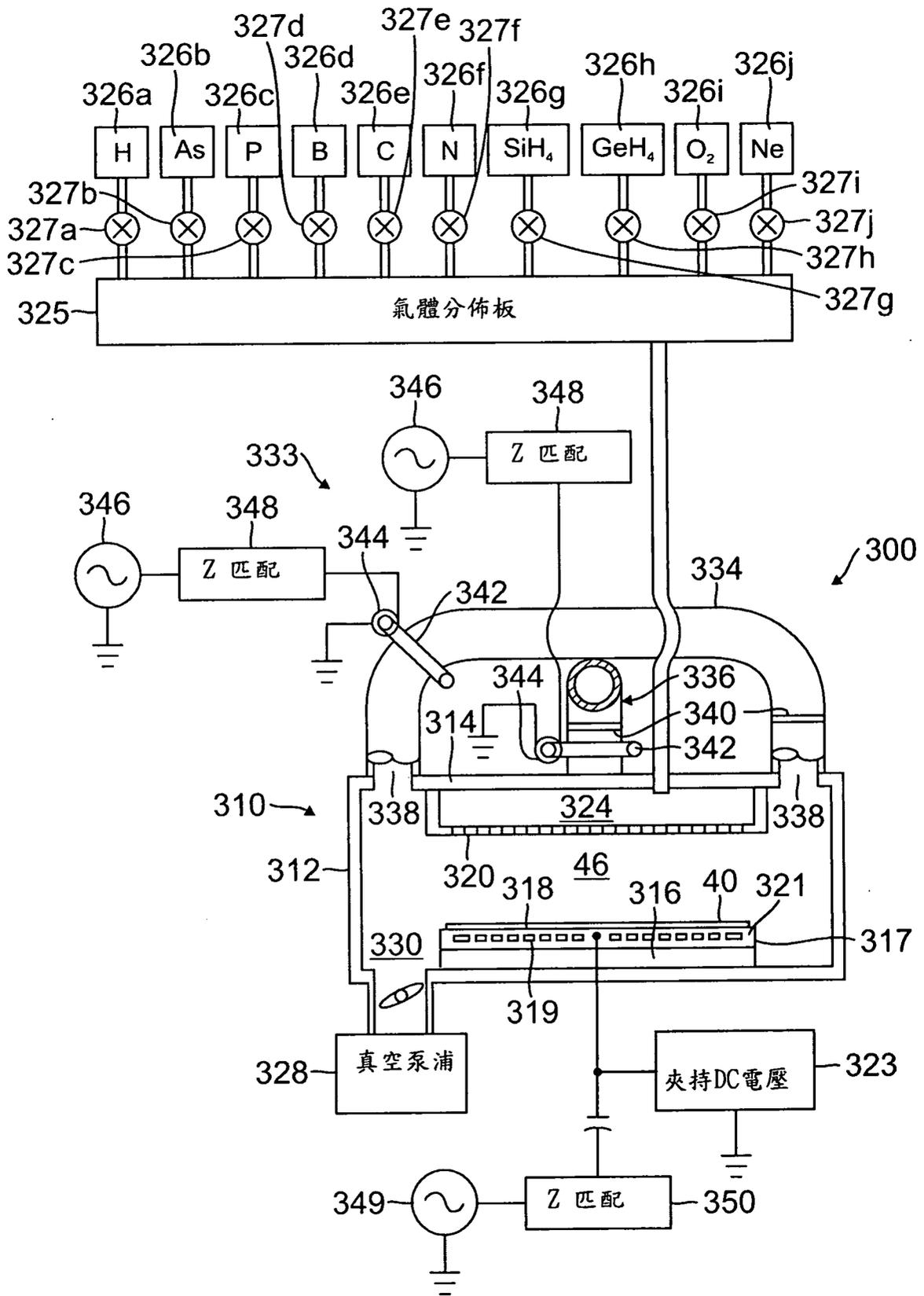
第1E圖



第2圖



第3圖



第4圖