



등록특허 10-2789312



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2025년04월03일
(11) 등록번호 10-2789312
(24) 등록일자 2025년03월27일

- (51) 국제특허분류(Int. Cl.)
H10F 39/12 (2025.01) *H10K 30/00* (2023.01)
- (52) CPC특허분류
H10F 39/12 (2025.01)
H10K 30/10 (2023.02)
- (21) 출원번호 10-2021-7030297
- (22) 출원일자(국제) 2020년02월25일
심사청구일자 2023년01월09일
- (85) 번역문제출일자 2021년09월17일
- (65) 공개번호 10-2021-0145742
- (43) 공개일자 2021년12월02일
- (86) 국제출원번호 PCT/JP2020/007385
- (87) 국제공개번호 WO 2020/202902
국제공개일자 2020년10월08일
- (30) 우선권주장
JP-P-2019-072501 2019년04월05일 일본(JP)

- (56) 선행기술조사문헌
WO2015186354 A1*
WO2018194051 A1*
WO2014021177 A1

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 13 항

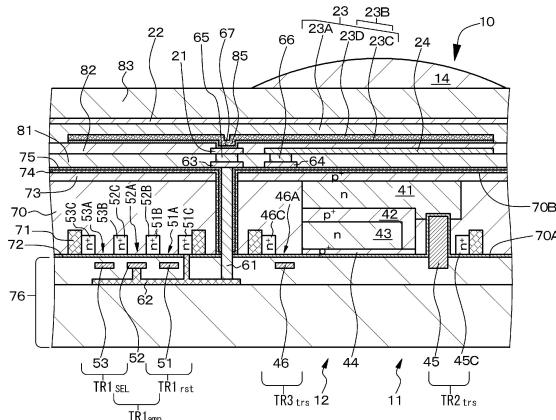
심사관 : 이현석

- (54) 발명의 명칭 **활상 소자, 적층형 활상 소자 및 고체 활상 장치, 및, 활상 소자의 제조 방법**

(57) 요 약

활상 소자는, 제1 전극(21), 유기계 재료로 이루어지는 광전 변환층(23A) 및 제2 전극(22)이 적층되어 이루어지는 광전 변환부(23)를 구비하고 있고, 제1 전극(21)과 광전 변환층(23A) 사이에는 제1 전극측부터 제1 층(23C) 및 제2 층(23D)으로 이루어지는 무기산화물 반도체 재료층(23B)이 형성되어 있고, 제1 전극(21)과 무기산화물 반도체 재료층(23B)의 계면으로부터 3nm까지의 제1 층(23C)의 평균막 밀도를 ρ_1 , 제2 층(23D)의 평균막 밀도를 ρ_2 로 했을 때, $\rho_1 \geq 5.9\text{g/cm}^3$, 및, $\rho_1 - \rho_2 \geq 0.1\text{g/cm}^3$ 를 만족한다.

대 표 도



명세서

청구범위

청구항 1

제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료층이 형성되어 있고,

제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm까지의 제1 층의 평균막 밀도를 ρ_1 , 제2 층의 평균막 밀도를 ρ_2 로 했을 때,

$$\rho_1 \geq 5.9 \text{ g/cm}^3$$

및,

$$\rho_1 - \rho_2 \geq 0.1 \text{ g/cm}^3$$

를 만족하고,

제1 층의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,

$$E_{OD-1} \geq 2.8 \text{ eV}$$

및,

$$E_{OD-1} - E_{OD-2} \geq 0.2 \text{ eV}$$

를 만족하는 것을 특징으로 하는 활상 소자.

청구항 2

제1항에 있어서,

제1 층의 조성과 제2 층의 조성은 같은 것을 특징으로 하는 활상 소자.

청구항 3

제1항에 있어서,

무기산화물 반도체 재료층의 전도대의 최대 에너지 값에서의 에너지 평균치를 E_1 , 광전 변환층의 LUMO 값에서의 에너지 평균치를 E_0 로 했을 때,

$$E_0 - E_1 \geq 0.1 \text{ (eV)}$$

를 만족하는 것을 특징으로 하는 활상 소자.

청구항 4

제3항에 있어서,

$$E_0 - E_1 > 0.1 \text{ (eV)}$$

를 만족하는 것을 특징으로 하는 활상 소자.

청구항 5

제1항에 있어서,

광전 변환부는, 또한, 절연층, 및, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 무기산화물 반도체 재료층과 대향하여 배치된 전하 축적용 전극을 구비하고 있는 것을 특징으로 하는 활상 소자.

청구항 6

제1항에 있어서,

광전 변환층에서 생성한 전하는, 무기산화물 반도체 재료층을 통하여 제1 전극에 이동하는 것을 특징으로 하는 활상 소자.

청구항 7

제6항에 있어서,

전하는 전자인 것을 특징으로 하는 활상 소자.

청구항 8

제1항에 있어서,

무기산화물 반도체 재료층을 구성하는 재료의 캐리어 이동도는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상인 것을 특징으로 하는 활상 소자.

청구항 9

제1항에 있어서,

무기산화물 반도체 재료층의 캐리어 농도는 $1\times 10^{16}/\text{cm}^3$ 이하인 것을 특징으로 하는 활상 소자.

청구항 10

제1항에 있어서,

무기산화물 반도체 재료층의 두께는, $1\times 10^{-8}\text{m}$ 내지 $1.5\times 10^{-7}\text{m}$ 인 것을 특징으로 하는 활상 소자.

청구항 11

제1항 내지 제10항 중 어느 한 항에 기재된 활상 소자를 적어도 하나 갖는 것을 특징으로 하는 적층형 활상 소자.

청구항 12

제1항 내지 제10항 중 어느 한 항에 기재된 활상 소자를, 복수, 구비한 것을 특징으로 하는 고체 활상 장치.

청구항 13

제11항에 기재된 적층형 활상 소자를, 복수, 구비한 것을 특징으로 하는 고체 활상 장치.

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

발명의 설명

기술 분야

[0001] 본 개시는, 활상 소자, 적층형 활상 소자 및 고체 활상 장치, 및, 활상 소자의 제조 방법에 관한 것이다.

배경 기술

[0002] 이미지 센서 등을 구성하는 활상 소자로서, 근래, 적층형 활상 소자가 주목되어 있다. 적층형 활상 소자에서는, 광전 변환층(수광층)이 2개의 전극으로 끼워 넣어진 구조를 가진다. 그리고, 적층형 활상 소자에서는, 광전 변환에 의거하여 광전 변환층에서 발생한 신호 전하를, 축적하고, 전송하는 구조가 필요하다. 종래의 구조에서는, 신호 전하가 FD(Floating Drain) 전극에 축적 및 전송되는 구조가 필요하고, 신호 전하가 지연되지 않도록 고속의 전송이 필요하다.

[0003] 이와 같은 과제를 해결하기 위한 활상 소자(광전 변환 소자)가, 예를 들면, 특개2016-063165호 공보에 개시되어 있다. 이 활상 소자는,

[0004] 제1 절연층상에 형성된 축적 전극,

[0005] 축적 전극상에 형성된 제2 절연층,

[0006] 축적 전극 및 제2 절연층을 덮도록 형성된 반도체층,

[0007] 반도체층에 접하도록 형성되고, 축적 전극으로부터 떨어지도록 형성된 포집 전극,

[0008] 반도체층상에 형성된 광전 변환층, 및,

[0009] 광전 변환층상에 형성된 상부 전극을 구비하고 있다.

[0010] 광전 변환층에 유기 반도체 재료를 이용하는 활상 소자는, 특정한 색(파장대)을 광전 변환하는 것이 가능하다. 그리고, 이와 같은 특징을 갖고 있기 때문에, 고체 활상 장치에서의 활상 소자로서 이용하는 경우, 온 칩 · 컬러 필터층(OCCF)과 활상 소자의 조합으로부터 부화소가 이루어지고, 부화소가 2차원 배열되어 있다, 종래의 고체 활상 장치에서는 불가능한, 부화소를 적층한 구조(적층형 활상 소자)를 얻는 것이 가능하다(예를 들면, 특개 2011-138927호 공보 참조). 또한, 디모자이크 처리를 필요로 하지 않기 때문에, 위색이 발생하지 않다는 이점이 있다. 이하의 설명에서, 반도체 기판의 위 또는 상방에 마련된 광전 변환부를 구비한 활상 소자를, 편의상, 『제1 타입의 활상 소자』라고 부르고, 제1 타입의 활상 소자를 구성하는 광전 변환부를, 편의상, 『제1 타입의 광전 변환부』라고 부르고, 반도체 기판 내에 마련된 활상 소자를, 편의상, 『제2 타입의 활상 소자』라고 부르고, 제2 타입의 활상 소자를 구성하는 광전 변환부를, 편의상, 『제2 타입의 광전 변환부』라고 부르는 경우가 있다.

[0011] 도 70에 종래의 적층형 활상 소자(적층형 고체 활상 장치)의 구성례를 도시한다. 도 70에 도시하는 예에서는, 반도체 기판(370) 내에, 제2 타입의 활상 소자인 제3 활상 소자(343) 및 제2 활상 소자(341)를 구성하는 제2 타입의 광전 변환부인 제3광전 변환부(343A) 및 제2광전 변환부(341A)가 적층되어, 형성되어 있다. 또한, 반도체 기판(370)의 상방(구체적으로는, 제2 활상 소자(341)의 상방)에는, 제1 타입의 광전 변환부인 제1광전 변환부(310A)가 배치되어 있다. 여기서, 제1광전 변환부(310A)는, 제1 전극(321), 유기계 재료로 이루어지는 광전 변환층(323), 제2 전극(322)을 구비하고 있고, 제1 타입의 활상 소자인 제1 활상 소자(310)를 구성한다. 제2광전 변환부(341A) 및 제3광전 변환부(343A)에서는, 흡수 계수의 차이에 의해, 각각, 예를 들면, 청색광 및 적색광이 광전 변환된다. 또한, 제1광전 변환부(310A)에서는, 예를 들면, 녹색광이 광전 변환된다.

[0012] 제2광전 변환부(341A) 및 제3광전 변환부(343A)에서 광전 변환에 의해 생성한 전하는, 이를 제2광전 변환부(341A) 및 제3광전 변환부(343A)에 일단 축적된 후, 각각, 종형 트랜지스터(게이트부(345)를 도시한다)와 전송 트랜지스터(게이트부(346)를 도시한다)에 의해 제2 부유 확산층(Floating Diffusion)(FD₂) 및 제3 부유 확산층(FD₃)에 전송되고, 또한, 외부의 판독 회로(도시 생략)에 출력된다. 이를 트랜지스터 및 부유 확산층(FD₂, FD₃)도 반도체 기판(370)에 형성되어 있다.

[0013] 제1광전 변환부(310A)에서 광전 변환에 의해 생성한 전하는, 콘택트 홀부(361), 배선층(362)을 통하여, 반도체

기판(370)에 형성된 제1 부유 확산층(FD_1)에 축적된다. 또한, 제1광전 변환부(310A)는, 콘택트 홀부(361), 배선 층(362)을 통하여, 전하량을 전압으로 변환하는 증폭 트랜지스터의 게이트부(352)에도 접속되어 있다. 그리고, 제1 부유 확산층(FD_1)은, 리셋 · 트랜지스터(게이트부(351)를 도시한다)의 일부를 구성하고 있다. 참조 번호 371은 소자 분리 영역이고, 참조 번호 372는 반도체 기판(370)의 표면에 형성된 산화막이고, 참조 번호 376, 381은 충간 절연층이고, 참조 번호 383은 보호 재료층이고, 참조 번호 314는 온 칩 · 마이크로 · 렌즈이다.

[0014] 또한, 특개2014-045178호 공보에는, 트랜지스터(TFT)의 전기 특성의 변동이 생기기 어렵고, 안정성이 높은 산화 물 반도체 적층막이 개시되어 있다. 즉, 특개2014-045178호 공보에 개시된 산화물 반도체 적층막은,

[0015] 인듐, 갈륨 및 아연을 함유하고, 순차적으로 적층된 제1 산화물 반도체층, 제2 산화물 반도체층 및 제3 산화물 반도체층을 포함하고,

[0016] 제2 산화물 반도체층은, 제1 산화물 반도체층 및 제3 산화물 반도체층보다도 인듐의 함유율이 높고,

[0017] 산화물 반도체 적층막은, 에너지가 1.5eV 이상 2.3eV 이하의 범위에서, CPM에 의해 측정된 흡수 계수가 $3 \times 10^{-3} / \text{cm}$ 이하인 것을 특징으로 하고 있다.

선행기술문헌

특허문헌

[0018] (특허문헌 0001) 특허 문현 1: 특개2016-063165호 공보

(특허문헌 0002) 특허 문현 2: 특개2011-138927호 공보

(특허문헌 0003) 특허 문현 3: 특개2014-045178호 공보

발명의 내용

해결하려는 과제

[0019] 그렇지만, 상기 특개2016-063165호 공보에 개시된 기술에서는, 축적 전극과 그 위에 형성된 제2 절연층을 같은 길이로 형성하지 않으면 안된다는 제약이나, 포집 전극과의 간격 등이 세밀하게 규정되어 있어서, 제작 공정이 복잡해져서, 제조 수율의 저하를 일으킬지도 모른다. 나아가서는, 반도체층을 구성하는 재료에 관하여 몇 가지 언급되어 있기는 하지만, 보다 구체적인 재료의 조성 및 구성에 관해서는 언급되어 있지 않다. 또한, 반도체층의 캐리어 이동도와 축적 전하의 상관식에 관하여 언급되어 있지만, 발생한 전하의 전송에 중요한, 반도체층의 캐리어 이동도에 관한 사항, 반도체층과 반도체층에 인접하는 광전 변환층의 부분 사이의 에너지 준위의 관계에 관한 사항이라는, 전하의 전송 개선에 관한 사항에 관하여 전혀 언급되어 있지 않다. 또한, 특개2014-045178호 공보에 개시된 기술에서는, 각 층의 조성 비율을 바꾸어 전기적으로 안정성을 실현하는 것을 특징으로 하고 있지만, 각 층에서 소망하는 특성을 실현하기 위해 의도적으로 각 층의 조성을 제어하여 각 층의 기능을 확립한다는 복잡한 디바이스 구성이 필요하게 된다. 또한, 전기 전도율이나 TFT 특성에는 언급하고 있지만, 전하의 전송에 관한 사항에 관해 전혀 언급하고 있지 않다.

[0020] 따라서, 본 개시의 목적은, 간소한 구성, 구조임에도 불구하고, 광전 변환층에 축적된 전하의 전송 특성에 우수한 활상 소자, 적층형 활상 소자 및 고체 활상 장치, 및, 활상 소자의 제조 방법을 제공하는 것에 있다.

과제의 해결 수단

[0021] 상기 목적을 달성하기 위한 본 개시의 제1 양태에 관한 활상 소자는, 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0022] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,

[0023] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균막 밀도를 p_1 , 제2 층의 평균막 밀도를 p_2 로 했을 때,

- [0024] $\rho_1 \geq 5.9 \text{g/cm}^3$
- [0025] 및,
- [0026] $\rho_1 - \rho_2 \geq 0.1 \text{g/cm}^3$
- [0027] 바람직하게는,
- [0028] $\rho_1 \geq 6.1 \text{g/cm}^3$
- [0029] 및,
- [0030] $\rho_1 - \rho_2 \geq 0.2 \text{g/cm}^3$
- [0031] 를 만족한다. 또한, 제1 층의 두께는 얇을수록 바람직하지만, 불연속적인 층이 형성되는 것을 막을 필요가 있기 때문에, 최저 층두께를 3nm로 규정하였다. 또한, 너무 두꺼우면 무기산화물 반도체 재료층의 특성이 저하되기 때문에, 최고 층두께를 10nm로 규정하였다. 이하에서도 마찬가지이다.
- [0032] 상기 목적을 달성하기 위한 본 개시의 제2 양태에 관한 활상 소자는, 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0033] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,
- [0034] 제1 층의 조성과 제2 층의 조성은 같고,
- [0035] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균막 밀도를 ρ_1 , 제2 층의 평균막 밀도를 ρ_2 로 했을 때,
- [0036] $\rho_1 - \rho_2 \geq 0.1 \text{g/cm}^3$
- [0037] 바람직하게는,
- [0038] $\rho_1 - \rho_2 \geq 0.2 \text{g/cm}^3$
- [0039] 를 만족한다.
- [0040] 상기 목적을 달성하기 위한 본 개시의 제3 양태에 관한 활상 소자는, 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0041] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,
- [0042] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,
- [0043] $E_{OD-1} \geq 2.8 \text{eV}$
- [0044] 및,
- [0045] $E_{OD-1} - E_{OD-2} \geq 0.2 \text{eV}$
- [0046] 바람직하게는,
- [0047] $E_{OD-1} \geq 2.9 \text{eV}$
- [0048] 및,
- [0049] $E_{OD-1} - E_{OD-2} \geq 0.3 \text{eV}$
- [0050] 를 만족한다. 또한, 제1 층의 조성과 제2 층의 조성은 같고,
- [0051] $E_{OD-1} - E_{OD-2} \geq 0.2 \text{eV}$

- [0052] 바람직하게는,
- [0053] $E_{OD-1} - E_{OD-2} \geq 0.3\text{eV}$
- [0054] 를 만족한다.
- [0055] 상기 목적을 달성하기 위한 본 개시의 적층형 콜상 소자는, 상기 본 개시의 제1 양태~제3 양태에 관한 콜상 소자를 적어도 1개 가진다.
- [0056] 상기 목적을 달성하기 위한 본 개시의 제1 양태에 관한 고체 콜상 장치는, 상기 본 개시의 제1 양태~제3 양태에 관한 콜상 소자를, 복수, 구비하고 있다. 또한, 상기 목적을 달성하기 위한 본 개시의 제2 양태에 관한 고체 콜상 장치는, 상기 본 개시의 적층형 콜상 소자를, 복수, 구비하고 있다.
- [0057] 상기 목적을 달성하기 위한 본 개시의 콜상 소자의 제조 방법은,
- [0058] 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0059] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있는 발광 소자의 제조 방법으로서,
- [0060] 제1 층을 스퍼터링법에 의거하여 성막한 후, 제1 층을 성막했을 때의 투입 전력보다도 작은 투입 전력으로의 스퍼터링법에 의거하여 제2 층을 성막하는 공정을 포함한다.

도면의 간단한 설명

- [0061] 도 1은, 실시례 1의 콜상 소자의 모식적인 일부 단면도.
- 도 2는, 실시례 1의 콜상 소자의 등가 회로도.
- 도 3은, 실시례 1의 콜상 소자의 등가 회로도.
- 도 4는, 실시례 1의 콜상 소자를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.
- 도 5는, 실시례 1의 콜상 소자의 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.
- 도 6A, 도 6B 및 도 6C는, 도 5(실시례 1), 도 20 및 도 21(실시례 4) 및 도 32 및 도 33(실시례 6)의 각 부위를 설명하기 위한 실시례 1, 실시례 4 및 실시례 6의 콜상 소자의 등가 회로도.
- 도 7은, 실시례 1의 콜상 소자를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도.
- 도 8은, 실시례 1의 콜상 소자를 구성하는 제1 전극, 전하 축적용 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도.
- 도 9는, 실시례 1의 콜상 소자의 변형례의 등가 회로도.
- 도 10은, 도 9에 도시한 실시례 1의 콜상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.
- 도 11은, 실시례 2의 콜상 소자의 모식적인 일부 단면도.
- 도 12는, 실시례 3의 콜상 소자의 모식적인 일부 단면도.
- 도 13은, 실시례 3의 콜상 소자의 변형례의 모식적인 일부 단면도.
- 도 14는, 실시례 3의 콜상 소자의 다른 변형례의 모식적인 일부 단면도.
- 도 15는, 실시례 3의 콜상 소자의 또 다른 변형례의 모식적인 일부 단면도.
- 도 16은, 실시례 4의 콜상 소자의 일부분의 모식적인 일부 단면도.
- 도 17은, 실시례 4의 콜상 소자의 등가 회로도.
- 도 18은, 실시례 4의 콜상 소자의 등가 회로도.

도 19는, 실시례 4의 활상 소자를 구성하는 제1 전극, 전송 제어용 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 20은, 실시례 4의 활상 소자의 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 21은, 실시례 4의 활상 소자의 다른 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 22는, 실시례 4의 활상 소자를 구성하는 제1 전극, 전송 제어용 전극 및 전하 축적용 전극의 모식적인 배치도.

도 23은, 실시례 4의 활상 소자를 구성하는 제1 전극, 전송 제어용 전극, 전하 축적용 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도.

도 24는, 실시례 4의 활상 소자의 변형례를 구성하는 제1 전극, 전송 제어용 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 25는, 실시례 5의 활상 소자의 일부분의 모식적인 일부 단면도.

도 26은, 실시례 5의 활상 소자를 구성하는 제1 전극, 전하 축적용 전극 및 전하 배출 전극의 모식적인 배치도.

도 27은, 실시례 5의 활상 소자를 구성하는 제1 전극, 전하 축적용 전극, 전하 배출 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도.

도 28은, 실시례 6의 활상 소자의 모식적인 일부 단면도.

도 29는, 실시례 6의 활상 소자의 등가 회로도.

도 30은, 실시례 6의 활상 소자의 등가 회로도.

도 31은, 실시례 6의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 32는, 실시례 6의 활상 소자의 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 33은, 실시례 6의 활상 소자의 다른 동작 시(전송 시)의 각 부위에서의 전위의 상태를 모식적으로 도시하는 도면.

도 34는, 실시례 6의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도.

도 35는, 실시례 6의 활상 소자를 구성하는 제1 전극, 전하 축적용 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도.

도 36은, 실시례 6의 활상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도.

도 37은, 실시례 7의 활상 소자(병설된 2개의 활상 소자)의 일부분의 모식적인 단면도.

도 38은, 실시례 7의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 등 및 제어부를 구성하는 트랜지스터의 모식적인 배치도.

도 39는, 실시례 7의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 등의 모식적인 배치도.

도 40은, 실시례 7의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 등의 변형례의 모식적인 배치도.

도 41은, 실시례 7의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 등의 변형례의 모식적인 배치도.

도 42A 및 도 42B는, 실시례 7의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 등의 변형례의 모식적인 배치도.

도 43은, 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 일부분의 모식적인 단면도.

도 44는, 실시례 8의 활상 소자(병설된 2×2의 활상 소자)의 일부분의 모식적인 평면도.

도 45는, 실시례 8의 활상 소자(병설된 2×2의 활상 소자)의 변형례의 일부분의 모식적인 평면도.

도 46A 및 도 46B는, 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 변형례의 일부분의 모식적인 단면도.

도 47A 및 도 47B는, 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 변형례의 일부분의 모식적인 단면도.

도 48A 및 도 48B는, 실시례 8의 활상 소자의 변형례의 일부분의 모식적인 평면도.

도 49A 및 도 49B는, 실시례 8의 활상 소자의 변형례의 일부분의 모식적인 평면도.

도 50은, 실시례 9의 고체 활상 장치에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 51은, 실시례 9의 고체 활상 장치의 제1 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 52는, 실시례 9의 고체 활상 장치의 제2 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 53은, 실시례 9의 고체 활상 장치의 제3변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 54는, 실시례 9의 고체 활상 장치의 제4변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 55는, 실시례 9의 고체 활상 장치의 제5변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 56은, 실시례 9의 고체 활상 장치의 제6 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 57은, 실시례 9의 고체 활상 장치의 제7 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 58A, 도 58B 및 도 58C는, 실시례 9의 활상 소자 블록에서의 관독 구동례를 도시하는 차트.

도 59는, 실시례 10의 고체 활상 장치에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 60은, 실시례 10의 고체 활상 장치의 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 61은, 실시례 10의 고체 활상 장치의 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 62는, 실시례 10의 고체 활상 장치의 변형례에서의 제1 전극 및 전하 축적용 전극 세그먼트의 모식적인 평면도.

도 63은, 실시례 1의 활상 소자, 적층형 활상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 64는, 실시례 1의 활상 소자, 적층형 활상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 65는, 실시례 1의 활상 소자, 적층형 활상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 66은, 실시례 1의 활상 소자, 적층형 활상 소자의 다른 변형례의 모식적인 일부 단면도.

도 67은, 실시례 4의 활상 소자의 또 다른 변형례의 모식적인 일부 단면도.

도 68은, 실시례 1의 고체 활상 장치의 개념도.

도 69는, 본 개시의 제1 양태~제3 양태에 관한 활상 소자, 적층형 활상 소자로 구성된 고체 활상 장치를 전자 기기(카메라)를 이용한 예의 개념도.

도 70은, 종래의 적층형 활상 소자(적층형 고체 활상 장치)의 개념도.

도 71A 및 도 71B는, 각각, 스퍼터링법에 의거하여 무기산화물 반도체 재료층을 성막할 때의 투입 전력과 평균 막 밀도의 관계, 및, 평균막 밀도와 평균 산소 결손 생성 에너지의 관계를 구한 결과를 도시하는 그래프.

도 72A, 도 72B, 도 72C 및 도 72D는, 실시례 1A, 비교례 1A, 비교례 1B 및 비교례 1C에서, 무기산화물 반도체 재료층으로부터 TFT의 채널 형성 영역을 형성하고, TFT 특성을 평가한 결과를 도시하는 그래프이다.

도 73은, 실시례 1B 비교례 1D에서, 무기산화물 반도체 재료층으로부터 TFT의 채널 형성 영역을 형성하고, TFT 특성을 평가한 결과를 도시하는 그래프이다.

도 74는, 차량 제어 시스템의 개략적인 구성의 한 예를 도시하는 블록도.

도 75는, 차외 정보 검출부 및 활상부의 설치 위치의 한 예를 도시하는 설명도.

도 76은, 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면.

도 77은, 카메라 헤드 및 CCU의 기능 구성의 한 예를 도시하는 블록도.

발명을 실시하기 위한 구체적인 내용

- [0062] 이하, 도면을 참조하여, 실시례에 의거하여 본 개시를 설명하지만, 본 개시는 실시례로 한정되는 것이 아니고, 실시례에서의 여러 가지 수치나 재료는 예시이다. 또한, 설명은, 이하의 순서로 행한다.
- [0063] 1. 본 개시의 제1 양태~제3 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자, 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치, 전반에 관한 설명
- [0064] 2. 실시례 1(본 개시의 제1 양태~제3 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자, 본 개시의 제2 양태에 관한 고체 활상 장치)
- [0065] 3. 실시례 2(실시례 1의 변형)
- [0066] 4. 실시례 3(실시례 1~실시례 2의 변형, 본 개시의 제1 양태에 관한 고체 활상 장치)
- [0067] 5. 실시례 4(실시례 1~실시례 3의 변형, 전송 제어용 전극을 구비한 활상 소자)
- [0068] 6. 실시례 5(실시례 1~실시례 4의 변형, 전하 배출 전극을 구비한 활상 소자)
- [0069] 7. 실시례 6(실시례 1~실시례 5의 변형, 복수의 전하 축적용 전극 세그먼트를 구비한 활상 소자)
- [0070] 8. 실시례 7(실시례 1~실시례 6의 변형, 전하 이동 제어 전극을 구비한 활상 소자)
- [0071] 9. 실시례 8(실시례 7의 변형)
- [0072] 10. 실시례 9(제1 구성~제2 구성의 고체 활상 장치)
- [0073] 11. 실시례 10(실시례 9의 변형)
- [0074] 12. 기타
- [0075] <본 개시의 제1 양태~제3 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자, 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치, 전반에 관한 설명>
- [0076] 본 개시의 제1 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자를 구성하는 본 개시의 제1 양태에 관한 활상 소자, 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치를 구성하는 본 개시의 제1 양태에 관한 활상 소자, 활상 소자의 제조 방법에 의해 얻어진 본 개시의 제1 양태에 관한 활상 소자를, 이하, 총칭하여, 『본 개시의 제1 양태에 관한 활상 소자 등』이라고 부르는 경우가 있다. 또한, 본 개시의 제2 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자를 구성하는 본 개시의 제2 양태에 관한 활상 소자, 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치를 구성하는 본 개시의 제2 양태에 관한 활상 소자를, 이하, 총칭하여, 『본 개시의 제2 양태에 관한 활상 소자 등』이라고 부르는 경우가 있다. 나아가서는, 본 개시의 제3 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자를 구성하는 본 개시의 제3 양태에 관한 활상 소자, 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치를 구성하는 본 개시의 제3 양태에 관한 활상 소자, 활상 소자의 제조 방법에 의해 얻어진 본 개시의 제3 양태에 관한 활상 소자를, 이하, 총칭하여, 『본 개시의 제3 양태에 관한 활상 소자 등』이라고 부르는 경우가 있다. 또한, 본 개시의 제1 양태에 관한 활상 소자 등, 본 개시의 제2 양태에 관한 활상 소자 및 본 개시의 제3 양태에 관한 활상 소자 등을, 이하, 총칭하여, 『본 개시의 활상 소자 등』이라고 부르는 경우가 있다.
- [0077] 본 개시의 제1 양태에 관한 활상 소자 등 및 본 개시의 제3 양태에 관한 활상 소자 등에서, 제1 층의 조성과 제2 층의 조성은 같은 형태로 할 수 있다.
- [0078] 상기 바람직한 형태를 포함하는 본 개시의 제1 양태에 관한 활상 소자 등 및 본 개시의 제2 양태에 관한 활상 소자 등에서, 제1 층의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,

- [0079] $E_{OD-1} \geq 2.8\text{eV}$
- [0080] 및,
- [0081] $E_{OD-1} - E_{OD-2} \geq 0.2\text{eV}$
- [0082] 바람직하게는,
- [0083] $E_{OD-1} \geq 2.9\text{eV}$
- [0084] 및,
- [0085] $E_{OD-1} - E_{OD-2} \geq 0.3\text{eV}$
- [0086] 를 만족하는 형태로 할 수 있다.
- [0087] 무기산화물 반도체 재료층을 구성하는 금속 원자의 산소 결손 생성 에너지(E_{OD-2})는 3eV 이상, 바람직하게는 4eV 이상인 것이 바람직하다. 또한, 무기산화물 반도체 재료층이 복수종의 금속 원자로 구성되어 있는 경우, 「금속 원자의 산소 결손 생성 에너지」란, 복수종의 금속 원자가 갖는 산소 결손 생성 에너지의 평균치를 가리킨다. 산소 결손 생성 에너지란, 산소 결손을 생성하기 위해 필요한 에너지이고, 산소 결손 생성 에너지의 값이 높을 수록, 산소 결손이 생성하기 어렵고, 또한, 산소 원자 또는 산소 분자, 다른 원자나 분자를 취입하기 어려워지고, 안정적이라고 할 수 있다. 산소 결손 생성 에너지는, 예를 들면, 제1 원리 계산으로부터 구할 수 있다.
- [0088] 상기 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 진공 준위를 제로 기준으로 하여, 진공 준위로부터 떨어질수록 에너지(값의 부호는 부)의 절대치가 크다고 정의하면, 무기산화물 반도체 재료층의 전도대의 최대 에너지 값에서의 에너지 평균치를 E_1 , 광전 변환층의 LUMO 값에서의 에너지 평균치를 E_0 로 했을 때,
- [0089] $E_0 \geq E_1$
- [0090] 바람직하게는,
- [0091] $E_0 - E_1 \geq 0.1(\text{eV})$
- [0092] 한층 바람직하게는,
- [0093] $E_0 - E_1 > 0.1(\text{eV})$
- [0094] 를 만족하는 것이 바람직하다. 또한, 『최소 에너지』란 에너지의 값의 절대치가 최소인 것을 의미하고, 『최대 에너지』란 에너지의 값의 절대치가 최대인 것을 의미한다. 이하에서도 마찬가지이다. 무기산화물 반도체 재료층의 전도대의 최대 에너지 값에서의 에너지 평균치(E_1)는, 무기산화물 반도체 재료층에서의 평균치로 한다. 또한, 광전 변환층의 LUMO 값에서의 에너지 평균치(E_0)는, 무기산화물 반도체 재료층의 근방에 위치하는 광전 변환층의 부분에서의 평균치로 한다. 여기서, 「무기산화물 반도체 재료층의 근방에 위치하는 광전 변환층의 부분」이란, 무기산화물 반도체 재료층과 광전 변환층의 계면을 기준으로 하여, 광전 변환층의 두께의 10% 이내에 해당하는 영역(즉, 광전 변환층의 두께의 0% 내지 10%에 걸치는 영역)에 위치하는 광전 변환층의 부분을 가리킨다.
- [0095] 가전자대의 에너지, HOMO의 값은, 예를 들면, 자외광 전자 분광법(UPS법)에 의거하여 구할 수 있다. 또한, 전도대의 에너지나 LUMO의 값은, $\{(가전자대의 에너지, HOMO의 값) + E_b\}$ 로부터 구할 수 있다. 나아가서는, 밴드 갭 에너지(E_b)는, 광학적으로 흡수하는 파장(λ)(광학적인 흡수단 파장이고, 단위는 nm)으로부터, 이하의 식에 의거하여 구할 수 있다.
- [0096] $E_b = h v = h(c/\lambda) = 1239.8/\lambda [\text{eV}]$
- [0097] 무기산화물 반도체 재료층의 조성은, 예를 들면, ICP 발광 분광 분석법(고주파 유도 결합 플라즈마 발광 분광 분석법, ICP-AES)이나, X선 광전자 분광(X-ray Photoelectron Spectroscopy, XPS)에 의거하여 구할 수 있다. 무기산화물 반도체 재료층의 성막 과정에서, 경우에 따라서는, 수소나 다른 금속 또는 금속 화합물 등의 다른 불순물이 혼입되는 일이 있는데, 미량(예를 들어 몰 분률로 3% 이하)이라면 혼입을 막는 것은 아니다.

- [0098] 막 밀도는, XRR(X-Ray Reflectivity)법에 의거하여 구할 수 있다. 여기서, XRR법이란, X선을 시료 표면에 극히 얇은 각도로 입사시키고, 입사각에 대해 대경면(對鏡面) 방향으로 반사한 X선의 강도 프로파일을 측정하고, 얻어진 X선의 강도 프로파일을 시뮬레이션 결과와 비교하여, 시뮬레이션 파라미터를 최적화함에 의해, 시료의 막 두께·막 밀도를 결정하는 방법이다.
- [0099] 나아가서는, 이상에 설명한 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 광전 변환부는, 또한, 절연층, 및, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 무기산화물 반도체 재료층과 대향하여 배치된 전하 축적용 전극을 구비하고 있는 형태로 할 수 있다.
- [0100] 나아가서는, 이상에 설명한 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 광전 변환층에서 생성한 전하는, 무기산화물 반도체 재료층을 통하여 제1 전극으로 이동하는 형태로 할 수 있고, 이 경우, 전하는 전자인 형태로 할 수 있다.
- [0101] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 무기산화물 반도체 재료층을 구성하는 재료의 캐리어 이동도는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상인 것이 바람직하고, 이에 의해, 무기산화물 반도체 재료층에 축적된 전하를 제1 전극으로 신속하게 이동시킬 수 있다. 또한, 무기산화물 반도체 재료층의 캐리어 농도는 $1\times 10^{16}/\text{cm}^3$ 이하인 것이 바람직하고, 이에 의해, 무기산화물 반도체 재료층에서의 전하 축적량의 증가를 도모할 수 있다.
- [0102] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서,
- [0103] 제2 전극으로부터 광이 입사하고,
- [0104] 광전 변환층과 무기산화물 반도체 재료층의 계면에서의 무기산화물 반도체 재료층 표면의 표면 거칠기(Ra)는 1.5nm 이하이고, 무기산화물 반도체 재료층 표면의 제곱 평균 제곱근 거칠기(Rq)의 값은 2.5nm 이하인 것이 바람직하다. 표면 거칠기(Ra, Rq)는, JIS B0601: 2013의 규정에 의거한다. 이와 같은 광전 변환층과 무기산화물 반도체 재료층의 계면에서의 무기산화물 반도체 재료층 표면의 평활성은, 무기산화물 반도체 재료층 표면에서의 산란 반사를 억제하고, 광전 변환에서의 명 전류 특성의 향상을 도모할 수 있다. 전하 축적용 전극 표면의 표면 거칠기(Ra)는 1.5nm 이하이고, 전하 축적용 전극 표면의 제곱 평균 제곱근 거칠기(Rq)의 값은 2.5nm 이하인 것이 바람직하다.
- [0105] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 무기산화물 반도체 재료층은 비정질인(예를 들면, 국소적으로 결정 구조를 갖지 않는 비정질이다) 형태로 할 수 있다. 무기산화물 반도체 재료층이 비정질인지의 여부는, X선 회절 분석에 의거하여 결정할 수 있다.
- [0106] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 무기산화물 반도체 재료층의 두께는, $1\times 10^{-8}\text{m}$ 내지 $1.5\times 10^{-7}\text{m}$, 바람직하게는, $2\times 10^{-8}\text{m}$ 내지 $1.0\times 10^{-7}\text{m}$, 보다 바람직하게는, $3\times 10^{-8}\text{m}$ 내지 $1.0\times 10^{-7}\text{m}$ 인 것이 바람직하다.
- [0107] 무기산화물 반도체 재료층은, 인듐(In), 텉스텐(W), 주석(Sn) 및 아연(Zn)으로 이루어지는 군에서 선택되는 적어도 2종류의 원소로 구성되어 있는 형태로 할 수 있다. 여기서, 무기산화물 반도체 재료층은 갈륨 원자를 포함하지 않고, 구체적으로는, 무기산화물 반도체 재료층은, 산화 인듐에 텉스텐(W)을 첨가한 재료인 인듐-텅스텐 산화물(IWO), 산화 인듐에 텉스텐(W) 및 아연(Zn)을 첨가한 재료인 인듐-텅스텐-아연 산화물(IWZO), 산화 인듐에 주석(Sn) 및 아연(Zn)을 첨가한 재료인 인듐-주석-아연 산화물(ITZO), 또는, 아연-주석 산화물(ZTO)로 이루어지는 형태로 할 수 있고, 보다 구체적으로는, 무기산화물 반도체 재료층은, In-W 산화물로 이루어지고, 또는, In-Sn 산화물, In-Zn 산화물, 또는, W-Sn 산화물, 또는, W-Zn 산화물, 또는, Sn-Zn 산화물, 또는, In-W-Sn 산화물, 또는, In-W-Zn 산화물, 또는, In-Sn-Zn 산화물, 또는, In-W-Sn-Zn 산화물로 이루어진다. IWO에서는, 인듐 산화물과 텉스텐 산화물의 합계 질량을 100질량%로 했을 때, 텉스텐 산화물의 질량 비율은 10질량% 내지 30질량%인 것이 바람직하다. 나아가서는, IWZO에서는, 인듐 산화물과 텉스텐 산화물과 Zn 산화물의 합계 질량을 100질량%로 했을 때, 텉스텐 산화물의 질량 비율은 2질량% 내지 15질량%, Zn 산화물의 질량 비율은 1질량% 내지 3질량%인 것이 바람직하다. 또한, ITZO에서는, 인듐 산화물과 Zn 산화물과 Sn 산화물의 합계 질량을 100질량%로 했을 때, 텉스텐 산화물의 질량 비율은 3질량% 내지 10질량%, 주석 산화물의 질량 비율은 10질량% 내지 17질량%인 것이 바람직하다. 단, 이를 값으로 한정하는 것이 아니다.
- [0108] 또한, 무기산화물 반도체 재료층은, 인듐(In) 원자, 갈륨(Ga) 원자, 주석(Sn) 원자 및 아연(Zn) 원자를 포함하

는 형태로 할 수 있고, 구체적으로는, 무기산화물 반도체 재료층을 $In_aGa_bSn_cZn_dO_e$ 로 나타냈을 때, $1.8 < (b+c)/a < 2.3$, 및, $2.3 < d/a < 2.6$ 을 만족하고, 나아가서는, $b > 0$ 을 만족하는 형태로 할 수 있다.

[0109] 또한, 무기산화물 반도체 재료를 구성하는 금속 원소는, 폐각 d 궤도를 갖는 형태로 할 수 있고, 구체적으로는, 금속 원자는, 구리, 은, 금, 아연, 갈륨, 게르마늄, 인듐, 주석 및 탈륨으로 이루어지는 군에서 선택된 금속 원자인 형태로 할 수 있다. 즉, 폐각 d 궤도를 갖는 금속 원자로서, 구체적으로는, 구리(Cu), 은(Ag), 금(Au), 아연(Zn), 갈륨(Ga), 게르마늄(Ge), 인듐(In), 주석(Sn), 탈륨(Tl), 카드뮴(Cd), 수은(Hg) 및 납(Pb)으로 이루어지는 군에서 선택된 금속 원자인 구성으로 할 수 있고, 바람직하게는, 구리(Cu), 은(Ag), 금(Au), 아연(Zn), 갈륨(Ga), 게르마늄(Ge), 인듐(In), 주석(Sn) 및 탈륨(Tl)으로 이루어지는 군에서 선택된 금속 원자인 구성으로 할 수 있고, 보다 바람직하게는, 금속 원자는, 인듐(In)을 포함하지 않고, 보다 한층 바람직하게는, 금속 원자는, 구리(Cu), 은(Ag), 아연(Zn), 갈륨(Ga), 게르마늄(Ge) 및 주석(Sn)으로 이루어지는 군에서 선택된 금속 원자인 구성으로 할 수 있다. 여기서, 보다 바람직하게는, 금속 원자의 조합으로서, (In, Ga), (In, Zn), (In, Sn), (Ga, Sn), (Ga, Zn), (Zn, Sn), (Cu, Zn), (Cu, Ga), (Cu, Sn), (Ag, Zn), (Ag, Ga), (Ag, Sn)를 들 수 있다.

[0110] 또한, 무기산화물 반도체 재료층은, 인듐(In) 원자, 갈륨(Ga) 원자 및 주석(Sn) 원자를 포함하는 형태로 할 수 있고, 여기서, 무기산화물 반도체 재료층을 $In_aGa_bSn_cO_d$ 로 나타냈을 때, $a > b$, 또한, $a > c$ 를 만족하는 것이 바람직하고, 나아가서는, $a > b > c$ 또는 $a > c > b$ 를 만족하는 것이 한층 바람직하고, 나아가서는, $a > b > c$ 를 만족하는 것이 보다 한층 바람직하다. 그리고, 이를 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서,

[0111] $a+b+c+d=1.00$

[0112] $0.4 < a/(a+b+c) < 0.5$

[0113] $0.3 < b/(a+b+c) < 0.4$

[0114] $0.2 < c/(a+b+c) < 0.3$

[0115] 를 만족하는 것이 바람직하고, 또한,

[0116] $a+b+c+d=1.00$

[0117] $0.30 < a/(a+b+c) < 0.55$

[0118] $0.20 < b/(a+b+c) < 0.35$

[0119] $0.25 < c/(a+b+c) < 0.45$

[0120] 를 만족하는 것이 바람직하다.

[0121] 또한, 무기산화물 반도체 재료층은, 갈륨(Ga) 원자 및 주석(Sn) 원자를 포함하는 형태로 할 수 있고, 여기서, 무기산화물 반도체 재료층을 $Ga_aSn_bO_c$ 로 나타냈을 때, $a > b$ 를 만족하는 것이 바람직하고, 구체적으로는,

[0122] $a+b+c=1.00$

[0123] 또한,

[0124] $0.20 < b/(a+b) < 0.35$

[0125] 를 만족하는 것이 바람직하다. 또한, 무기산화물 반도체 재료층은, 갈륨(Ga) 원자 및 인듐(In) 원자를 포함하는 형태로 할 수 있고, 여기서, 무기산화물 반도체 재료층을 $Ga_dIn_eO_f$ 로 나타냈을 때, $d > e$ 를 만족하는 것이 바람직하고, 구체적으로는,

[0126] $d+e+f=1.00$

[0127] 또한,

[0128] $0.20 < e/(d+e) < 0.40$

[0129] 를 만족하는 것이 바람직하다.

[0130] 또한, 무기산화물 반도체 재료층은, 아연(Zn) 원자 및 주석(Sn) 원자를 포함하고, $Zn_aSn_bO_c$ 로 나타날 때,

- [0131] $a+b+c=1.00$
- [0132] $b>a$
- [0133] 를 만족하는 형태로 할 수 있고, $b>a>0.18$ 을 만족하는 것이 바람직하다. 또한, 무기산화물 반도체 재료층은, 또한, 5d 천이금속을 포함하는 것이 바람직하다. 또한, 무기산화물 반도체 재료층은, 또한, 텉스텐 원자를 포함하고, $Zn_aSn_bM_dO_c$ (단, M은 텉스텐 원자를 의미한다)로 나타날 때,
- [0134] $a+b+c+d=1.00$
- [0135] $0.0005 < d < 0.065$
- [0136] 를 만족하는 것이 바람직하다. 또한, 무기산화물 반도체 재료층은, 또한, 탄탈 원자 또는 하프늄 원자를 포함하고, $Zn_aSn_bM_dO_c$ (단, M은 탄탈 원자 또는 하프늄 원자를 의미한다)로 나타날 때,
- [0137] $a+b+c+d=1.00$
- [0138] $0.0005 < d < 0.065$
- [0139] 를 만족하는 것이 바람직하다.
- [0140] 또한, 무기산화물 반도체 재료층은 $In_aGa_bSn_cO_d$ 로 이루어지고,
- [0141] $0.30 \leq b/(a+b+c) \leq 0.50$
- [0142] 및,
- [0143] $b \geq c$
- [0144] 를 만족하는 형태로 할 수 있고, 또한,
- [0145] $0.40 \leq b/(a+b+c) \leq 0.50$
- [0146] 를 만족하는 형태로 할 수 있고, 또한,
- [0147] $b \geq 1.2c$
- [0148] 를 만족하는 형태로 할 수 있다.
- [0149] 또한, 무기산화물 반도체 재료층은, 인듐(In) 원자, 주석(Sn) 원자, 티탄(Ti) 원자 및 아연(Zn) 원자를 포함하는 형태로 할 수 있고, 무기산화물 반도체 재료층의 조성을 $In_aSn_bTi_cZn_dO_e$ 로 나타내고, $a+b+c+d=1.00$ 으로 했을 때,
- [0150] $b>d>c>0.09$
- [0151] 를 만족하는 것이 바람직하고, $a+b+c+d=1.00$ 으로 했을 때,
- [0152] $a < (b+c+d) \leq 0.6$
- [0153] 를 만족하는 것이 바람직하고, 또한, 무기산화물 반도체 재료층의 조성을 $In_aSn_bM_fZn_dO_e$ 로 나타내고, $a+b+f+d=1.00$ 으로 했을 때,
- [0154] $b>d>f>0.09$
- [0155] 를 만족하는 것이 바람직하다. 여기서, M은, 알루미늄, 하프늄 또는 지르코늄의 어느 하나이다. 또한, 무기산화물 반도체 재료층의 조성을 $In_aSn_bTi_cZn_dO_e$ 로 나타내고, $a+b+c+d=1.00$ 으로 했을 때,
- [0156] $a < (b+c+d) \leq 0.6$
- [0157] 를 만족하는 것이 바람직하다. 또한,
- [0158] $0.4 \leq a < (b+d) \leq 0.5$
- [0159] 를 만족하는 것이 바람직하다. 또한, 무기산화물 반도체 재료층의 조성을 $In_aSn_bM_fZn_dO_e$ 로 나타내고, $a+b+f+d=1.00$ 으로 했을 때,

- [0160] $a < (b+f+d) \leq 0.6$
- [0161] 를 만족하는 것이 바람직하다. 또한,
- [0162] $0.4 \leq a < (b+d) \leq 0.5$
- [0163] 를 만족하는 것이 바람직하다. M은, 상술한 것과 마찬가지로, 알루미늄, 하프늄 또는 지르코늄의 어느 하나이다.
- [0164] 또한, 무기산화물 반도체 재료층으로서, 예를 들면, 인듐 산화물, 갈륨 산화물, 아연 산화물이나, 이들 산화물이 적어도 1종류 포함되는 재료, 이들 재료에 도편트를 첨가한 재료, 구체적으로는, 예를 들면, IGZO(산화 아연에 도편트로서 인듐과 갈륨을 첨가한 인듐-갈륨-아연 산화물), ITZO, IWZO, IWO, ZTO, ITO-SiO_x계 재료(규소 산화물이 혼합 또는 도핑된 인듐-주석 산화물), GZO(산화 아연에 도편트로서 갈륨을 첨가한 갈륨-아연 산화물), IGO(산화 갈륨에 도편트로서 인듐을 첨가한 인듐-갈륨 산화물), ZnSnO₃, AlZnO, GaZnO, InZnO를 들 수 있고, 또한, CuI, InSbO₄, ZnMgO, CuInO₂, MgIn₂O₄, CdO 등을 포함하는 재료를 들 수 있다. 또한, 무기산화물 반도체 재료층을 구성하는 재료로서, 축적해야 할 전하가 전자인 경우, 광전 변환층을 구성하는 재료의 이온화 포텐셜보다도 큰 이온화 포텐셜을 갖는 재료를 들 수 있고, 축적해야 할 전하가 정공인 경우, 광전 변환층을 구성하는 재료의 전자 친화력보다도 작은 전자 친화력을 갖는 재료를 들 수 있다. 또한, 무기산화물 반도체 재료층을 구성하는 재료에서의 불순물 농도는 $1 \times 10^{18} \text{ cm}^{-3}$ 이하인 것이 바람직하다.
- [0165] 또한, 무기산화물 반도체 재료층은, 티탄 산화물 및 아연 산화물로 구성된 복합 산화물로 이루어진다. 단, 이것으로 한정되는 것이 아니고, 티탄 산화물을 알루미늄 산화물, 하프늄 산화물 또는 지르코늄 산화물로 치환할 수도 있다. 즉, 무기산화물 반도체 재료층은, 인듐(In) 원자, 주석(Sn) 원자, 알루미늄(Al) 및 아연(Zn) 원자를 포함하는 형태로 할 수 있고, 인듐(In) 원자, 주석(Sn) 원자, 하프늄(Hf) 및 아연(Zn) 원자를 포함하는 형태로 할 수 있고, 인듐(In) 원자, 주석(Sn) 원자, 지르코늄(Zr) 및 아연(Zn) 원자를 포함하는 형태로 할 수 있고, 또한, 무기산화물 반도체 재료층은, 인듐(In) 원자, 주석(Sn) 원자, 금속 원자 및 아연(Zn) 원자를 포함하고, 금속 원자는, 티탄, 알루미늄, 하프늄 및 지르코늄으로 이루어지는 군에서 선택되는 적어도 1종류의 원자로 할 수 있다.
- [0166] 제1 전극, 제2 전극, 전하 축적용 전극 및 광전 변환층에 관해서는, 후에 상세하게 설명한다.
- [0167] 도 70에 도시한 종래의 활상 소자에서는, 제2광전 변환부(341A) 및 제3광전 변환부(343A)에서 광전 변환에 의해 생성한 전하는, 제2광전 변환부(341A) 및 제3광전 변환부(343A)에 일단 축적된 후, 제2 부유 확산층(FD₂) 및 제3 부유 확산층(FD₃)에 전송된다. 그러므로, 제2광전 변환부(341A) 및 제3광전 변환부(343A)를 완전 공핍화할 수 있다. 그렇지만, 제1광전 변환부(310A)에서 광전 변환에 의해 생성한 전하는, 직접, 제1 부유 확산층(FD₁)에 축적된다. 그러므로, 제1광전 변환부(310A)를 완전 공핍화하는 것은 곤란하다. 그리고, 이상의 결과, kTC 노이즈가 커지고, 랜덤 노이즈가 악화되고, 활상 화질의 저하를 가져올 우려가 있다.
- [0168] 본 개시의 활상 소자 등에서는, 상술한 바와 같이, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 무기산화물 반도체 재료층과 대향하여 배치된 전하 축적용 전극을 구비하고 있으면, 광전 변환부에 광이 조사되고, 광전 변환부에서 광전 변환될 때, 무기산화물 반도체 재료층(경우에 따라서는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하를 축적할 수 있다. 그러므로, 노광 시작 시, 전하 축적부를 완전 공핍화하여, 전하를 소거하는 것이 가능해진다. 그 결과, kTC 노이즈가 커지고, 랜덤 노이즈가 악화되고, 활상 화질의 저하를 가져온다는 현상의 발생을 억제할 수 있다. 또한, 이하의 설명에서, 무기산화물 반도체 재료층, 또는, 무기산화물 반도체 재료층 및 광전 변환층을, 총칭하여, 『무기산화물 반도체 재료층 등』이라고 부르는 경우가 있다.
- [0169] 무기산화물 반도체 재료층은, 단층 구성이라도 좋고, 다층 구성이라도 좋다. 또한, 전하 축적용 전극의 상방에 위치하는 무기산화물 반도체 재료층을 구성하는 재료와, 제1 전극의 상방에 위치하는 무기산화물 반도체 재료층을 구성하는 재료를, 다르게 해도 좋다.
- [0170] 무기산화물 반도체 재료층은, 예를 들면, 물리적 기상 성장법(PVD法), 구체적으로는, 스팍터링법에 의거하여 성막할 수 있다. 보다 구체적으로는, 스팍터링 장치로서, 예를 들면, 평행 평판 스팍터링 장치 또는 DC 마그네트론 스팍터링 장치, RF 스팍터링 장치를 이용할 수 있고, 프로세스 가스로서 아르곤(Ar) 가스를 사용하고, 소망하는 소결체(예를 들면, In_aSn_bTi_cZn_dO_e 소결체 또는 In_aSn_bM_fZn_dO_e 소결체)를 타겟으로서 이용한 스팍터링법을 예

시할 수 있다.

[0171] 또한, 무기산화물 반도체 재료층을 스퍼터링법에 의거하여 형성할 때의 산소 가스 도입량(산소 가스 분압)을 제어함에 의해, 무기산화물 반도체 재료층의 에너지 준위를 제어할 수 있다. 구체적으로는, 스퍼터링법에 의거하여 형성할 때의

[0172] 산소 가스 분압=(O_2 가스 압력)/(Ar 가스와 O_2 가스의 압력 합계)

[0173] 를, 0.005 내지 0.10으로 하는 것이 바람직하다. 나아가서는, 본 개시의 활상 소자 등에서는, 무기산화물 반도체 재료층에서의 산소의 함유율이 화학량론 조성의 산소 함유율보다도 적은 형태로 할 수 있다. 여기서, 산소의 함유율에 의거하여 무기산화물 반도체 재료층의 에너지 준위를 제어할 수 있고, 산소의 함유율이 화학량론 조성의 산소 함유율보다도 적어질수록, 즉, 산소 결손이 많아질수록, 에너지 준위를 깊게 하는 것이 가능해진다.

[0174] 본 개시의 활상 소자 등으로서, CCD 소자, CMOS 이미지 센서, CIS(Contact Image Sensor), CMD(Charge Modulation Device)형의 신호 증폭형 이미지 센서를 들 수 있다. 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치, 후술하는 제1 구성~제2 구성의 고체 활상 장치로부터, 예를 들면, 디지털 스틸 카메라나 비디오 카메라, 캠코더, 감시 카메라, 차량 탑재용 카메라, 스마트폰용 카메라, 게임용의 유저 인터페이스 카메라, 생체 인증용 카메라를 구성할 수 있다.

[0175] 실시례 1

[0176] 실시례 1은, 본 개시의 제1 양태~제3 양태에 관한 활상 소자, 본 개시의 적층형 활상 소자 및 본 개시의 제2 양태에 관한 고체 활상 장치에 관한 것이다. 실시례 1의 활상 소자 및 적층형 활상 소자(이하, 단지 「활상 소자」라고 부른다)의 모식적인 일부 단면도를 도 1에 도시하고, 실시례 1의 활상 소자의 등가 회로도를 도 2 및 도 3에 도시하고, 실시례 1의 활상 소자의 광전 변환부를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 4에 도시하고, 실시례 1의 활상 소자의 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도 5에 도시하고, 실시례 1의 활상 소자의 각 부위를 설명하기 위한 등가 회로도를 도 6A에 도시한다. 또한, 실시례 1의 활상 소자의 광전 변환부를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도를 도 7에 도시하고, 제1 전극, 전하 축적용 전극, 제2 전극 및 콘택트 훌부의 모식적인 투시 사시도를 도 8에 도시한다. 나아가서는, 실시례 1의 고체 활상 장치의 개념도를 도 68에 도시한다.

[0177] 또한, 도 2, 도 3, 도 6A, 도 6B, 도 6C, 도 9, 도 16, 도 17, 도 18, 도 25, 도 28, 도 29, 도 30, 도 63, 도 64, 도 65, 도 66 및 도 67에서는, 무기산화물 반도체 재료층(23B)을 구성하는 제1 층(23C) 및 제2 층(23D)의 도시를 생략하고, 이들 제1 층(23C) 및 제2 층(23D)을 통합하여 무기산화물 반도체 재료층(23B)으로 도시한다. 또한, 도 37, 도 43, 도 46A, 도 46B, 도 47A 및 도 47B에서는, 광전 변환층(23A), 및, 무기산화물 반도체 재료층(23B)을 구성하는 제1 층(23C) 및 제2 층(23D)의 도시를 생략하고, 이들 광전 변환층(23A) 및 무기산화물 반도체 재료층(23B)(제1 층(23C) 및 제2 층(23D))을 통합하여 광전 변환 적층체(23)로 도시한다.

[0178] 실시례 1의 활상 소자는,

[0179] 제1 전극(21), 유기계 재료로 이루어지는 광전 변환층(23A) 및 제2 전극(22)이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0180] 제1 전극(21)과 광전 변환층(23A) 사이에는, 제1 전극측부터, 제1 층(23C) 및 제2 층(23D)으로 이루어지는 무기산화물 반도체 재료층(23B)이 형성되어 있다. 여기서, 제1 층(23C)은 제1 전극(21)과 접하고, 제2 층(23D)은 광전 변환층(23A)과 접하고 있다.

[0181] 그리고, 실시례 1의 활상 소자는, 본 개시의 제1 양태에 관한 발광 소자에 따라 설명하면,

[0182] 제1 전극(21)과 무기산화물 반도체 재료층(23B)의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층(23C)의 평균막 밀도를 ρ_1 , 제2 층(23D)의 평균막 밀도를 ρ_2 로 했을 때,

[0183] $\rho_1 \geq 5.9 \text{ g/cm}^3$

[0184] 및,

[0185] $\rho_1 - \rho_2 \geq 0.1 \text{ g/cm}^3$

[0186] 바람직하게는,

- [0187] $\rho_1 \geq 6.1 \text{g/cm}^3$
- [0188] 및,
- [0189] $\rho_1 - \rho_2 \geq 0.2 \text{g/cm}^3$
- [0190] 를 만족한다. 또한, 본 개시의 제2 양태에 관한 발광 소자에 따라 설명하면,
- [0191] 제1 층의 조성과 제2 층의 조성은 같고,
- [0192] $\rho_1 - \rho_2 \geq 0.1 \text{g/cm}^3$
- [0193] 바람직하게는,
- [0194] $\rho_1 - \rho_2 \geq 0.2 \text{g/cm}^3$
- [0195] 를 만족한다. 나아가서는, 본 개시의 제3 양태에 관한 발광 소자에 따라 설명하면,
- [0196] 제1 층(23C)의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층(23D)의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,
- [0197] $E_{OD-1} \geq 2.8 \text{eV}$
- [0198] 및,
- [0199] $E_{OD-1} - E_{OD-2} \geq 0.2 \text{eV}$
- [0200] 바람직하게는,
- [0201] $E_{OD-1} \geq 2.9 \text{eV}$
- [0202] 및,
- [0203] $E_{OD-1} - E_{OD-2} \geq 0.3 \text{eV}$
- [0204] 를 만족한다. 또한,
- [0205] 제1 층의 조성과 제2 층의 조성은 같고,
- [0206] $E_{OD-1} - E_{OD-2} \geq 0.2 \text{eV}$
- [0207] 바람직하게는,
- [0208] $E_{OD-1} - E_{OD-2} \geq 0.3 \text{eV}$
- [0209] 를 만족한다. 실시례 1의 활상 소자에서, 무기산화물 반도체 재료층(23B)을 구성하는 금속 원자의 산소 결손 생성 에너지는 2.8eV 이상이다.
- [0210] 실시례 1의 적층형 활상 소자는, 실시례 1의 활상 소자를 적어도 1개 가진다. 또한, 실시례 1의 고체 활상 장치는, 실시례 1의 적층형 활상 소자를, 복수, 구비하고 있다. 그리고, 실시례 1의 고체 활상 장치로부터, 예를 들면, 디지털 스틸 카메라나 비디오 카메라, 캠코더, 감시 카메라, 차량 탑재용 카메라(차량탑재 카메라), 스마트 폰용 카메라, 게임용의 유저 인터페이스 카메라, 생체 인증용 카메라 등이 구성되어 있다.
- [0211] 여기서, 제1 층(23C)의 조성과 제2 층(23D)의 조성은, 상술한 바와 같이, 같다. 구체적으로는, 제1 층(23C) 및 제2 층(23D)의 조성은 IGZO이다.
- [0212] 나아가서는, 무기산화물 반도체 재료층(23B)의 전도대의 최대 에너지 값에서의 에너지 평균치를 E_1 , 광전 변환층(23A)의 LUMO 값에서의 에너지 평균치를 E_0 로 했을 때,
- [0213] $E_0 \geq E_1$
- [0214] 바람직하게는,

- [0215] $E_0 - E_1 \geq 0.1\text{eV}$
- [0216] 한층 바람직하게는,
- [0217] $E_0 - E_1 > 0.1\text{eV}$
- [0218] 를 만족한다.
- [0219] 광전 변환층(23A)에서 생성한 전하는, 무기산화물 반도체 재료층(23B)을 통하여 제1 전극(21)으로 이동하고, 이 경우, 전하는 전자이다. 또한, 무기산화물 반도체 재료층(23B)의 두께는, $1 \times 10^{-8}\text{m}$ 내지 $1.5 \times 10^{-7}\text{m}$ 이다. 나아가서는, 무기산화물 반도체 재료층(23B)을 구성하는 재료의 캐리어 이동도는 $10\text{cm}^2/\text{V} \cdot \text{s}$ 이상이고, 무기산화물 반도체 재료층(23B)의 캐리어 농도는 $1 \times 10^{16}/\text{cm}^3$ 이하이고, 무기산화물 반도체 재료층(23B)은 비정질이다. 이들 값의 구체례를, 이하의 표 1에 표시한다. 또한, 광전 변환층(23A)은, 두께 $0.1\mu\text{m}$ 의 퀴나크리돈으로 이루어진다. 나아가서는, 무기산화물 반도체 재료층(23B)에서의 제1 층(23C) 및 제2 층(23D)의 두께, 평균막 밀도(ρ_1 , ρ_2), 평균 산소 결손 생성 에너지(E_{OD-1} , E_{OD-2})의 값을 표 1에 표시한다. 또한, 무기산화물 반도체 재료층(23B)의 에너지 준위(E_1) 및 캐리어 농도, 및, 광전 변환층(23A)의 에너지 준위(E_0)에 관해 조사한 결과를, 표 1에 표시한다.
- [0220] <표 1>
- [0221] 제1 층(23C)
- [0222] 두께: 10nm
- [0223] $\rho_1: 6.1\text{g/cm}^3$
- [0224] $E_{OD-1}: 3.0\text{eV}$
- [0225] 제2 층(23D)
- [0226] 두께: 50nm
- [0227] $\rho_2: 5.8\text{g/cm}^3$
- [0228] $E_{OD-2}: 2.7\text{eV}$
- [0229] 무기산화물 반도체 재료층(23B)(IGZO)
- [0230] 캐리어 농도: $1 \times 10^{16}/\text{cm}^3$
- [0231] $E_1 = -4.7\text{eV}$ (IGZO)
- [0232] $E_0 = -4.5\text{eV}$ (퀴나크리돈)
- [0233] 스퍼터링법에 의거하여 무기산화물 반도체 재료층(23B)을 성막할 때의 투입 전력과 평균막 밀도의 관계, 및, 평균막 밀도와 평균 산소 결손 생성 에너지의 관계를 구한 결과를 도 71A 및 도 71B에 도시한다. 도 71A로부터, 무기산화물 반도체 재료층(23B)을 성막할 때의 투입 전력이 증가함에 따라, 평균막 밀도는 선형으로 증가하는 것을 알 수 있고, 도 71B로부터, 평균막 밀도가 증가함에 따라, 평균 산소 결손 생성 에너지는 선형으로 증가하는 것을 알 수 있다.
- [0234] 무기산화물 반도체 재료층에서 박막 트랜지스터(TFT)의 채널 형성 영역을 형성하고, TFT 특성을 평가한 결과를 도 72A, 도 72B, 도 72C 및 도 72D에 도시한다. 즉, 채널 형성 영역을 두께 60nm 의 IGZO로 구성한 TFT에서의 V_{gs} 와 I_d 의 관계를 구한 그래프를 도 72A, 도 72B, 도 72C 및 도 72D에 도시한다. 여기서, 도 72A, 도 72B, 도 72C 및 도 72D에서의 무기산화물 반도체 재료층의 구성은, 이하의 표 2와 같다. 평균막 밀도 6.1g/cm^3 의 IZGO층을 형성할 때의 투입 전력을 300와트, 평균막 밀도 5.8g/cm^3 의 IZGO층을 형성할 때의 투입 전력을 160와트로 하였다. 투입 전력이 높은 경우, 무기산화물 반도체 재료층을 구성하는 재료의 배향이 정돈되고, 무기산화물 반도체 재료층은 치밀해진다. 한편, 투입 전력이 낮은 경우, 무기산화물 반도체 재료층을 구성하는 재료의 배향이

정돈되기 어렵고, 무기산화물 반도체 재료층은 거칠어진다고 생각된다.

[0235] 또한, 평가용 시료는, n-Si 기판을 게이트 전극으로 하고, 기판상에 SiO₂로 이루어지는 두께 150nm의 절연막을 게이트 절연막으로서 형성하고, 절연막상에, 절연막층부터 제1 층 및 제2 층의 적층 구조로 이루어지는 무기산화물 반도체 재료층을 형성하고, 무기산화물 반도체 재료층상에(구체적으로는, 제2 층상에) 소스 전극 및 드레인 전극을 형성한, 백 게이트형의 TFT로 하였다. 평가용 시료 제작 후, 무기산화물 반도체 재료층에 대해 350°C, 2시간의 어닐 처리를 시행하였다.

[0236] <표 2>

무기산화물 반도체 재료층

[0238] 실시례 1A 도 72A

제1 층=10nm($\rho_i=6.1g/cm^3$)

(E_{OD-1}=3.0eV)

[0240] 제2 층=50nm($\rho_i=5.8g/cm^3$)

(E_{OD-2}=2.7eV)

[0242] 비교례 1A 도 72B 단층=60nm($\rho=5.8g/cm^3$)

[0243] 비교례 1B 도 72C 단층=60nm($\rho=6.1g/cm^3$)

[0244] 비교례 1C 도 72D 제1 층=10nm($\rho_i=5.8g/cm^3$)

(E_{OD-1}=2.7eV)

[0246] 제2 층=50nm($\rho_i=6.1g/cm^3$)

(E_{OD-2}=3.0eV)

[0248] 실시례 1A, 비교례 1A, 비교례 1B 및 비교례 1C의 캐리어 이동도(단위: /V·s), V_{on}값(단위: 볼트), 서브 임계치(단위: 볼트/암페어)을 구한 결과를, 이하의 표 3에 표시한다. 또한, 서브 임계치(SS값)은, [d(V_{gs})/{d(log₁₀(I_d)}]]로 구해지고, 작은 값일수록, 스위칭 특성이 우수하다고 말할 수 있다.

[0249] <표 3>

	캐리어 이동도	V _{on}	SS값
[0251] 실시례 1A	12	-2	0.15
[0252] 비교례 1A	10	0	0.15 내지 0.20
[0253] 비교례 1B	11	-4	0.35
[0254] 비교례 1C	12	-3.5	0.30
[0255]	표 3의 결과로부터, 캐리어 이동도, V _{on} 및 SS값의 전체의 특성은, 실시례 1A가 가장 우수하다. 비교례 1A는, 실시례 1A와 비교하여, 캐리어 이동도가 낮다. 비교례 1B는, 실시례 1A와 비교하여, 캐리어 이동도, V _{on} 값 및 SS값의 전부가 뒤떨어지고 있다. 비교례 1C는, 실시례 1A와 비교하여, V _{on} 값 및 SS값이 뒤떨어지고 있다. 또한, 실시례 1A에서, 제1 층의 두께를, 각각, 5nm 및 3nm로 했을 때, SS값으로서, 0.12 및 0.08을 얻을 수 있다.		
[0256]	이상의 결과로부터, 높은 평균막 밀도를 갖는 제1 층 및 낮은 평균막 밀도를 갖는 제2 층을 형성함으로써, 캐리어 이동도, V _{on} 및 SS값의 특성 벨런스에 우수한 활상 소자를 얻을 수 있다. 비교례 1B 및 비교례 1C로부터 높은 평균막 밀도를 갖는 층이 너무 두꺼우면, 특성이 열화되는데, 이것은, 스팍터링법에 의거하여 무기산화물 반도체 재료층을 형성할 때, 투입 전력이 너무 높으면 하지(下地)에 손상이 발생하는 결과라고 생각된다.		
[0257]	이와 같이, 제1 층을 스팍터링법에 의거하여 성막한 후, 제1 층을 성막했을 때의 투입 전력보다도 작은 투입 전력으로의 스팍터링법에 의거하여 제2 층을 성막하는 공정을 포함하는 활상 소자의 제조 방법에 의거하여, 무기		

산화물 반도체 재료층(23B)의 제1 층(23C) 및 제2 층(23D)을 형성하는 것이 최선인 것을 알 수 있었다. 즉, 예를 들면, 1개의 스퍼터링 장치를 사용하고, 같은 타겟을 이용하여 제1 층과 제2 층을 스퍼터링법에 의거하여 성막하고, 제1 층을 성막할 때의 투입 전력보다도 제2 층을 성막할 때의 투입 전력을 작게 하면 좋다. 스퍼터링법에서의 투입 전력 이외의 조건에 관해서는, 제1 층의 성막 및 제2 층의 성막에서, 최적화를 도모하면 좋다.

[0258] 광전 변환부는, 또한, 절연층(82), 및, 제1 전극(21)과 이간하여 배치되고, 또한, 절연층(82)을 통하여 무기산화물 반도체 재료층(23B)과 대향하여 배치된 전하 축적용 전극(24)을 구비하고 있다. 구체적으로는, 무기산화물 반도체 재료층(23B)은, 제1 전극(21)과 접하는 영역, 절연층(82)과 접하고 있고, 하방에는 전하 축적용 전극(24)이 존재하지 않는 영역, 및, 절연층(82)과 접하고 있고, 하방에 전하 축적용 전극(24)이 존재하는 영역을 가진다. 그리고, 제2 전극(22)으로부터 광이 입사한다. 광전 변환층(23A)과 무기산화물 반도체 재료층(23B)의 계면에서의 무기산화물 반도체 재료층(23B)의 표면의 표면 거칠기(Ra)는 1.5nm 이하, 구체적으로는, 0.65nm이고, 무기산화물 반도체 재료층(23C)의 표면의 제곱 평균 제곱근 거칠기(Rq)의 값은 2.5nm 이하, 구체적으로는, 1.3nm이다. 전하 축적용 전극(24)의 표면의 표면 거칠기(Ra)는 1.5nm 이하, 구체적으로는, 0.45nm이고, 전하 축적용 전극(24)의 표면의 제곱 평균 제곱근 거칠기(Rq)의 값은 2.5nm 이하, 구체적으로는, 1.5nm이다. 또한, 무기산화물 반도체 재료층(23B)의 X선 회절 결과로부터, 무기산화물 반도체 재료층(23B)은 비정질인(예를 들면, 국소적으로 결정 구조를 갖지 않는 비정질이다) 것을 알 수 있었다.

[0259] 실시례 1B로서, 무기산화물 반도체 재료층(23B)을, IGZO 대신에 $In_aSn_bTi_cZn_dO_e$ (단, a=0.40, b=0.30, c=0.10, d=0.20, e=1.00)로 한 평가용 시료(TFT)를 제작하였다. 또한, 평가용 시료(TFT)는, 실시례 1A와 같은 구조를 가진다. 무기산화물 반도체 재료층(23B)에서의 제1 층(23C) 및 제2 층(23D)의 두께, 평균막 밀도(ρ_1 , ρ_2), 평균 산소 결손 생성 에너지(E_{OD-1} , E_{OD-2})의 값을 표 4에 표시한다. 또한, 무기산화물 반도체 재료층(23B)의 에너지 준위(E_1) 및 캐리어 농도, 및, 광전 변환층(23A)의 에너지 준위(E_0)에 관해 조사한 결과를, 표 4에 표시한다. 나아가서는, 비교례 1D로서, 무기산화물 반도체 재료층을 실시례 1B와 같은 재료로 구성한 평가용 시료(TFT)를 제작하였다. 단, 무기산화물 반도체 재료층 평균막 밀도를 5.8g/cm³로 하였다.

[0260] <표 4>

[0261] 제1 층(23C)

[0262] 두께: 10nm

[0263] ρ_1 : 6.1g/cm³

[0264] E_{OD-1} : 3.0eV

[0265] 제2 층(23D)

[0266] 두께: 50nm

[0267] ρ_2 : 5.8g/cm³

[0268] E_{OD-2} : 2.7eV

[0269] 무기산화물 반도체 재료층(23B)($In_aSn_bTi_cZn_dO_e$)

[0270] 캐리어 농도: $1 \times 10^{16}/cm^3$

[0271] $E_1 = -4.7eV$ ($In_aSn_bTi_cZn_dO_e$)

[0272] $E_0 = -4.5eV$ (퀴나크리돈)

[0273] 실시례 1B 및 비교례 1D의 TFT 특성을 평가한 결과를 도 73에 도시한다. 또한, 도 73 중, 「A」는 실시례 1B의 평가 결과를 나타내고, 「B」는 비교례 1D의 평가 결과를 나타낸다. 또한, 실시례 1B 및 비교례 1D의 캐리어 이동도(단위: V·s), 서브 임계치(단위: 볼트/암페어)를 구한 결과를, 이하의 표 5에 표시하는데, 실시례 1B의 캐리어 이동도 및 SS값은, 비교례 1D보다도 우수한 것을 알 수 있다.

[0274] <표 5>

- [0275] 캐리어 이동도 SS값
- [0276] 실시례 1B 12 0.10
- [0277] 비교례 1D 10 0.40
- [0278] 실시례 1의 활상 소자에서는, 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료층이 형성되어 있고, 제1 층의 두께, 제1 층의 평균막 밀도(p_1)와 제2 층의 평균막 밀도(p_2)의 관계, 제1 층의 평균 산소 결손 생성 에너지(E_{OD-1}), 제2 층의 평균 산소 결손 생성 에너지(E_{OD-2})의 관계가 규정되어 있기 때문에, 캐리어 이동도, V_{on} 및 SS값의 특성 밸런스에 우수한 활상 소자를 얻을 수 있다. 그러므로, 간소한 구성, 구조임에도 불구하고, 광전 변환층에 축적된 전하의 전송 특성에 우수한 활상 소자, 적층형 활상 소자 및 고체 활상 장치를 제공할 수 있다. 게다가, 광전 변환층의 LUMO 값(E_0)보다도 무기산화물 반도체 재료층의 전도대의 에너지 준위(E_1)가 깊게 형성되어 있는 결과, 인접하는 광전 변환층 사이의 에너지 장벽이 저감되고, 광전 변환층으로부터 무기산화물 반도체 재료층에의 확실한 전하 이동을 달성할 수 있고, 정공의 빠짐도 억제된다. 또한, 광전 변환부가 무기산화물 반도체 재료층과 광전 변환층의 2층 구조로 되어 있기 때문에, 전하 축적 시의 재결합을 방지할 수 있고, 광전 변환층에 축적한 전하의 제1 전극에의 전하 전송 효율을 한층 증가시킬 수 있다. 나아가서는, 광전 변환층에서 생성된 전하를 일시적으로 유지하고, 전송의 타이밍 등을 제어할 수 있고, 암 전류의 생성을 억제할 수 있다.
- [0279] 이하, 본 개시의 활상 소자, 본 개시의 적층형 활상 소자 및 본 개시의 제2 양태에 관한 고체 활상 장치의 전반적인 설명을 행하고, 이어서, 실시례 1의 활상 소자, 고체 활상 장치의 상세한 설명을 행한다. 이하의 설명에서 각종 전극에 인가되는 전위를 나타내는 부호를, 이하의 표 6에 표시한다.
- [0280] <표 6>
- | | 전하 축적 기간 | 전하 전송 기간 |
|--------------------|----------|----------|
| [0281] 제1 전극 | V_{11} | V_{12} |
| [0282] 제2 전극 | V_{21} | V_{22} |
| [0283] 전하 축적용 전극 | V_{31} | V_{32} |
| [0284] 전하 이동 제어 전극 | V_{41} | V_{42} |
| [0285] 전송 제어용 전극 | V_{51} | V_{52} |
| [0286] 전하 배출 전극 | V_{61} | V_{62} |
- [0287] 이상에 설명한 바람직한 형태를 포함하는 본 개시의 활상 소자 등으로서, 전하 축적용 전극을 구비한 활상 소자를, 편의상, 이하, 『본 개시의 전하 축적용 전극을 구비한 활상 소자 등』이라고 부르는 경우가 있다.
- [0288] 본 개시의 활상 소자 등에서는, 무기산화물 반도체 재료층의, 파장 400nm 내지 660nm의 광에 대한 광투과율은 65% 이상인 것이 바람직하다. 또한, 전하 축적용 전극의, 파장 400nm 내지 660nm의 광에 대한 광투과율도 65% 이상인 것이 바람직하다. 전하 축적용 전극의 시트 저항치는 $3 \times 10\Omega/\square$ 내지 $1 \times 10^3\Omega/\square$ 인 것이 바람직하다.
- [0289] 본 개시의 활상 소자 등에서는, 반도체 기판을 또한 구비하고 있고, 광전 변환부는, 반도체 기판의 상방에 배치되어 있는 형태로 할 수 있다. 또한, 제1 전극, 전하 축적용 전극, 제2 전극 및 각종 전극은, 후술하는 구동 회로에 접속되어 있다.
- [0290] 광 입사측에 위치하는 제2 전극은, 복수의 활상 소자에서 공통화되어 있어도 좋다. 즉, 후술하는 본 개시의 상부 전하 이동 제어 전극을 구비한 활상 소자 등을 제외하고, 제2 전극을 이른바 베타 전극으로 할 수 있다. 광전 변환층은, 복수의 활상 소자에서 공통화되어 있어도 좋고, 즉, 복수의 활상 소자에서 1층의 광전 변환층이 형성되어 있어도 좋고, 활상 소자마다 마련되어 있어도 좋다. 무기산화물 반도체 재료층은, 활상 소자마다 마련되어 있는 것이 바람직하지만, 경우에 따라서는, 복수의 활상 소자에서 공통화되어 있어도 좋다. 즉, 예를 들면, 후술하는 전하 이동 제어 전극을 활상 소자와 활상 소자 사이에 마련함으로써, 복수의 활상 소자에서 1층의 무기산화물 반도체 재료층이 형성되어 있어도 좋다. 복수의 활상 소자에서 공통화된 1층의 무기산화물 반도체 재료층은, 활상 소자마다 마련되어 있어도 좋다.
- [0291] 광 입사측에 위치하는 제2 전극은, 복수의 활상 소자에서 공통화되어 있어도 좋다. 즉, 후술하는 본 개시의 상부 전하 이동 제어 전극을 구비한 활상 소자 등을 제외하고, 제2 전극을 이른바 베타 전극으로 할 수 있다. 광전 변환층은, 복수의 활상 소자에서 공통화되어 있어도 좋고, 즉, 복수의 활상 소자에서 1층의 광전 변환층이 형성되어 있어도 좋고, 활상 소자마다 마련되어 있어도 좋다. 무기산화물 반도체 재료층은, 활상 소자마다 마련되어 있는 것이 바람직하지만, 경우에 따라서는, 복수의 활상 소자에서 공통화되어 있어도 좋다. 즉, 예를 들면, 후술하는 전하 이동 제어 전극을 활상 소자와 활상 소자 사이에 마련함으로써, 복수의 활상 소자에서 1층의 무기산화물 반도체 재료층이 형성되어 있어도 좋다. 복수의 활상 소자에서 공통화된 1층의 무기산화물 반도체 재료층은, 활상 소자마다 마련되어 있어도 좋다.

체 재료층이 형성되어 있는 경우, 무기산화물 반도체 재료층의 단부는, 적어도 광전 변환층으로 덮여 있는 것이, 무기산화물 반도체 재료층의 단부의 보호라는 관점에서 바람직하다.

[0292] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 제1 전극은, 절연층에 마련된 개구부 내를 연재하고, 무기산화물 반도체 재료층과 접속되어 있는 형태로 할 수 있다. 또한, 무기산화물 반도체 재료층은, 절연층에 마련된 개구부 내를 연재하고, 무기산화물 반도체 재료층은 제1 전극과 접속되어 있는 형태로 할 수 있고, 이 경우,

[0293] 제1 전극의 정상면(頂面)의 연부는 절연층으로 덮여 있고,

[0294] 개구부의 저면에는 제1 전극이 노출하고 있고,

[0295] 제1 전극의 정상면과 접하는 절연층의 면을 제1면, 전하 축적용 전극과 대향하는 무기산화물 반도체 재료층의 부분과 접하는 절연층의 면을 제2면으로 했을 때, 개구부의 측면은, 제1면으로부터 제2면을 향하여 넓어지는 경사를 갖는 형태로 할 수 있고, 나아가서는, 제1면으로부터 제2면을 향하여 넓어지는 경사를 갖는 개구부의 측면은, 전하 축적용 전극측에 위치하는 형태로 할 수 있다.

[0296] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서,

[0297] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,

[0298] 제1 전극 및 전하 축적용 전극은, 구동 회로에 접속되어 있고,

[0299] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 무기산화물 반도체 재료층 등에 전하가 축적되고,

[0300] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 무기산화물 반도체 재료층 등에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 구성으로 할 수 있다. 단, 제1 전극의 전위는 제2 전극의 전위보다도 높고,

[0301] $V_{31} \geq V_{11}$, 또한, $V_{32} < V_{12}$

[0302] 이다.

[0303] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서는, 인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역에 절연층을 통하여 대향하는 영역에는, 전하 이동 제어 전극이 형성되어 있는 형태로 할 수 있다. 또한, 이와 같은 형태를, 편의상, 『본 개시의 하부 전하 이동 제어 전극을 구비한 활상 소자 등』이라고 부르는 경우가 있다. 또한, 인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역 위에는, 제2 전극이 형성되는 대신에, 전하 이동 제어 전극이 형성되어 있는 형태로 할 수 있다. 또한, 이와 같은 형태를, 편의상, 『본 개시의 상부 전하 이동 제어 전극을 구비한 활상 소자 등』이라고 부르는 경우가 있다.

[0304] 이하의 설명에서, 「인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역」을, 편의상, 『광전 변환층의 영역(-A)』이라고 부르고, 「인접하는 활상 소자 사이에 위치하는 절연층의 영역」을, 편의상, 『절연층의 영역(-A)』이라고 부른다. 광전 변환층의 영역(-A)은 절연층의 영역(-A)과 대응하고 있다. 나아가서는, 「인접하는 활상 소자 사이의 영역」을, 편의상, 『영역(-a)』이라고 부른다.

[0305] 본 개시의 하부 전하 이동 제어 전극(하방·전하 이동 제어 전극)이고, 광전 변환층을 기준으로 하여 광 입사측과는 반대측에 위치하는 전하 이동 제어 전극)을 구비한 활상 소자 등에서는, 광전 변환층의 영역(-A)에 절연층을 통하여 대향하는 영역에는 하부 전하 이동 제어 전극이 형성되어 있다. 환언하면, 인접하는 활상 소자의 각각을 구성하는 전하 축적용 전극과 전하 축적용 전극에 의해 끼인 영역(영역(-a))에서의 절연층의 부분(절연층의 영역(-A)) 아래에, 하부 전하 이동 제어 전극이 형성되어 있다. 하부 전하 이동 제어 전극은, 전하 축적용 전극과 이간하여 마련되어 있다. 또한, 환언하면, 하부 전하 이동 제어 전극은, 전하 축적용 전극을 둘러싸서, 전하 축적용 전극과 이간하여 마련되어 있고, 하부 전하 이동 제어 전극은 절연층을 통하여, 광전 변환층의 영역(-A)과 대향하여 배치되어 있다.

[0306] 그리고, 본 개시의 하부 전하 이동 제어 전극을 구비한 활상 소자 등은, 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,

[0307] 제1 전극, 제2 전극, 전하 축적용 전극 및 하부 전하 이동 제어 전극은, 구동 회로에 접속되어 있고,

- [0308] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 하부 전하 이동 제어 전극에 전위(V_{41})가 인가되고, 무기산화물 반도체 재료층 등에 전하가 축적되고,
- [0309] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 하부 전하 이동 제어 전극에 전위(V_{42})가 인가되고, 무기산화물 반도체 재료층 등에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 형태로 할 수 있다. 단,
- [0310] $V_{31} \geq V_{11}$, $V_{31} > V_{41}$, 또한, $V_{12} > V_{32} > V_{42}$
- [0311] 이다. 하부 전하 이동 제어 전극은, 제1 전극 또는 전하 축적용 전극과 같은 레벨에 형성되어 있어도 좋고, 다른 레벨에 형성되어 있어도 좋다.
- [0312] 본 개시의 상부 전하 이동 제어 전극(상방·전하 이동 제어 전극)은, 광전 변환층을 기준으로 하여 광 입사측에 위치하는 전하 이동 제어 전극)을 구비한 활상 소자 등에서는, 인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역 위에는, 제2 전극이 형성되는 대신에, 상부 전하 이동 제어 전극이 형성되어 있는데, 상부 전하 이동 제어 전극은, 제2 전극과 이간하여 마련되어 있다. 환연하면,
- [0313] [A] 제2 전극은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극은, 제2 전극의 적어도 일부를 둘러싸서, 제2 전극과 이간하여, 광전 변환층의 영역(-A) 위에 마련되어 있는 형태로 할 수 있고, 또한,
- [0314] [B] 제2 전극은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극은, 제2 전극의 적어도 일부를 둘러싸서, 제2 전극과 이간하여 마련되어 있고, 상부 전하 이동 제어 전극의 하방에는, 전하 축적용 전극의 일부가 존재하는 형태를 들 수도 있고, 또한,
- [0315] [C] 제2 전극은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극은, 제2 전극의 적어도 일부를 둘러싸서, 제2 전극과 이간하여 마련되어 있고, 상부 전하 이동 제어 전극의 하방에는, 전하 축적용 전극의 일부가 존재하고, 게다가, 상부 전하 이동 제어 전극의 하방에는, 하부 전하 이동 제어 전극이 형성되어 있는 형태를 들 수도 있다. 상부 전하 이동 제어 전극과 제2 전극 사이의 영역 아래에 위치하는 광전 변환층의 영역에는, 상부 전하 이동 제어 전극과 제2 전극의 커플링에 의해 생성한 전위가 가해지는 경우가 있다.
- [0316] 또한, 본 개시의 상부 전하 이동 제어 전극을 구비한 활상 소자 등은, 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0317] 제1 전극, 제2 전극, 전하 축적용 전극 및 상부 전하 이동 제어 전극은, 구동 회로에 접속되어 있고,
- [0318] 전하 축적 기간에서, 구동 회로로부터, 제2 전극에 전위(V_{21})가 인가되고, 상부 전하 이동 제어 전극에 전위(V_{41})가 인가되고, 무기산화물 반도체 재료층 등에 전하가 축적되고,
- [0319] 전하 전송 기간에서, 구동 회로로부터, 제2 전극에 전위(V_{22})가 인가되고, 상부 전하 이동 제어 전극에 전위(V_{42})가 인가되고, 무기산화물 반도체 재료층 등에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 형태로 할 수 있다. 단,
- [0320] $V_{21} \geq V_{41}$, 또한, $V_{22} \geq V_{42}$
- [0321] 이다. 상부 전하 이동 제어 전극은, 제2 전극과 같은 레벨에 형성되어 있다.
- [0322] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서는, 제1 전극과 전하 축적용 전극 사이에, 제1 전극 및 전하 축적용 전극과 이간하여 배치되고, 또한, 절연층을 통하여 무기산화물 반도체 재료층과 대향하여 배치된 전송 제어용 전극(전하 전송 전극)을 또한 구비하고 있는 형태로 할 수 있다. 이와 같은 형태의 본 개시의 활상 소자 등을, 편의상, 『본 개시의 전송 제어용 전극을 구비한 활상 소자 등』이라고 부른다.
- [0323] 그리고, 본 개시의 전송 제어용 전극을 구비한 활상 소자 등에서는,
- [0324] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0325] 제1 전극, 전하 축적용 전극 및 전송 제어용 전극은, 구동 회로에 접속되어 있고,

- [0326] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 전송 제어용 전극에 전위(V_{51})가 인가되고, 무기산화물 반도체 재료층 등에 전하가 축적되고,
- [0327] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 전송 제어용 전극에 전위(V_{52})가 인가되고, 무기산화물 반도체 재료층 등에 축적된 전하가 제1 전극을 통하여 제어부에 판독되는 구성으로 할 수 있다. 단, 제1 전극의 전위는 제2 전극의 전위보다도 높고,
- [0328] $V_{31} > V_{51}$, 또한, $V_{32} \leq V_{52} \leq V_{12}$
- [0329] 이다.
- [0330] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서는, 무기산화물 반도체 재료층에 접속되고, 제1 전극 및 전하 축적용 전극과 이간하여 배치된 전하 배출 전극을 또한 구비하고 있는 형태로 할 수 있다. 이와 같은 형태의 본 개시의 활상 소자 등을, 편의상, 『본 개시의 전하 배출 전극을 구비한 활상 소자 등』이라고 부른다. 그리고, 본 개시의 전하 배출 전극을 구비한 활상 소자 등에서, 전하 배출 전극은, 제1 전극 및 전하 축적용 전극을 둘러싸도록(즉, 액자형상으로) 배치되어 있는 형태로 할 수 있다. 전하 배출 전극은, 복수의 활상 소자에서 공유화(공통화)할 수 있다. 그리고, 이 경우,
- [0331] 무기산화물 반도체 재료층은, 절연층에 마련된 제2 개구부 내를 연재하고, 전하 배출 전극과 접속되어 있고,
- [0332] 전하 배출 전극의 정상면의 연부는 절연층으로 덮여 있고,
- [0333] 제2 개구부의 저면에는 전하 배출 전극이 노출하고 있고,
- [0334] 전하 배출 전극의 정상면과 접하는 절연층의 면을 제3면, 전하 축적용 전극과 대향하는 무기산화물 반도체 재료층의 부분과 접하는 절연층의 면을 제2면으로 했을 때, 제2 개구부의 측면은, 제3면으로부터 제2면을 향하여 넓어지는 경사를 갖는 형태로 할 수 있다.
- [0335] 나아가서는, 본 개시의 전하 배출 전극을 구비한 활상 소자 등에서는,
- [0336] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0337] 제1 전극, 전하 축적용 전극 및 전하 배출 전극은, 구동 회로에 접속되어 있고,
- [0338] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 전하 배출 전극에 전위(V_{61})가 인가되고, 무기산화물 반도체 재료층 등에 전하가 축적되고,
- [0339] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 전하 배출 전극에 전위(V_{62})가 인가되고, 무기산화물 반도체 재료층 등에 축적된 전하가 제1 전극을 통하여 제어부에 판독되는 구성으로 할 수 있다. 단, 제1 전극의 전위는 제2 전극의 전위보다도 높고,
- [0340] $V_{61} > V_{11}$, 또한, $V_{62} < V_{12}$
- [0341] 이다.
- [0342] 나아가서는, 본 개시의 활상 소자 등에서의 이상에 설명한 각종의 바람직한 형태에서, 전하 축적용 전극은, 복수의 전하 축적용 전극 세그먼트로 구성되어 있는 형태로 할 수 있다. 이와 같은 형태의 본 개시의 활상 소자 등을, 편의상, 『본 개시의 복수의 전하 축적용 전극 세그먼트를 구비한 활상 소자 등』이라고 부른다. 전하 축적용 전극 세그먼트의 수는, 2 이상이면 좋다. 그리고, 본 개시의 복수의 전하 축적용 전극 세그먼트를 구비한 활상 소자 등에서는, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가하는 경우,
- [0343] 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트(제1번째의 광전 변환부 세그먼트)에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트(제N번째의 광전 변환부 세그먼트)에 인가되는 전위보다도 높고,
- [0344] 제1 전극의 전위가 제2 전극의 전위보다도 낮은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트(제1번째의 광전 변환부 세그먼트)에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트(제N번째의 광전 변환부 세그먼트)에 인가되는 전위보다도 낮은 형태로

할 수 있다.

[0345] 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서,

[0346] 반도체 기판에는, 제어부를 구성하는 적어도 부유 확산층 및 증폭 트랜지스터가 마련되어 있고,

[0347] 제1 전극은, 부유 확산층 및 증폭 트랜지스터의 게이트부에 접속되어 있는 구성으로 할 수 있다. 그리고, 이 경우, 나아가서는,

[0348] 반도체 기판에는, 또한, 제어부를 구성하는 리셋 · 트랜지스터 및 선택 트랜지스터가 마련되어 있고,

[0349] 부유 확산층은, 리셋 · 트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고,

[0350] 증폭 트랜지스터의 일방의 소스/드레인 영역은, 선택 트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고, 선택 트랜지스터의 타방의 소스/드레인 영역은 신호선에 접속되어 있는 구성으로 할 수 있다.

[0351] 나아가서는, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 전하 축적용 전극의 크기는 제1 전극보다도 큰 형태로 할 수 있다. 전하 축적용 전극의 면적을 s_1' , 제1 전극의 면적을 s_1 로 했을 때, 한정하는 것이 아니지만,

$$4 \leq s_1' / s_1$$

[0353] 를 만족하는 것이 바람직하다.

[0354] 또한, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등의 변형례로서, 이하에 설명하는 제1 구성~제6 구성의 활상 소자를 들 수 있다. 즉, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서의 제1 구성~제6 구성의 활상 소자에서,

[0355] 광전 변환부는, N개(단, $N \geq 2$)의 광전 변환부 세그먼트로 구성되어 있고,

[0356] 무기산화물 반도체 재료층 및 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0357] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0358] 제1 구성~제3 구성의 활상 소자에서는, 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0359] 제4 구성~제5 구성의 활상 소자에서는, 전하 축적용 전극은, 서로 이간되어 배치된, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0360] 제n번째(단, $n=1, 2, 3 \dots N$)의 광전 변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전 변환층 세그먼트로 구성되어 있고,

[0361] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치한다. 여기서, 『광전 변환층 세그먼트』란, 광전 변환층과 무기산화물 반도체 재료층이 적층되어 이루어지는 세그먼트를 가리킨다.

[0362] 그리고, 제1 구성의 활상 소자에서는, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 절연층 세그먼트의 두께가, 점차, 변화하고 있다. 또한, 제2 구성의 활상 소자에서는, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 광전 변환층 세그먼트의 두께가, 점차, 변화하고 있다. 또한, 광전 변환층 세그먼트에서, 광전 변환층 부분의 두께를 변화시키고, 무기산화물 반도체 재료층 부분의 두께를 일정하게 하고, 광전 변환층 세그먼트의 두께를 변화시켜도 좋고, 광전 변환층 부분의 두께를 일정하게 하고, 무기산화물 반도체 재료층 부분의 두께를 변화시켜서, 광전 변환층 세그먼트의 두께를 변화시켜도 좋고, 광전 변환층 부분의 두께를 변화시키고, 무기산화물 반도체 재료층 부분의 두께를 변화시켜서, 광전 변환층 세그먼트의 두께를 변화시켜도 좋다. 나아가서는, 제3 구성의 활상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 다르다. 또한, 제4 구성의 활상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 다르다. 나아가서는, 제5 구성의 활상 소자에서는, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 전하 축적용 전극 세그먼트의 면적이, 점차, 작게 되어 있다. 면적은, 연속적으로 작게 되어 있어도 좋고, 계단형상으로 작게 되어 있어도 좋다.

[0363] 또한, 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서의 제6 구성의 활상 소자에

서, 전하 축적용 전극과 절연층과 무기산화물 반도체 재료층과 광전 변환층의 적층 방향을 Z방향, 제1 전극으로부터 떨어지는 방향을 X방향으로 했을 때, YZ 가상 평면으로 전하 축적용 전극과 절연층과 무기산화물 반도체 재료층과 광전 변환층이 적층된 적층 부분을 절단했을 때의 적층 부분의 단면적은, 제1 전극으로부터의 거리에 의존하여 변화한다. 단면적의 변화는, 연속적인 변화라도 좋고, 계단형상의 변화라도 좋다.

[0364] 제1 구성~제2 구성의 활상 소자에서, N개의 광전 변환층 세그먼트는 연속하여 마련되어 있고, N개의 절연층 세그먼트도 연속하여 마련되어 있고, N개의 전하 축적용 전극 세그먼트도 연속하여 마련되어 있다. 제3 구성~제5 구성의 활상 소자에서, N개의 광전 변환층 세그먼트는 연속하여 마련되어 있다. 또한, 제4 구성, 제5 구성의 활상 소자에서, N개의 절연층 세그먼트는 연속하여 마련되어 있는 한편, 제3 구성의 활상 소자에서, N개의 절연층 세그먼트는, 광전 변환부 세그먼트의 각각에 대응하여 마련되어 있다. 나아가서는, 제4 구성~제5 구성의 활상 소자에서, 경우에 따라서는, 제3 구성의 활상 소자에서, N개의 전하 축적용 전극 세그먼트는, 광전 변환부 세그먼트의 각각에 대응하여 마련되어 있다. 그리고 제1 구성~제6 구성의 활상 소자에서는, 전하 축적용 전극 세그먼트의 전부에 같은 전위가 가해진다. 또한, 제4 구성~제5 구성의 활상 소자에서, 경우에 따라서는, 제3 구성의 활상 소자에서, N개의 전하 축적용 전극 세그먼트의 각각에, 다른 전위를 가해도 좋다.

[0365] 제1 구성~제6 구성의 활상 소자로 이루어지는 본 개시의 활상 소자 등에서는, 절연층 세그먼트의 두께가 규정되고, 또한, 광전 변환층 세그먼트의 두께가 규정되고, 또한, 절연층 세그먼트를 구성하는 재료가 다르고, 또한, 전하 축적용 전극 세그먼트를 구성하는 재료가 다르고, 또한, 전하 축적용 전극 세그먼트의 면적이 규정되고, 또한, 적층 부분의 단면적이 규정되어 있기 때문에, 일종의 전하 전송 구배가 형성되어, 광전 변환에 의해 생성한 전하를, 한층 용이하게, 또한, 확실하게, 제1 전극에 전송하는 것이 가능해진다. 그리고, 그 결과, 전상의 발생이나 전하 전송 납김의 발생을 방지할 수 있다.

[0366] 제1 구성~제5 구성의 활상 소자에서는, n의 값이 큰 광전 변환부 세그먼트일수록 제1 전극으로부터 떨어져서 위치하지만큼, 제1 전극으로부터 떨어져서 위치하는지의 여부는, X방향을 기준으로 하여 판단한다. 또한, 제6 구성의 활상 소자에서는, 제1 전극으로부터 떨어지는 방향을 X방향으로 하고 있는데, 『X방향』을 이하와 같이, 정의한다. 즉, 활상 소자 또는 적층형 활상 소자가 복수 배열된 화소 영역은, 2차원 어레이형상으로, 즉, X방향 및 Y방향으로 규칙적으로 복수 배열된 화소로 구성된다. 화소의 평면 형상을 사각형으로 한 경우, 제1 전극에 가장 가까운 변이 들어나는 방향을 Y방향으로 하고, Y방향과 직교하는 방향을 X방향으로 한다. 또한, 화소의 평면 형상을 임의의 형상으로 한 경우, 제1 전극에 가장 가까운 선분이나 곡선이 포함되는 전체적인 방향을 Y방향으로 하고, Y방향과 직교하는 방향을 X방향으로 한다.

[0367] 이하, 제1 구성~제6 구성의 활상 소자에 관하여, 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우에 관한 설명을 행한다.

[0368] 제1 구성의 활상 소자에서는, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 절연층 세그먼트의 두께가, 점차, 변화하고 있는데, 절연층 세그먼트의 두께는, 점차, 두껍게 되어 있는 것이 바람직하고, 이에 의해, 일종의 전하 전송 구배가 형성된다. 그리고, 전하 축적 기간에서, $V_{31} \geq V_{11}$ 라는 상태가 되면, 제n번째의 광전 변환부 세그먼트 쪽이, 제(n+1)번째의 광전 변환부 세그먼트보다도, 많은 전하를 축적할 수 있고, 강한 전계가 가해져, 제1번째의 광전 변환부 세그먼트로부터 제1 전극에의 전하의 흐름을 확실하게 방지할 수 있다. 또한, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1번째의 광전 변환부 세그먼트로부터 제1 전극에의 전하의 흐름, 제(n+1)번째의 광전 변환부 세그먼트로부터 제n번째의 광전 변환부 세그먼트에의 전하의 흐름을, 확실하게 확보할 수 있다.

[0369] 제2 구성의 활상 소자에서는, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 광전 변환층 세그먼트의 두께가, 점차, 변화하고 있는데, 광전 변환층 세그먼트의 두께는, 점차, 두껍게 되어 있는 것이 바람직하고, 이에 의해, 일종의 전하 전송 구배가 형성된다. 그리고, 전하 축적 기간에서 $V_{31} \geq V_{11}$ 라는 상태가 되면, 제n번째의 광전 변환부 세그먼트 쪽이, 제(n+1)번째의 광전 변환부 세그먼트보다도 강한 전계가 가해져, 제1번째의 광전 변환부 세그먼트로부터 제1 전극에의 전하의 흐름을 확실하게 방지할 수 있다. 또한, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1번째의 광전 변환부 세그먼트로부터 제1 전극에의 전하의 흐름, 제(n+1)번째의 광전 변환부 세그먼트로부터 제n번째의 광전 변환부 세그먼트에의 전하의 흐름을, 확실하게 확보할 수 있다.

[0370] 제3 구성의 활상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 다르고, 이에 의해, 일종의 전하 전송 구배가 형성되는데, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부

세그먼트에 걸쳐, 절연층 세그먼트를 구성하는 재료의 비유전율의 값이, 점차, 작아지는 것이 바람직하다. 그리고, 이와 같은 구성을 채용함으로써, 전하 축적 기간에서, $V_{31} \geq V_{11}$ 라는 상태가 되면, 제n번째의 광전 변환부 세그먼트 쪽이, 제(n+1)번째의 광전 변환부 세그먼트보다도 많은 전하를 축적할 수 있다. 또한, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1번째의 광전 변환부 세그먼트로부터 제1 전극에의 전하의 흐름, 제(n+1)번째의 광전 변환부 세그먼트로부터 제n번째의 광전 변환부 세그먼트에의 전하의 흐름을, 확실하게 확보할 수 있다.

[0371] 제4 구성의 활상 소자에서는, 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 다르고, 이에 의해, 일종의 전하 전송 구배가 형성되는데, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 절연층 세그먼트를 구성하는 재료의 일 함수의 값이, 점차, 커지는 것이 바람직하다. 그리고, 이와 같은 구성을 채용함으로써, 전압(전위)의 정부에 의존하는 일 없이, 신호 전하 전송에 유리한 전위 구배를 형성할 수 있다.

[0372] 제5 구성의 활상 소자에서는, 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 전하 축적용 전극 세그먼트의 면적이, 점차, 작게 되어 있고, 이에 의해, 일종의 전하 전송 구배가 형성되기 때문에, 전하 축적 기간에서, $V_{31} \geq V_{11}$ 라는 상태가 되면, 제n번째의 광전 변환부 세그먼트 쪽이, 제(n+1)번째의 광전 변환부 세그먼트보다도 많은 전하를 축적할 수 있다. 또한, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1번째의 광전 변환부 세그먼트로부터 제1 전극에의 전하의 흐름, 제(n+1)번째의 광전 변환부 세그먼트로부터 제n번째의 광전 변환부 세그먼트에의 전하의 흐름을, 확실하게 확보할 수 있다.

[0373] 제6 구성의 활상 소자에서, 적층 부분의 단면적은 제1 전극으로부터의 거리에 의존하여 변화하고, 이에 의해, 일종의 전하 전송 구배가 형성된다. 구체적으로는, 적층 부분의 단면의 두께를 일정하게 하고, 적층 부분의 단면의 폭을 제1 전극으로부터 떨어질수록 좁게 하는 구성을 채용하면, 제5 구성의 활상 소자에서 설명한 것과 마찬가지로, 전하 축적 기간에서, $V_{31} \geq V_{11}$ 라는 상태가 되면, 제1 전극에 가까운 영역 쪽이, 먼 영역보다도 많은 전하를 축적할 수 있다. 따라서, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1 전극에 가까운 영역으로부터 제1 전극에의 전하의 흐름, 먼 영역으로부터 가까운 영역에의 전하의 흐름을, 확실하게 확보할 수 있다. 한편, 적층 부분의 단면의 폭을 일정하게 하고, 적층 부분의 단면의 두께, 구체적으로는, 절연층 세그먼트의 두께를, 점차, 두껍게 하는 구성을 채용하면, 제1 구성의 활상 소자에서 설명한 것과 마찬가지로, 전하 축적 기간에서, $V_{31} \geq V_{11}$ 라는 상태가 되면, 제1 전극에 가까운 영역 쪽이, 먼 영역보다도, 많은 전하를 축적할 수 있고, 강한 전계가 가해져, 제1 전극에 가까운 영역으로부터 제1 전극에의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1 전극에 가까운 영역으로부터 제1 전극에의 전하의 흐름, 먼 영역으로부터 가까운 영역에의 전하의 흐름을, 확실하게 확보할 수 있다. 또한, 광전 변환층 세그먼트의 두께를, 점차, 두껍게 하는 구성을 채용하면, 제2 구성의 활상 소자에서 설명한 것과 마찬가지로, 전하 축적 기간에서, $V_{31} \geq V_{11}$ 라는 상태가 되면, 제1 전극에 가까운 영역 쪽이, 먼 영역보다도 강한 전계가 가해져, 제1 전극에 가까운 영역으로부터 제1 전극에의 전하의 흐름을 확실하게 방지할 수 있다. 그리고, 전하 전송 기간에서, $V_{32} < V_{12}$ 라는 상태가 되면, 제1 전극에 가까운 영역으로부터 제1 전극에의 전하의 흐름, 먼 영역으로부터 가까운 영역에의 전하의 흐름을, 확실하게 확보할 수 있다.

[0374] 이상에 설명한 바람직한 형태를 포함하는 제1 구성~제6 구성의 활상 소자의 2종류 또는 그 이상을, 소망에 응하여, 적절히, 조합시킬 수 있다.

[0375] 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치의 변형례로서,

[0376] 제1 구성~제6 구성의 활상 소자를, 복수, 가지고 있고,

[0377] 복수의 활상 소자로 활상 소자 블록이 구성되어 있고,

[0378] 활상 소자 블록을 구성하는 복수의 활상 소자에서 제1 전극이 공유되어 있는 고체 활상 장치로 할 수 있다. 이와 같은 구성의 고체 활상 장치를, 편의상, 『제1 구성의 고체 활상 장치』라고 부른다. 또한, 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치의 변형례로서,

[0379] 제1 구성~제6 구성의 활상 소자, 또한, 제1 구성~제6 구성의 활상 소자를 적어도 1개 갖는 적층형 활상 소자를, 복수, 가지고 있고,

광용 광전 변환부』라고 부른다.

- [0385] 본 개시의 적층형 활상 소자는, 적어도 본 개시의 활상 소자 등(광전 변환 소자)을 1개 갖는데, 구체적으로는, 예를 들면,
- [0386] [A] 제1 타입의 청색광용 광전 변환부, 제1 타입의 녹색광용 광전 변환부 및 제1 타입의 적색광용 광전 변환부가, 수직 방향으로 적층되고,
- [0387] 제1 타입의 청색광용 활상 소자, 제1 타입의 녹색광용 활상 소자 및 제1 타입의 적색광용 활상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조
- [0388] [B] 제1 타입의 청색광용 광전 변환부 및 제1 타입의 녹색광용 광전 변환부가, 수직 방향으로 적층되고,
- [0389] 이들 2층의 제1 타입의 광전 변환부의 하방에, 제2 타입의 적색광용 광전 변환부가 배치되고,
- [0390] 제1 타입의 청색광용 활상 소자, 제1 타입의 녹색광용 활상 소자 및 제2 타입의 적색광용 활상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조
- [0391] [C] 제1 타입의 녹색광용 광전 변환부의 하방에, 제2 타입의 청색광용 광전 변환부 및 제2 타입의 적색광용 광전 변환부가 배치되고,
- [0392] 제1 타입의 녹색광용 활상 소자, 제2 타입의 청색광용 활상 소자 및 제2 타입의 적색광용 활상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조
- [0393] [D] 제1 타입의 청색광용 광전 변환부의 하방에, 제2 타입의 녹색광용 광전 변환부 및 제2 타입의 적색광용 광전 변환부가 배치되고,
- [0394] 제1 타입의 청색광용 활상 소자, 제2 타입의 녹색광용 활상 소자 및 제2 타입의 적색광용 활상 소자의 제어부의 각각이, 반도체 기판에 마련된 구성, 구조
- [0395] 를 들 수 있다. 이들 활상 소자의 광전 변환부의 수직 방향에서의 배치순은, 광 입사 방향으로부터 청색광용 광전 변환부, 녹색광용 광전 변환부, 적색광용 광전 변환부의 순서, 또는, 광 입사 방향으로부터 녹색광용 광전 변환부, 청색광용 광전 변환부, 적색광용 광전 변환부의 순서인 것이 바람직하다. 이것은, 보다 짧은 파장의 광이 보다 입사 표면측에서 효율 좋게 흡수되기 때문이다. 적색은 3색 중에서는 가장 긴 파장이기 때문에, 광입사 면에서 보아 적색광용 광전 변환부를 최하층에 위치시키는 것이 바람직하다. 이를 활상 소자의 적층 구조에 의해, 1개의 화소가 구성된다. 또한, 제1 타입의 근적외광용 광전 변환부(또는, 적외광용 광전 변환부)를 구비하고 있어도 좋다. 여기서, 제1 타입의 적외광용 광전 변환부의 광전 변환층은, 예를 들면, 유기계 재료로 구성되고, 제1 타입의 활상 소자의 적층 구조의 최하층으로서, 제2 타입의 활상 소자보다도 위에 배치하는 것이 바람직하다. 또한, 제1 타입의 광전 변환부의 하방에, 제2 타입의 근적외광용 광전 변환부(또는, 적외광용 광전 변환부)를 구비하고 있어도 좋다.
- [0396] 제1 타입의 활상 소자에서는, 예를 들면, 제1 진극이, 반도체 기판 위에 마련된 층간 절연층상에 형성되어 있다. 반도체 기판에 형성된 활상 소자는, 이면 조사형으로 할 수도 있고, 표면 조사형으로 할 수도 있다.
- [0397] 광전 변환층을 유기계 재료로 구성하는 경우, 광전 변환층을,
- [0398] (1) p형 유기 반도체로 구성한다.
- [0399] (2) n형 유기 반도체로 구성한다.
- [0400] (3) p형 유기 반도체층/n형 유기 반도체층의 적층 구조로 구성한다. p형 유기 반도체층/p형 유기 반도체와 n형 유기 반도체의 혼합층(밸크 혜테로 구조)/n형 유기 반도체층의 적층 구조로 구성한다. p형 유기 반도체층/p형 유기 반도체와 n형 유기 반도체의 혼합층(밸크 혜테로 구조)의 적층 구조로 구성한다. n형 유기 반도체층/p형 유기 반도체와 n형 유기 반도체의 혼합층(밸크 혜테로 구조)의 적층 구조로 구성한다.
- [0401] (4) p형 유기 반도체와 n형 유기 반도체의 혼합(밸크 혜테로 구조)으로 구성한다.
- [0402] 의 4 양태의 어느 하나로 할 수 있다. 단, 적층순은 임의로 교체한 구성으로 할 수 있다.
- [0403] p형 유기 반도체로서, 나프탈렌 유도체, 안트라센 유도체, 폐난트렌 유도체, 피렌 유도체, 폐릴렌 유도체, 테트라센 유도체, 웬타센 유도체, 퀴나크리돈 유도체, 티오펜 유도체, 티에노티오펜 유도체, 벤조티오펜 유도체, 벤조티에노벤조티오펜 유도체, 트리알릴아민 유도체, 카비졸 유도체, 폐릴렌 유도체, 피센 유도체, 크리센

유도체, 플루오란텐 유도체, 프탈로시아닌 유도체, 서브프탈로시아닌 유도체, 서브포르피라진 유도체, 복소환화합물을 배위자로 하는 금속 착체, 폴리티오펜 유도체, 폴리벤조티아디아졸 유도체, 폴리플루오렌 유도체 등을 들 수 있다. n형 유기 반도체로서, 폴리렌 및 폴리렌 유도체<예를 들면, C60이나, C70, C74 등의 폴리렌(고차원 폴리렌), 내포 폴리렌 등> 또는 폴리렌 유도체(예를 들면, 폴리렌 불화물이나 PCBM 폴리렌 화합물, 폴리렌 다양체 등), p형 유기 반도체보다도 HOMO 및 LUMO가 큰(깊은) 유기 반도체, 투명한 무기 금속 산화물을 들 수 있다. n형 유기 반도체로서, 구체적으로는, 질소 원자, 산소 원자, 유황 원자를 함유하는 복소환화합물, 예를 들면, 피리딘 유도체, 피라진 유도체, 피리미딘 유도체, 트리아진 유도체, 퀴놀린 유도체, 퀴녹살린 유도체, 이소퀴놀린 유도체, 아크리딘 유도체, 페나진 유도체, 페난트롤린 유도체, 테트라졸 유도체, 피라졸 유도체, 이미다졸 유도체, 티아졸 유도체, 옥사졸 유도체, 이미다졸 유도체, 벤조이미다졸 유도체, 벤조트리아졸 유도체, 벤조옥사졸 유도체, 벤조옥사졸 유도체, 카바졸 유도체, 벤조푸란 유도체, 디벤조푸란 유도체, 서브포르피라진 유도체, 폴리페닐렌비닐렌 유도체, 폴리벤조티아디아졸 유도체, 폴리플루오렌 유도체 등을 문자 골격의 일부로 갖는 유기 분자, 유기 금속 착체나 서브프탈로시아닌 유도체를 들 수 있다. 폴리렌 유도체에 포함되는 기 등으로서, 할로겐 원자; 직쇄, 분기 또는 환상의 알킬기 또는 페닐기; 직쇄 또는 축환한 방향족 화합물을 갖는 기; 할로겐 화물을 갖는 기; 파설플루오로알킬기; 퍼플루오로알킬기; 실릴알킬기; 실릴알콕시기; 아릴실릴기; 아릴술파닐기; 알킬술파닐기; 아릴술포닐기; 알킬술포닐기; 아릴술페드기; 알킬술페드기; 아미노기; 알킬아미노기; 아릴아미노기; 히드록시기; 알콕시기; 아실아미노기; 아실옥시기; 카르보닐기; 카르복시기; 카르복소아미드기; 카르보알콕시기; 아실기; 술포닐기; 시아노기; 니트로기; 칼코겐화물을 갖는 기; 포스핀기; 포스폰기; 이들 유도체를 들 수 있다. 유기계 재료로 구성된 광전 변환층(『유기 광전 변환층』라고 부르는 경우가 있다)의 두께는, 한정하는 것은 아니지만, 예를 들면, 1×10^{-8} m 내지 5×10^{-7} m, 바람직하게는 2.5×10^{-8} m 내지 3×10^{-7} m, 보다 바람직하게는 2.5×10^{-8} m 내지 2×10^{-7} m, 한층 바람직하게는 1×10^{-7} m 내지 1.8×10^{-7} m를 예시할 수 있다. 또한, 유기 반도체는, p형, n형으로 분류되는 일이 많은데, p형이란 정공을 수송하기 쉽다는 의미이고, n형이란 전자를 수송하기 쉽다는 의미이고, 무기 반도체와 같이 열여기의 다수 캐리어로서 정공 또는 전자를 가지고 있다는 해석으로 한정되지 않는다.

[0404] 또한, 녹색광을 광전 변환하는 유기 광전 변환층을 구성하는 재료로서, 예를 들면, 로다민계 색소, 메로시아닌계 색소, 퀴나크리돈 유도체, 서브프탈로시아닌계 색소(서브프탈로시아닌 유도체) 등을 들 수 있고, 청색광을 광전 변환하는 유기 광전 변환층을 구성하는 재료로서, 예를 들면, 쿠마린 색소, 트리스-8-히드록시퀴놀리네이트알루미늄(Alq3), 메로시아닌계 색소 등을 들 수 있고, 적색광을 광전 변환하는 유기 광전 변환층을 구성하는 재료로서, 예를 들면, 프탈로시아닌계 색소, 서브프탈로시아닌계 색소(서브프탈로시아닌 유도체)를 들 수 있다.

[0405] 또한, 광전 변환층을 구성하는 무기계 재료로서, 결정 실리콘, 어모퍼스 실리콘, 미결정 실리콘, 결정 셀렌, 어모퍼스 셀렌, 및, 칼코파이라이트계 화합물인 CIGS(CuInGaSe₂), CIS(CuInSe₂), CuInS₂, CuAlS₂, CuAlSe₂, CuGaS₂, CuGaSe₂, AgAlS₂, AgAlSe₂, AgInS₂, AgInSe₂, 또한, III-V족 화합물인 GaAs, InP, AlGaAs, InGaP, AlGaInP, InGaAsP, 나아가서는, CdSe, CdS, In₂Se₃, In₂S₃, Bi₂Se₃, Bi₂S₃, ZnSe, ZnS, PbSe, PbS 등의 화합물 반도체를 들 수 있다. 덧붙여, 이들 재료로 이루어지는 양자 도트를 광전 변환층에 사용하는 것도 가능하다.

[0406] 본 개시의 제1 양태~제2 양태에 관한 고체 활상 장치, 제1 구성~제2 구성의 고체 활상 장치에 의해, 단판식 컬러 고체 활상 장치를 구성할 수 있다.

[0407] 적층형 활상 소자를 구비한 본 개시의 제2 양태에 관한 고체 활상 장치에서는, 베이어 배열의 활상 소자를 구비한 고체 활상 장치와 달리(즉, 컬러 필터층을 이용하여 청색, 녹색, 적색의 분광을 행하는 것이 아니라), 동일 화소 내에서 광의 입사 방향에서, 복수종의 파장의 광에 대해 감도를 갖는 활상 소자를 적층하여 1개의 화소를 구성하기 때문에, 감도의 향상 및 단위 체적당의 화소 밀도의 향상을 도모할 수 있다. 또한, 유기계 재료는 흡수 계수가 높기 때문에, 유기 광전 변환층의 막두께를 종래의 Si계 광전 변환층과 비교하여 얇게 할 수 있고, 인접 화소로부터의 광 누출이나, 광의 입사각의 제한이 완화된다. 나아가서는, 종래의 Si계 활상 소자에서는 3색의 화소 사이에서 보간 처리를 행하여 색 신호를 작성하기 때문에 위색이 생기지만, 적층형 활상 소자를 구비한 본 개시의 제2 양태에 관한 고체 활상 장치에서는, 위색의 발생이 억제된다. 유기 광전 변환층 그 자체가 컬러 필터층으로서도 기능하기 때문에, 컬러 필터층을 배설하지 않더라도 색 분리가 가능하다.

[0408] 한편, 본 개시의 제1 양태에 관한 고체 활상 장치에서는, 컬러 필터층을 이용함으로써, 청색, 녹색, 적색의 분광 특성에의 요구를 완화할 수 있고, 또한, 높은 양산성을 가진다. 본 개시의 제1 양태에 관한 고체 활상 장치에서의 활상 소자의 배열로서, 베이어 배열 외에, 인터라인 배열, G 스트라이프 RB 체크무늬 배열, G 스트라이

프 RB 완전 체크무늬 배열, 체크무늬 보색 배열, 스트라이프 배열, 경사 스트라이프 배열, 원색 색차 배열, 필드 색차 순차 배열, 프레임 색차 순차 배열, MOS형 배열, 개량 MOS형 배열, 프레임 인터리브 배열, 필드 인터리브 배열을 들 수 있다. 여기서, 1개의 활상 소자에 의해 1개의 화소(또는 부화소)가 구성된다.

[0409] 컬러 필터층(파장 선택 수단)으로서, 적색, 녹색, 청색뿐만 아니라, 경우에 따라서는, 시안색, 마젠타색, 황색 등의 특정 파장을 투과시키는 필터층을 들 수 있다. 컬러 필터층을, 안료나 염료 등의 유기 화합물을 이용한 유기 재료계의 컬러 필터층으로 구성할 뿐만 아니라, 포토닉 결정이나, 플라즈몬을 응용한 파장 선택 소자(도체 박막에 격자형상의 구멍 구조를 마련한 유도체 격자 구조를 갖는 컬러 필터층. 예를 들면, 특개2008-177191호 공보 참조), 어모퍼스 실리콘 등의 무기 재료로 이루어지는 박막으로 구성할 수도 있다.

[0410] 본 개시의 활상 소자 등 또는 본 개시에서의 적층형 활상 소자가 복수 배열된 화소 영역은, 2차원 어레이형상으로 규칙적으로 복수 배열된 화소로 구성된다. 화소 영역은, 통상, 실제로 광을 수광하고 광전 변환에 의해 생성된 신호 전하를 증폭하여 구동 회로에 판독하는 유효 화소 영역과, 흑 레벨의 기준이 되는 광학적 흑을 출력하기 위한 흑 기준 화소 영역(광학적 흑화소 영역(OPB)라고도 불린다)으로 구성되어 있다. 흑 기준 화소 영역은, 통상은, 유효 화소 영역의 외주부에 배치되어 있다.

[0411] 이상에 설명한 각종의 바람직한 형태를 포함하는 본 개시의 활상 소자 등에서, 광이 조사되고, 광전 변환층에서 광전 변환이 생기고, 정공(홀)과 전자가 캐리어 분리된다. 그리고, 정공이 취출되는 전극을 양극, 전자가 취출되는 전극을 음극으로 한다. 제1 전극이 음극을 구성하고, 제2 전극이 양극을 구성한다.

[0412] 제1 전극, 전하 축적용 전극, 전송 제어용 전극, 전하 이동 제어 전극, 전하 배출 전극 및 제2 전극은 투명 도전 재료로 이루어지는 구조으로 할 수 있다. 제1 전극, 전하 축적용 전극, 전송 제어용 전극 및 전하 배출 전극을 총칭하여, 『제1 전극 등』이라고 부르는 경우가 있다. 또한, 본 개시의 활상 소자 등이, 예를 들어 베이어 배열과 같이 평면에 배치되는 경우에는, 제2 전극은 투명 도전 재료로 이루어지고, 제1 전극 등은 금속 재료로 이루어지는 구조으로 할 수 있고, 이 경우, 구체적으로는, 광 입사측에 위치하는 제2 전극은 투명 도전 재료로 이루어지고, 제1 전극 등은, 예를 들면, Al-Nd(알루미늄 및 네오듐의 합금) 또는 ASC(알루미늄, 사마륨 및 구리의 합금)로 이루어지는 구조으로 할 수 있다. 투명 도전 재료로 이루어지는 전극을 『투명 전극』이라고 부르는 경우가 있다. 여기서, 투명 도전 재료의 밴드 갭 에너지는, 2.5eV 이상, 바람직하게는 3.1eV 이상인 것이 바람직하다. 투명 전극을 구성하는 투명 도전 재료로서, 도전성이 있는 금속 산화물을 들 수 있고, 구체적으로는, 산화 인듐, 인듐-주석 산화물(ITO, Indium Tin Oxide, Sn 도프의 In_2O_3 , 결정성 ITO 및 어모퍼스 ITO를 포함한다), 산화 아연에 도편트로서 인듐을 첨가한 인듐-아연 산화물(IZO, Indium Zinc Oxide), 산화 갈륨에 도편트로서 인듐을 첨가한 인듐-갈륨 산화물(IGO), 산화 아연에 도편트로서 인듐과 갈륨을 첨가한 인듐-갈륨-아연 산화물(IGZO, In-GaZnO₄), 산화 아연에 도편트로서 인듐과 주석을 첨가한 인듐-주석-아연 산화물(ITZO), IFO(F 도프의 In_2O_3), 산화 주석(SnO_2), ATO(Sb 도프의 SnO_2), FTO(F 도프의 SnO_2), 산화 아연(타 원소를 도프한 ZnO를 포함한다), 산화 아연에 도편트로서 알루미늄을 첨가한 알루미늄-아연 산화물(AZO), 산화 아연에 도편트로서 갈륨을 첨가한 갈륨-아연 산화물(GZO), 산화 티탄(TiO_2), 산화 티탄에 도편트로서 니오브를 첨가한 니오브-티탄 산화물(TNO), 산화 안티몬, CuI, $InSbO_4$, $ZnMgO$, $CuInO_2$, $MgIn_2O_4$, CdO, $ZnSnO_3$, 스피넬형 산화물, $YbFe_2O_4$ 구조를 갖는 산화물을 예시할 수 있다. 또한, 갈륨 산화물, 티탄 산화물, 니오브 산화물, 니켈 산화물 등을 모충으로 하는 투명 전극을 들 수 있다. 투명 전극의 두께로서, 2×10^{-8} m 내지 2×10^{-7} m, 바람직하게는 3×10^{-8} m 내지 1×10^{-7} m를 들 수 있다. 제1 전극이 투명성이 요구되는 경우, 제조 프로세스의 간소화라는 관점에서, 전하 배출 전극도 투명 도전 재료로 구성하는 것이 바람직하다.

[0413] 또한, 투명성이 불필요한 경우, 전자를 취출하는 전극으로서의 기능을 갖는 음극을 구성하는 도전 재료로서, 저일 함수(예를 들면, $\phi=3.5\text{eV} \sim 4.5\text{eV}$)를 갖는 도전 재료로 구성하는 것이 바람직하고, 구체적으로는, 알칼리 금속(예를 들어 Li, Na, K 등) 및 그 불화물 또는 산화물, 알칼리토류 금속(예를 들어 Mg, Ca 등) 및 그 불화물 또는 산화물, 알루미늄(Al), 아연(Zn), 주석(Sn), 탈륨(Tl), 나트륨-칼륨 합금, 알루미늄-리튬 합금, 마그네슘-은 합금, 인듐, 이테르븀 등의 화토류 금속, 또는, 이들 합금을 들 수 있다. 또한, 음극을 구성하는 재료로서, 백금(Pt), 금(Au), 팔라듐(Pd), 크롬(Cr), 니켈(Ni), 알루미늄(Al), 은(Ag), 탄탈(Ta), 텉스텐(W), 구리(Cu), 티탄(Ti), 인듐(In), 주석(Sn), 철(Fe), 코발트(Co), 몰리브덴(Mo) 등의 금속, 또는, 이들 금속 원소를 포함하는 합금, 이들 금속으로 이루어지는 도전성 입자, 이들 금속을 포함하는 합금의 도전성 입자, 불순물을 함유한 폴리실리콘, 탄소계 재료, 산화물 반도체 재료, 카본 · 나노 · 튜브, 그라펜 등의 도전성 재료를 들 수 있고, 이들 원소를 포함하는 층의 적층 구조로 할 수도 있다. 나아가서는, 음극을 구성하는 재료로서, 폴리(3,4-에틸렌

디옥시티오펜)/폴리스티렌술폰산[PEDOT/PSS]이라는 유기 재료(도전성 고분자)를 들 수도 있다. 또한, 이들 도전성 재료를 바인더(고분자)에 혼합하여 페이스트 또는 잉크로 한 것을 경화시켜, 전극으로서 이용해도 좋다.

[0414] 제1 전극 등이나 제2 전극(음극이나 양극)의 성막 방법으로서, 건식법 또는 습식법을 이용하는 것이 가능하다. 건식법으로서, 물리적 기상 성장법(PVD법) 및 화학적 기상 성장법(CVD법)을 들 수 있다. PVD법의 원리를 이용한 성막 방법으로서, 저항 가열 또는 고주파 가열을 이용한 진공 증착법, EB(전자 빔) 증착법, 각종 스퍼터링법(마그네트론 스퍼터링법, RF-DC 결합형 바이어스 스퍼터링법, ECR 스퍼터링법, 대향 타겟 스퍼터링법, 고주파 스퍼터링법), 이온 플레이팅법, 레이저 어브레이전법, 분자선 에피택시법, 레이저 전사법을 들 수 있다. 또한, CVD 법으로서, 플라즈마 CVD법, 열 CVD법, 유기 금속(MO) CVD법, 광 CVD법을 들 수 있다. 한편, 습식법으로서, 전해 도금법이나 무전해 도금법, 스판 코트법, 잉크젯법, 스프레이 코트법, 스템프법, 마이크로 콘택트 프린트법, 플렉소 인쇄법, 오프셋 인쇄법, 그라비어 인쇄법, 딥법 등의 방법을 들 수 있다. 패터닝법으로서, 새도우 마스크, 레이저 전사, 포토 리소그래피 등의 화학적 에칭, 자외선이나 레이저 등에 의한 물리적 에칭 등을 들 수 있다. 제1 전극 등이나 제2 전극의 평탄화 기술로서, 레이저 평탄화법, 리플로우법, CMP(Chemical Mechanical Polishing)법 등을 이용할 수 있다.

[0415] 절연층을 구성하는 재료로서, 산화 규소계 재료; 질화 규소(SiN_y); 산화 알루미늄(Al_2O_3) 등의 금속 산화물 고유 전 절연 재료에 예시되는 무기계 절연 재료 뿐만 아니라, 폴리메틸메타크릴레이트(PMMA); 폴리비닐페놀(PVP); 폴리비닐알코올(PVA); 폴리이미드; 폴리카보네이트(PC); 폴리에틸렌테레프탈레이트(PET); 폴리스티렌; N-2(아미노에틸)3-아미노프로필트리메톡시실란(AEAPTMS), 3-메르캅토프로필트리메톡시실란(MPTMS), 옥타데실트리클로로실란(OTS) 등의 실란을 유도체(실란 커플링제); 노불락형 페놀 수지; 불소계 수지; 옥타데칸티올, 도데실이소시아네이트 등의 일단에 제어 전극과 결합 가능한 관능기를 갖는 적색 탄화 수소류로 예시되는 유기계 절연 재료(유기 폴리머)를 들 수 있고, 이들 조합을 이용할 수도 있다. 산화 규소계 재료로서, 산화 실리콘(SiO_x), BPSG, PSG, BSG, AsSG, PbSG, 산화질화 실리콘(SiON), SOG(스핀 온 글라스), 저유전율 절연 재료(예를 들면, 폴리아릴에테르, 시클로페플루오로카본 폴리머 및 벤조시클로부텐, 환상 불소 수지, 폴리테트라플루오로에틸렌, 불화 아릴에테르, 불화 폴리이미드, 어모퍼스 카본, 유기 SOG)를 예시할 수 있다. 절연층은, 단층 구성으로 할 수도 있고, 복수층(예를 들면, 2층)이 적층된 구성으로 할 수도 있다. 후자인 경우, 적어도 전하 축적용 전극 위, 및, 전하 축적용 전극과 제1 전극 사이의 영역에, 절연층·하층을 형성하고, 절연층·하층에 평탄화 처리를 시행함으로써 적어도 전하 축적용 전극과 제1 전극 사이의 영역에 절연층·하층을 남기고, 남겨진 절연층·하층 및 전하 축적용 전극 위에 절연층·상층을 형성하면 좋으며, 이에 의해, 절연층의 평탄화를 확실하게 달성할 수 있다. 보호 재료층이나 각종 층간 절연층, 절연 재료막을 구성하는 재료도, 이들 재료로부터 적절히 선택하면 좋다.

[0416] 제어부를 구성하는 부유 확산층, 증폭 트랜지스터, 리셋·트랜지스터 및 선택 트랜지스터의 구성, 구조는, 종래의 부유 확산층, 증폭 트랜지스터, 리셋·트랜지스터 및 선택 트랜지스터의 구성, 구조와 같게 할 수 있다. 구동 회로도 주지의 구성, 구조로 할 수 있다.

[0417] 제1 전극은, 부유 확산층 및 증폭 트랜지스터의 게이트부에 접속되어 있는데, 제1 전극과 부유 확산층 및 증폭 트랜지스터의 게이트부의 접속을 위해 콘택트 홀부를 형성하면 좋다. 콘택트 홀부를 구성하는 재료로서, 불순물이 도핑된 폴리실리콘이나, 텅스텐, Ti, Pt, Cu, TiW, TiN, TiNW, WSi₂, MoSi₂ 등의 고용점 금속이나 금속 실리사이드, 이들 재료로 이루어지는 층의 적층 구조(예를 들면, Ti/TiN/W)를 예시할 수 있다.

[0418] 무기산화물 반도체 재료층과 제1 전극 사이에, 제1 캐리어 블로킹층을 마련해도 좋고, 유기 광전 변환층과 제2 전극 사이에, 제2 캐리어 블로킹층을 마련해도 좋다. 또한, 제1 캐리어 블로킹층과 제1 전극 사이에 제1 전하 주입층을 마련해도 좋고, 제2 캐리어 블로킹층과 제2 전극 사이에 제2 전하 주입층을 마련해도 좋다. 예를 들면, 전자 주입층을 구성하는 재료로서, 예를 들면, 리튬(Li), 나트륨(Na), 칼륨(K)이라는 알칼리 금속 및 그 불화물이나 산화물, 마그네슘(Mg), 칼슘(Ca)이라는 알칼리토류 금속 및 그 불화물이나 산화물을 들 수 있다.

[0419] 각종 유기층의 성막 방법으로서, 건식 성막법 및 습식 성막법을 들 수 있다. 건식 성막법으로서, 저항 가열 또는 고주파 가열, 전자 빔 가열을 이용한 진공 증착법, 플라즈마 증착법, EB 증착법, 각종 스퍼터링법(2극 스퍼터링법, 직류 스퍼터링법, 직류 마그네트론 스퍼터링법, 고주파 스퍼터링법, 마그네트론 스퍼터링법, RF-DC 결합형 바이어스 스퍼터링법, ECR 스퍼터링법, 대향 타겟 스퍼터링법, 고주파 스퍼터링법, 이온 빔 스퍼터링법), DC(Direct Current)법, RF법, 다음극법, 활성화 반응법, 전계 증착법, 고주파 이온 플레이팅법이나 반응성 이온 플레이팅법 등의 각종 이온 플레이팅법, 레이저 어브레이전법, 분자선 에피택시법, 레이저 전사

법, 분자선 에피택시법(MBE법)을 들 수 있다. 또한, CVD법으로서, 플라즈마 CVD법, 열 CVD법, MO CVD법, 광 CVD 법을 들 수 있다. 한편, 습식법으로서, 구체적으로는, 스펜 코트법; 침지법; 캐스트법; 마이크로 콘택트 프린트 법; 드롭 캐스트법; 스크린 인쇄법이나 잉크젯 인쇄법, 오프셋 인쇄법, 그라비어 인쇄법, 플렉소 인쇄법이라는 각종 인쇄법; 스템프법; 스프레이법; 에어 닥터 코터법, 블레이드 코터법, 로드 코터법, 나이프 코터법, 스퀴즈 코터법, 리버스 롤 코터법, 트랜스퍼 롤 코터법, 그라비어 코터법, 키스 코터법, 캐스트 코터법, 스프레이 코터 법, 슬릿 오리피스 코터법, 캘린더 코터법이라는 각종 코팅법을 예시할 수 있다. 도포법에서는, 용매로서, 톨루 엔, 클로로포름, 헥산, 에탄올이라는 무극성 또는 극성이 낮은 유기 용매를 예시할 수 있다. 패터닝법으로서, 색도우 마스크, 레이저 전사, 포토 리소그래피 등의 화학적 에칭, 자외선이나 레이저 등에 의한 물리적 에칭 등을 들 수 있다. 각종 유기층의 평탄화 기술로서, 레이저 평탄화법, 리플로우법 등을 이용할 수 있다.

[0420] 활상 소자 또는 고체 활상 장치에는, 전술한 바와 같이, 필요에 응하여, 온 칩 · 마이크로 · 렌즈나 차광층을 마련해도 좋고, 활상 소자를 구동하기 위한 구동 회로나 배선이 마련되어 있다. 필요에 응하여, 활상 소자에의 광의 입사를 제어하기 위한 셔터를 배설해도 좋고, 고체 활상 장치의 목적에 응하여 광학 커트 필터를 구비해도 좋다.

[0421] 또한, 제1 구성 ~ 제2 구성의 고체 활상 장치에서는, 1개의 본 개시의 활상 소자 등의 상방에 1개의 온 칩 · 마이크로 · 렌즈가 마련되어 있는 형태로 할 수 있고, 또한, 2개의 본 개시의 활상 소자 등으로 활상 소자 블록이 구성되어 있고, 활상 소자 블록의 상방에 1개의 온 칩 · 마이크로 · 렌즈가 마련되어 있는 형태로 할 수 있다.

[0422] 예를 들면, 고체 활상 장치를 관독용 접적 회로(ROIC)와 적층하는 경우, 관독용 접적 회로 및 구리(Cu)로 이루어지는 접속부가 형성된 구동용 기판과, 접속부가 형성된 활상 소자를, 접속부끼리가 접하도록 맞겹치게 하고, 접속부끼리를 접합함으로써, 적층할 수 있고, 접속부끼리를 솔더 범프 등을 이용하여 접합할 수도 있다.

[0423] 또한, 본 개시의 제1 양태 ~ 제2 양태에 관한 고체 활상 장치를 구동하기 위한 구동 방법에서는,

[0424] 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하를 축적하면서, 제1 전극에서의 전하를 계외에 배출하고, 그 후,

[0425] 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 축적된 전하를 제1 전극에 전송하고, 전송 완료 후, 순차적으로, 각 활상 소자에서 제1 전극에 전송된 전하를 판독하는,

[0426] 각 공정을 반복하는 고체 활상 장치의 구동 방법으로 할 수 있다.

[0427] 이와 같은 고체 활상 장치의 구동 방법에서는, 각 활상 소자는, 제2 전극부터 입사한 광이 제1 전극에는 입사하지 않는 구조를 가지고, 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층 등에 전하를 축적하면서, 제1 전극에서의 전하를 계외에 배출하기 때문에, 전 활상 소자에서 동시에 제1 전극의 리셋을 확실하게 행할 수 있다. 그리고, 그 후, 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층 등에 축적된 전하를 제1 전극에 전송하고, 전송 완료 후, 순차적으로, 각 활상 소자에서 제1 전극에 전송된 전하를 판독한다. 그러므로, 이를바 글로벌 셔터 기능을 용이하게 실현할 수 있다.

[0428] 이하, 실시례 1의 활상 소자, 고체 활상 장치의 상세한 설명을 행한다.

[0429] 실시례 1의 활상 소자(10)는, 반도체 기판(보다 구체적으로는, 실리콘 반도체층)(70)을 또한 구비하고 있고, 광전 변환부는, 반도체 기판(70)의 상방에 배치되어 있다. 또한, 반도체 기판(70)에 마련되고, 제1 전극(21) 및 제2 전극(22)이 접속된 구동 회로를 갖는 제어부를 또한 구비하고 있다. 여기서, 반도체 기판(70)에서의 광입사면을 상방으로 하고, 반도체 기판(70)의 반대측을 하방으로 한다. 반도체 기판(70)의 하방에는 복수의 배선으로 이루어지는 배선층(62)이 마련되어 있다.

[0430] 반도체 기판(70)에는, 제어부를 구성하는 적어도 부유 확산층(FD₁) 및 증폭 트랜지스터(TR_{1amp})가 마련되어 있고, 제1 전극(21)은, 부유 확산층(FD₁) 및 증폭 트랜지스터(TR_{1amp})의 게이트부에 접속되어 있다. 반도체 기판(70)에는, 또한, 제어부를 구성하는 리셋 · 트랜지스터(TR_{1rst}) 및 선택 트랜지스터(TR_{1sel})가 마련되어 있다. 부유 확산층(FD₁)은, 리셋 · 트랜지스터(TR_{1rst})의 일방의 소스/드레인 영역에 접속되어 있고, 증폭 트랜지스터(TR_{1amp})의 타방의 소스/드레인 영역은, 선택 트랜지스터(TR_{1sel})의 일방의 소스/드레인 영역에 접속되어 있고, 선택 트랜지스터(TR_{1sel})의 타방의 소스/드레인 영역은 신호선(VSL₁)에 접속되어 있다. 이를 증폭 트랜지스터

(TR1_{amp}), 리셋 · 트랜지스터(TR1_{rst}) 및 선택 트랜지스터(TR1_{sel})는, 구동 회로를 구성한다.

[0431] 구체적으로는, 실시례 1의 활상 소자, 적층형 활상 소자는, 이면 조사형의 활상 소자, 적층형 활상 소자이고, 녹색광을 흡수하는 제1 타입의 녹색광용 광전 변환층을 구비한 녹색광에 감도를 갖는 제1 타입의 실시례 1의 녹색광용 활상 소자(이하, 『제1 활상 소자』라고 부른다), 청색광을 흡수하는 제2 타입의 청색광용 광전 변환층을 구비한 청색광에 감도를 갖는 제2 타입의 종래의 청색광용 활상 소자(이하, 『제2 활상 소자』라고 부른다), 적색광을 흡수하는 제2 타입의 적색광용 광전 변환층을 구비한 적색광에 감도를 갖는 제2 타입의 종래의 적색광용 활상 소자(이하, 『제3 활상 소자』라고 부른다)의 3개의 활상 소자가 적층된 구조를 가진다. 여기서, 적색광용 활상 소자(제3 활상 소자)(12) 및 청색광용 활상 소자(제2 활상 소자)(11)는 반도체 기판(70) 내에 마련되어 있고, 제2 활상 소자(11) 쪽이 제3 활상 소자(12)보다도 광 입사측에 위치한다. 또한, 녹색광용 활상 소자(제1 활상 소자(10))는, 청색광용 활상 소자(제2 활상 소자(11))의 상방에 마련되어 있다. 제1 활상 소자(10), 제2 활상 소자(11) 및 제3 활상 소자(12)의 적층 구조에 의해, 1화소가 구성된다. 컬러 필터층은 마련되어 있지 않다.

[0432] 제1 활상 소자(10)에서는, 충간 절연층(81)상에, 제1 전극(21) 및 전하 축적용 전극(24)이, 이간하여 형성되어 있다. 충간 절연층(81) 및 전하 축적용 전극(24)은, 절연층(82)에 의해 덮여 있다. 절연층(82)상에는 무기산화물 반도체 재료층(23B) 및 광전 변환층(23A)이 형성되고, 광전 변환층(23A)상에는 제2 전극(22)이 형성되어 있다. 제2 전극(22)을 포함하는 전면에는, 보호 재료층(83)이 형성되어 있고, 보호 재료층(83)상에 온 칩 · 마이크로 · 렌즈(14)가 마련되어 있다. 컬러 필터층은 마련되어 있지 않다. 제1 전극(21), 전하 축적용 전극(24) 및 제2 전극(22)은, 예를 들면, ITO(일 함수: 약 4.4eV)로 이루어지는 투명 전극으로 구성되어 있다. 무기산화물 반도체 재료층(23B)은 In_aSn_bTi_cZn_dO_e로 이루어진다. 광전 변환층(23A)은, 적어도 녹색광에 감도를 갖는 주지의 유기 광전 변환 재료(예를 들면, 로다민계 색소, 메로시아닌계 색소, 퀴나크리돈 등의 유기계 재료)를 포함하는 층으로 구성되어 있다. 충간 절연층(81)이나 절연층(82), 보호 재료층(83)은, 주지의 절연 재료(예를 들면, SiO₂나 SiN)로 구성되어 있다. 무기산화물 반도체 재료층(23B)과 제1 전극(21)은, 절연층(82)에 마련된 접속부(67)에 의해 접속되어 있다. 접속부(67) 내에는, 무기산화물 반도체 재료층(23B)이 연재되어 있다. 즉, 무기산화물 반도체 재료층(23B)은, 절연층(82)에 마련된 개구부(85) 내를 연재하고, 제1 전극(21)과 접속되어 있다.

[0433] 전하 축적용 전극(24)은 구동 회로에 접속되어 있다. 구체적으로는, 전하 축적용 전극(24)은, 충간 절연층(81) 내에 마련된 접속 구멍(66), 패드부(64) 및 배선(V_{OA})을 통하여, 구동 회로를 구성하는 수직 구동 회로(112)에 접속되어 있다.

[0434] 전하 축적용 전극(24)의 크기는 제1 전극(21)보다도 크다. 전하 축적용 전극(24)의 면적을 s₁', 제1 전극(21)의 면적을 s₁로 했을 때, 한정하는 것은 아니지만,

$$4 \leq s_1' / s_1$$

[0436] 를 만족하는 것이 바람직하고, 실시례 1에서는, 한정하는 것은 아니지만, 예를 들면,

$$s_1' / s_1 = 8$$

[0438] 로 하였다.

[0439] 반도체 기판(70)의 제1면(겉면)(70A)측에는 소자 분리 영역(71)이 형성되고, 또한, 반도체 기판(70)의 제1면(70A)에는 산화막(72)이 형성되어 있다. 나아가서는, 반도체 기판(70)의 제1면측에는, 제1 활상 소자(10)의 제어부를 구성하는 리셋 · 트랜지스터(TR1_{rst}), 증폭 트랜지스터(TR1_{amp}) 및 선택 트랜지스터(TR1_{sel})가 마련되고, 또한, 제1 부유 확산층(FD₁)이 마련되어 있다.

[0440] 리셋 · 트랜지스터(TR1_{rst})는, 게이트부(51), 채널 형성 영역(51A), 및, 소스/드레인 영역(51B, 51C)으로 구성되어 있다. 리셋 · 트랜지스터(TR1_{rst})의 게이트부(51)는 리셋선(RST₁)에 접속되고, 리셋 · 트랜지스터(TR1_{rst})의 일방의 소스/드레인 영역(51C)은, 제1 부유 확산층(FD₁)을 겸하고 있고, 타방의 소스/드레인 영역(51B)은, 전원(V_{DD})에 접속되어 있다.

[0441] 제1 전극(21)은, 충간 절연층(81) 내에 마련된 접속 구멍(65), 패드부(63), 반도체 기판(70) 및 충간 절연층

(76)에 형성된 콘택트 홀부(61), 충간 절연층(76)에 형성된 배선층(62)을 통하여, 리셋 · 트랜지스터(TR1_{rst})의 일방의 소스/드레인 영역(51C)(제1 부유 확산층(FD₁))에 접속되어 있다.

[0442] 증폭 트랜지스터(TR1_{amp})는, 게이트부(52), 채널 형성 영역(52A), 및, 소스/드레인 영역(52B, 52C)으로 구성되어 있다. 게이트부(52)는 배선층(62)을 통하여, 제1 전극(21) 및 리셋 · 트랜지스터(TR1_{rst})의 일방의 소스/드레인 영역(51C)(제1 부유 확산층(FD₁))에 접속되어 있다. 또한, 일방의 소스/드레인 영역(52B)은, 전원(V_{DD})에 접속되어 있다.

[0443] 선택 트랜지스터(TR1_{sel})는, 게이트부(53), 채널 형성 영역(53A), 및, 소스/드레인 영역(53B, 53C)으로 구성되어 있다. 게이트부(53)는, 선택선(SEL₁)에 접속되어 있다. 또한, 일방의 소스/드레인 영역(53B)은, 증폭 트랜지스터(TR1_{amp})를 구성하는 타방의 소스/드레인 영역(52C)과 영역을 공유하고 있고, 타방의 소스/드레인 영역(53C)은, 신호선(데이터 출력선)(VSL₁)(117)에 접속되어 있다.

[0444] 제2 활상 소자(11)는, 반도체 기판(70)에 마련된 n형 반도체 영역(41)을 광전 변환층으로서 구비하고 있다. 종형 트랜지스터로 이루어지는 전송 트랜지스터(TR2_{trs})의 게이트부(45)가, n형 반도체 영역(41)까지 들어나 있고, 또한, 전송 게이트선(TG₂)에 접속되어 있다. 또한, 전송 트랜지스터(TR2_{trs})의 게이트부(45)의 근방의 반도체 기판(70)의 영역(45C)에는, 제2 부유 확산층(FD₂)이 마련되어 있다. n형 반도체 영역(41)에 축적된 전하는, 게이트부(45)를 따라 형성되는 전송 채널을 통하여 제2 부유 확산층(FD₂)에 판독된다.

[0445] 제2 활상 소자(11)에서는, 또한, 반도체 기판(70)의 제1면측에, 제2 활상 소자(11)의 제어부를 구성하는 리셋 · 트랜지스터(TR2_{rst}), 증폭 트랜지스터(TR2_{amp}) 및 선택 트랜지스터(TR2_{sel})가 마련되어 있다.

[0446] 리셋 · 트랜지스터(TR2_{rst})는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 리셋 · 트랜지스터(TR2_{rst})의 게이트부는 리셋선(RST₂)에 접속되고, 리셋 · 트랜지스터(TR2_{rst})의 일방의 소스/드레인 영역은 전원(V_{DD})에 접속되고, 타방의 소스/드레인 영역은, 제2 부유 확산층(FD₂)을 겹하고 있다.

[0447] 증폭 트랜지스터(TR2_{amp})는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 리셋 · 트랜지스터(TR2_{rst})의 타방의 소스/드레인 영역(제2 부유 확산층(FD₂))에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 전원(V_{DD})에 접속되어 있다.

[0448] 선택 트랜지스터(TR2_{sel})는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 선택선(SEL₂)에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 증폭 트랜지스터(TR2_{amp})를 구성하는 타방의 소스/드레인 영역과 영역을 공유하고 있고, 타방의 소스/드레인 영역은, 신호선(데이터 출력선)(VSL₂)에 접속되어 있다.

[0449] 제3 활상 소자(12)는, 반도체 기판(70)에 마련된 n형 반도체 영역(43)을 광전 변환층으로서 구비하고 있다. 전송 트랜지스터(TR3_{trs})의 게이트부(46)는 전송 게이트선(TG₃)에 접속되어 있다. 또한, 전송 트랜지스터(TR3_{trs})의 게이트부(46)의 근방의 반도체 기판(70)의 영역(46C)에는, 제3 부유 확산층(FD₃)이 마련되어 있다. n형 반도체 영역(43)에 축적된 전하는, 게이트부(46)를 따라 형성되는 전송 채널(46A)을 통하여 제3 부유 확산층(FD₃)에 판독된다.

[0450] 제3 활상 소자(12)에서는, 또한, 반도체 기판(70)의 제1면측에, 제3 활상 소자(12)의 제어부를 구성하는 리셋 · 트랜지스터(TR3_{rst}), 증폭 트랜지스터(TR3_{amp}) 및 선택 트랜지스터(TR3_{sel})가 마련되어 있다.

[0451] 리셋 · 트랜지스터(TR3_{rst})는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 리셋 · 트랜지스터(TR3_{rst})의 게이트부는 리셋선(RST₃)에 접속되고, 리셋 · 트랜지스터(TR3_{rst})의 일방의 소스/드레인 영역은 전원(V_{DD})에 접속되고, 타방의 소스/드레인 영역은, 제3 부유 확산층(FD₃)을 겹하고 있다.

[0452] 증폭 트랜지스터(TR3_{amp})는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는,

리셋 · 트랜지스터($TR3_{rst}$)의 타방의 소스/드레인 영역(제3 부유 확산층(FD_3))에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 전원(V_{DD})에 접속되어 있다.

[0453] 선택 트랜지스터($TR3_{sel}$)는, 게이트부, 채널 형성 영역, 및, 소스/드레인 영역으로 구성되어 있다. 게이트부는, 선택선(SEL_3)에 접속되어 있다. 또한, 일방의 소스/드레인 영역은, 증폭 트랜지스터($TR3_{amp}$)를 구성하는 타방의 소스/드레인 영역과 영역을 공유하고 있고, 타방의 소스/드레인 영역은, 신호선(데이터 출력선)(VSL_3)에 접속되어 있다.

[0454] 리셋선(RST_1 , RST_2 , RST_3), 선택선(SEL_1 , SEL_2 , SEL_3), 전송 게이트선(TG_2 , TG_3)은, 구동 회로를 구성하는 수직 구동 회로(112)에 접속되고, 신호선(데이터 출력선)(VSL_1 , VSL_2 , VSL_3)은, 구동 회로를 구성하는 칼럼 신호 처리 회로(113)에 접속되어 있다.

[0455] n형 반도체 영역(43)과 반도체 기판(70)의 표면(70A) 사이에는 p^+ 층(44)이 마련되어 있고, 암 전류 발생을 억제하고 있다. n형 반도체 영역(41)과 n형 반도체 영역(43) 사이에는, p^+ 층(42)이 형성되어 있고, 나아가서는, n형 반도체 영역(43)의 측면의 일부는 p^+ 층(42)에 의해 둘러싸여 있다. 반도체 기판(70)의 이면(70B)측에는, p^+ 층(73)이 형성되어 있고, p^+ 층(73)으로부터 반도체 기판(70)의 내부의 콘택트 홀부(61)를 형성해야 할 부분에는, HfO_2 막(74) 및 절연 재료막(75)이 형성되어 있다. 중간 절연층(76)에는, 복수의 층에 걸쳐 배선이 형성되어 있는데, 도시는 생략하였다.

[0456] HfO_2 막(74)은, 부의 고정 전하를 갖는 막이고, 이와 같은 막을 마련함에 의해, 암 전류의 발생을 억제할 수 있다. HfO_2 막 대신에, 산화 알루미늄(Al_2O_3)막, 산화 지르코늄(ZrO_2)막, 산화 탄탈(Ta_2O_5)막, 산화 티탄(TiO_2)막, 산화 란탄(La_2O_3)막, 산화 프라세오디뮴(Pr_2O_3)막, 산화 세륨(CeO_2)막, 산화 네오디뮴(Nd_2O_3)막, 산화 프로메튬(Pm_2O_3)막, 산화 사마륨(Sm_2O_3)막, 산화 유로퓸(Eu_2O_3)막, 산화 가돌리늄(Gd_2O_3)막, 산화 테르븀(Tb_2O_3)막, 산화 디스프로슘(Dy_2O_3)막, 산화 홀뮴(Ho_2O_3)막, 산화 틸륨(Tm_2O_3)막, 산화 이테르븀(Yb_2O_3)막, 산화 루테튬(Lu_2O_3)막, 산화 이트륨(Y_2O_3)막, 질화 하프늄막, 질화 알루미늄막, 산질화 하프늄막, 산질화 알루미늄막을 이용할 수도 있다. 이를 막의 성마 방법으로서, 예를 들면, CVD법, PVD법, ALD법을 들 수 있다.

[0457] 이하, 도 5 및 도 6A를 참조하여, 실시례 1의 전하 축적용 전극을 구비한 적층형 촬상 소자(제1 촬상 소자(10))의 동작을 설명한다. 실시례 1의 촬상 소자는, 반도체 기판(70)에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고, 제1 전극(21), 제2 전극(22) 및 전하 축적용 전극(24)은, 구동 회로에 접속되어 있다. 여기서, 제1 전극(21)의 전위를 제2 전극(22)의 전위보다도 높게 하였다. 즉, 예를 들면, 제1 전극(21)을 정의 전위로 하고, 제2 전극(22)을 부의 전위로 하고, 광전 변환층(23A)에서 광전 변환에 의해 생성한 전자가 부유 확산층에 판독된다. 다른 실시례에서도 마찬가지이다.

[0458] 도 5, 후술하는 실시례 4에서의 도 20, 도 21, 실시례 6에서의 도 32, 도 33 중에서 사용하고 있는 부호는, 이하와 같다.

[0459] P_A : 전하 축적용 전극(24) 또는 전송 제어용 전극(전하 전송 전극)(25)과 제1 전극(21)의 중간에 위치하는 영역과 대향한 무기산화물 반도체 재료층(23B)의 영역의 점(P_A)에서의 전위

[0460] P_B : 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B)의 영역의 점(P_B)에서의 전위

[0461] P_{C1} : 전하 축적용 전극 세그먼트(24A)와 대향한 무기산화물 반도체 재료층(23B)의 영역의 점(P_{C1})에서의 전위

[0462] P_{C2} : 전하 축적용 전극 세그먼트(24B)와 대향한 무기산화물 반도체 재료층(23B)의 영역의 점(P_{C2})에서의 전위

[0463] P_{C3} : 전하 축적용 전극 세그먼트(24C)와 대향한 무기산화물 반도체 재료층(23B)의 영역의 점(P_{C3})에서의 전위

[0464] P_D : 전송 제어용 전극(전하 전송 전극)(25)과 대향한 무기산화물 반도체 재료층(23B)의 영역의 점(P_D)에서의 전위

- [0465] FD : 제1 부유 확산층(FD_1)에서의 전위
- [0466] V_{OA} : 전하 축적용 전극(24)에서의 전위
- [0467] V_{OA-A} : 전하 축적용 전극 세그먼트(24A)에서의 전위
- [0468] V_{OA-B} : 전하 축적용 전극 세그먼트(24B)에서의 전위
- [0469] V_{OA-C} : 전하 축적용 전극 세그먼트(24C)에서의 전위
- [0470] V_{OT} : 전송 제어용 전극(전하 전송 전극)(25)에서의 전위
- [0471] RST : 리셋 · 트랜지스터($TR1_{rst}$)의 게이트부(51)에서의 전위
- [0472] V_{DD} : 전원의 전위
- [0473] V_{SL1} : 신호선(데이터 출력선)(VSL_1)
- [0474] $TR1_{rst}$: 리셋 · 트랜지스터($TR1_{rst}$)
- [0475] $TR1_{amp}$: 증폭 트랜지스터($TR1_{amp}$)
- [0476] $TR1_{sel}$: 선택 트랜지스터($TR1_{sel}$)
- [0477] 전하 축적 기간에서는, 구동 회로로부터, 제1 전극(21)에 전위(V_{11})가 인가되고, 전하 축적용 전극(24)에 전위(V_{31})가 인가된다. 광전 변환층(23A)에 입사된 광에 의해 광전 변환층(23A)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(22)으로부터 배선(V_{0U})을 통하여 구동 회로로 송출된다. 한편, 제1 전극(21)의 전위를 제2 전극(22)의 전위보다도 높게 했기 때문에, 즉, 예를 들면, 제1 전극(21)에 정의 전위가 인가되고, 제2 전극(22)에 부의 전위가 인가된다고 했기 때문에, $V_{31} \geq V_{11}$, 바람직하게는, $V_{31} > V_{11}$ 로 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극(24)에 끌어당겨지고, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 또는 무기산화물 반도체 재료층(23B) 및 광전 변환층(23A)(이하, 이들을 총칭하여, 『무기산화물 반도체 재료층(23B) 등』이라고 부른다)의 영역에 머문다. 즉, 무기산화물 반도체 재료층(23B) 등에 전하가 축적된다. $V_{31} > V_{11}$ 이기 때문에, 광전 변환층(23A)의 내부에 생성한 전자가, 제1 전극(21)을 향하여 이동하는 일은 없다. 광전 변환의 시간 경과에 따라, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에서의 전위는, 보다 부족의 값이 된다.
- [0478] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층(FD_1)의 전위가 리셋되고, 제1 부유 확산층(FD_1)의 전위는 전원의 전위(V_{DD})가 된다.
- [0479] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극(21)에 전위(V_{12})가 인가되고, 전하 축적용 전극(24)에 전위(V_{32})가 인가된다. 여기서, $V_{32} < V_{12}$ 로 한다. 이에 의해, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자는, 제1 전극(21), 나아가서는, 제1 부유 확산층(FD_1)에 판독된다. 즉, 무기산화물 반도체 재료층(23B) 등에 축적된 전하가 제어부에 판독된다.
- [0480] 이상으로, 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작이 완료된다.
- [0481] 제1 부유 확산층(FD_1)에 전자가 판독된 후의 증폭 트랜지스터($TR1_{amp}$), 선택 트랜지스터($TR1_{sel}$)의 동작은, 종래의 이들 트랜지스터의 동작과 같다. 또한, 제2 활상 소자(11), 제3 활상 소자(12)의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작은, 종래의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작과 마찬가지이다. 또한, 제1 부유 확산층(FD_1)의 리셋 노이즈는, 종래와 마찬가지로, 상관 이중 샘플링(CDS, Correlated Double Sampling) 처리에 의해 제거할 수 있다.
- [0482] 이상과 같이, 실시례 1에서는, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여

배치된 전하 축적용 전극이 구비되어 있기 때문에, 광전 변환층에 광이 조사되고, 광전 변환층에서 광전 변환될 때, 무기산화물 반도체 재료층 등과 절연층과 전하 축적용 전극에 의해 일종의 커패시터가 형성되고, 무기산화물 반도체 재료층 등에 전하를 축적할 수 있다. 그러므로, 노광 시작 시, 전하 축적부를 완전 공핍화하고, 전하를 소거하는 것이 가능해진다. 그 결과, kTC 노이즈가 커지고, 랜덤 노이즈가 악화되고, 활상 화질의 저하를 가져온다는 현상의 발생을 억제할 수 있다. 또한, 전 화소를 일제히 리셋할 수 있기 때문에, 이른바 글로벌 셔터 기능을 실현할 수 있다.

[0483] 도 68에, 실시례 1의 고체 활상 장치의 개념도를 도시한다. 실시례 1의 고체 활상 장치(100)는, 적층형 활상 소자(101)가 2차원 어레이형상으로 배열된 활상 영역(111), 및, 그 구동 회로(주변 회로)로서의 수직 구동 회로(112), 칼럼 신호 처리 회로(113), 수평 구동 회로(114), 출력 회로(115) 및 구동 제어 회로(116) 등으로 구성되어 있다. 이를 회로는 주지의 회로로 구성할 수 있고, 또한, 다른 회로 구성(예를 들면, 종래의 CCD 활상 장치나 CMOS 활상 장치에서 이용되는 각종의 회로)을 이용하여 구성할 수 있는 것은 말할 것까지도 없다. 도 68에서, 적층형 활상 소자(101)에서의 참조 번호 「101」의 표시는, 1행만으로 하였다.

[0484] 구동 제어 회로(116)는, 수직 동기 신호, 수평 동기 신호 및 마스터 · 클록에 의거하여, 수직 구동 회로(112), 칼럼 신호 처리 회로(113) 및 수평 구동 회로(114)의 동작의 기준이 되는 클록 신호나 제어 신호를 생성한다. 그리고, 생성된 클록 신호나 제어 신호는, 수직 구동 회로(112), 칼럼 신호 처리 회로(113) 및 수평 구동 회로(114)에 입력된다.

[0485] 수직 구동 회로(112)는, 예를 들면, 시프트 레지스터에 의해 구성되고, 활상 영역(111)의 각 적층형 활상 소자(101)를 행 단위로 순차적으로 수직 방향으로 선택 주사한다. 그리고, 각 적층형 활상 소자(101)에서의 수광량에 응하여 생성한 전류(신호)에 의거하는 화소 신호(화상 신호)는, 신호선(데이터 출력선)(117, VSL)을 통하여 칼럼 신호 처리 회로(113)에 보내진다.

[0486] 칼럼 신호 처리 회로(113)는, 예를 들면, 적층형 활상 소자(101)의 열마다 배치되어 있고, 1행분의 적층형 활상 소자(101)로부터 출력되는 화상 신호를 활상 소자마다 흑 기준 화소(도시하지 않지만, 유효 화소 영역의 주위에 형성된다)로부터의 신호에 의해, 노이즈 제거나 신호 증폭의 신호 처리를 행한다. 칼럼 신호 처리 회로(113)의 출력단에는, 수평 선택 스위치(도시 생략)가 수평 신호선(118) 사이에 접속되어 마련된다.

[0487] 수평 구동 회로(114)는, 예를 들어 시프트 레지스터에 의해 구성되고, 수평 주사 펄스를 순차적으로 출력함에 의해, 칼럼 신호 처리 회로(113)의 각각을 순차적으로 선택하고, 칼럼 신호 처리 회로(113)의 각각으로부터 신호를 수평 신호선(118)에 출력한다.

[0488] 출력 회로(115)는, 칼럼 신호 처리 회로(113)의 각각으로부터 수평 신호선(118)을 통하여 순차적으로 공급되는 신호에 대해, 신호 처리를 행하여 출력한다.

[0489] 실시례 1의 활상 소자, 적층형 활상 소자의 변형례의 등가 회로도를 도 9에 도시하고, 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 10에 도시하는 바와 같이, 리셋 · 트랜지스터(TR_{1rst})의 타방의 소스/드레인 영역(51B)을, 전원(V_{DD})에 접속하는 대신에, 접지해도 좋다.

[0490] 실시례 1의 활상 소자, 적층형 활상 소자는, 예를 들면, 이하의 방법으로 제작할 수 있다. 즉, 우선, SOI 기판을 준비한다. 그리고, SOI 기판의 표면에 제1 실리콘층을 에피택셜 성장법에 의거하여 형성하고, 이 제1 실리콘층에, p^+ 층(73), n형 반도체 영역(41)을 형성한다. 이어서, 제1 실리콘층상에 제2 실리콘층을 에피택셜 성장법에 의거하여 형성하고, 이 제2 실리콘층에, 소자 분리 영역(71), 산화막(72), p^+ 층(42), n형 반도체 영역(43), p^+ 층(44)을 형성한다. 또한, 제2 실리콘층에, 활상 소자의 제어부를 구성하는 각종 트랜지스터 등을 형성하고, 또한 그 위에, 배선층(62)이나 층간 절연층(76), 각종 배선을 형성한 후, 층간 절연층(76)과 지지 기판(도시 생략)을 접합시킨다. 그 후, SOI 기판을 제거하여 제1 실리콘층을 노출시킨다. 제2 실리콘층의 표면이 반도체 기판(70)의 표면(70A)에 해당하고, 제1 실리콘층의 표면이 반도체 기판(70)의 이면(70B)에 해당한다. 또한, 제1 실리콘층과 제2 실리콘층을 통합하여 반도체 기판(70)이라고 표현하고 있다. 이어서, 반도체 기판(70)의 이면(70B)측에, 콘택트 홀부(61)를 형성하기 위한 개구부를 형성하고, HfO_2 막(74), 절연 재료막(75) 및 콘택트 홀부(61)를 형성하고, 또한, 패드부(63, 64), 층간 절연층(81), 접속 구멍(65, 66), 제1 전극(21), 전하 축적용 전극(24), 절연층(82)을 형성한다. 다음으로, 접속부(67)를 개구하고, 무기산화물 반도체 재료층(23B), 광전 변환층(23A), 제2 전극(22), 보호 재료층(83) 및 온 칩 · 마이크로 · 렌즈(14)를 형성한다. 이상에 의해, 실시례 1의 활상 소자, 적층형 활상 소자를 얻을 수 있다.

[0491] 또한, 도시는 생략하지만, 절연층(82)을, 절연층·하층과 절연층·상층의 2층 구성으로 할 수도 있다. 즉, 적어도, 전하 축적용 전극(24) 위, 및, 전하 축적용 전극(24)과 제1 전극(21) 사이의 영역에, 절연층·하층을 형성하고(보다 구체적으로는, 전하 축적용 전극(24)을 포함하는 층간 절연층(81)상에 절연층·하층을 형성하고), 절연층·하층에 평탄화 처리를 시행한 후, 절연층·하층 및 전하 축적용 전극(24) 위에 절연층·상층을 형성하면 좋으며, 이에 의해, 절연층(82)의 평탄화를 확실하게 달성할 수 있다. 그리고, 이렇게 얻어진 절연층(82)에 접속부(67)를 개구하면 좋다.

[0492] 실시례 2

[0493] 실시례 2는, 실시례 1의 변형이다. 도 11에 모식적인 일부 단면도를 도시하는 실시례 2의 활상 소자, 적층형 활상 소자는, 표면 조사형의 활상 소자, 적층형 활상 소자이고, 녹색광을 흡수하는 제1 타입의 녹색광용 광전 변환층을 구비한 녹색광에 감도를 갖는 제1 타입의 실시례 1의 녹색광용 활상 소자(제1 활상 소자(10)), 청색광을 흡수하는 제2 타입의 청색광용 광전 변환층을 구비한 청색광에 감도를 갖는 제2 타입의 종래의 청색광용 활상 소자(제2 활상 소자(11)), 적색광을 흡수하는 제2 타입의 적색광용 광전 변환층을 구비한 적색광에 감도를 갖는 제2 타입의 종래의 적색광용 활상 소자(제3 활상 소자(12))의 3개의 활상 소자가 적층된 구조를 가진다. 여기서, 적색광용 활상 소자(제3 활상 소자(12)) 및 청색광용 활상 소자(제2 활상 소자(11))는 반도체 기판(70) 내에 마련되어 있고, 제2 활상 소자(11) 쪽이 제3 활상 소자(12)보다도 광 입사측에 위치한다. 또한, 녹색광용 활상 소자(제1 활상 소자(10))는, 청색광용 활상 소자(제2 활상 소자(11))의 상방에 마련되어 있다.

[0494] 반도체 기판(70)의 표면(70A)측에는, 실시례 1과 마찬가지로 제어부를 구성하는 각종 트랜지스터가 마련되어 있다. 이들 트랜지스터는, 실질적으로 실시례 1에서 설명한 트랜지스터와 같은 구성, 구조로 할 수 있다. 또한, 반도체 기판(70)에는, 제2 활상 소자(11), 제3 활상 소자(12)가 마련되어 있는데, 이들 활상 소자도, 실질적으로 실시례 1에서 설명한 제2 활상 소자(11), 제3 활상 소자(12)와 같은 구성, 구조로 할 수 있다.

[0495] 반도체 기판(70)의 표면(70A)의 상방에는 층간 절연층(81)이 형성되어 있고, 층간 절연층(81)의 상방에, 실시례 1의 활상 소자와 마찬가지로, 제1 전극(21), 무기산화물 반도체 재료층(23B), 광전 변환층(23A) 및 제2 전극(22), 및, 전하 축적용 전극(24) 등이 마련되어 있다.

[0496] 이와 같이, 표면 조사형인 점을 제외하고, 실시례 2의 활상 소자, 적층형 활상 소자의 구성, 구조는, 실시례 1의 활상 소자, 적층형 활상 소자의 구성, 구조와 마찬가지로 할 수 있기 때문에, 상세한 설명은 생략한다.

[0497] 실시례 3

[0498] 실시례 3은, 실시례 1 및 실시례 2의 변형이다.

[0499] 도 12에 모식적인 일부 단면도를 도시하는 실시례 3의 활상 소자, 적층형 활상 소자는, 이면 조사형의 활상 소자, 적층형 활상 소자이고, 제1 타입의 실시례 1의 제1 활상 소자(10), 및, 제2 타입의 제3 활상 소자(12)의 2개의 활상 소자가 적층된 구조를 가진다. 또한, 도 13에 모식적인 일부 단면도를 도시하는 실시례 3의 활상 소자, 적층형 활상 소자의 변형례는, 표면 조사형의 활상 소자, 적층형 활상 소자이고, 제1 타입의 실시례 1의 제1 활상 소자(10), 및, 제2 타입의 제3 활상 소자(12)의 2개의 활상 소자가 적층된 구조를 가진다. 여기서, 제1 활상 소자(10)는 원색의 광을 흡수하고, 제3 활상 소자(12)는 보색의 광을 흡수한다. 또한, 제1 활상 소자(10)는 백색광을 흡수하고, 제3 활상 소자(12)는 적외선을 흡수한다.

[0500] 도 14에 모식적인 일부 단면도를 도시하는 실시례 3의 활상 소자의 변형례는, 이면 조사형의 활상 소자이고, 제1 타입의 실시례 1의 제1 활상 소자(10)로 구성되어 있다. 또한, 도 15에 모식적인 일부 단면도를 도시하는 실시례 3의 활상 소자의 변형례는, 표면 조사형의 활상 소자이고, 제1 타입의 실시례 1의 제1 활상 소자(10)로 구성되어 있다. 여기서, 제1 활상 소자(10)는, 적색광을 흡수하는 활상 소자, 녹색광을 흡수하는 활상 소자, 청색광을 흡수하는 활상 소자의 3종류의 활상 소자로 구성되어 있다. 나아가서는, 이들 활상 소자의 복수로부터, 본개시의 제1 양태에 관한 고체 활상 장치가 구성된다. 복수의 이들 활상 소자의 배치로서, 베이어 배열을 들 수 있다. 각 활상 소자의 광 입사측에는, 필요에 응하여, 청색, 녹색, 적색의 분광을 행하기 위한 컬러 필터층이 배설되어 있다.

[0501] 제1 타입의 실시례 1의 활상 소자를 1개, 마련하는 대신에, 2개, 적층하는 형태(즉, 광전 변환부를 2개, 적층하고, 반도체 기판에 2개의 광전 변환부의 제어부를 마련하는 형태), 또한, 3개, 적층하는 형태(즉, 광전 변환부를 3개, 적층하고, 반도체 기판에 3개의 광전 변환부의 제어부를 마련하는 형태)로 할 수도 있다. 제1 타입의 활상 소자와 제2 타입의 활상 소자의 적층 구조례를, 이하의 표에 예시한다.

[0502]

표

	제1타입	제2타입
이면조사형 및 표면조사형	1 녹색	2 청색 + 적색
	1 원색	1 보색
	1 백색	1 적외선
	1 청색 또는 녹색 또는 적색	0
	2 녹색 + 적외광	2 청색 + 적색
	2 녹색 + 청색	1 적색
	2 백색 + 적외광	0
	3 녹색 + 청색 + 적색	2 청록색 (에메랄드색) + 적외광
	3 녹색 + 청색 + 적색	1 적외광
	3 청색 + 녹색 + 적색	0

[0503]

[0504] 실시례 4

[0505]

실시례 4는, 실시례 1~실시례 3의 변형이고, 본 개시의 전송 제어용 전극(전하 전송 전극)을 구비한 활상 소자 등에 관한 것이다. 실시례 4의 활상 소자, 적층형 활상 소자의 일부분의 모식적인 일부 단면도를 도 16에 도시하고, 실시례 4의 활상 소자, 적층형 활상 소자의 등가 회로도를 도 17 및 도 18에 도시하고, 실시례 4의 활상 소자를 구성하는 제1 전극, 전송 제어용 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 19에 도시하고, 실시례 4의 활상 소자의 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도 20 및 도 21에 도시하고, 실시례 4의 활상 소자의 각 부위를 설명하기 위한 등가 회로도를 도 6B에 도시한다. 또한, 실시례 4의 활상 소자의 광전 변환부를 구성하는 제1 전극, 전송 제어용 전극 및 전하 축적용 전극의 모식적인 배치도를 도 22에 도시하고, 제1 전극, 전송 제어용 전극, 전하 축적용 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도를 도 23에 도시한다.

[0506]

실시례 4의 활상 소자, 적층형 활상 소자에서는, 제1 전극(21)과 전하 축적용 전극(24) 사이에, 제1 전극(21) 및 전하 축적용 전극(24)과 이간하여 배치되고, 또한, 절연층(82)을 통하여 무기산화물 반도체 재료층(23B)과 대향하여 배치된 전송 제어용 전극(전하 전송 전극)(25)을 또한 구비하고 있다. 전송 제어용 전극(25)은, 층간 절연층(81) 내에 마련된 접속 구멍(68B), 패드부(68A) 및 배선(V_{OT})을 통하여, 구동 회로를 구성하는 화소 구동 회로에 접속되어 있다. 또한, 도 16, 도 25, 도 28, 도 37, 도 43, 도 46A, 도 46B, 도 47A, 도 47B, 도 66 및 도 67에서, 층간 절연층(81)보다 하방에 위치하는 각종의 활상 소자 구성 요소를, 도면을 간소화하기 위해, 편의상, 통합하여, 참조 번호 13으로 나타낸다.

[0507]

이하, 도 20, 도 21을 참조하여, 실시례 4의 활상 소자(제1 활상 소자(10))의 동작을 설명한다. 또한, 도 20과 도 21에서는, 특히, 전하 축적용 전극(24)에 인가되는 전위 및 점(P_D)에서의 전위의 값이 상위하고 있다.

[0508]

전하 축적 기간에서, 구동 회로로부터, 제1 전극(21)에 전위(V_{H1})가 인가되고, 전하 축적용 전극(24)에 전위(V_{S1})가 인가되고, 전송 제어용 전극(25)에 전위(V_{S1})가 인가된다. 광전 변환층(23A)에 입사된 광에 의해 광전

변환층(23A)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(22)으로부터 배선(V_{OU})을 통하여 구동 회로에 송출된다. 한편, 제1 전극(21)의 전위를 제2 전극(22)의 전위보다도 높게 했기 때문에, 즉, 예를 들면, 제1 전극(21)에 정의 전위가 인가되고, 제2 전극(22)에 부의 전위가 인가된다고 했기 때문에, $V_{31} > V_{51}$ (예를 들면, $V_{31} > V_{11} > V_{51}$, 또는, $V_{11} > V_{31} > V_{51}$)로 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극(24)에 끌어당겨지고, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머문다. 즉, 무기산화물 반도체 재료층(23B) 등에 전하가 축적된다. $V_{31} > V_{51}$ 이기 때문에, 광전 변환층(23A)의 내부에 생성한 전자가, 제1 전극(21)을 향하여 이동하는 것을 확실하게 방지할 수 있다. 광전 변환의 시간 경과에 따라, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에서의 전위는, 보다 부측의 값이 된다.

[0509] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층(FD_1)의 전위가 리셋되고, 제1 부유 확산층(FD_1)의 전위는 전원의 전위(V_{DD})가 된다.

[0510] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극(21)에 전위(V_{12})가 인가되고, 전하 축적용 전극(24)에 전위(V_{32})가 인가되고, 전송 제어용 전극(25)에 전위(V_{52})가 인가된다. 여기서, $V_{32} \leq V_{52} \leq V_{12}$ (바람직하게는, $V_{32} < V_{52} < V_{12}$)로 한다. 이에 의해, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자는, 제1 전극(21), 나아가서는, 제1 부유 확산층(FD_1)에 확실하게 판독된다. 즉, 무기산화물 반도체 재료층(23B) 등에 축적된 전하가 제어부에 판독된다.

[0511] 이상으로, 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작이 완료된다.

[0512] 제1 부유 확산층(FD_1)에 전자가 판독된 후의 증폭 트랜지스터($TR1_{amp}$), 선택 트랜지스터($TR1_{sel}$)의 동작은, 종래의 이들 트랜지스터의 동작과 같다. 또한, 예를 들면, 제2 활상 소자(11), 제3 활상 소자(12)의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작은, 종래의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작과 마찬가지이다.

[0513] 실시례 4의 활상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 24에 도시하는 바와 같이, 리셋 · 트랜지스터($TR1_{rst}$)의 타방의 소스/드레인 영역(51B)을, 전원(V_{DD})에 접속하는 대신에, 접지해도 좋다.

[0514] 실시례 5

[0515] 실시례 5는, 실시례 1~실시례 4의 변형이고, 본 개시의 전하 배출 전극을 구비한 활상 소자 등에 관한 것이다. 실시례 5의 활상 소자의 일부분의 모식적인 일부 단면도를 도 25에 도시하고, 실시례 5의 활상 소자의 전하 축적용 전극을 구비한 광전 변환부를 구성하는 제1 전극, 전하 축적용 전극 및 전하 배출 전극의 모식적인 배치도를 도 26에 도시하고, 제1 전극, 전하 축적용 전극, 전하 배출 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시사시도를 도 27에 도시한다.

[0516] 실시례 5의 활상 소자에서는, 접속부(69)를 통하여 무기산화물 반도체 재료층(23B)에 접속되고, 제1 전극(21) 및 전하 축적용 전극(24)과 이간하여 배치된 전하 배출 전극(26)을 또한 구비하고 있다. 여기서, 전하 배출 전극(26)은, 제1 전극(21) 및 전하 축적용 전극(24)을 둘러싸도록(즉, 액자형상으로) 배치되어 있다. 전하 배출 전극(26)은, 구동 회로를 구성하는 화소 구동 회로에 접속되어 있다. 접속부(69) 내에는, 무기산화물 반도체 재료층(23B)이 연재되어 있다. 즉, 무기산화물 반도체 재료층(23B)은, 절연층(82)에 마련된 제2 개구부(86) 내를 연재하고, 무기산화물 반도체 재료층(23B)은 전하 배출 전극(26)과 접속되어 있다. 전하 배출 전극(26)은, 복수의 활상 소자에서 공유화(공통화)되어 있다. 제2 개구부(86)의 측면에는 상방을 향하여 넓어지는 경사가 형성되어 있어도 좋다. 전하 배출 전극(26)은, 예를 들면, 광전 변환부의 플로팅 디퓨전이나 오버플로 드레인으로서 이용할 수 있다.

[0517] 실시례 5에서는, 전하 축적 기간에서, 구동 회로로부터, 제1 전극(21)에 전위(V_{11})가 인가되고, 전하 축적용 전극(24)에 전위(V_{31})가 인가되고, 전하 배출 전극(26)에 전위(V_{61})가 인가되고, 무기산화물 반도체 재료층(23B) 등에 전하가 축적된다. 광전 변환층(23A)에 입사된 광에 의해 광전 변환층(23A)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(22)으로부터 배선(V_{OU})을 통하여 구동 회로에 송출된다. 한편, 제1 전극

(21)의 전위를 제2 전극(22)의 전위보다도 높게 했기 때문에, 즉, 예를 들면, 제1 전극(21)에 정의 전위가 인가되고, 제2 전극(22)에 부의 전위가 인가된다고 했기 때문에, $V_{61} > V_{11}$ (예를 들면, $V_{31} > V_{61} > V_{11}$)로 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극(24)에 끌어당겨지고, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고, 제1 전극(21)을 향하여 이동하는 것을 확실하게 방지할 수 있다. 단, 전하 축적용 전극(24)에 의한 끌어당김이 충분하지 않고, 또한, 무기산화물 반도체 재료층(23B) 등에 완전히 축적할 수 없었던 전자(이른바 오버플로한 전자)는, 전하 배출 전극(26)을 경유하여, 구동 회로에 송출된다.

[0518] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층(FD_1)의 전위가 리셋되고, 제1 부유 확산층(FD_1)의 전위는 전원의 전위(V_{DD})가 된다.

[0519] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극(21)에 전위(V_{12})가 인가되고, 전하 축적용 전극(24)에 전위(V_{32})가 인가되고, 전하 배출 전극(26)에 전위(V_{62})가 인가된다. 여기서, $V_{62} < V_{12}$ (예를 들면, $V_{62} < V_{32} < V_{12}$)로 한다. 이에 의해, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자는, 제1 전극(21), 나아가서는, 제1 부유 확산층(FD_1)에 확실하게 판독된다. 즉, 무기산화물 반도체 재료층(23B) 등에 축적된 전하가 제어부에 판독된다.

[0520] 이상으로, 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작이 완료된다.

[0521] 제1 부유 확산층(FD_1)에 전자가 판독된 후의 증폭 트랜지스터($TR1_{amp}$), 선택 트랜지스터($TR1_{sel}$)의 동작은, 종래의 이들 트랜지스터의 동작과 같다. 또한, 예를 들면, 제2 활상 소자, 제3 활상 소자의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작은, 종래의 전하 축적, 리셋 동작, 전하 전송이라는 일련의 동작과 마찬가지이다.

[0522] 실시례 5에서는, 이른바 오버플로한 전자는 전하 배출 전극(26)을 경유하여 구동 회로에 송출되기 때문에, 인접 화소의 전하 축적부에의 누입을 억제할 수 있고, 블루밍의 발생을 억제할 수 있다. 그리고, 이에 의해, 활상 소자의 활상 성능을 향상시킬 수 있다.

[0523] 실시례 6

[0524] 실시례 6은, 실시례 1~실시례 5의 변형이고, 본 개시의 복수의 전하 축적용 전극 세그먼트를 구비한 활상 소자 등에 관한 것이다.

[0525] 실시례 6의 활상 소자의 일부분의 모식적인 일부 단면도를 도 28에 도시하고, 실시례 6의 활상 소자의 등가 회로도를 도 29 및 도 30에 도시하고, 실시례 6의 활상 소자의 전하 축적용 전극을 구비한 광전 변환부를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 31에 도시하고, 실시례 6의 활상 소자의 동작 시의 각 부위에서의 전위의 상태를 모식적으로 도 32, 도 33에 도시하고, 실시례 6의 활상 소자의 각 부위를 설명하기 위한 등가 회로도를 도 6C에 도시한다. 또한, 실시례 6의 활상 소자의 전하 축적용 전극을 구비한 광전 변환부를 구성하는 제1 전극 및 전하 축적용 전극의 모식적인 배치도를 도 34에 도시하고, 제1 전극, 전하 축적용 전극, 제2 전극 및 콘택트 홀부의 모식적인 투시 사시도를 도 35에 도시한다.

[0526] 실시례 6에서, 전하 축적용 전극(24)은, 복수의 전하 축적용 전극 세그먼트(24A, 24B, 24C)로 구성되어 있다. 전하 축적용 전극 세그먼트의 수는, 2 이상이면 좋으며, 실시례 6에서는 「3」으로 하였다. 그리고, 실시례 6의 활상 소자에서는, 제1 전극(21)의 전위가 제2 전극(22)의 전위보다도 높기 때문에, 즉, 예를 들면, 제1 전극(21)에 정의 전위가 인가되고, 제2 전극(22)에 부의 전위가 인가된다. 그리고, 전하 전송 기간에서, 제1 전극(21)에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트(24A)에 인가되는 전위는, 제1 전극(21)에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트(24C)에 인가되는 전위보다도 높다. 이와 같이, 전하 축적용 전극(24)에 전위 구배를 부여함으로써, 전하 축적용 전극(24)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자는, 제1 전극(21), 나아가서는, 제1 부유 확산층(FD_1)에 한층 확실하게 판독된다. 즉, 무기산화물 반도체 재료층(23B) 등에 축적된 전하가 제어부에 판독된다.

[0527] 도 32에 도시하는 예에서는, 전하 전송 기간에서, 전하 축적용 전극 세그먼트(24C)의 전위<전하 축적용 전극 세그먼트(24B)의 전위<전하 축적용 전극 세그먼트(24A)의 전위로 함으로써, 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자를, 일제히, 제1 부유 확산층(FD_1)에 판독한다. 한편, 도 33에 도시하는 예에서는, 전하 전송 기간에서, 전하 축적용 전극 세그먼트(24C)의 전위, 전하 축적용 전극 세그먼트(24B)의 전위, 전하 축

적용 전극 세그먼트(24A)의 전위를 점점 변화시킴으로써(즉, 계단형상 또는 로프형상으로 변화시킴으로써), 전하 축적용 전극 세그먼트(24C)와 대향하는 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자를, 전하 축적용 전극 세그먼트(24B)와 대향하는 무기산화물 반도체 재료층(23B) 등의 영역에 이동시키고, 이어서, 전하 축적용 전극 세그먼트(24B)와 대향하는 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자를, 전하 축적용 전극 세그먼트(24A)와 대향하는 무기산화물 반도체 재료층(23B) 등의 영역에 이동시키고, 이어서, 전하 축적용 전극 세그먼트(24A)와 대향하는 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자를, 제1 부유 확산층(FD₁)에 확실하게 판독한다.

[0528] 실시례 6의 활상 소자의 변형례를 구성하는 제1 전극 및 전하 축적용 전극 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 36에 도시하는 바와 같이, 리셋 · 트랜지스터(TR1_{rst})의 타방의 소스/드레인 영역(51B)을, 전원(V_{DD})에 접속하는 대신에, 접지해도 좋다.

[0529] 실시례 7

[0530] 실시례 7은, 실시례 1~실시례 6의 변형이고, 본 개시의 전하 이동 제어 전극을 구비한 활상 소자 등, 구체적으로는, 본 개시의 하부 전하 이동 제어 전극(하방 · 전하 이동 제어 전극)을 구비한 활상 소자 등에 관한 것이다. 실시례 7의 활상 소자의 일부분의 모식적인 일부 단면도를 도 37에 도시하고, 실시례 7의 활상 소자를 구성하는 제1 전극 및 전하 축적용 전극 등 및 제어부를 구성하는 트랜지스터의 모식적인 배치도를 도 38에 도시하고, 실시례 7의 활상 소자의 전하 축적용 전극을 구비한 광전 변환부를 구성하는 제1 전극, 전하 축적용 전극 및 하부 전하 이동 제어 전극의 모식적인 배치도를 도 39, 도 40에 도시한다.

[0531] 실시례 7의 활상 소자에서, 인접하는 활상 소자 사이에 위치하는 광전 변환 적층체(23)의 영역(광전 변환층의 영역(-A))(23_A)에 절연층(82)을 통하여 대향하는 영역에는, 하부 전하 이동 제어 전극(27)이 형성되어 있다. 환언하면, 인접하는 활상 소자의 각각을 구성하는 전하 축적용 전극(24)과 전하 축적용 전극(24)에 의해 끼인 영역(영역(-a))에서의 절연층(82)의 부분(절연층(82)의 영역(-A))(82_A) 아래에, 하부 전하 이동 제어 전극(27)이 형성되어 있다. 하부 전하 이동 제어 전극(27)은, 전하 축적용 전극(24)과 이간하여 마련되어 있다. 또한, 환언하면, 하부 전하 이동 제어 전극(27)은, 전하 축적용 전극(24)을 둘러싸서, 전하 축적용 전극(24)과 이간하여 마련되어 있고, 하부 전하 이동 제어 전극(27)은 절연층(82)을 통하여, 광전 변환층의 영역(-A)(23_A)과 대향하여 배치되어 있다. 하부 전하 이동 제어 전극(27)은 활상 소자에서 공통화되어 있다. 그리고, 하부 전하 이동 제어 전극(27)도 구동 회로에 접속되어 있다. 구체적으로는, 하부 전하 이동 제어 전극(27)은, 중간 절연층(81) 내에 마련된 접속 구멍(27A), 패드부(27B) 및 배선(V_{OB})을 통하여, 구동 회로를 구성하는 수직 구동 회로(112)에 접속되어 있다. 하부 전하 이동 제어 전극(27)은, 제1 전극(21) 또는 전하 축적용 전극(24)과 같은 레벨에 형성되어 있어도 좋고, 다른 레벨(구체적으로는, 제1 전극(21) 또는 전하 축적용 전극(24)보다도 하방의 레벨)에 형성되어 있어도 좋다. 전자인 경우, 전하 이동 제어 전극(27)과 광전 변환층(23A) 사이의 거리를 짧게 할 수 있기 때문에, 포텐셜을 제어하기 쉽다. 한편, 후자인 경우, 전하 이동 제어 전극(27)과 전하 축적용 전극(24) 사이의 거리를 짧게 할 수 있기 때문에, 미세화에 유리하다.

[0532] 실시례 7의 활상 소자에서는, 광전 변환층(23A)에 광이 입사하여 광전 변환층(23A)에서 광전 변환이 생길 때, 전하 축적용 전극(24)에 대향하는 광전 변환층(23A)의 부분에 가해지는 전위의 절대치는, 광전 변환층(23A)의 영역(-A)에 가해지는 전위의 절대치보다도 큰 값이기 때문에, 광전 변환에 의해 생성한 전하는 전하 축적용 전극(24)에 대향하는 무기산화물 반도체 재료층(23B)의 부분에 강하게 끌어당겨진다. 그 결과, 광전 변환에 의해 생성한 전하가 인접하는 활상 소자에 흘러 들어가는 것을 억제할 수 있기 때문에, 활영된 영상(화상)에 품질 열화가 생기는 일이 없다. 또한, 광전 변환층(23A)의 영역(-A)에 절연층을 통하여 대향하는 영역에는 하부 전하 이동 제어 전극(27)이 형성되어 있기 때문에, 하부 전하 이동 제어 전극(27)의 상방에 위치하는 광전 변환층(23A)의 영역(-A)의 전계나 전위를 제어할 수 있다. 그 결과, 광전 변환에 의해 생성한 전하가 인접하는 활상 소자에 흘러 들어가는 것을 하부 전하 이동 제어 전극(27)에 의해 억제할 수 있기 때문에, 활영된 영상(화상)에 품질 열화가 생기는 일이 없다.

[0533] 도 39 및 도 40에 도시하는 예에서는, 전하 축적용 전극(24)과 전하 축적용 전극(24)에 의해 끼인 영역(영역(-a))에서의 절연층(82)의 부분(82_A) 아래에, 하부 전하 이동 제어 전극(27)이 형성되어 있다. 한편, 도 41, 도 42A, 도 42B에 도시하는 예에서는, 4개의 전하 축적용 전극(24)에 의해 둘러싸인 영역에서의 절연층(82)의 부분 아래에, 하부 전하 이동 제어 전극(27)이 형성되어 있다. 또한, 도 41, 도 42A, 도 42B에 도시하는 예는, 제1

구성 및 제2 구성의 고체 활상 장치이기도 한다. 그리고, 4개의 활상 소자에서, 4개의 전하 축적용 전극(24)에 대응하여 공통의 1개의 제1 전극(21)이 마련되어 있다.

[0534] 도 42B에 도시하는 예에서는, 4개의 활상 소자에서, 4개의 전하 축적용 전극(24)에 대응하여 공통의 1개의 제1 전극(21)이 마련되어 있고, 4개의 전하 축적용 전극(24)에 의해 둘러싸인 영역에서의 절연층(82)의 부분 아래에, 하부 전하 이동 제어 전극(27)이 형성되어 있고, 나아가서는, 4개의 전하 축적용 전극(24)에 의해 둘러싸인 영역에서의 절연층(82)의 부분 아래에 전하 배출 전극(26)이 형성되어 있다. 전술한 바와 같이, 전하 배출 전극(26)은, 예를 들면, 광전 변환부의 플로팅 디퓨전이나 오버플로 드레인으로서 이용할 수 있다.

[0535] 실시례 8

[0536] 실시례 8은, 실시례 7의 변형이고, 본 개시의 상부 전하 이동 제어 전극(상방·전하 이동 제어 전극)을 구비한 활상 소자 등에 관한 것이다. 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 일부분의 모식적인 단면도를 도 43에 도시하고, 실시례 8의 활상 소자(병설된 2×2의 활상 소자)의 일부분의 모식적인 평면도를 도 44 및 도 45에 도시한다. 실시례 8의 활상 소자에서, 인접하는 활상 소자 사이에 위치하는 광전 변환 적층체(23)의 영역(23A) 위에는, 제2 전극(22)이 형성되는 대신에, 상부 전하 이동 제어 전극(28)이 형성되어 있다. 상부 전하 이동 제어 전극(28)은, 제2 전극(22)과 이간하여 마련되어 있다. 환연하면, 제2 전극(22)은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극(28)은, 제2 전극(22)의 적어도 일부를 둘러싸서, 제2 전극(22)과 이간하여, 광전 변환 적층체(23)의 영역(-A) 위에 마련되어 있다. 상부 전하 이동 제어 전극(28)은, 제2 전극(22)과 같은 레벨에 형성되어 있다.

[0537] 또한, 도 44에 도시하는 예에서는, 1개의 활상 소자에서, 1개의 제1 전극(21)에 대응하여 1개의 전하 축적용 전극(24)이 마련되어 있다. 한편, 도 45에 도시하는 변형례에서는, 2개의 활상 소자에서, 2개의 전하 축적용 전극(24)에 대응하여 공통의 1개의 제1 전극(21)이 마련되어 있다. 도 43에 도시하는 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 일부분의 모식적인 단면도는 도 45에 대응한다.

[0538] 또한, 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 일부분의 모식적인 단면도를 도 46A에 도시하는 바와 같이, 제2 전극(22)이 복수로 분할되고, 각 분할된 제2 전극(22)에 개별적으로 다른 전위를 인가해도 좋다. 나아가서는, 도 46B에 도시하는 바와 같이, 분할된 제2 전극(22)과 제2 전극(22) 사이에 상부 전하 이동 제어 전극(28)이 마련되어 있어도 좋다.

[0539] 실시례 8에서는, 광 입사측에 위치하는 제2 전극(22)은, 도 44의 지면, 좌우 방향으로 배열된 활상 소자에서 공통화되어 있고, 도 44의 지면, 상하 방향으로 배열된 한 쌍의 활상 소자에서 공통화되어 있다. 또한, 상부 전하 이동 제어 전극(28)도, 도 44의 지면, 좌우 방향으로 배열된 활상 소자에서 공통화되어 있고, 도 44의 지면, 상하 방향으로 배열된 한 쌍의 활상 소자에서 공통화되어 있다. 제2 전극(22) 및 상부 전하 이동 제어 전극(28)은, 광전 변환 적층체(23) 위에 제2 전극(22) 및 상부 전하 이동 제어 전극(28)을 구성하는 재료층을 성막한 후, 이 재료층을 패터닝함으로써 얻을 수 있다. 제2 전극(22), 상부 전하 이동 제어 전극(28)의 각각은, 제각기 배선(도시 생략)에 접속되어 있고, 이를 배선은 구동 회로에 접속되어 있다. 제2 전극(22)에 접속된 배선은, 복수의 활상 소자에서 공통화되어 있다. 상부 전하 이동 제어 전극(28)에 접속된 배선도, 복수의 활상 소자에서 공통화되어 있다.

[0540] 실시례 8의 활상 소자에서는, 전하 축적 기간에서, 구동 회로로부터, 제2 전극(22)에 전위(V₂₁)가 인가되고, 상부 전하 이동 제어 전극(28)에 전위(V₄₁)가 인가되고, 광전 변환 적층체(23)에 전하가 축적되고, 전하 전송 기간에서, 구동 회로로부터, 제2 전극(22)에 전위(V₂₂)가 인가되고, 상부 전하 이동 제어 전극(28)에 전위(V₄₂)가 인가되고, 광전 변환 적층체(23)에 축적된 전하가 제1 전극(21)을 경유하여 제어부에 판독된다. 여기서, 제1 전극(21)의 전위가 제2 전극(22)의 전위보다도 높다고 했기 때문에,

[0541] $V_{21} \geq V_{41}$, 또한, $V_{22} \geq V_{42}$

[0542] 이다.

[0543] 이상과 같이, 실시례 8의 활상 소자에서는, 인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역 위에는, 제2 전극이 형성되는 대신에, 전하 이동 제어 전극이 형성되어 있기 때문에, 광전 변환에 의해 생성한 전하가 인접하는 활상 소자에 흘러 들어가는 것을 전하 이동 제어 전극에 의해 억제할 수 있기 때문에, 촬영된 영상(화상)에 품질 열화가 생기는 일이 없다.

[0544] 실시례 8의 활상 소자(병치된 2개의 활상 소자)의 변형례의 일부분의 모식적인 단면도를 도 47A에 도시하고, 일부분의 모식적인 평면도를 도 48A 및 도 48B에 도시한다. 이 변형례에서, 제2 전극(22)은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극(28)은, 제2 전극(22)의 적어도 일부를 둘러싸서, 제2 전극(22)과 이간하여 마련되어 있고, 상부 전하 이동 제어 전극(28)의 하방에는, 전하 축적용 전극(24)의 일부가 존재한다. 제2 전극(22)은, 전하 축적용 전극(24)의 상방에, 전하 축적용 전극(24)보다 작은 크기로 마련되어 있다.

[0545] 실시례 8의 활상 소자(병설된 2개의 활상 소자)의 변형례의 일부분의 모식적인 단면도를 도 47B에 도시하고, 일부분의 모식적인 평면도를, 도 49A 및 도 49B에 도시한다. 이 변형례에서, 제2 전극(22)은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극(28)은, 제2 전극(22)의 적어도 일부를 둘러싸서, 제2 전극(22)과 이간하여 마련되어 있고, 상부 전하 이동 제어 전극(28)의 하방에는, 전하 축적용 전극(24)의 일부가 존재하고, 게다가, 상부 전하 이동 제어 전극(상방·전하 이동 제어 전극)(28)의 하방에는, 하부 전하 이동 제어 전극(하방·전하 이동 제어 전극)(27)이 마련되어 있다. 제2 전극(22)의 크기는, 도 47A에 도시한 변형례보다도 작다. 즉, 상부 전하 이동 제어 전극(28)과 대향하는 제2 전극(22)의 영역은, 도 47A에 도시한 변형례에서의 상부 전하 이동 제어 전극(28)과 대향하는 제2 전극(22)의 영역보다도, 제1 전극(21)측에 위치한다. 전하 축적용 전극(24)은, 하부 전하 이동 제어 전극(27)에 의해 둘러싸여 있다.

[0546] 실시례 9

[0547] 실시례 9는, 제1 구성 및 제2 구성의 고체 활상 장치에 관한 것이다.

[0548] 실시례 9의 고체 활상 장치는,

[0549] 제1 전극(21), 무기산화물 반도체 재료층(23B), 광전 변환층(23A) 및 제2 전극(22)이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0550] 광전 변환부는, 또한, 제1 전극(21)과 이간하여 배치되고, 또한, 절연층(82)을 통하여 무기산화물 반도체 재료층(23B)과 대향하여 배치된 전하 축적용 전극(24)을 구비한 활상 소자를, 복수, 가지고 있고,

[0551] 복수의 활상 소자로 활상 소자 블록이 구성되어 있고,

[0552] 활상 소자 블록을 구성하는 복수의 활상 소자에서 제1 전극(21)이 공유되어 있다.

[0553] 또한, 실시례 9의 고체 활상 장치는, 실시례 1~실시례 8에서 설명한 활상 소자를, 복수, 구비하고 있다.

[0554] 실시례 9에서는, 복수의 활상 소자에 대해 1개의 부유 확산층이 마련된다. 그리고, 전하 전송 기간의 타이밍을 적절하게 제어함으로써, 복수의 활상 소자가 1개의 부유 확산층을 공유하는 것이 가능해진다. 그리고, 이 경우, 복수의 활상 소자가 1개의 콘택트 홀부를 공유하는 것이 가능하다.

[0555] 또한, 활상 소자 블록을 구성하는 복수의 활상 소자에서 제1 전극(21)이 공유되어 있는 점을 제외하고, 실시례 9의 고체 활상 장치는, 실질적으로, 실시례 1~실시례 8에서 설명한 고체 활상 장치와 같은 구성, 구조를 가진다.

[0556] 실시례 9의 고체 활상 장치에서의 제1 전극(21) 및 전하 축적용 전극(24)의 배치 상태를, 모식적으로 도 50(실시례 9), 도 51(실시례 9의 제1 변형례), 도 52(실시례 9의 제2 변형례), 도 53(실시례 9의 제3변형례) 및 도 54(실시례 9의 제4변형례)에 도시한다. 도 50, 도 51, 도 54 및 도 55에는, 16개의 활상 소자를 도시하고 있고, 도 52 및 도 53에는, 12개의 활상 소자를 도시하고 있다. 그리고, 2개의 활상 소자로 활상 소자 블록이 구성되어 있다. 활상 소자 블록을 점선으로 둘러싸서 나타내고 있다. 제1 전극(21), 전하 축적용 전극(24)에 붙인 첨자는, 제1 전극(21), 전하 축적용 전극(24)을 구별하기 위한 것이다. 이하의 설명에서도 마찬가지이다. 또한, 1개의 활상 소자의 상방에 1개의 온 칩·마이크로·렌즈(도 50~도 57에는 도시 생략)가 배설되어 있다. 그리고, 1개의 활상 소자 블록에서는, 제1 전극(21)을 끼워서, 2개의 전하 축적용 전극(24)이 배치되어 있다(도 50, 도 51 참조). 또한, 병설된 2개의 전하 축적용 전극(24)에 대향하여 1개의 제1 전극(21)이 배치되어 있다(도 54, 도 55 참조). 즉, 제1 전극은, 각 활상 소자의 전하 축적용 전극에 인접하여 배치되어 있다. 또한, 제1 전극이, 복수의 활상 소자의 일부의 전하 축적용 전극에 인접하여 배치되어 있고, 복수의 활상 소자의 나머지 전하 축적용 전극과는 인접하여 배치되어 있지 않고(도 52, 도 53 참조), 이 경우에는, 복수의 활상 소자의 나머지로부터 제1 전극에의 전하의 이동은, 복수의 활상 소자의 일부를 경유한 이동이 된다. 활상 소자를 구성하는 전하 축적용 전극과 활상 소자를 구성하는 전하 축적용 전극 사이의 거리(A)는, 제1 전극에 인접한 활상 소자에서의 제1 전극과 전하 축적용 전극 사이의 거리(B)보다도 긴 것이, 각 활상 소자로부터 제1 전극에의 전하의 이동을 확실한 것으로 하기 위해 바람직하다. 또한, 제1 전극으로부터 떨어져서 위치하는 활상 소자일수록, 거리(A)의 값을

크게 하는 것이 바람직하다. 또한, 도 51, 도 53 및 도 55에 도시하는 예에서는, 활상 소자 블록을 구성하는 복수의 활상 소자 사이에는 전하 이동 제어 전극(27)이 배설되어 있다. 전하 이동 제어 전극(27)을 배설함으로써, 전하 이동 제어 전극(27)을 끼워서 위치하는 활상 소자 블록에서의 전하의 이동을 확실하게 억제할 수 있다. 또한, 전하 이동 제어 전극(27)에 인가되는 전위를 V_{17} 로 했을 때, $V_{31} > V_{17}$ 로 하면 좋다.

[0557] 전하 이동 제어 전극(27)은, 제1 전극(21)에, 제1 전극(21) 또는 전하 축적용 전극(24)과 같은 레벨에 형성되어 있어도 좋고, 다른 레벨(구체적으로는, 제1 전극(21) 또는 전하 축적용 전극(24)보다도 하방의 레벨)에 형성되어 있어도 좋다. 전자인 경우, 전하 이동 제어 전극(27)과 광전 변환층 사이의 거리를 짧게 할 수 있기 때문에, 포텐셜을 제어하기 쉽다. 한편, 후자인 경우, 전하 이동 제어 전극(27)과 전하 축적용 전극(24) 사이의 거리를 짧게 할 수 있기 때문에, 미세화에 유리하다.

[0558] 이하, 제1 전극(21₂) 및 2개의 전하 축적용 전극(24₂₁, 24₂₂)에 의해 구성되는 활상 소자 블록의 동작을 설명한다.

[0559] 전하 축적 기간에서는, 구동 회로로부터, 제1 전극(21₂)에 전위(V_{11})가 인가되고, 전하 축적용 전극(24₂₁, 24₂₂)에 전위(V_{31})가 인가된다. 광전 변환층(23A)에 입사된 광에 의해 광전 변환층(23A)에서 광전 변환이 생긴다. 광전 변환에 의해 생성한 정공은, 제2 전극(22)으로부터 배선(V_{0U})을 통하여 구동 회로에 송출된다. 한편, 제1 전극(21₂)의 전위(V_{11})를 제2 전극(22)의 전위(V_{21})보다도 높게 했기 때문에, 즉, 예를 들면, 제1 전극(21₂)에 정의 전위가 인가되고, 제2 전극(22)에 부의 전위가 인가된다고 했기 때문에, $V_{31} \geq V_{11}$, 바람직하게는, $V_{31} > V_{11}$ 로 한다. 이에 의해, 광전 변환에 의해 생성한 전자는, 전하 축적용 전극(24₂₁, 24₂₂)에 끌어당겨지고, 전하 축적용 전극(24₂₁, 24₂₂)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머문다. 즉, 무기산화물 반도체 재료층(23B) 등에 전하가 축적된다. $V_{31} \geq V_{11}$ 이기 때문에, 광전 변환층(23A)의 내부에 생성한 전자가, 제1 전극(21₂)을 향하여 이동하는 일은 없다. 광전 변환의 시간 경과에 따라, 전하 축적용 전극(24₂₁, 24₂₂)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에서의 전위는, 보다 부족의 값이 된다.

[0560] 전하 축적 기간의 후기에서, 리셋 동작이 이루어진다. 이에 의해, 제1 부유 확산층의 전위가 리셋되고, 제1 부유 확산층의 전위는 전원의 전위(V_{DD})가 된다.

[0561] 리셋 동작의 완료 후, 전하의 판독을 행한다. 즉, 전하 전송 기간에서, 구동 회로로부터, 제1 전극(21₂)에 전위(V_{21})가 인가되고, 전하 축적용 전극(24₂₁)에 전위(V_{32-A})가 인가되고, 전하 축적용 전극(24₂₂)에 전위(V_{32-B})가 인가된다. 여기서, $V_{32-A} < V_{21} < V_{32-B}$ 로 한다. 이에 의해, 전하 축적용 전극(24₂₁)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자는, 제1 전극(21₂), 나아가서는, 제1 부유 확산층에 판독된다. 즉, 전하 축적용 전극(24₂₁)에 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 축적된 전하가 제어부에 판독된다. 판독이 완료되었으면, $V_{32-B} \leq V_{32-A} < V_{21}$ 로 한다. 또한, 도 54, 도 55에 도시한 예에서는, $V_{32-B} < V_{21} < V_{32-A}$ 로 해도 좋다. 이에 의해, 전하 축적용 전극(24₂₂)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자는, 제1 전극(21₂), 나아가서는, 제1 부유 확산층에 판독된다. 또한, 도 52, 도 53에 도시한 예에서는, 전하 축적용 전극(24₂₂)과 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 머물고 있던 전자를, 전하 축적용 전극(24₂₂)이 인접하고 있는 제1 전극(21₃)를 경유하여, 제1 부유 확산층에 판독되어도 좋다. 이와 같이, 전하 축적용 전극(24₂₂)에 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 축적된 전하가 제어부에 판독된다. 또한, 전하 축적용 전극(24₂₁)에 대향한 무기산화물 반도체 재료층(23B) 등의 영역에 축적된 전하의 제어부에의 판독이 완료되었다면, 제1 부유 확산층의 전위를 리셋해도 좋다.

[0562] 도 58A에, 실시례 9의 활상 소자 블록에서의 판독 구동례를 도시하는데,

[스텝-A]

비교 회로에의 오토 제로 신호 입력

[스텝-B]

- [0566] 공유된 1개의 부유 확산층의 리셋 동작
- [0567] [스텝-C]
- [0568] 전하 축적용 전극(24₂₁)에 대응한 활상 소자에서의 P상(相) 판독 및 제1 전극(21₂)에의 전하의 이동
- [0569] [스텝-D]
- [0570] 전하 축적용 전극(24₂₁)에 대응한 활상 소자에서의 D상 판독 및 제1 전극(21₂)에의 전하의 이동
- [0571] [스텝-E]
- [0572] 공유된 1개의 부유 확산층의 리셋 동작
- [0573] [스텝-F]
- [0574] 오퍼레이터에의 오토 제로 신호 입력
- [0575] [스텝-G]
- [0576] 전하 축적용 전극(24₂₂)에 대응한 활상 소자에서의 P상 판독 및 제1 전극(21₂)에의 전하의 이동
- [0577] [스텝-H]
- [0578] 전하 축적용 전극(24₂₂)에 대응한 활상 소자에서의 D상 판독 및 제1 전극(21₂)에의 전하의 이동
- [0579] 이라는 흐름으로, 전하 축적용 전극(24₂₁) 및 전하 축적용 전극(24₂₂)에 대응한 2개의 활상 소자로부터의 신호를 판독한다. 상관 이중 샘플링(CDS) 처리에 의거하여, [스텝-C]에서의 P상 판독과 [스텝-D]에서의 D상 판독의 차분이, 전하 축적용 전극(24₂₁)에 대응한 활상 소자로부터의 신호이고, [스텝-G]에서의 P상 판독과 [스텝-H]에서의 D상 판독의 차분이, 전하 축적용 전극(24₂₂)에 대응한 활상 소자로부터의 신호이다.
- [0580] 또한, [스텝-E]의 동작을 생략해도 좋다(도 58B 참조). 또한, [스텝-F]의 동작을 생략해도 좋으며, 이 경우, 나아가서는, [스텝-G]를 생략할 수 있고(도 58C 참조), [스텝-C]에서의 P상 판독과 [스텝-D]에서의 D상 판독의 차분이, 전하 축적용 전극(24₂₁)에 대응한 활상 소자로부터의 신호이고, [스텝-D]에서의 D상 판독과 [스텝-H]에서의 D상 판독의 차분이, 전하 축적용 전극(24₂₂)에 대응한 활상 소자로부터의 신호가 된다.
- [0581] 제1 전극(21) 및 전하 축적용 전극(24)의 배치 상태를 모식적으로 도 56(실시례 9의 제6변형례) 및 도 57(실시례 9의 제7 변형례)에 도시하는 변형례에서는, 4개의 활상 소자로 활상 소자 블록이 구성되어 있다. 이를 고체 활상 장치의 동작은, 실질적으로, 도 50~도 55에 도시하는 고체 활상 장치의 동작과 같게 할 수 있다.
- [0582] 실시례 9의 고체 활상 장치에서는, 활상 소자 블록을 구성하는 복수의 활상 소자에서 제1 전극이 공유되어 있기 때문에, 활상 소자가 복수 배열된 화소 영역에서의 구성, 구조를 간소화, 미세화 할 수 있다. 또한, 1개의 부유 확산층에 대해 마련되는 복수의 활상 소자는, 제1 타입의 활상 소자의 복수로 구성되어 있어도 좋고, 적어도 1개의 제1 타입의 활상 소자와, 1 또는 2 이상의 제2 타입의 활상 소자로 구성되어 있어도 좋다.
- [0583] 실시례 10
- [0584] 실시례 10은, 실시례 9의 변형이다. 제1 전극(21) 및 전하 축적용 전극(24)의 배치 상태를 모식적으로 도 59, 도 60, 도 61 및 도 62에 도시하는 실시례 10의 고체 활상 장치에서는, 2개의 활상 소자로 활상 소자 블록이 구성되어 있다. 그리고, 활상 소자 블록의 상방에 1개의 온 칩 · 마이크로 · 렌즈(14)가 배설되어 있다. 또한, 도 60 및 도 62에 도시한 예에서는, 활상 소자 블록을 구성하는 복수의 활상 소자 사이에 전하 이동 제어 전극(27)이 배설되어 있다.
- [0585] 예를 들면, 활상 소자 블록을 구성하는 전하 축적용 전극(24₁₁, 24₂₁, 24₃₁, 24₄₁)에 대응하는 광전 변환층은, 도면, 우측으로 비스듬히 위로부터의 입사광에 대해 높은 감도를 가진다. 또한, 활상 소자 블록을 구성하는 전하 축적용 전극(24₁₂, 24₂₂, 24₃₂, 24₄₂)에 대응하는 광전 변환층은, 도면, 좌측으로 비스듬히 위로부터의 입사광에 대해 높은 감도를 가진다. 따라서, 예를 들면, 전하 축적용 전극(24₁₁)을 갖는 활상 소자와 전하 축적용 전극(24₁₂)을 갖는 활상 소자와 조합시킴으로써, 상면 위상차 신호의 취득이 가능해진다. 또한, 전하 축적용 전극

(24₁₁)을 갖는 활상 소자로부터의 신호와 전하 축적용 전극(24₁₂)을 갖는 활상 소자로부터의 신호를 가산하면, 이를 활상 소자의 조합에 의해, 1개의 활상 소자를 구성할 수 있다. 도 59에 도시한 예에서는, 전하 축적용 전극(24₁₁)과 전하 축적용 전극(24₁₂) 사이에 제1 전극(21₁)을 배치하고 있는데, 도 61에 도시한 예와 같이, 병설된 2개의 전하 축적용 전극(24₁₁, 24₁₂)에 대향하여 1개의 제1 전극(21₁)을 배치함으로써, 감도의 더한층의 향상을 도모할 수 있다.

[0586] 이상, 본 개시를 바람직한 실시례에 의거하여 설명했지만, 본 개시는 이들 실시례로 한정되는 것이 아니다. 실시례에서 설명한 활상 소자, 적층형 활상 소자, 고체 활상 장치의 구조나 구성, 제조 조건, 제조 방법, 사용한 재료는 예시이고, 적절히 변경할 수 있다. 각 실시례의 활상 소자를, 적절히, 조합시킬 수 있다. 본 개시의 활상 소자의 구성, 구조를, 발광 소자, 예를 들면, 유기 EL 소자에 적용할 수도 있고, 박막 트랜지스터의 채널 형성 영역에 적용할 수도 있다.

[0587] 경우에 따라서는, 전술한 바와 같이, 부유 확산층(FD₁, FD₂, FD₃, 51C, 45C, 46C)을 공유화할 수도 있다.

[0588] 또한, 도 63에, 예를 들면, 실시례 1에서 설명한 활상 소자, 적층형 활상 소자의 변형례를 도시하는 바와 같이, 제2 전극(22)측부터 광이 입사하고, 제2 전극(22) 가까이의 광 입사측에는 차광층(15)이 형성되어 있는 구성으로 할 수도 있다. 또한, 광전 변환층보다도 광 입사측에 마련된 각종 배선을 차광층으로서 기능시킬 수도 있다.

[0589] 또한, 도 63에 도시한 예에서는, 차광층(15)은, 제2 전극(22)의 상방에 형성되어 있는데, 즉, 제2 전극(22) 가까이의 광 입사측으로서, 제1 전극(21)의 상방에 차광층(15)이 형성되어 있는데, 도 64에 도시하는 바와 같이, 제2 전극(22)의 광 입사측의 면 위에 배설되어도 좋다. 또한, 경우에 따라서는, 도 65에 도시하는 바와 같이, 제2 전극(22)에 차광층(15)이 형성되어 있어도 좋다.

[0590] 또한, 제2 전극(22)측부터 광이 입사하고, 제1 전극(21)에는 광이 입사하지 않는 구조로 할 수도 있다. 구체적으로는, 도 63에 도시한 바와 같이, 제2 전극(22) 가까이의 광 입사측으로서, 제1 전극(21)의 상방에는 차광층(15)이 형성되어 있다. 또한, 도 67에 도시하는 바와 같이, 전하 축적용 전극(24) 및 제2 전극(22)의 상방에는 온 칩 · 마이크로 · 렌즈(14)가 마련되어 있고, 온 칩 · 마이크로 · 렌즈(14)에 입사하는 광은, 전하 축적용 전극(24)에 집광되고, 제1 전극(21)에는 도달하지 않는 구조로 할 수도 있다. 또한, 실시례 4에서 설명한 바와 같이, 전송 제어용 전극(25)이 마련되어 있는 경우, 제1 전극(21) 및 전송 제어용 전극(25)에는 광이 입사하지 않는 형태로 할 수 있고, 구체적으로는, 도 66에 도시하는 바와 같이, 제1 전극(21) 및 전송 제어용 전극(25)의 상방에는 차광층(15)이 형성되어 있는 구조로 할 수도 있다. 또한, 온 칩 · 마이크로 · 렌즈(14)에 입사하는 광은, 제1 전극(21) 또는 제1 전극(21) 및 전송 제어용 전극(25)에는 도달하지 않는 구조로 할 숲 있다.

[0591] 이를 구성, 구조를 채용함으로써, 또한, 전하 축적용 전극(24)의 상방에 위치하는 광전 변환부의 부분에만 광이 입사하도록 차광층(15)을 마련하고, 또한, 온 칩 · 마이크로 · 렌즈(14)를 설계함으로써, 제1 전극(21)의 상방(또는, 제1 전극(21) 및 전송 제어용 전극(25)의 상방)에 위치하는 광전 변환부의 부분은 광전 변환에 기여하지 않게 되기 때문에, 전 화소를 보다 확실하게 일제히 리셋할 수 있고, 글로벌 셔터 기능을 한층 용이하게 실현할 수 있다. 즉, 이를 구성, 구조를 갖는 활상 소자를, 복수, 구비한 고체 활상 장치의 구동 방법에서는,

[0592] 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층(23B) 등에 전하를 축적하면서, 제1 전극(21)에서의 전하를 계외에 배출하고, 그 후,

[0593] 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층(23B) 등에 축적된 전하를 제1 전극(21)에 전송하고, 전송 완료 후, 순차적으로, 각 활상 소자에서 제1 전극(21)에 전송된 전하를 판독하는 각 공정을 반복한다.

[0594] 이와 같은 고체 활상 장치의 구동 방법에서는, 각 활상 소자는, 제2 전극측부터 입사한 광이 제1 전극에는 입사하지 않는 구조를 가지고, 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층 등에 전하를 축적하면서, 제1 전극에서의 전하를 계외에 배출하기 때문에, 전 활상 소자에서 동시에 제1 전극의 리셋을 확실하게 행할 수 있다. 그리고, 그 후, 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층 등에 축적된 전하를 제1 전극에 전송하고, 전송 완료 후, 순차적으로, 각 활상 소자에서 제1 전극에 전송된 전하를 판독한다. 그러므로, 이를바 글로벌 셔터 기능을 용이하게 실현할 수 있다.

[0595] 복수의 활상 소자에서 공통화된 1층의 무기산화물 반도체 재료층(23B)이 형성되어 있는 경우, 무기산화물 반도체 재료층(23B)의 단부는, 적어도 광전 변환층(23A)으로 덮여 있는 것이, 무기산화물 반도체 재료층(23B)의 단부의 보호라는 관점에서 바람직하다. 이와 같은 경우의 활상 소자의 구조는, 모식적인 단면도를 도 1에 도시한

무기산화물 반도체 재료층(23B)의 오른쪽 끝에 도시하는 구조로 하면 좋다.

[0596] 또한, 실시례 4의 변형례로서, 도 67에 도시하는 바와 같이, 제1 전극(21)에 가장 가까운 위치로부터 전하 축적용 전극(24)을 향하여, 복수의 전송 제어용 전극을 마련해도 좋다. 또한, 도 67에는, 2개의 전송 제어용 전극(25A, 25B)을 마련한 예를 도시하였다. 그리고, 전하 축적용 전극(24) 및 제2 전극(22) 상방에는 온 칩·마이크로·렌즈(14)가 마련되어 있고, 온 칩·마이크로·렌즈(14)에 입사하는 광은, 전하 축적용 전극(24)에 집광되고, 제1 전극(21) 및 전송 제어용 전극(25A, 25B)에는 도달하지 않는 구조로 할 수도 있다.

[0597] 제1 전극(21)은, 절연층(82)에 마련된 개구부(85) 내를 연재하고, 무기산화물 반도체 재료층(23B)과 접속되어 있는 구성으로 할 수도 있다.

[0598] 또한, 실시례에서는, 입사 광량에 응한 신호 전하를 물리량으로서 검지하는 단위 화소가 행렬형상으로 배치되어 이루어지는 CMOS형 고체 활상 장치에 적용한 경우를 예로 들어 설명했지만, CMOS형 고체 활상 장치에의 적용으로 한정되는 것이 아니고, CCD형 고체 활상 장치에 적용할 수도 있다. 후자인 경우, 신호 전하는, CCD형 구조의 수직 전송 레지스터에 의해 수직 방향으로 전송되고, 수평 전송 레지스터에 의해 수평 방향으로 전송되고, 증폭 됨에 의해 화소 신호(화상 신호)가 출력된다. 또한, 화소가 2차원 매트릭스형상으로 형성되고, 화소 열마다 칼럼 신호 처리 회로를 배치하여 이루어지는 칼럼 방식의 고체 활상 장치 전반으로 한정하는 것도 아니다. 나아가서는, 경우에 따라서는, 선택 트랜지스터를 생략할 수도 있다.

[0599] 나아가서는, 본 개시의 활상 소자, 적층형 활상 소자는, 가시광의 입사 광량의 분포를 검지하여 화상으로서 활상하는 고체 활상 장치에의 적용으로 한하지 않고, 적외선이나 X선, 또는, 입자 등의 입사량의 분포를 화상으로서 활상하는 고체 활상 장치에도 적용 가능하다. 또한, 넓은 의미로는, 압력이나 정전용량 등, 다른 물리량의 분포를 검지하여 화상으로서 활상하는 지문 검출 센서 등의 고체 활상 장치(물리량 분포 검지 장치) 전반에 대해 적용 가능하다.

[0600] 나아가서는, 활상 영역의 각 단위 화소를 행 단위로 순차적으로 주사하여 각 단위 화소로부터 화소 신호를 판독하는 고체 활상 장치로 한정되는 것이 아니다. 화소 단위로 임의의 화소를 선택하여, 선택 화소로부터 화소 단위로 화소 신호를 판독하는 X-Y 어드레스형의 고체 활상 장치에 대해서도 적용 가능하다. 고체 활상 장치는 원침으로서 형성된 형태라도 좋고, 활상 영역과, 구동 회로 또는 광학계를 통합하여 팩키징된 활상 기능을 갖는 모듈형상의 형태라도 좋다.

[0601] 또한, 고체 활상 장치에의 적용으로 한정되는 것이 아니고, 활상 장치에도 적용 가능하다. 여기서, 활상 장치란, 디지털 스틸 카메라나 비디오 카메라 등의 카메라 시스템이나, 휴대 전화기 등의 활상 기능을 갖는 전자 기기를 가리킨다. 전자 기기에 탑재되는 모듈형상의 형태, 즉, 카메라 모듈을 활상 장치로 하는 경우도 있다.

[0602] 본 개시의 활상 소자, 적층형 활상 소자로 구성된 고체 활상 장치(201)를 전자 기기(카메라)(200)에 이용한 예를, 도 69에 개념도로서 도시한다. 전자 기기(200)는, 고체 활상 장치(201), 광학 렌즈(210), 셔터 장치(211), 구동 회로(212), 및, 신호 처리 회로(213)를 가진다. 광학 렌즈(210)는, 피사체로부터의 상광(입사광)을 고체 활상 장치(201)의 활상면상에 결상시킨다. 이에 의해 고체 활상 장치(201) 내에, 일정 기간, 신호 전하가 축적된다. 셔터 장치(211)는, 고체 활상 장치(201)에의 광조사 기간 및 차광 기간을 제어한다. 구동 회로(212)는, 고체 활상 장치(201)의 전송 동작 등 및 셔터 장치(211)의 셔터 동작을 제어하는 구동 신호를 공급한다. 구동 회로(212)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 활상 장치(201)의 신호 전송을 행한다. 신호 처리 회로(213)는, 각종의 신호 처리를 행한다. 신호 처리가 행해진 영상 신호는, 메모리 등의 기억 매체에 기억되고, 또는, 모니터에 출력된다. 이와 같은 전자 기기(200)에서는, 고체 활상 장치(201)에서의 화소 사이즈의 미세화 및 전송 효율의 향상을 달성할 수 있기 때문에, 화소 특성의 향상이 도모된 전자 기기(200)를 얻을 수 있다. 고체 활상 장치(201)를 적용할 수 있는 전자 기기(200)로서는, 카메라로 한정되는 것이 아니라, 디지털 스틸 카메라, 휴대 전화기 등의 모바일 기기용 카메라 모듈 등의 활상 장치에 적용 가능하다.

[0603] 본 개시에 관한 기술(본 기술)은, 다양한 제품에 응용할 수 있다. 예를 들면, 본 개시에 관한 기술은, 자동차, 전기 자동차, 하이브리드 전기 자동차, 자동 이륜차, 자전거, 퍼스널 모빌리티, 비행기, 드론, 선박, 로봇 등의 어느 한 종류의 이동체에 탑재되는 장치로서 실현되어도 좋다.

[0604] 도 74는, 본 개시에 관한 기술이 적용될 수 있는 이동체 제어 시스템의 한 예인 차량 제어 시스템의 개략적인 구성례를 도시하는 블록도이다.

[0605] 차량 제어 시스템(12000)은, 통신 네트워크(12001)를 통하여 접속된 복수의 전자 제어 유닛을 구비한다. 도 74

예 도시한 예에서는, 차량 제어 시스템(12000)은, 구동계 제어 유닛(12010), 바디계 제어 유닛(12020), 차외 정보 검출 유닛(12030), 차내 정보 검출 유닛(12040), 및 통합 제어 유닛(12050)을 구비한다. 또한, 통합 제어 유닛(12050)의 기능 구성으로서, 마이크로 컴퓨터(12051), 음성 화상 출력부(12052), 및 차량 탑재 네트워크 I/F(interface)(12053)가 도시되어 있다.

[0606] 구동계 제어 유닛(12010)은, 각종 프로그램에 따라 차량의 구동계에 관련되는 장치의 동작을 제어한다. 예를 들면, 구동계 제어 유닛(12010)은, 내연 기관 또는 구동용 모터 등의 차량의 구동력을 발생시키기 위한 구동력 발생 장치, 구동력을 차륜에 전달하기 위한 구동력 전달 기구, 차량의 타각을 조절하는 스티어링 기구, 및, 차량의 제동력을 발생시키는 제동 장치 등의 제어 장치로서 기능한다.

[0607] 바디계 제어 유닛(12020)은, 각종 프로그램에 따라 차체에 장비된 각종 장치의 동작을 제어한다. 예를 들면, 바디계 제어 유닛(12020)은, 키레스 엔트리 시스템, 스마트 키 시스템, 파워 윈도우 장치, 또는, 헤드 램프, 백 램프, 브레이크 램프, 윙커 또는 포그램프 등의 각종 램프의 제어 장치로서 기능한다. 이 경우, 바디계 제어 유닛(12020)에는, 키를 대체하는 휴대기로부터 발신되는 전파 또는 각종 스위치의 신호가 입력될 수 있다. 바디계 제어 유닛(12020)은, 이들 전파 또는 신호의 입력을 접수하고, 차량의 도어 로크 장치, 파워 윈도우 장치, 램프 등을 제어한다.

[0608] 차외 정보 검출 유닛(12030)은, 차량 제어 시스템(12000)을 탑재한 차량의 외부의 정보를 검출한다. 예를 들면, 차외 정보 검출 유닛(12030)에는, 활상부(12031)가 접속된다. 차외 정보 검출 유닛(12030)은, 활상부(12031)에 차외의 화상을 활상시킴과 함께, 활상된 화상을 수신한다. 차외 정보 검출 유닛(12030)은, 수신한 화상에 의거하여, 사람, 차, 장애물, 표지 또는 노면상의 문자 등의 물체 검출 처리 또는 거리 검출 처리를 행해도 좋다.

[0609] 활상부(12031)는, 광을 수광하고, 그 광의 수광량에 응한 전기 신호를 출력하는 광센서이다. 활상부(12031)는, 전기 신호를 화상으로서 출력할 수도 있고, 거리 측정의 정보로서 출력할 수도 있다. 또한, 활상부(12031)가 수광하는 광은, 가시광이라도 좋고, 적외선 등의 비가시광이라도 좋다.

[0610] 차내 정보 검출 유닛(12040)은, 차내의 정보를 검출한다. 차내 정보 검출 유닛(12040)에는, 예를 들면, 운전자의 상태를 검출하는 운전자 상태 검출부(12041)가 접속된다. 운전자 상태 검출부(12041)는, 예를 들어 운전자를 활상하는 카메라를 포함하고, 차내 정보 검출 유닛(12040)은, 운전자 상태 검출부(12041)로부터 입력되는 검출 정보에 의거하여, 운전자의 피로 정도 또는 집중 정도를 산출해도 좋고, 운전자가 앉아서 졸고 있지 않는지를 판별해도 좋다.

[0611] 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차내외의 정보에 의거하여, 구동력 발생 장치, 스티어링 기구 또는 제동 장치의 제어 목표치를 연산하고, 구동계 제어 유닛(12010)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량의 충돌 회피 또는 충격 완화, 차간 거리에 의거하는 추종 주행, 차속 유지 주행, 차량의 충돌 경고, 또는 차량의 레인 일탈 경고 등을 포함하는 ADAS(Advanced Driver Assistance System)의 기능 실현을 목적으로 한 협조 제어를 행할 수 있다.

[0612] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030) 또는 차내 정보 검출 유닛(12040)에서 취득되는 차량의 주위의 정보에 의거하여 구동력 발생 장치, 스티어링 기구 또는 제동 장치 등을 제어함에 의해, 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0613] 또한, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 취득되는 차외의 정보에 의거하여, 바디계 제어 유닛(12020)에 대해 제어 지령을 출력할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차외 정보 검출 유닛(12030)에서 검지한 선행차 또는 대향차의 위치에 응하여 헤드 램프를 제어하고, 하이 범을 로우 범으로 전환하는 등의 방현(防眩)을 도모하는 것을 목적으로 한 협조 제어를 행할 수 있다.

[0614] 음성 화상 출력부(12052)는, 차량의 탑승자 또는 차외에 대해, 시각적 또는 청각적으로 정보를 통지하는 것이 가능한 출력 장치에 음성 및 화상 중의 적어도 일방의 출력 신호를 송신한다. 도 74의 예에서는, 출력 장치로서, 오디오 스피커(12061), 표시부(12062) 및 인스트루먼트 패널(12063)이 예시되어 있다. 표시부(12062)는, 예를 들면, 온 보드 디스플레이 및 헤드 업 디스플레이의 적어도 하나를 포함하고 있어도 좋다.

[0615] 도 75는, 활상부(12031)의 설치 위치의 예를 도시하는 도면이다.

[0616] 도 75에서는, 차량(12100)은, 활상부(12031)로서, 활상부(12101, 12102, 12103, 12104, 12105)를 가진다.

[0617] 활상부(12101, 12102, 12103, 12104, 12105)는, 예를 들면, 차량(12100)의 프런트 노우즈, 사이드 미러, 리어

범퍼, 백 도어 및 차실내의 프런트글라스의 상부 등의 위치에 마련된다. 프런트 노우즈에 구비되는 활상부(12101) 및 차실내의 프런트글라스의 상부에 구비되는 활상부(12105)는, 주로 차량(12100)의 전방의 화상을 취득한다. 사이드 미러에 구비되는 활상부(12102, 12103)는, 주로 차량(12100)의 측방의 화상을 취득한다. 리어 범퍼 또는 백 도어에 구비되는 활상부(12104)는, 주로 차량(12100)의 후방의 화상을 취득한다. 활상부(12101 및 12105)에서 취득되는 전방의 화상은, 주로 선행 차량 또는, 보행자, 장애물, 신호기, 교통 표지 또는 차선 등의 검출에 이용된다.

[0618] 또한, 도 75에는, 활상부(12101 내지 12104)의 활영 범위의 한 예가 도시되어 있다. 활상 범위(12111)는, 프런트 노우즈에 마련된 활상부(12101)의 활상 범위를 나타내고, 활상 범위(12112, 12113)는, 각각 사이드 미러에 마련된 활상부(12102, 12103)의 활상 범위를 나타내고, 활상 범위(12114)는, 리어 범퍼 또는 백 도어에 마련된 활상부(12104)의 활상 범위를 나타낸다. 예를 들면, 활상부(12101 내지 12104)에서 활상된 화상 데이터가 맞춰짐에 의해, 차량(12100)을 상방에서 본 부감(俯瞰) 화상이 얻어진다.

[0619] 활상부(12101 내지 12104)의 적어도 1개는, 거리 정보를 취득하는 기능을 가지고 있어도 좋다. 예를 들면, 활상부(12101 내지 12104)의 적어도 1개는, 복수의 활상 소자로 이루어지는 스테레오 카메라라도 좋고, 위상차 검출용의 화소를 갖는 활상 소자라도 좋다.

[0620] 예를 들면, 마이크로 컴퓨터(12051)는, 활상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 활상 범위(12111 내지 12114) 내에서의 각 입체물까지의 거리와, 이 거리의 시간적 변화(차량(12100)에 대한 상대 속도)를 구함에 의해, 특히 차량(12100)의 진행로상에 있는 가장 가까운 입체물로, 차량(12100)과 개략 같은 방향으로 소정의 속도(예를 들면, 0km/h 이상)로 주행하는 입체물을 선행차로서 추출할 수 있다. 또한, 마이크로 컴퓨터(12051)는, 선행차와 내 차와의 사이에 미리 확보해야 할 차간 거리를 설정하고, 자동 브레이크 제어(추종 정지 제어도 포함한다)나 자동 가속 제어(추종 발진 제어도 포함한다) 등을 행할 수 있다. 이와 같이 운전자의 조작에 의하지 않고 자율적으로 주행하는 자동 운전 등을 목적으로 한 협조 제어를 행할 수 있다.

[0621] 예를 들면, 마이크로 컴퓨터(12051)는, 활상부(12101 내지 12104)로부터 얻어진 거리 정보를 기초로, 입체물에 관한 입체물 데이터를, 이륜차, 보통 차량, 대형 차량, 보행자, 전신주 등 그 외의 입체물로 분류하여 추출하고, 장애물의 자동 회피에 이용할 수 있다. 예를 들면, 마이크로 컴퓨터(12051)는, 차량(12100)의 주변의 장애물을, 차량(12100)의 드라이버가 시인 가능한 장애물과 시인 곤란한 장애물로 식별한다. 그리고, 마이크로 컴퓨터(12051)는, 각 장애물과의 충돌의 위험도를 나타내는 충돌 리스크를 판단하고, 충돌 리스크가 설정치 이상으로 충돌 가능성이 있는 상황일 때에는, 오디오 스피커(12061)나 표시부(12062)를 통하여 드라이버에게 경보를 출력하는 것이나, 구동계 제어 유닛(12010)을 통하여 강제 감속이나 회피 조타를 행함으로써, 충돌 회피를 위한 운전 지원을 행할 수 있다.

[0622] 활상부(12101 내지 12104)의 적어도 1개는, 적외선을 검출하는 적외선 카메라라도 좋다. 예를 들면, 마이크로 컴퓨터(12051)는, 활상부(12101 내지 12104)의 활상 화상 중에 보행자가 존재하는지의 여부를 판정함으로써 보행자를 인식할 수 있다. 이를 보행자의 인식은, 예를 들어 적외선 카메라로서의 활상부(12101 내지 12104)의 활상 화상에서의 특징점을 추출하는 순서와, 물체의 윤곽을 나타내는 일련의 특징점에 패턴 매칭 처리를 행하여 보행자인지의 여부를 판별하는 순서에 의해 행해진다. 마이크로 컴퓨터(12051)가, 활상부(12101 내지 12104)의 활상 화상 중에 보행자가 존재한다고 판정하고, 보행자를 인식하면, 음성 화상 출력부(12052)는, 당해 인식된 보행자에게 강조를 위한 사각형 윤곽선을 중첩 표시하도록, 표시부(12062)를 제어한다. 또한, 음성 화상 출력부(12052)는, 보행자를 나타내는 아이콘 등을 소망하는 위치에 표시하도록 표시부(12062)를 제어해도 좋다.

[0623] 또한, 예를 들면, 본 개시에 관한 기술은, 내시경 수술 시스템에 적용되어도 좋다.

[0624] 도 76은, 본 개시에 관한 기술(본 기술)이 적용될 수 있는 내시경 수술 시스템의 개략적인 구성의 한 예를 도시하는 도면이다.

[0625] 도 76에서는, 수술자(의사)(11131)가, 내시경 수술 시스템(11000)을 이용하여, 환자 베드(11133)상의 환자(11132)에게 수술을 행하고 있는 상태가 도시되어 있다. 도시하는 바와 같이, 내시경 수술 시스템(11000)은, 내시경(11100)과, 기복 튜브(11111)나 에너지 쳐치구(11112) 등의, 그 외의 수술구(11110)와, 내시경(11100)을 지지하는 지지 암장치(11120)와, 내시경하 수술을 위한 각종의 장치가 탑재된 카트(11200)로 구성된다.

[0626] 내시경(11100)은, 선단으로부터 소정의 길이의 영역이 환자(11132)의 체강 내에 삽입되는 경통(11101)과, 경통(11101)의 기단에 접속되는 카메라 헤드(11102)로 구성된다. 도시하는 예에서는, 경성의 경통(11101)을 갖는 이른바 경성경으로서 구성되는 내시경(11100)을 도시하고 있는데, 내시경(11100)은, 연성의 경통을 갖는 이른바

연성경으로서 구성되어도 좋다.

- [0627] 경통(11101)의 선단에는, 대물 렌즈가 감입된 개구부가 마련되어 있다. 내시경(11100)에는 광원 장치(11203)가 접속되어 있고, 당해 광원 장치(11203)에 의해 생성된 광이, 경통(11101)의 내부에 연설(延設)되는 라이트 가이드에 의해 당해 경통의 선단까지 도광되고, 대물 렌즈를 통하여 환자(11132)의 체강 내의 관찰 대상을 향하여 조사된다. 또한, 내시경(11100)은, 직시경이라도 좋고, 사시경 또는 측시경이라도 좋다.
- [0628] 카메라 헤드(11102)의 내부에는 광학계 및 활상 소자가 마련되어 있고, 관찰 대상으로부터의 반사광(관찰광)은 당해 광학계에 의해 당해 활상 소자에 집광된다. 당해 활상 소자에 의해 관찰광이 광전 변환되고, 관찰광에 대응하는 전기 신호, 즉 관찰상에 대응하는 화상 신호가 생성된다. 당해 화상 신호는, RAW 데이터로서 카메라 컨트롤 유닛(CCU: Camera Control Unit)(11201)에 송신된다.
- [0629] CCU(11201)는, CPU(Central Processing Unit)나 GPU(Graphics Processing Unit) 등에 의해 구성되고, 내시경(11100) 및 표시 장치(11202)의 동작을 통괄적으로 제어한다. 또한, CCU(11201)는, 카메라 헤드(11102)로부터 화상 신호를 수취하고, 그 화상 신호에 대해, 예를 들어 현상 처리(디모자이크 처리) 등의, 당해 화상 신호에 의거하는 화상을 표시하기 위한 각종의 화상 처리를 시행한다.
- [0630] 표시 장치(11202)는, CCU(11201)로부터의 제어에 의해, 당해 CCU(11201)에 의해 화상 처리가 시행된 화상 신호에 의거하는 화상을 표시한다.
- [0631] 광원 장치(11203)는, 예를 들어 LED(Light Emitting Diode) 등의 광원으로 구성되고, 수술부 등을 촬영할 때의 조사광을 내시경(11100)에 공급한다.
- [0632] 입력 장치(11204)는, 내시경 수술 시스템(11000)에 대한 입력 인터페이스이다. 유저는, 입력 장치(11204)를 통하여, 내시경 수술 시스템(11000)에 대해 각종의 정보의 입력이나 지시 입력을 행할 수 있다. 예를 들면, 유저는, 내시경(11100)에 의한 활상 조건(조사광의 종류, 배율 및 초점 거리 등)을 변경하는 취지의 지시 등을 입력한다.
- [0633] 처치구 제어 장치(11205)는, 조직의 소작(燒灼), 절개 또는 혈관의 봉지 등을 위한 에너지 처치구(11112)의 구동을 제어한다. 기복 장치(11206)는, 내시경(11100)에 의한 시야의 확보 및 수술자의 작업 공간의 확보의 목적으로, 환자(11132)의 체강을 팽창시키기 위해, 기복 튜브(11111)를 통하여 당해 체강 내에 가스를 보낸다. 레코더(11207)는, 수술에 관한 각종의 정보를 기록 가능한 장치이다. 프린터(11208)는, 수술에 관한 각종의 정보를, 텍스트, 화상 또는 그래프 등 각종의 형식으로 인쇄 가능한 장치이다.
- [0634] 또한, 내시경(11100)에 수술부를 촬영할 때의 조사광을 공급하는 광원 장치(11203)는, 예를 들어 LED, 레이저 광원 또는 이들 조합에 의해 구성되는 백색 광원으로 구성할 수 있다. RGB 레이저 광원의 조합에 의해 백색 광원이 구성되는 경우에는, 각 색(각 과장)의 출력 강도 및 출력 타이밍을 고정밀도로 제어할 수 있기 때문에, 광원 장치(11203)에서 활상 화상의 화이트 밸런스의 조정을 행할 수 있다. 또한, 이 경우에는, RGB 레이저 광원 각각으로부터의 레이저광을 시분할로 관찰 대상에 조사하고, 그 조사 타이밍에 동기하여 카메라 헤드(11102)의 활상 소자의 구동을 제어함에 의해, RGB 각각에 대응한 화상을 시분할로 활상하는 것도 가능하다. 당해 방법에 의하면, 당해 활상 소자에 컬러 필터를 마련하지 않아도, 컬러 화상을 얻을 수 있다.
- [0635] 또한, 광원 장치(11203)는, 출력하는 광의 강도를 소정의 시간마다 변경하도록 그 구동이 제어되어도 좋다. 그 광의 강도의 변경의 타이밍에 동기하여 카메라 헤드(11102)의 활상 소자의 구동을 제어하여 시분할로 화상을 취득하고, 그 화상을 합성함에 의해, 이른바 흑백램 및 백백램이 없는 고 다이내믹 레인지의 화상을 생성할 수 있다.
- [0636] 또한, 광원 장치(11203)는, 특수광 관찰에 대응한 소정의 파장 대역의 광을 공급 가능하게 구성되어도 좋다. 특수광 관찰에서는, 예를 들면, 체 조직에서의 광의 흡수의 파장 의존성을 이용하여, 통상의 관찰 시에서의 조사광(즉, 백색광)과 비교하여 협대역의 광을 조사함에 의해, 점막 표층의 혈관 등의 소정의 조직을 고콘트라스트로 촬영하는, 이른바 협대역 광관찰(Narrow Band Imaging)이 행해진다. 또는, 특수광 관찰에서는, 여기광을 조사함에 의해 발생하는 형광에 의해 화상을 얻는 형광 관찰이 행해져도 좋다. 형광 관찰에서는, 체 조직에 여기광을 조사하고 당해 체조직으로부터의 형광을 관찰하는 것(자가 형광 관찰), 또는 인도시아닌그린(ICG) 등의 시약을 체조직에 국주(局注)함과 함께 당해 체조직에 그 시약의 형광 파장에 대응한 여기광을 조사하여 형광상을 얻는 것 등을 행할 수 있다. 광원 장치(11203)는, 이와 같은 특수광 관찰에 대응한 협대역광 및/또는 여기광을 공급 가능하게 구성될 수 있다.

- [0637] 도 77은, 도 76에 도시하는 카메라 헤드(11102) 및 CCU(11201)의 기능 구성의 한 예를 도시하는 블록도이다.
- [0638] 카메라 헤드(11102)는, 렌즈 유닛(11401)과, 활상부(11402)와, 구동부(11403)와, 통신부(11404)와, 카메라 헤드 제어부(11405)를 가진다. CCU(11201)는, 통신부(11411)와, 화상 처리부(11412)와, 제어부(11413)를 가진다. 카메라 헤드(11102)와 CCU(11201)는, 전송 케이블(11400)에 의해 서로 통신 가능하게 접속되어 있다.
- [0639] 렌즈 유닛(11401)은, 경통(11101)과의 접속부에 마련되는 광학계이다. 경통(11101)의 선단으로부터 취입된 관찰광은, 카메라 헤드(11102)까지 도광되고, 당해 렌즈 유닛(11401)에 입사한다. 렌즈 유닛(11401)은, 줌렌즈 및 포커스 렌즈를 포함하는 복수의 렌즈가 조합되어 구성된다.
- [0640] 활상부(11402)는, 활상 소자로 구성된다. 활상부(11402)를 구성하는 활상 소자는, 1개(이른바 단판식)라도 좋고, 복수(이른바 다판식)라도 좋다. 활상부(11402)가 다판식으로 구성되는 경우에는, 예를 들어 각 활상 소자에 의해 RGB 각각에 대응하는 화상 신호가 생성되고, 그것들이 합성됨에 의해 컬러 화상이 얻어져도 좋다. 또는, 활상부(11402)는, 3D(Dimensional) 표시에 대응하는 우안용 및 좌안용의 화상 신호를 각각 취득하기 위한 한 쌍의 활상 소자를 갖도록 구성되어도 좋다. 3D 표시가 행해짐에 의해, 수술자(11131)는 수술부에서의 생체조직의 깊이를 보다 정확하게 파악하는 것이 가능해지다. 또한, 활상부(11402)가 다판식으로 구성되는 경우에는, 각 활상 소자에 대응하여, 렌즈 유닛(11401)도 복수 계통 마련될 수 있다.
- [0641] 또한, 활상부(11402)는, 반드시 카메라 헤드(11102)에 마련되지 않아도 좋다. 예를 들면, 활상부(11402)는, 경통(11101)의 내부에, 대물 렌즈의 직후에 마련되어도 좋다.
- [0642] 구동부(11403)는, 액추에이터에 의해 구성되고, 카메라 헤드 제어부(11405)로부터의 제어에 의해, 렌즈 유닛(11401)의 줌렌즈 및 포커스 렌즈를 광축을 따라 소정의 거리만큼 이동시킨다. 이에 의해, 활상부(11402)에 의한 활상 화상의 배율 및 초점이 적절히 조정될 수 있다.
- [0643] 통신부(11404)는, CCU(11201)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11404)는, 활상부(11402)로부터 얻은 화상 신호를 RAW 데이터로서 전송 케이블(11400)을 통하여 CCU(11201)에 송신한다.
- [0644] 또한, 통신부(11404)는, CCU(11201)로부터, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 수신하고, 카메라 헤드 제어부(11405)에 공급한다. 당해 제어 신호에는, 예를 들면, 활상 화상의 프레임 레이트를 지정하는 취지의 정보, 활상 시의 노출치를 지정하는 취지의 정보, 및/또는 활상 화상의 배율 및 초점을 지정하는 취지의 정보 등, 활상 조건에 관한 정보가 포함된다.
- [0645] 또한, 상기 프레임 레이트나 노출치, 배율, 초점 등의 활상 조건은, 유저에 의해 적절히 지정되어도 좋고, 취득된 화상 신호에 의거하여 CCU(11201)의 제어부(11413)에 의해 자동적으로 설정되어도 좋다. 후자인 경우에는, 이른바 AE(Auto Exposure) 기능, AF(Auto Focus) 기능 및 AWB(Auto White Balance) 기능이 내시경(11100)에 탑재되어 있는 것으로 된다.
- [0646] 카메라 헤드 제어부(11405)는, 통신부(11404)를 통하여 수신한 CCU(11201)로부터의 제어 신호에 의거하여, 카메라 헤드(11102)의 구동을 제어한다.
- [0647] 통신부(11411)는, 카메라 헤드(11102)와의 사이에서 각종의 정보를 송수신하기 위한 통신 장치에 의해 구성된다. 통신부(11411)는, 카메라 헤드(11102)로부터, 전송 케이블(11400)을 통하여 송신되는 화상 신호를 수신한다.
- [0648] 또한, 통신부(11411)는, 카메라 헤드(11102)에 대해, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 송신한다. 화상 신호나 제어 신호는, 전기통신이나 광통신 등에 의해 송신할 수 있다.
- [0649] 화상 처리부(11412)는, 카메라 헤드(11102)로부터 송신된 RAW 데이터인 화상 신호에 대해 각종의 화상 처리를 시행한다.
- [0650] 제어부(11413)는, 내시경(11100)에 의한 수술부 등의 활상, 및, 수술부 등의 활상에 의해 얻어지는 활상 화상의 표시에 관한 각종의 제어를 행한다. 예를 들면, 제어부(11413)는, 카메라 헤드(11102)의 구동을 제어하기 위한 제어 신호를 생성한다.
- [0651] 또한, 제어부(11413)는, 화상 처리부(11412)에 의해 화상 처리가 시행된 화상 신호에 의거하여, 수술부 등이 찍힌 활상 화상을 표시 장치(11202)에 표시시킨다. 이때, 제어부(11413)는, 각종의 화상 인식 기술을 이용하여 활상 화상 내에서의 각종의 물체를 인식해도 좋다. 예를 들면, 제어부(11413)는, 활상 화상에 포함되는 물체의 에

지의 형상이나 색 등을 검출함에 의해, 겹자(鉗子) 등의 수술구, 특정한 생체 부위, 출혈, 에너지 처치구 (11112)의 사용 시의 미스트 등을 인식할 수 있다. 제어부(11413)는, 표시 장치(11202)에 활상 화상을 표시시킬 때에, 그 인식 결과를 이용하여, 각종의 수술 지원 정보를 당해 수술부의 화상에 중첩 표시시켜도 좋다. 수술 지원 정보가 중첩 표시되고, 수술자(11131)에게 제시됨에 의해, 수술자(11131)의 부담을 경감하는 것이나, 수술자(11131)가 확실하게 수술을 진행하는 것이 가능해진다.

[0652] 카메라 헤드(11102) 및 CCU(11201)를 접속하는 전송 케이블(11400)은, 전기 신호의 통신에 대응한 전기 신호 케이블, 광통신에 대응한 광파이버, 또는 이들 복합 케이블이다.

[0653] 여기서, 도시하는 예에서는, 전송 케이블(11400)을 이용하여 유선으로 통신이 행해지고 있었는데, 카메라 헤드 (11102)와 CCU(11201) 사이의 통신은 무선으로 행해져도 좋다.

[0654] 또한, 여기서는, 한 예로서 내시경 수술 시스템에 관해 설명했지만, 본 개시에 관한 기술은, 그 외에, 예를 들면, 현미경 수술 시스템 등에 적용되어도 좋다.

[0655] 또한, 본 개시는, 이하와 같은 구성을 취할 수도 있다.

[0656] [A01] «활상 소자: 제1 양태»

[0657] 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0658] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,

[0659] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균막 밀도를 ρ_1 , 제2 층의 평균막 밀도를 ρ_2 로 했을 때,

$$\rho_1 \geq 5.9 \text{ g/cm}^3$$

[0661] 및,

$$\rho_1 - \rho_2 \geq 0.1 \text{ g/cm}^3$$

[0663] 를 만족하는 활상 소자.

[0664] [A02] 제1 층의 조성과 제2 층의 조성은 같은 [A01]에 기재된 활상 소자.

[0665] [A03] «활상 소자: 제2 양태»

[0666] 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,

[0667] 제1 층의 조성과 제2 층의 조성은 같고,

[0668] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,

[0669] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균막 밀도를 ρ_1 , 제2 층의 평균막 밀도를 ρ_2 로 했을 때,

$$\rho_1 - \rho_2 \geq 0.1 \text{ g/cm}^3$$

[0671] 를 만족하는 활상 소자.

[0672] [A04] 제1 층의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,

$$E_{OD-1} \geq 2.8 \text{ eV}$$

[0674] 및,

$$E_{OD-1} - E_{OD-2} \geq 0.2 \text{ eV}$$

- [0676] 를 만족하는 [A01] 내지 [A03]의 어느 한 항에 기재된 활상 소자.
- [0677] [A05] «활상 소자: 제3 양태»
- [0678] 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0679] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,
- [0680] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,
- [0681] $E_{OD-1} \geq 2.8\text{eV}$
- [0682] 및,
- [0683] $E_{OD-1} - E_{OD-2} \geq 0.2\text{eV}$
- [0684] 를 만족하는 활상 소자.
- [0685] [A06] 제1 층의 조성과 제2 층의 조성은 같은 [A05]에 기재된 활상 소자.
- [0686] [A07] «활상 소자: 제4의 양태»
- [0687] 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0688] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있고,
- [0689] 제1 층의 조성과 제2 층의 조성은 같고,
- [0690] 제1 전극과 무기산화물 반도체 재료층의 계면으로부터 3nm, 바람직하게는 5nm, 보다 바람직하게는 10nm까지의 제1 층의 평균 산소 결손 생성 에너지를 E_{OD-1} , 제2 층의 평균 산소 결손 생성 에너지를 E_{OD-2} 로 했을 때,
- [0691] $E_{OD-1} - E_{OD-2} \geq 0.2\text{eV}$
- [0692] 를 만족하는 활상 소자.
- [0693] [A08] 무기산화물 반도체 재료층의 전도대의 최대 에너지 값에서의 에너지 평균치를 E_1 , 광전 변환층의 LUMO 값에서의 에너지 평균치를 E_0 로 했을 때,
- [0694] $E_0 - E_1 \geq 0.1(\text{eV})$
- [0695] 를 만족하는 [A01] 내지 [A07]의 어느 한 항에 기재된 활상 소자.
- [0696] [A09] $E_0 - E_1 > 0.1(\text{eV})$
- [0697] 를 만족하는 [A08]에 기재된 활상 소자.
- [0698] [A10] 광전 변환부는, 또한, 절연층, 및, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 무기산화물 반도체 재료층과 대향하여 배치된 전하 축적용 전극을 구비하고 있는 [A01] 내지 [A09]의 어느 한 항에 기재된 활상 소자.
- [0699] [A11] 광전 변환층에서 생성한 전하는, 무기산화물 반도체 재료층을 통하여 제1 전극으로 이동하는 [A01] 내지 [A10]의 어느 한 항에 기재된 활상 소자.
- [0700] [A12] 전하는 전자인 [A11]에 기재된 활상 소자.
- [0701] [A13] 무기산화물 반도체 재료층을 구성하는 재료의 캐리어 이동도는 $10\text{cm}^2/\text{V}\cdot\text{s}$ 이상인 [A01] 내지 [A12]의 어느 한 항에 기재된 활상 소자.

- [0702] [A14] 무기산화물 반도체 재료층의 캐리어 농도는 $1 \times 10^{16}/\text{cm}^3$ 이하인 [A01] 내지 [A13]의 어느 한 항에 기재된 활상 소자.
- [0703] [A15] 무기산화물 반도체 재료층의 두께는, $1 \times 10^{-8}\text{m}$ 내지 $1.5 \times 10^{-7}\text{m}$ 인 [A01] 내지 [A14]의 어느 한 항에 기재된 활상 소자.
- [0704] [A16] 무기산화물 반도체 재료층은, 비정질인 [A01] 내지 [A15]의 어느 한 항에 기재된 활상 소자.
- [0705] [B01] 반도체 기판을 또한 구비하고 있고,
- [0706] 광전 변환부는, 반도체 기판의 상방에 배치되어 있는 [A01] 내지 [A16]의 어느 한 항에 기재된 활상 소자.
- [0707] [B02] 제1 전극은, 절연층에 마련된 개구부 내를 연재하고, 무기산화물 반도체 재료층과 접속되어 있는 [A01] 내지 [B01]의 어느 한 항에 기재된 활상 소자.
- [0708] [B03] 무기산화물 반도체 재료층은, 절연층에 마련된 개구부 내를 연재하고, 제1 전극과 접속되어 있는 [A01] 내지 [B01]의 어느 한 항에 기재된 활상 소자.
- [0709] [B04] 제1 전극의 정상면의 연부는 절연층으로 덮여 있고,
- [0710] 개구부의 저면에는 제1 전극이 노출하고 있고,
- [0711] 제1 전극의 정상면과 접하는 절연층의 면을 제1면, 전하 축적용 전극과 대향하는 무기산화물 반도체 재료층의 부분과 접하는 절연층의 면을 제2면으로 했을 때, 개구부의 측면은, 제1면으로부터 제2면을 향하여 넓어지는 경사를 갖는 [B03]에 기재된 활상 소자.
- [0712] [B05] 제1면으로부터 제2면을 향하여 넓어지는 경사를 갖는 개구부의 측면은, 전하 축적용 전극측에 위치하는 [B04]에 기재된 활상 소자.
- [0713] [B06] «제1 전극 및 전하 축적용 전극의 전위의 제어»
- [0714] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0715] 제1 전극 및 전하 축적용 전극은, 구동 회로에 접속되어 있고,
- [0716] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하가 축적되고,
- [0717] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 [A01] 내지 [B05]의 어느 한 항에 기재된 활상 소자.
- [0718] 단, 제1 전극의 전위는 제2 전극의 전위보다도 높고,
- [0719] $V_{31} \geq V_{11}$, 또한, $V_{32} < V_{12}$
- [0720] 이다.
- [0721] [B07] «하부 전하 이동 제어 전극»
- [0722] 인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역에 절연층을 통하여 대향하는 영역에는, 하부 전하 이동 제어 전극이 형성되어 있는 [A01] 내지 [B06]의 어느 한 항에 기재된 활상 소자.
- [0723] [B08] «제1 전극, 전하 축적용 전극 및 하부 전하 이동 제어 전극의 전위의 제어»
- [0724] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0725] 제1 전극, 제2 전극, 전하 축적용 전극 및 하부 전하 이동 제어 전극은, 구동 회로에 접속되어 있고,
- [0726] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 하부 전하 이동 제어 전극에 전위(V_{41})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하가 축적되고,

- [0727] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 하부 전하 이동 제어 전극에 전위(V_{42})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 [B07]에 기재된 활상 소자.
- [0728] 단,
- [0729] $V_{31} \geq V_{11}$, $V_{31} > V_{41}$, 또한, $V_{12} > V_{32} > V_{42}$
- [0730] 이다.
- [0731] [B09] «상부 전하 이동 제어 전극»
- [0732] 인접하는 활상 소자 사이에 위치하는 광전 변환층의 영역 위에는, 제2 전극이 형성되는 대신에, 상부 전하 이동 제어 전극이 형성되어 있는 [A01] 내지 [B06]의 어느 한 항에 기재된 활상 소자.
- [0733] [B10] 제2 전극은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극은, 제2 전극의 적어도 일부를 둘러싸서, 제2 전극과 이간하여, 광전 변환층의 영역(-A) 위에 마련되어 있는 [B09]에 기재된 활상 소자.
- [0734] [B11] 제2 전극은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극은, 제2 전극의 적어도 일부를 둘러싸서, 제2 전극과 이간하여 마련되어 있고, 상부 전하 이동 제어 전극의 하방에는, 전하 축적용 전극의 일부가 존재하는 [B09]에 기재된 활상 소자.
- [0735] [B12] 제2 전극은 활상 소자마다 마련되어 있고, 상부 전하 이동 제어 전극은, 제2 전극의 적어도 일부를 둘러싸서, 제2 전극과 이간하여 마련되어 있고, 상부 전하 이동 제어 전극의 하방에는, 전하 축적용 전극의 일부가 존재하고, 게다가, 상부 전하 이동 제어 전극의 하방에는, 하부 전하 이동 제어 전극이 형성되어 있는 [B09] 내지 [B11]의 어느 한 항에 기재된 활상 소자.
- [0736] [B13] «제1 전극, 전하 축적용 전극 및 전하 이동 제어 전극의 전위의 제어»
- [0737] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0738] 제1 전극, 제2 전극, 전하 축적용 전극 및 전하 이동 제어 전극은, 구동 회로에 접속되어 있고,
- [0739] 전하 축적 기간에서, 구동 회로로부터, 제2 전극에 전위(V_{21})가 인가되고, 전하 이동 제어 전극에 전위(V_{41})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하가 축적되고,
- [0740] 전하 전송 기간에서, 구동 회로로부터, 제2 전극에 전위(V_{22})가 인가되고, 전하 이동 제어 전극에 전위(V_{42})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 축적된 전하가 제1 전극을 경유하여 제어부에 판독되는 [B09] 내지 [B12]의 어느 한 항에 기재된 활상 소자.
- [0741] 단,
- [0742] $V_{21} \geq V_{41}$, 또한, $V_{22} \geq V_{42}$
- [0743] 이다.
- [0744] [B14] «전송 제어용 전극»
- [0745] 제1 전극과 전하 축적용 전극 사이에, 제1 전극 및 전하 축적용 전극과 이간하여 배치되고, 또한, 절연층을 통하여 무기산화물 반도체 재료층과 대향하여 배치된 전송 제어용 전극을 또한 구비하고 있는 [A01] 내지 [B13]의 어느 한 항에 기재된 활상 소자.
- [0746] [B15] «제1 전극, 전하 축적용 전극 및 전송 제어용 전극의 전위의 제어»
- [0747] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0748] 제1 전극, 전하 축적용 전극 및 전송 제어용 전극은, 구동 회로에 접속되어 있고,
- [0749] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 전송 제어용 전극에 전위(V_{51})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하가 축적되고,

- [0750] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 전송 제어용 전극에 전위(V_{52})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 축적된 전하가 제1 전극을 통하여 제어부에 판독되는 [B14]에 기재된 활상 소자.
- [0751] 단, 제1 전극의 전위는 제2 전극의 전위보다도 높고,
- [0752] $V_{31} > V_{51}$, 또한, $V_{32} \leq V_{52} \leq V_{12}$
- [0753] 이다.
- [0754] [B16] «전하 배출 전극»
- [0755] 무기산화물 반도체 재료층에 접속되고, 제1 전극 및 전하 축적용 전극과 이간하여 배치된 전하 배출 전극을 또한 구비하고 있는 [A01] 내지 [B15]의 어느 한 항에 기재된 활상 소자.
- [0756] [B17] 전하 배출 전극은, 제1 전극 및 전하 축적용 전극을 둘러싸도록 배치되어 있는 [B16]에 기재된 활상 소자.
- [0757] [B18] 무기산화물 반도체 재료층은, 절연층에 마련된 제2 개구부 내를 연재하고, 전하 배출 전극과 접속되어 있고,
- [0758] 전하 배출 전극의 정상면의 연부는 절연층으로 덮여 있고,
- [0759] 제2 개구부의 저면에는 전하 배출 전극이 노출하고 있고,
- [0760] 전하 배출 전극의 정상면과 접하는 절연층의 면을 제3면, 전하 축적용 전극과 대향하는 무기산화물 반도체 재료층의 부분과 접하는 절연층의 면을 제2면으로 했을 때, 제2 개구부의 측면은, 제3면으로부터 제2면을 향하여 넓어지는 경사를 갖는 [B16] 또는 [B17]에 기재된 활상 소자.
- [0761] [B19] «제1 전극, 전하 축적용 전극 및 전하 배출 전극의 전위의 제어»
- [0762] 반도체 기판에 마련되고, 구동 회로를 갖는 제어부를 또한 구비하고 있고,
- [0763] 제1 전극, 전하 축적용 전극 및 전하 배출 전극은, 구동 회로에 접속되어 있고,
- [0764] 전하 축적 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{11})가 인가되고, 전하 축적용 전극에 전위(V_{31})가 인가되고, 전하 배출 전극에 전위(V_{61})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 전하가 축적되고,
- [0765] 전하 전송 기간에서, 구동 회로로부터, 제1 전극에 전위(V_{12})가 인가되고, 전하 축적용 전극에 전위(V_{32})가 인가되고, 전하 배출 전극에 전위(V_{62})가 인가되고, 무기산화물 반도체 재료층(또는, 무기산화물 반도체 재료층 및 광전 변환층)에 축적된 전하가 제1 전극을 통하여 제어부에 판독되는 [B16] 내지 [B18]의 어느 한 항에 기재된 활상 소자.
- [0766] 단, 제1 전극의 전위는 제2 전극의 전위보다도 높고,
- [0767] $V_{61} > V_{11}$, 또한, $V_{62} < V_{12}$
- [0768] 이다.
- [0769] [B20] «전하 축적용 전극 세그먼트»
- [0770] 전하 축적용 전극은, 복수의 전하 축적용 전극 세그먼트로 구성되어 있는 [A01] 내지 [B19]의 어느 한 항에 기재된 활상 소자.
- [0771] [B21] 제1 전극의 전위가 제2 전극의 전위보다도 높은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그먼트에 인가되는 전위보다도 높고,
- [0772] 제1 전극의 전위가 제2 전극의 전위보다도 낮은 경우, 전하 전송 기간에서, 제1 전극에 가장 가까운 곳에 위치하는 전하 축적용 전극 세그먼트에 인가되는 전위는, 제1 전극에 가장 먼 곳에 위치하는 전하 축적용 전극 세그

먼트에 인가되는 전위보다도 낮은 [B20]에 기재된 활상 소자.

[0773] [B22] 반도체 기판에는, 제어부를 구성하는 적어도 부유 확산층 및 증폭 트랜지스터가 마련되어 있고,

[0774] 제1 전극은, 부유 확산층 및 증폭 트랜지스터의 게이트부에 접속되어 있는 [A01] 내지 [B21]의 어느 한 항에 기재된 활상 소자.

[0775] [B23] 반도체 기판에는, 또한, 제어부를 구성하는 리셋 · 트랜지스터 및 선택 트랜지스터가 마련되어 있고,

[0776] 부유 확산층은, 리셋 · 트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고,

[0777] 증폭 트랜지스터의 일방의 소스/드레인 영역은, 선택 트랜지스터의 일방의 소스/드레인 영역에 접속되어 있고, 선택 트랜지스터의 타방의 소스/드레인 영역은 신호선에 접속되어 있는 [B22]에 기재된 활상 소자.

[0778] [B24] 전하 축적용 전극의 크기는 제1 전극보다도 큰 [A01] 내지 [B23]의 어느 한 항에 기재된 활상 소자.

[0779] [B25] 제2 전극측부터 광이 입사하고, 제2 전극보다 광 입사측에는 차광층이 형성되어 있는 [A01] 내지 [B24]의 어느 한 항에 기재된 활상 소자.

[0780] [B26] 제2 전극측부터 광이 입사하고, 제1 전극에는 광이 입사하지 않는 [A01] 내지 [B24]의 어느 한 항에 기재된 활상 소자.

[0781] [B27] 제2 전극보다 광 입사측으로서, 제1 전극의 상방에는 차광층이 형성되어 있는 [B26]에 기재된 활상 소자.

[0782] [B28] 전하 축적용 전극 및 제2 전극의 상방에는 온 칩 · 마이크로 · 렌즈가 마련되어 있고,

[0783] 온 칩 · 마이크로 · 렌즈에 입사하는 광은, 전하 축적용 전극에 집광되는 [B26]에 기재된 활상 소자.

[0784] [B29] «활상 소자: 제1 구성»

[0785] 광전 변환부는, N개(단, $N \geq 2$)의 광전 변환부 세그먼트로 구성되어 있고,

[0786] 무기산화물 반도체 재료층 및 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0787] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0788] 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0789] 제n번째(단, $n=1, 2, 3 \dots N$)의 광전 변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전 변환층 세그먼트로 구성되어 있고,

[0790] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0791] 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 절연층 세그먼트의 두께가, 점차, 변화하고 있는 [A01] 내지 [B28]의 어느 한 항에 기재된 활상 소자.

[0792] [B30] «활상 소자: 제2 구성»

[0793] 광전 변환부는, N개(단, $N \geq 2$)의 광전 변환부 세그먼트로 구성되어 있고,

[0794] 무기산화물 반도체 재료층 및 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,

[0795] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,

[0796] 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,

[0797] 제n번째(단, $n=1, 2, 3 \dots N$)의 광전 변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전 변환층 세그먼트로 구성되어 있고,

[0798] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,

[0799] 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 광전 변환층 세그먼트의 두께가, 점차, 변화하고 있는 [A01] 내지 [B28]의 어느 한 항에 기재된 활상 소자.

[0800] [B31] «활상 소자: 제3 구성»

[0801] 광전 변환부는, N개(단, $N \geq 2$)의 광전 변환부 세그먼트로 구성되어 있고,

- [0802] 무기산화물 반도체 재료층 및 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,
- [0803] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,
- [0804] 전하 축적용 전극은, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,
- [0805] 제n번째(단, n=1, 2, 3 … N)의 광전 변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전 변환층 세그먼트로 구성되어 있고,
- [0806] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,
- [0807] 인접하는 광전 변환부 세그먼트에서, 절연층 세그먼트를 구성하는 재료가 다른 [A01] 내지 [B28]의 어느 한 항에 기재된 활상 소자.
- [0808] [B32] «활상 소자: 제4 구성»
- [0809] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,
- [0810] 무기산화물 반도체 재료층 및 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,
- [0811] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,
- [0812] 전하 축적용 전극은, 서로 이간되어 배치된, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,
- [0813] 제n번째(단, n=1, 2, 3 … N)의 광전 변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전 변환층 세그먼트로 구성되어 있고,
- [0814] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,
- [0815] 인접하는 광전 변환부 세그먼트에서, 전하 축적용 전극 세그먼트를 구성하는 재료가 다른 [A01] 내지 [B28]의 어느 한 항에 기재된 활상 소자.
- [0816] [B33] «활상 소자: 제5 구성»
- [0817] 광전 변환부는, N개(단, N≥2)의 광전 변환부 세그먼트로 구성되어 있고,
- [0818] 무기산화물 반도체 재료층 및 광전 변환층은, N개의 광전 변환층 세그먼트로 구성되어 있고,
- [0819] 절연층은, N개의 절연층 세그먼트로 구성되어 있고,
- [0820] 전하 축적용 전극은, 서로 이간되어 배치된, N개의 전하 축적용 전극 세그먼트로 구성되어 있고,
- [0821] 제n번째(단, n=1, 2, 3 … N)의 광전 변환부 세그먼트는, 제n번째의 전하 축적용 전극 세그먼트, 제n번째의 절연층 세그먼트 및 제n번째의 광전 변환층 세그먼트로 구성되어 있고,
- [0822] n의 값이 큰 광전 변환부 세그먼트일수록, 제1 전극으로부터 떨어져서 위치하고,
- [0823] 제1번째의 광전 변환부 세그먼트로부터 제N번째의 광전 변환부 세그먼트에 걸쳐, 전하 축적용 전극 세그먼트의 면적이, 점차, 작게 되어 있는 [A01] 내지 [B28]의 어느 한 항에 기재된 활상 소자.
- [0824] [B34] «활상 소자: 제6 구성»
- [0825] 전하 축적용 전극과 절연층과 무기산화물 반도체 재료층과 광전 변환층의 적층 방향을 Z방향, 제1 전극으로부터 떨어지는 방향을 X방향으로 했을 때, YZ 가상 평면에서 전하 축적용 전극과 절연층과 무기산화물 반도체 재료층과 광전 변환층이 적층된 적층 부분을 절단했을 때의 적층 부분의 단면적은, 제1 전극으로부터의 거리에 의존하여 변화하는 [A01] 내지 [B28]의 어느 한 항에 기재된 활상 소자.
- [0826] [C01] «적층형 활상 소자»
- [0827] [A01] 내지 [B34]의 어느 한 항에 기재된 활상 소자를 적어도 1개 갖는 적층형 활상 소자.
- [0828] [D01] «고체 활상 장치: 제1 양태»
- [0829] [A01] 내지 [B34]의 어느 한 항에 기재된 활상 소자를, 복수, 구비한 고체 활상 장치.
- [0830] [D02] «고체 활상 장치: 제2 양태»

- [0831] [C01]에 기재된 적층형 활상 소자를, 복수, 구비한 고체 활상 장치.
- [0832] [E01] «활상 소자의 제조 방법»
- [0833] 제1 전극, 유기계 재료로 이루어지는 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0834] 제1 전극과 광전 변환층 사이에는, 제1 전극측부터, 제1 층 및 제2 층으로 이루어지는 무기산화물 반도체 재료 층이 형성되어 있는 발광 소자의 제조 방법으로서,
- [0835] 제1 층을 스퍼터링법에 의거하여 성막한 후, 제1 층을 성막했을 때의 투입 전력보다도 작은 투입 전력으로의 스퍼터링법에 의거하여 제2 층을 성막하는 공정을 포함하는 활상 소자의 제조 방법.
- [0836] [F01] «고체 활상 장치: 제1 구성»
- [0837] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0838] 광전 변환부는, [A01] 내지 [B34]의 어느 한 항에 기재된 활상 소자를, 복수, 가지고 있고,
- [0839] 복수의 활상 소자로 활상 소자 블록이 구성되어 있고,
- [0840] 활상 소자 블록을 구성하는 복수의 활상 소자에서 제1 전극이 공유되어 있는 고체 활상 장치.
- [0841] [F02] «고체 활상 장치: 제2 구성»
- [0842] [C01]에 기재된 적층형 활상 소자를, 복수, 가지고 있고,
- [0843] 복수의 활상 소자로 활상 소자 블록이 구성되어 있고,
- [0844] 활상 소자 블록을 구성하는 복수의 활상 소자에서 제1 전극이 공유되어 있는 고체 활상 장치.
- [0845] [F03] 1개의 활상 소자의 상방에 1개의 온 칩 · 마이크로 · 렌즈가 배설되어 있는 [F01] 또는 [F02]에 기재된 고체 활상 장치.
- [0846] [F04] 2개의 활상 소자로 활상 소자 블록이 구성되어 있고,
- [0847] 활상 소자 블록의 상방에 1개의 온 칩 · 마이크로 · 렌즈가 배설되어 있는 [F01] 또는 [F02]에 기재된 고체 활상 장치.
- [0848] [F05] 복수의 활상 소자에 대해 1개의 부유 확산층이 마련되어 있는 [F01] 내지 [F04]의 어느 한 항에 기재된 고체 활상 장치.
- [0849] [F06] 제1 전극은, 각 활상 소자의 전하 축적용 전극에 인접하여 배치되어 있는 [F01] 내지 [F05]의 어느 한 항에 기재된 고체 활상 장치.
- [0850] [F07] 제1 전극이, 복수의 활상 소자의 일부의 전하 축적용 전극에 인접하여 배치되어 있고, 복수의 활상 소자의 나머지 전하 축적용 전극과는 인접하여 배치되어 있지 않는 [F01] 내지 [F06]의 어느 한 항에 기재된 고체 활상 장치.
- [0851] [F08] 활상 소자를 구성하는 전하 축적용 전극과 활상 소자를 구성하는 전하 축적용 전극 사이의 거리는, 제1 전극에 인접한 활상 소자에서의 제1 전극과 전하 축적용 전극 사이의 거리보다도 긴 [F07]에 기재된 고체 활상 장치.
- [0852] [G01] «고체 활상 장치의 구동 방법»
- [0853] 제1 전극, 광전 변환층 및 제2 전극이 적층되어 이루어지는 광전 변환부를 구비하고 있고,
- [0854] 광전 변환부는, 또한, 제1 전극과 이간하여 배치되고, 또한, 절연층을 통하여 광전 변환층과 대향하여 배치된 전하 축적용 전극을 구비하고 있고,
- [0855] 제2 전극측부터 광이 입사하고, 제1 전극에는 광이 입사하지 않는 구조를 갖는 활상 소자를, 복수, 구비한 고체 활상 장치의 구동 방법으로서,
- [0856] 모든 활상 소자에서, 일제히, 무기산화물 반도체 재료층에 전하를 축적하면서, 제1 전극에서의 전하를 계외에 배출하고, 그 후,

[0857] 모든 촬상 소자에서, 일제히, 무기산화물 반도체 재료층에 축적된 전하를 제1 전극에 전송하고, 전송 완료 후, 순차적으로, 각 촬상 소자에서 제1 전극에 전송된 전하를 판독하는 각 공정을 반복하는 고체 촬상 장치의 구동 방법.

부호의 설명

[0858] 10: 촬상 소자(적층형 촬상 소자, 제1 촬상 소자)

11: 제2 촬상 소자

12: 제3 촬상 소자

13: 층간 절연층보다 하방에 위치하는 각종의 촬상 소자 구성 요소

14: 온 칩 · 마이크로 · 렌즈(OCL)

15: 차광층

21: 제1 전극

22: 제2 전극

23: 광전 변환 적층체

23A: 광전 변환층

23B: 무기산화물 반도체 재료층

23C: 제1 층

23D: 제2 층

24: 전하 축적용 전극

24A, 24B, 24C: 전하 축적용 전극 세그먼트

25, 25A, 25B: 전송 제어용 전극(전하 전송 전극)

26: 전하 배출 전극

27: 하부 전하 이동 제어 전극(하방 · 전하 이동 제어 전극)

27A: 접속 구멍

27B: 패드부

28: 상부 전하 이동 제어 전극(상방 · 전하 이동 제어 전극)

41: 제2 촬상 소자를 구성하는 n형 반도체 영역

43: 제3 촬상 소자를 구성하는 n형 반도체 영역

42, 44, 73: p+층

45, 46: 전송 트랜지스터의 게이트부

51: 리셋 · 트랜지스터(TR1_{rst})의 게이트부

51A: 리셋 · 트랜지스터(TR1_{rst})의 채널 형성 영역

51B, 51C: 리셋 · 트랜지스터(TR1_{rst})의 소스/드레인 영역

52: 증폭 트랜지스터(TR1_{amp})의 게이트부

52A: 증폭 트랜지스터(TR1_{amp})의 채널 형성 영역

52B, 52C: 증폭 트랜지스터(TR1_{amp})의 소스/드레인 영역

- 53: 선택 트랜지스터($TR1_{sel}$)의 게이트부
 53A: 선택 트랜지스터($TR1_{sel}$)의 채널 형성 영역
 53B, 53C: 선택 트랜지스터($TR1_{sel}$)의 소스/드레인 영역
 61: 콘택트 홀부
 62: 배선층
 63, 64, 68A: 패드부
 65, 68B: 접속 구멍
 66, 67, 69: 접속부
 70: 반도체 기판
 70A: 반도체 기판의 제1면(겉면)
 70B: 반도체 기판의 제2면(이면)
 71: 소자 분리 영역
 72: 산화막
 74: HfO_2 막
 75: 절연 재료막
 76, 81: 층간 절연층
 82: 절연층
 82_A: 인접하는 활상 소자 사이의 영역(영역(-a))
 83: 보호 재료층
 84: 개구부
 85: 제2 개구부
 100: 고체 활상 장치
 101: 적층형 활상 소자
 111: 활상 영역
 112: 수직 구동 회로
 113: 칼럼 신호 처리 회로
 114: 수평 구동 회로
 115: 출력 회로
 116: 구동 제어 회로
 117: 신호선(데이터 출력선)
 118: 수평 신호선
 200: 전자 기기(카메라)
 201: 고체 활상 장치
 210: 광학 렌즈
 211: 셔터 장치

212: 구동 회로

213: 신호 처리 회로

$FD_1, FD_2, FD_3, 45C, 46C$: 부유 확산층

$TR1_{trs}, TR2_{trs}, TR3_{trs}$: 전송 트랜지스터

$TR1_{rst}, TR2_{rst}, TR3_{rst}$: 리셋 · 트랜지스터

$TR1_{amp}, TR2_{amp}, TR3_{amp}$: 증폭 트랜지스터

$TR1_{sel}, TR2_{sel}, TR3_{sel}$: 선택 트랜지스터

V_{DD} : 전원

RST_1, RST_2, RST_3 : 리셋선

SEL_1, SEL_2, SEL_3 : 선택선

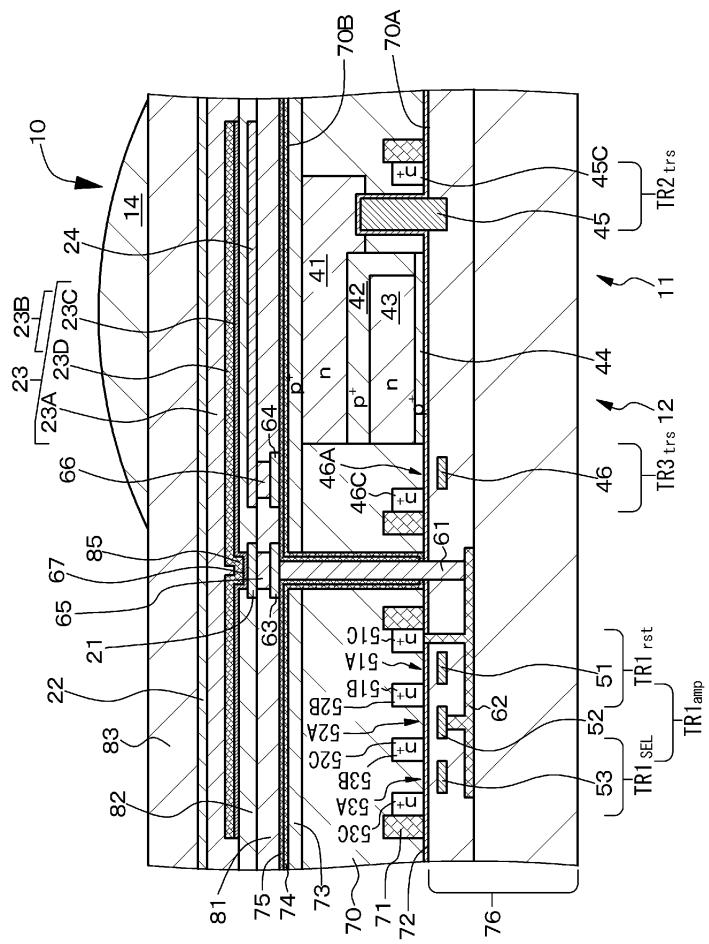
$117, VSL, VSL_1, VSL_2, VSL_3$: 신호선(데이터 출력선)

TG_2, TG_3 : 전송 게이트선

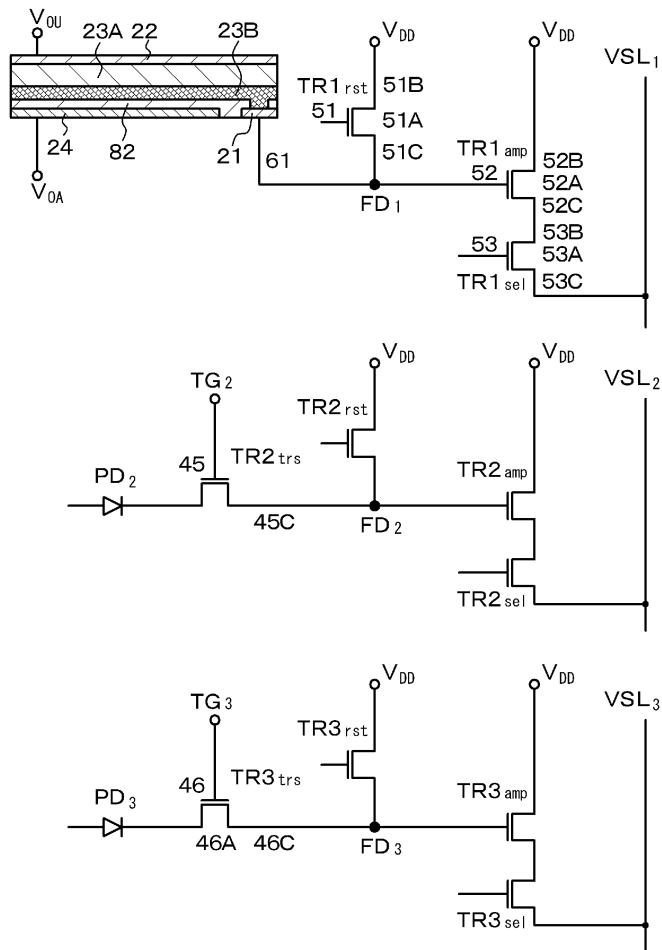
$V_{OA}, V_{OB}, V_{OT}, V_{OU}$: 배선

도면

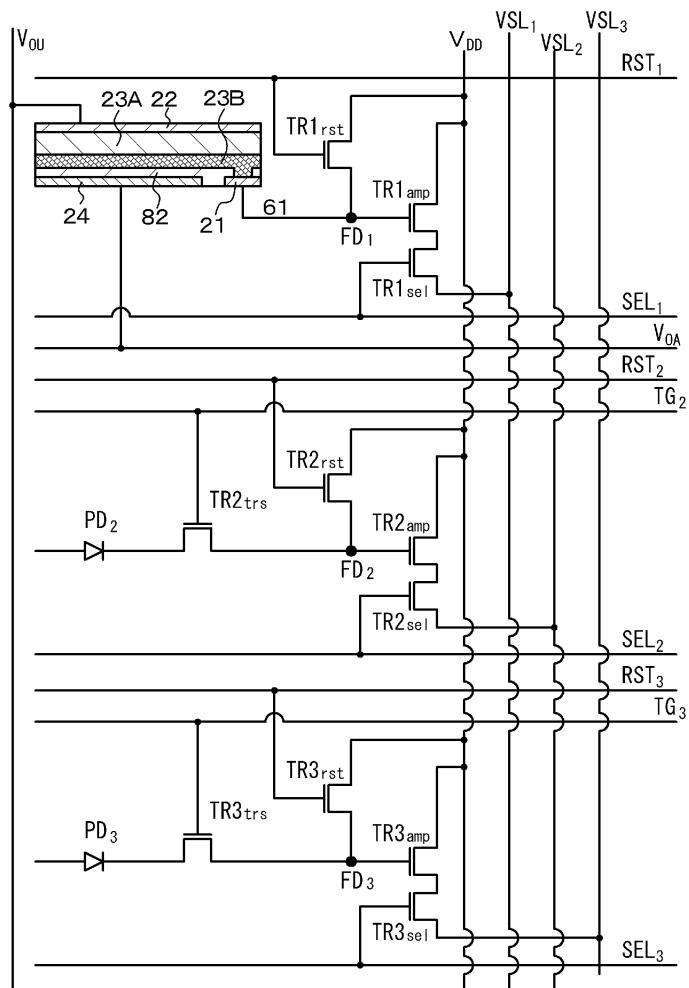
도면1



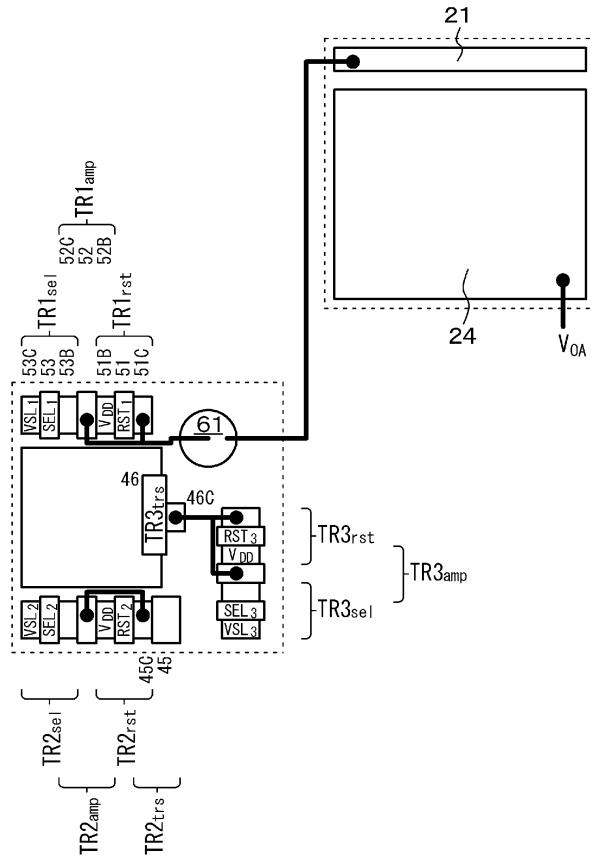
도면2



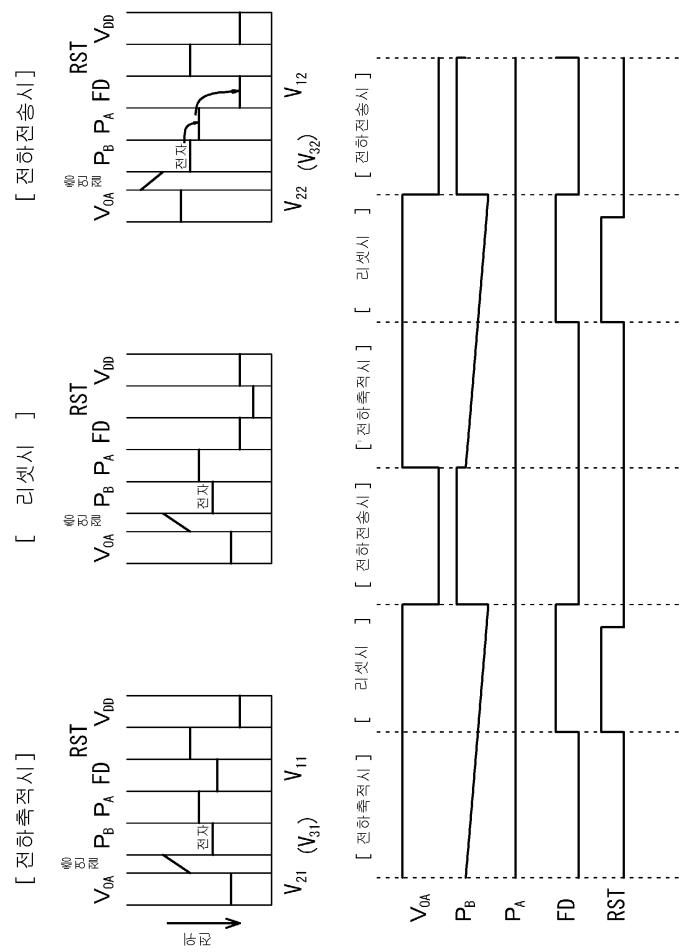
도면3



도면4

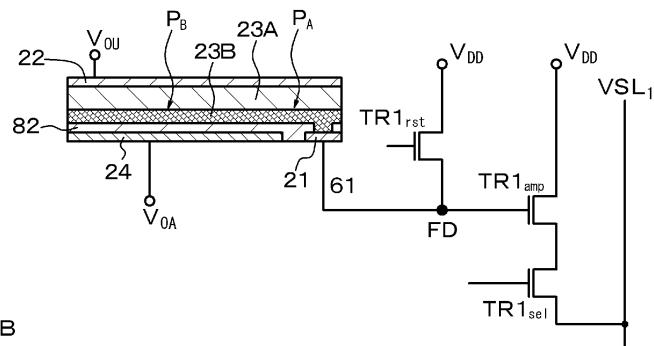


도면5

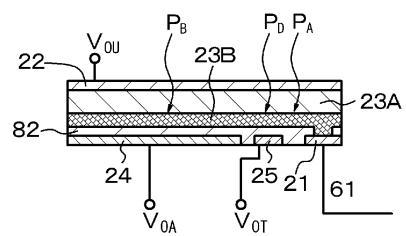


도면6

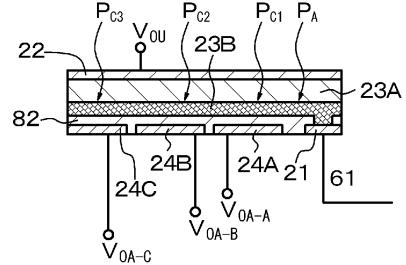
A



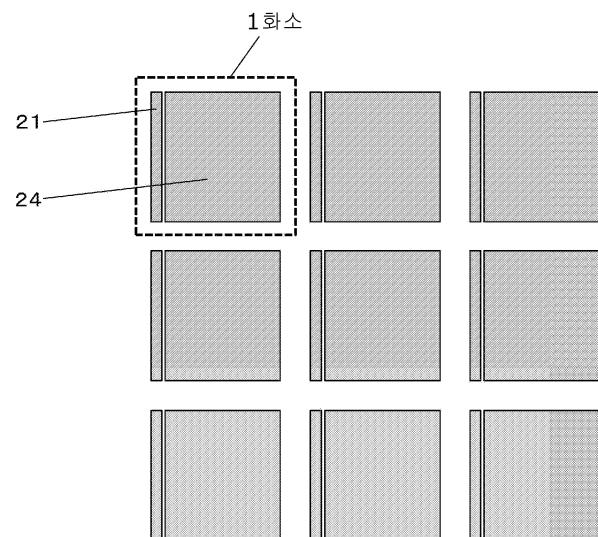
B



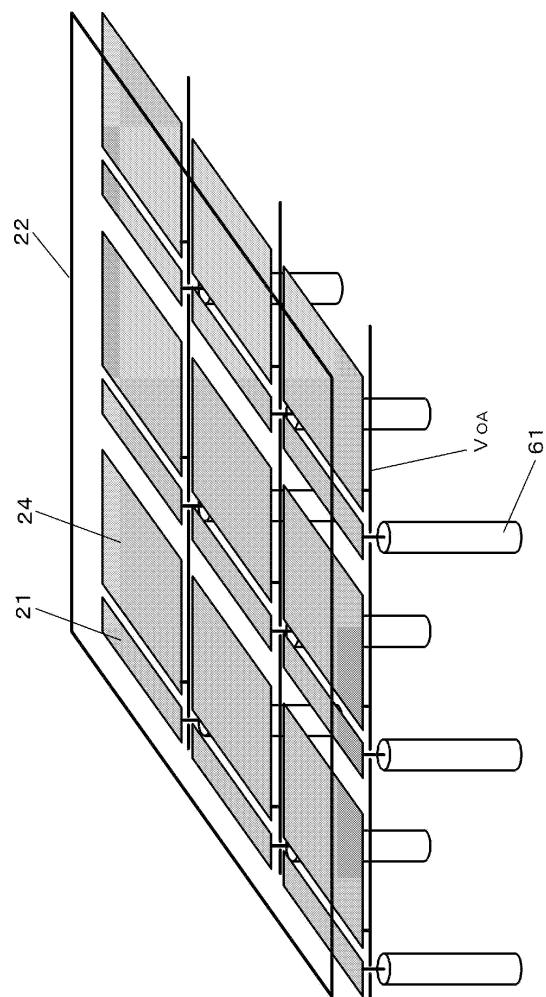
C



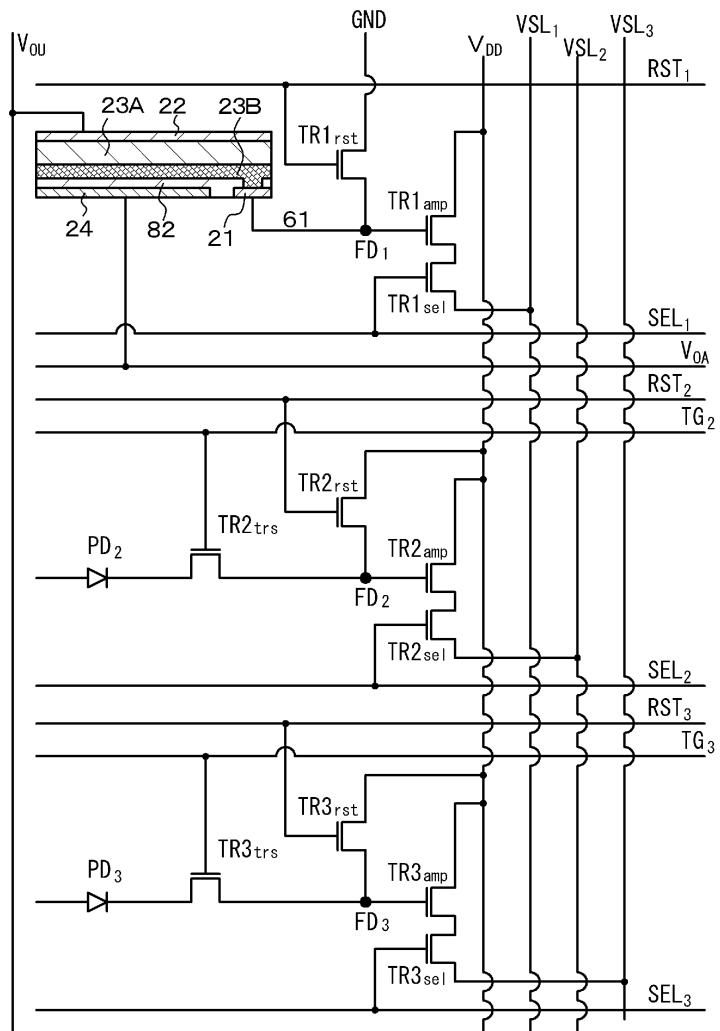
도면7



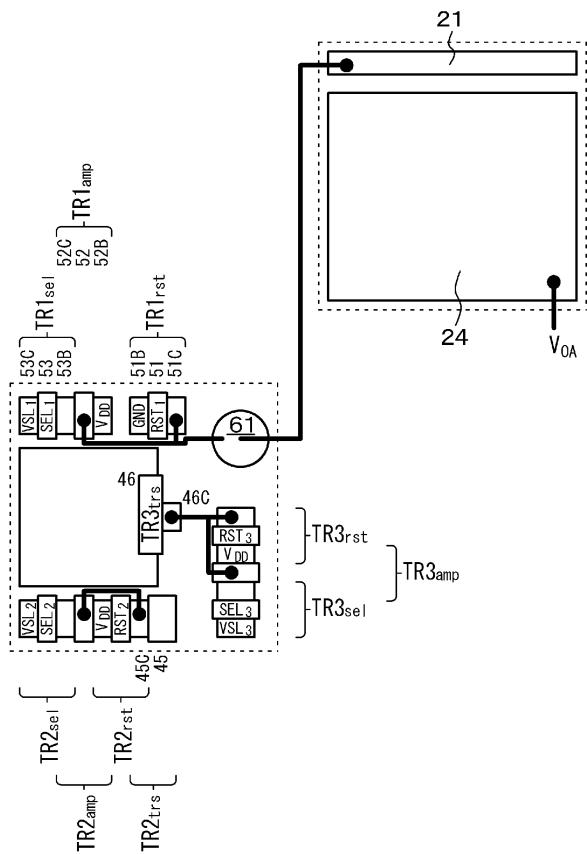
도면8



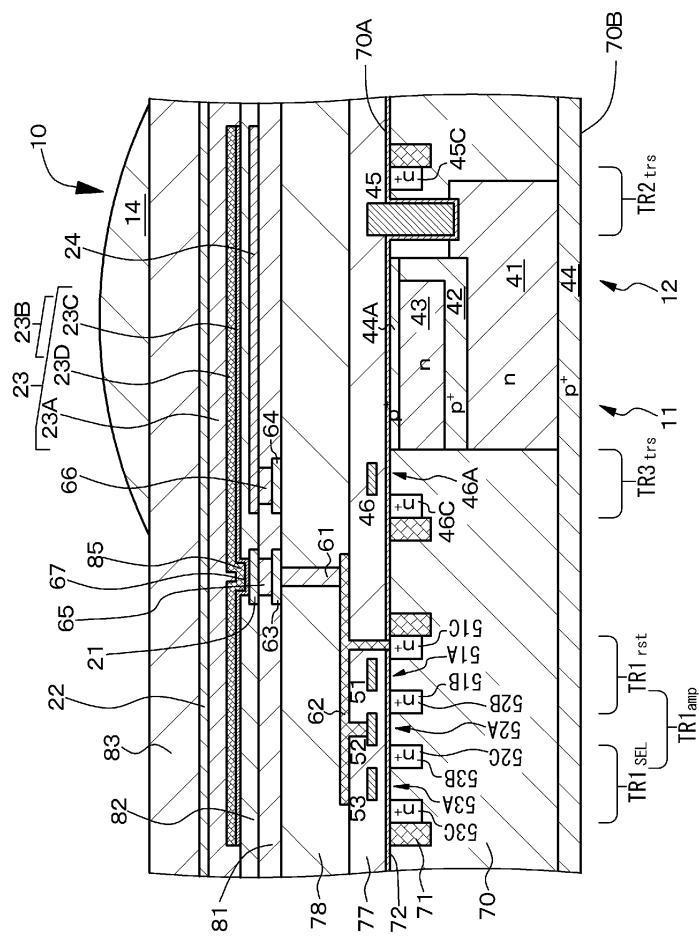
도면9



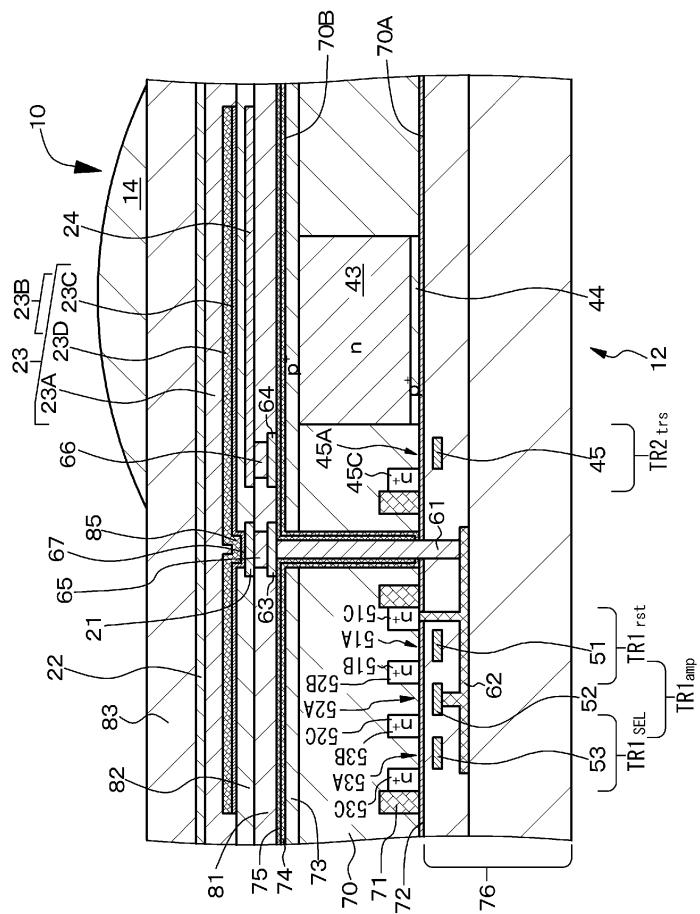
도면 10



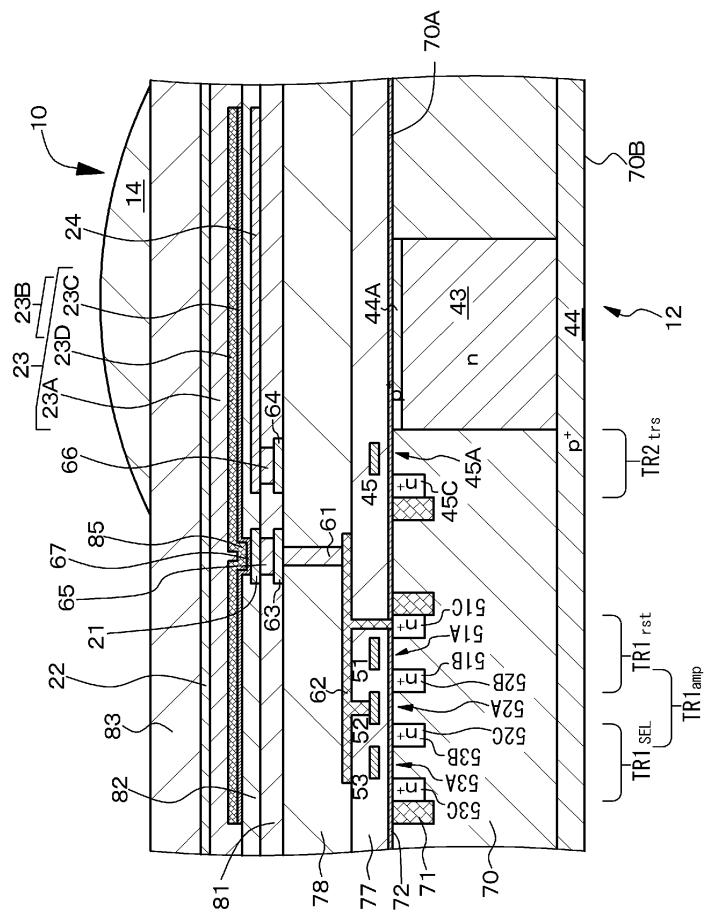
도면 11



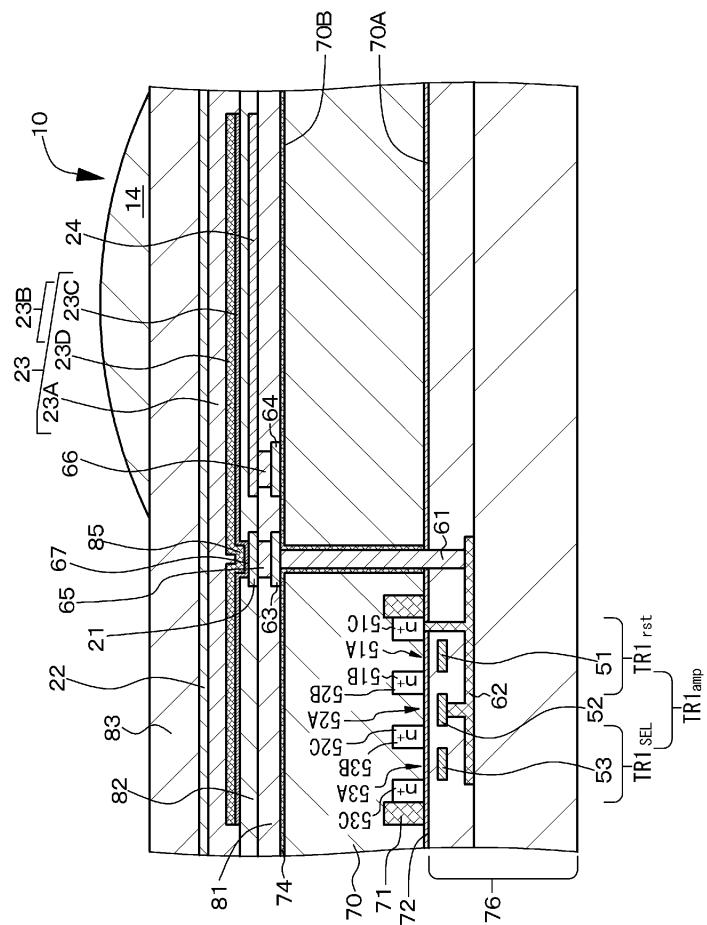
도면 12



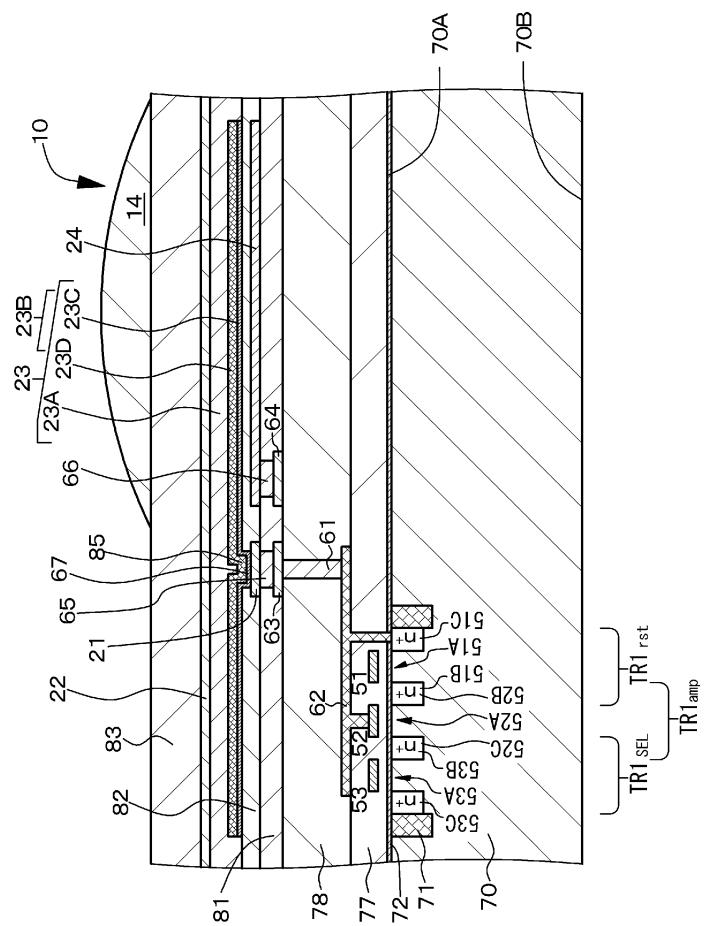
도면 13



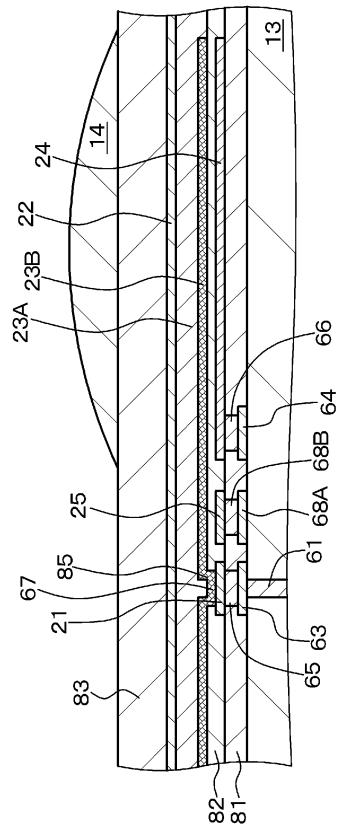
도면 14



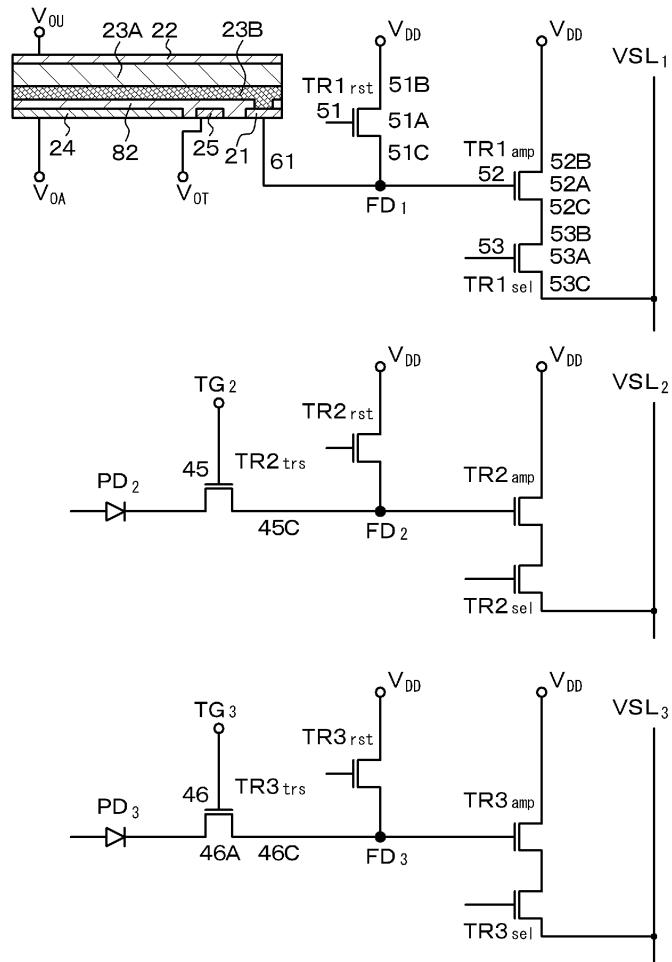
도면 15



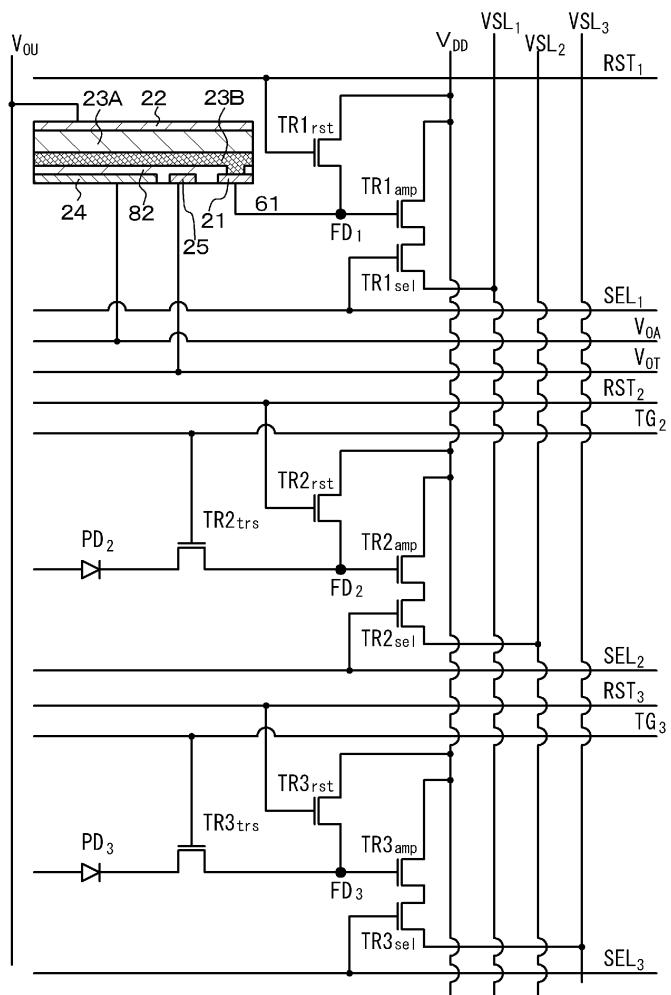
도면 16



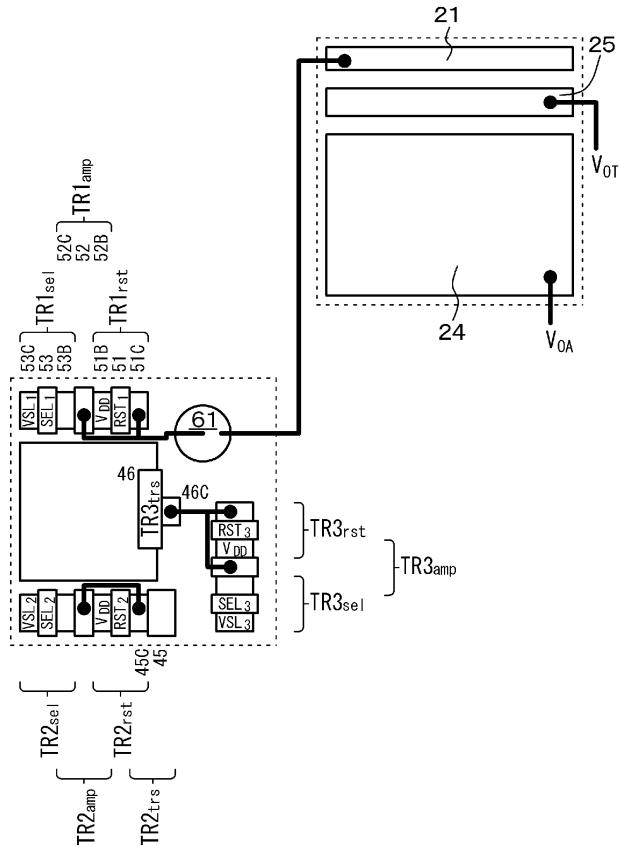
도면17



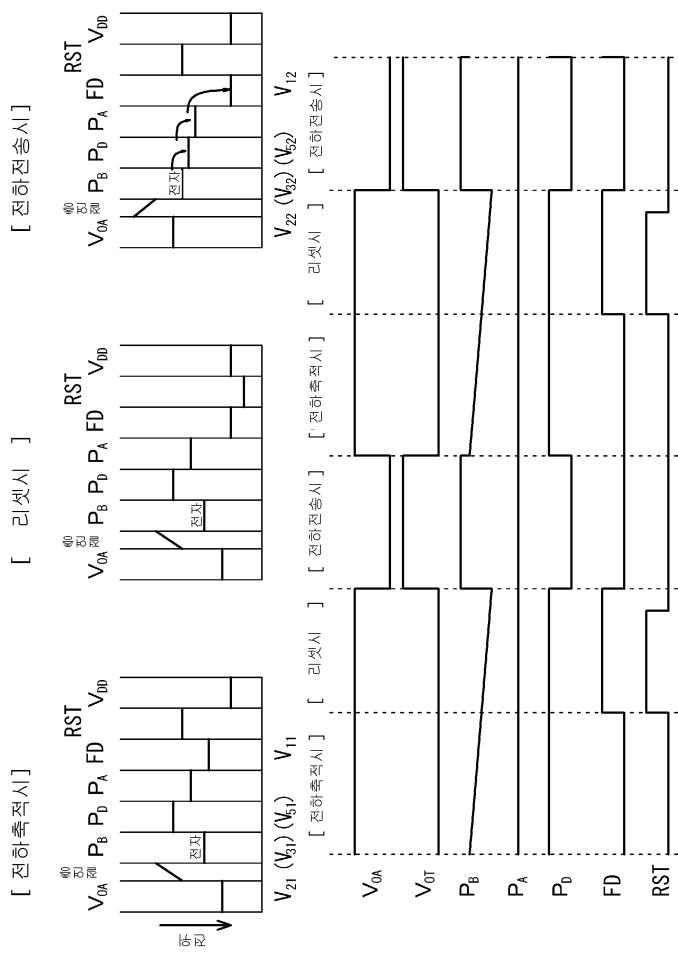
도면18



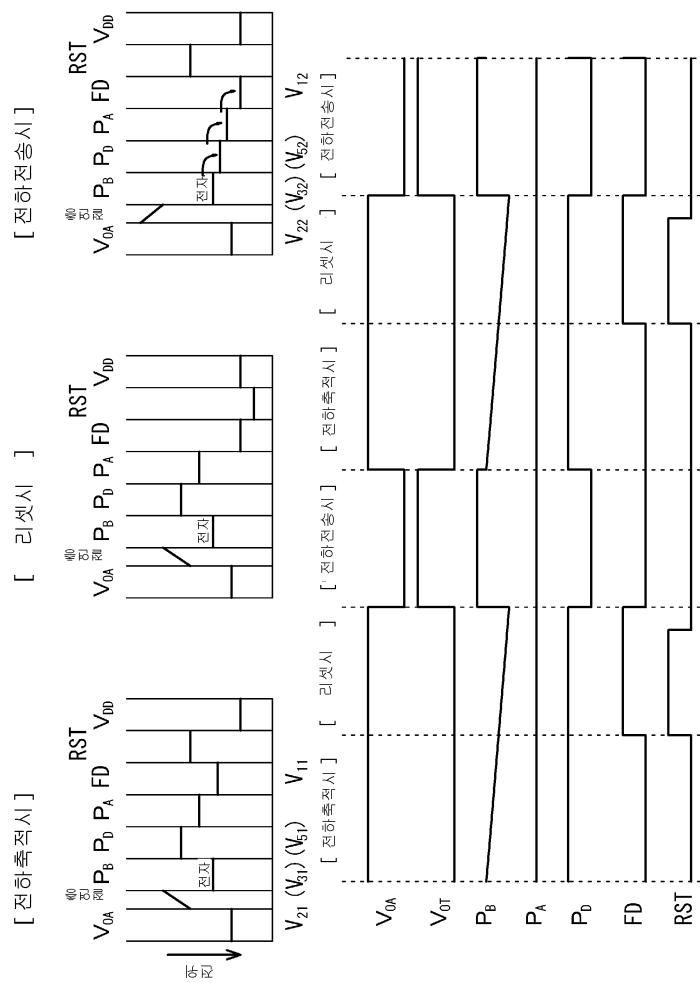
도면 19



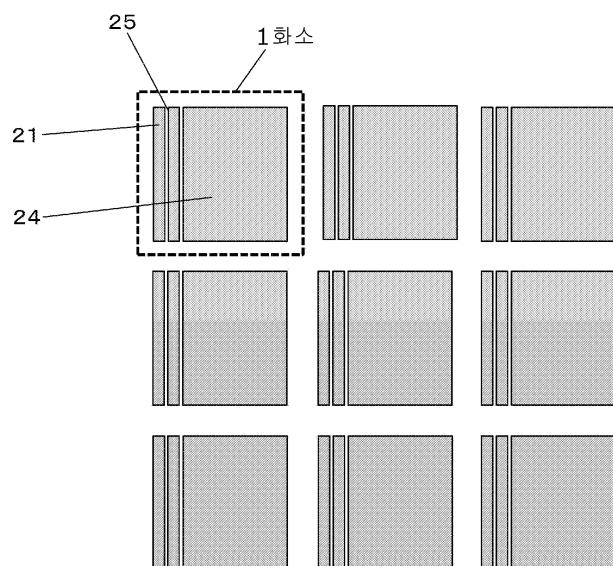
도면20



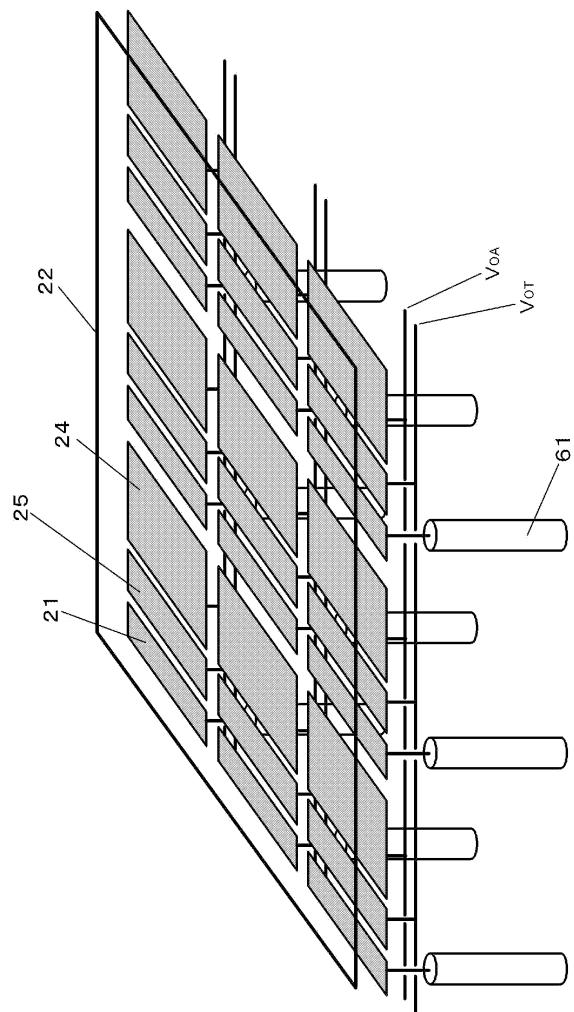
도면21



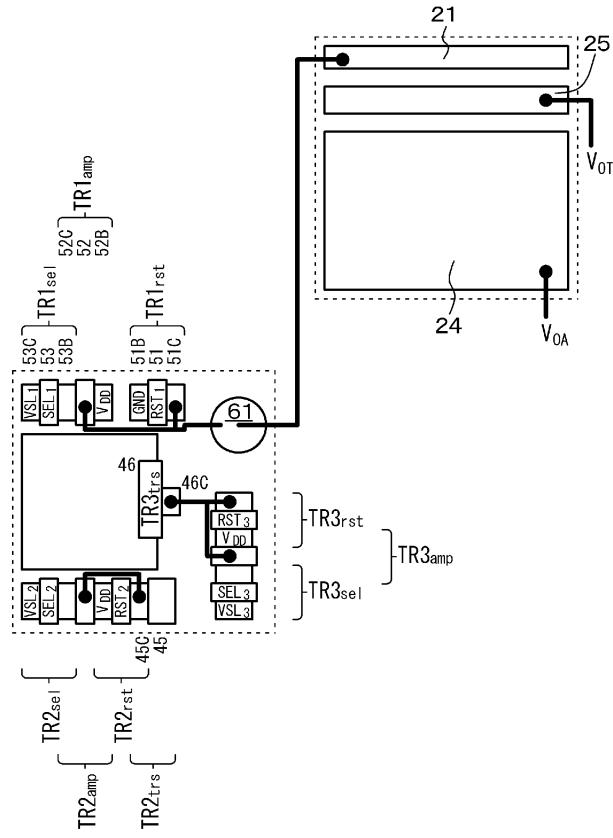
도면22



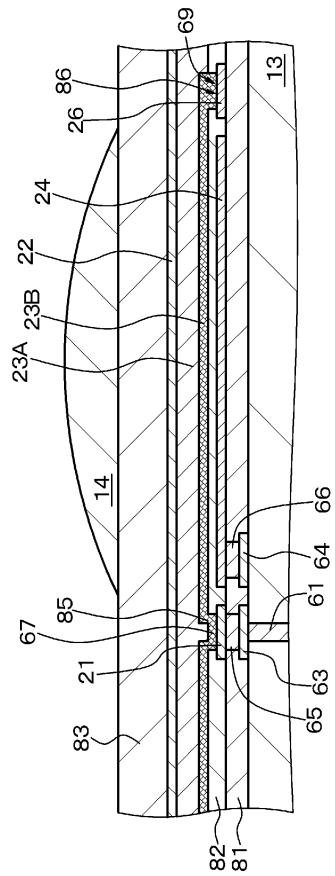
도면23



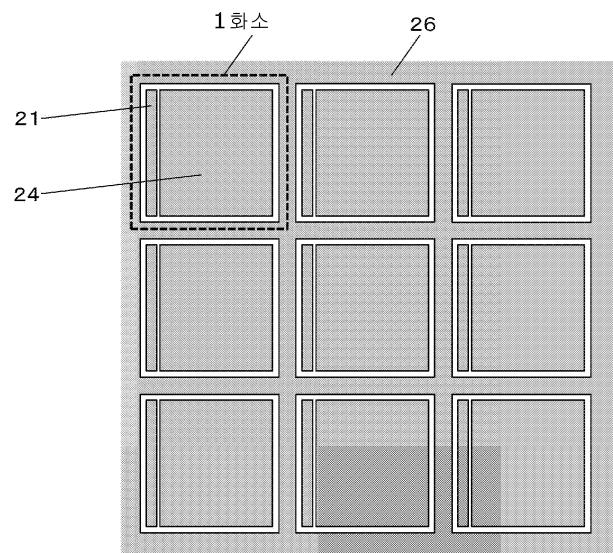
도면24



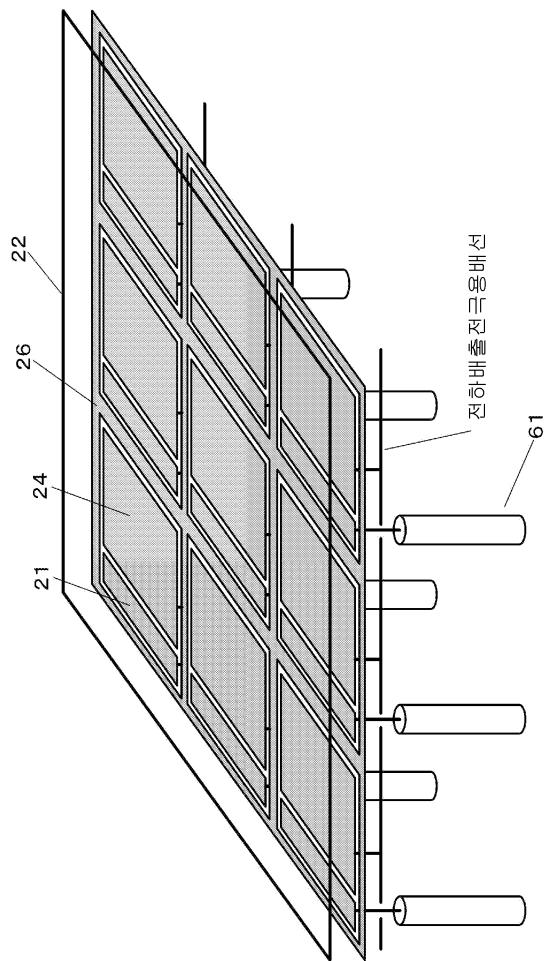
도면25



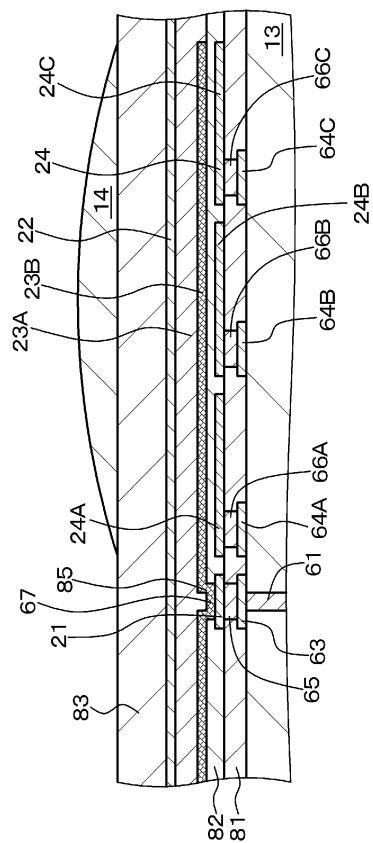
도면26



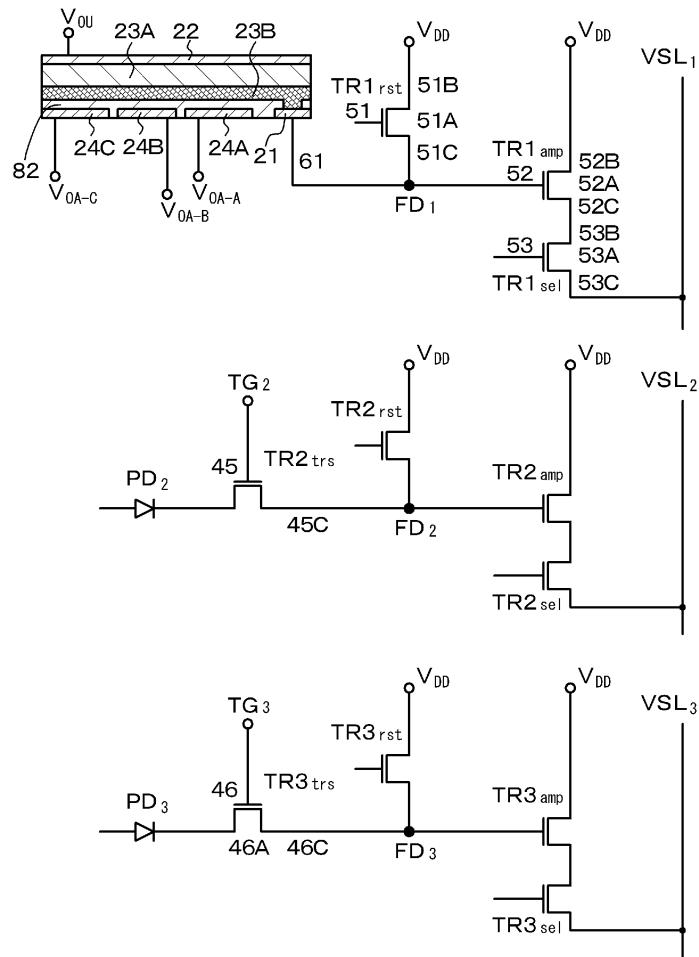
도면27



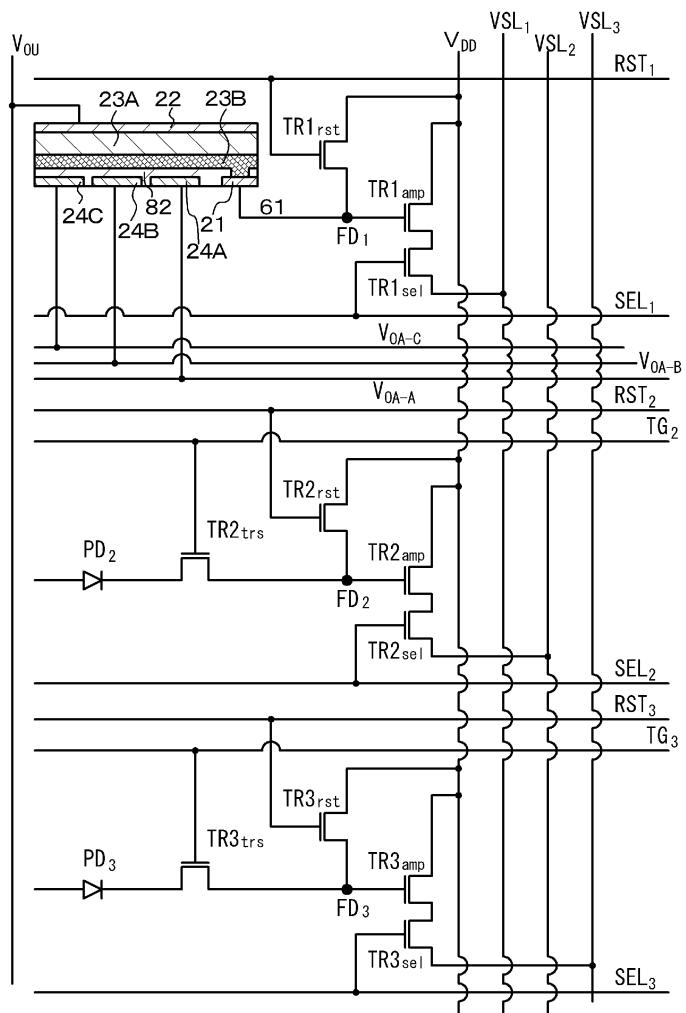
도면28



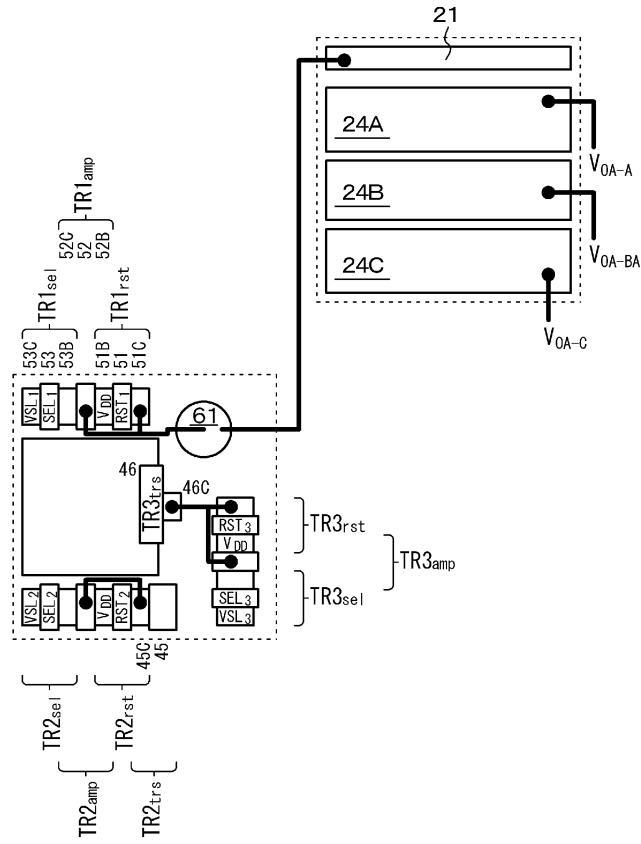
도면29



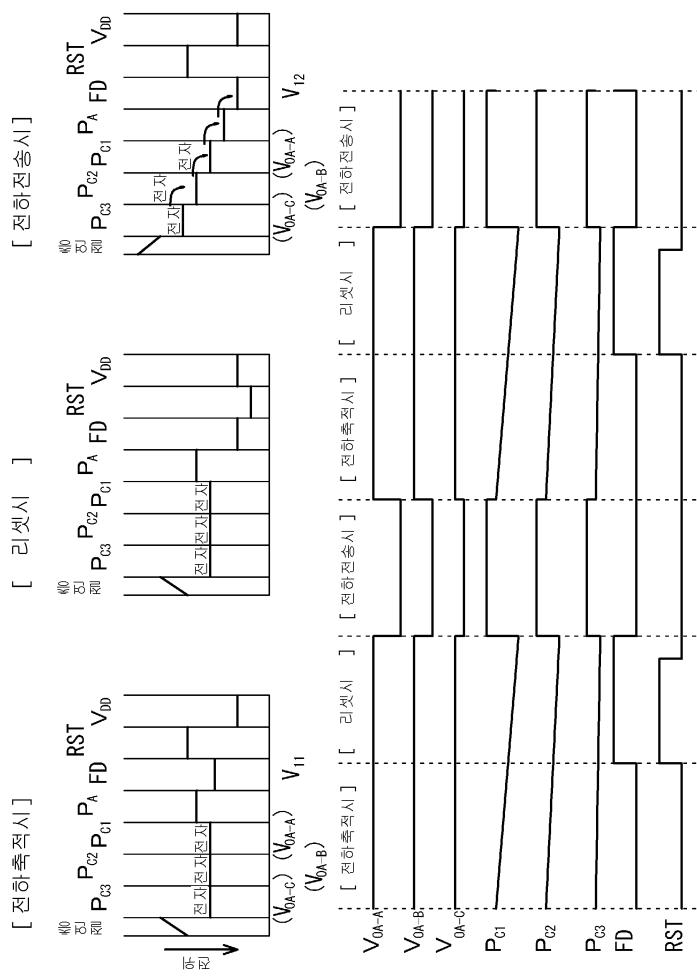
도면30



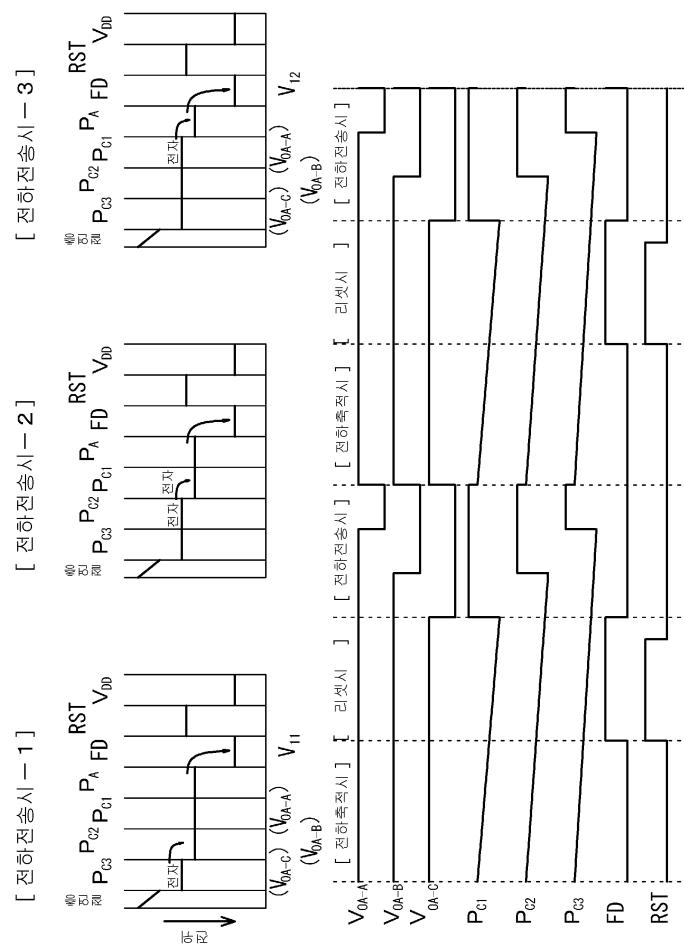
도면31



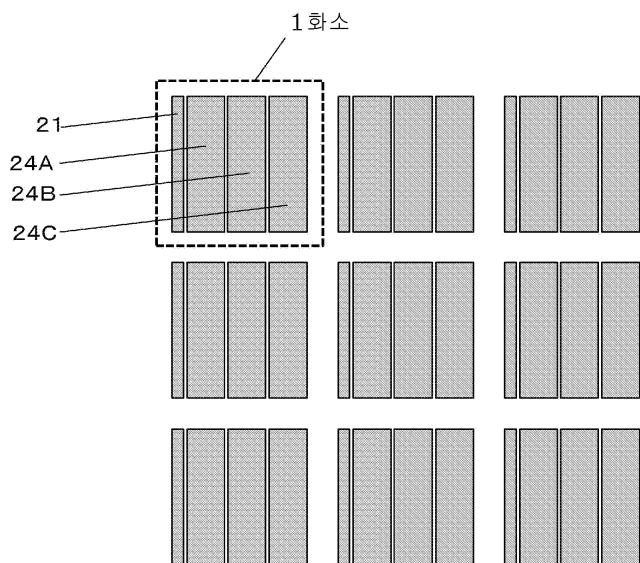
도면32



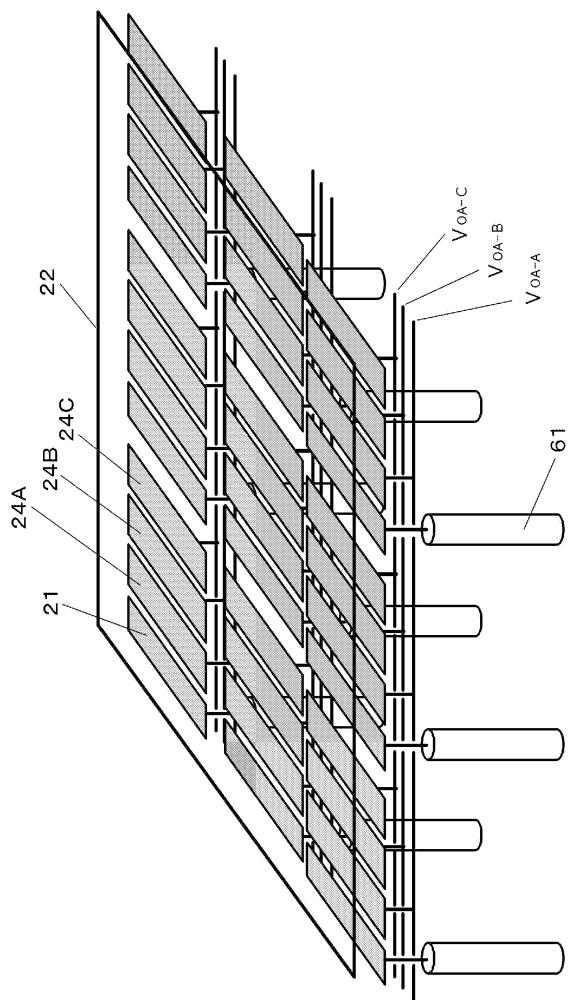
도면33



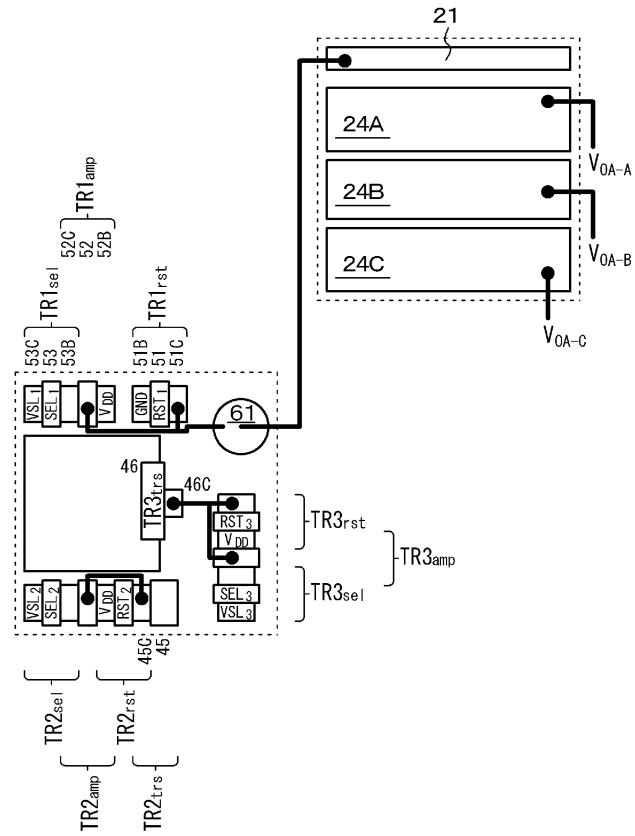
도면34



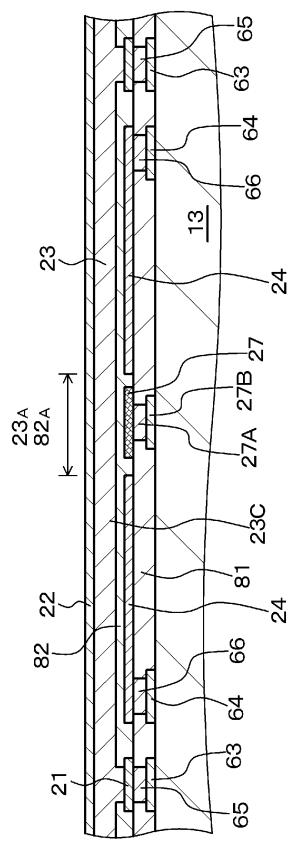
도면35



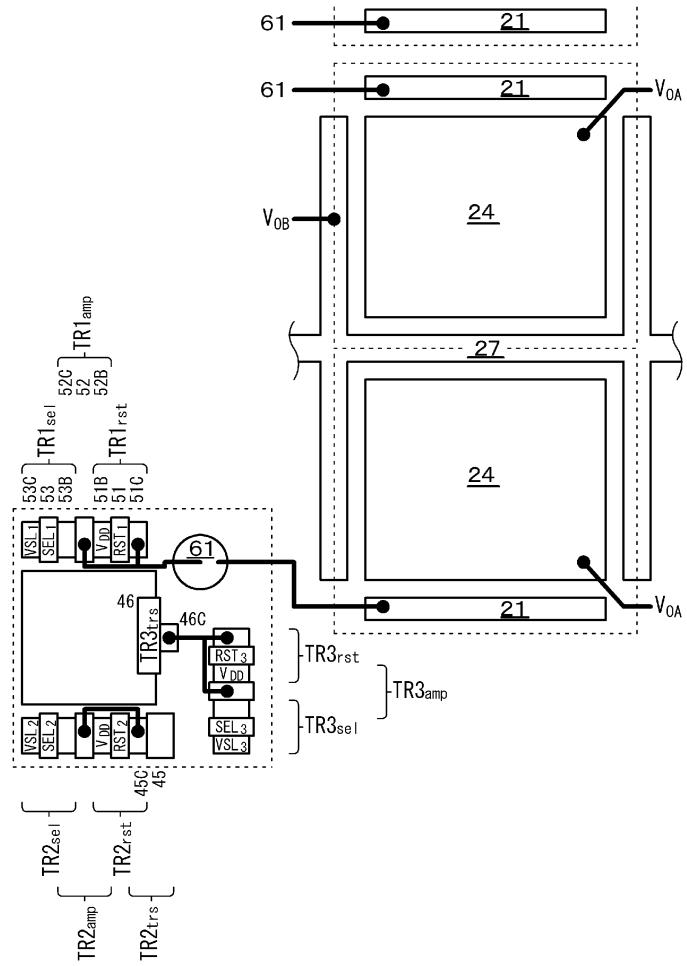
도면 36



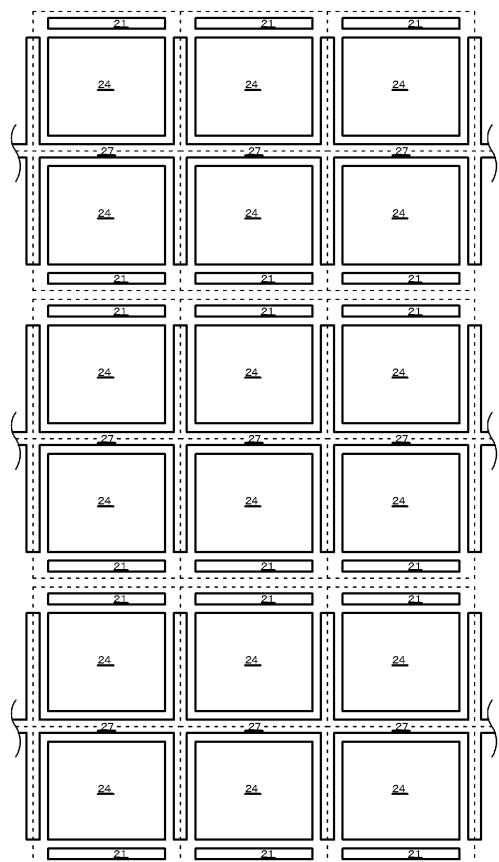
도면37



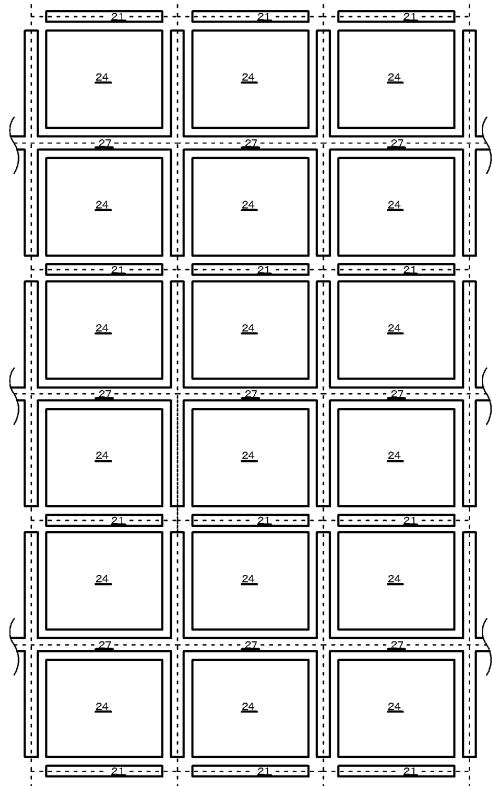
도면38



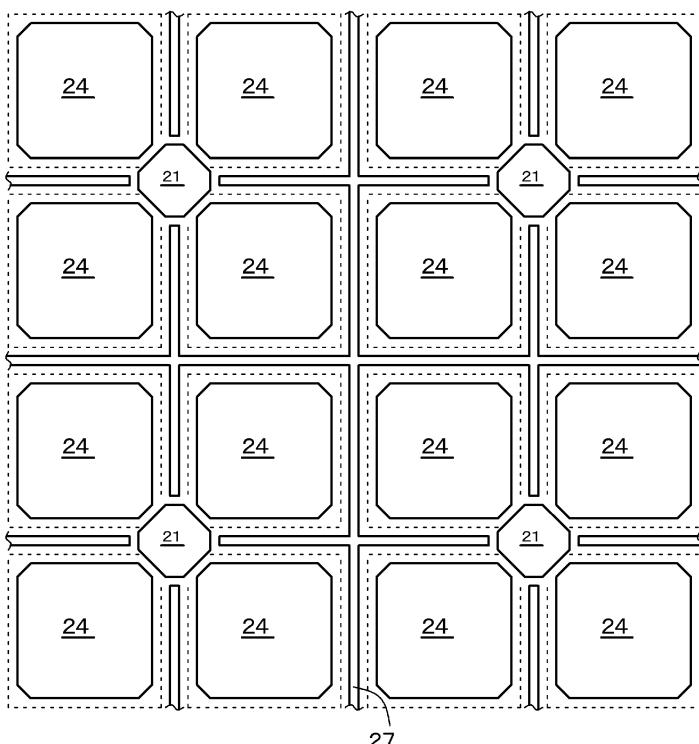
도면39



도면40

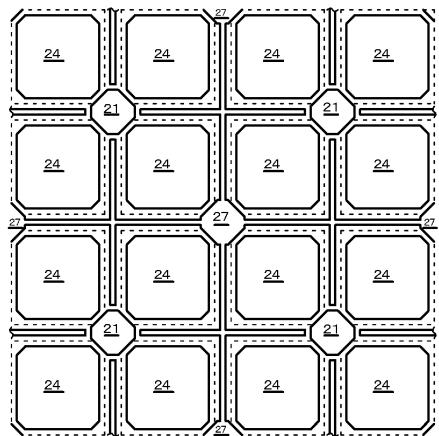


도면41

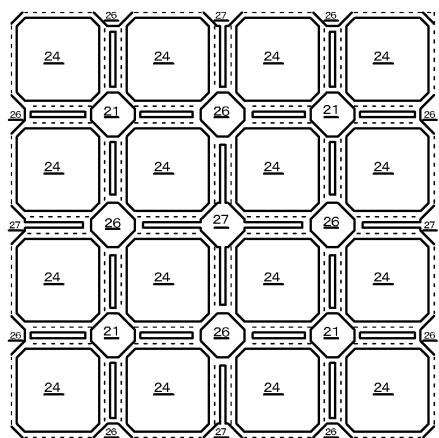


도면42

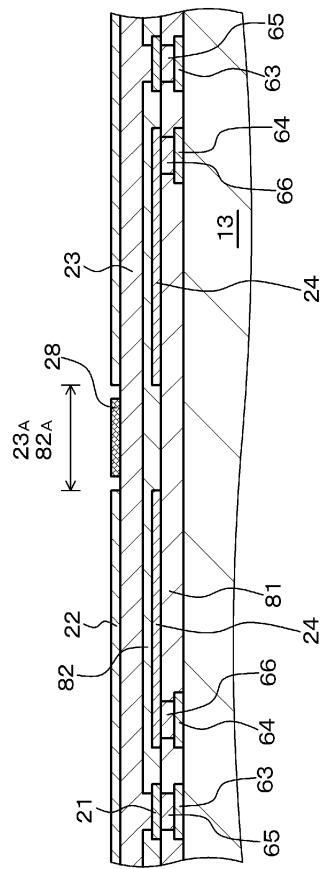
A



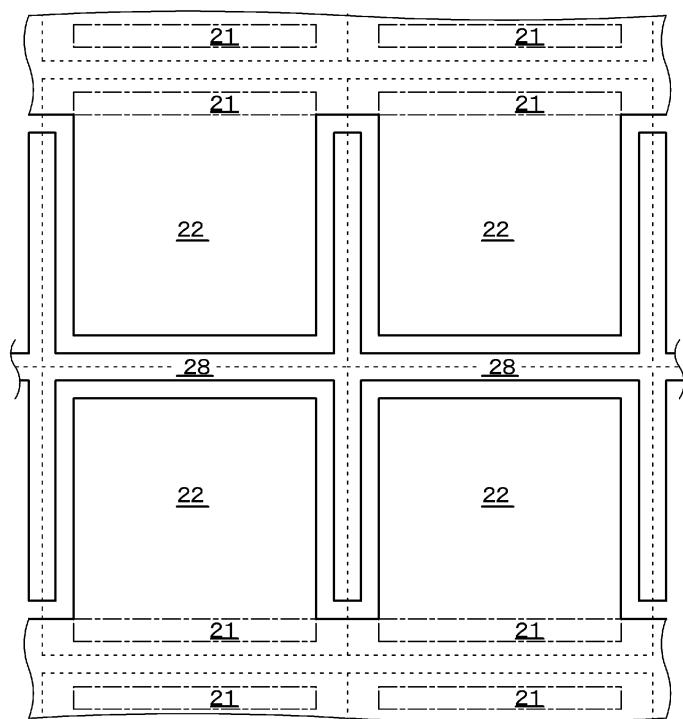
B



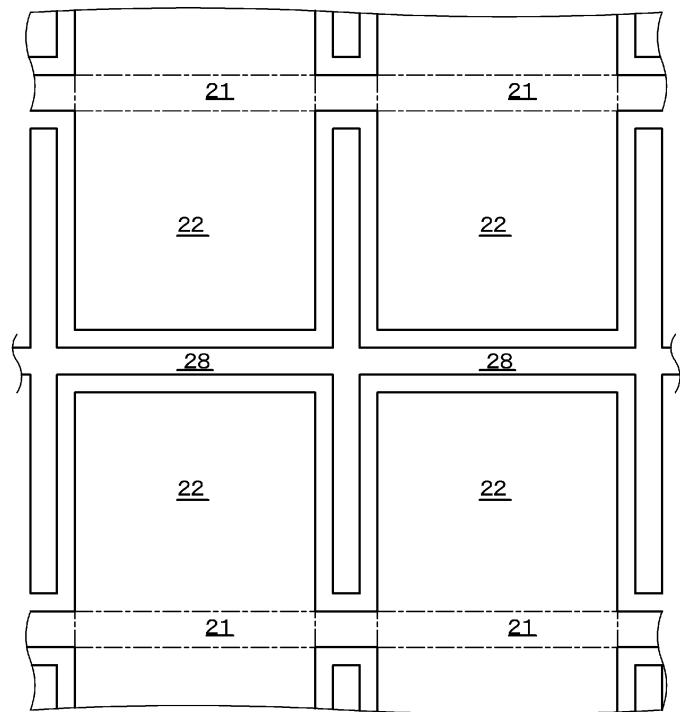
도면43



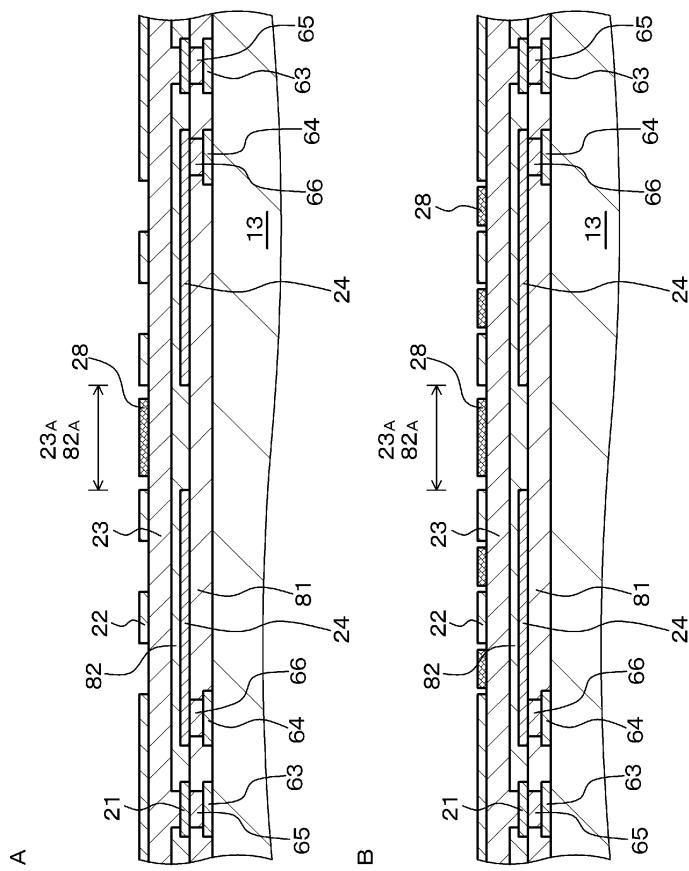
도면44



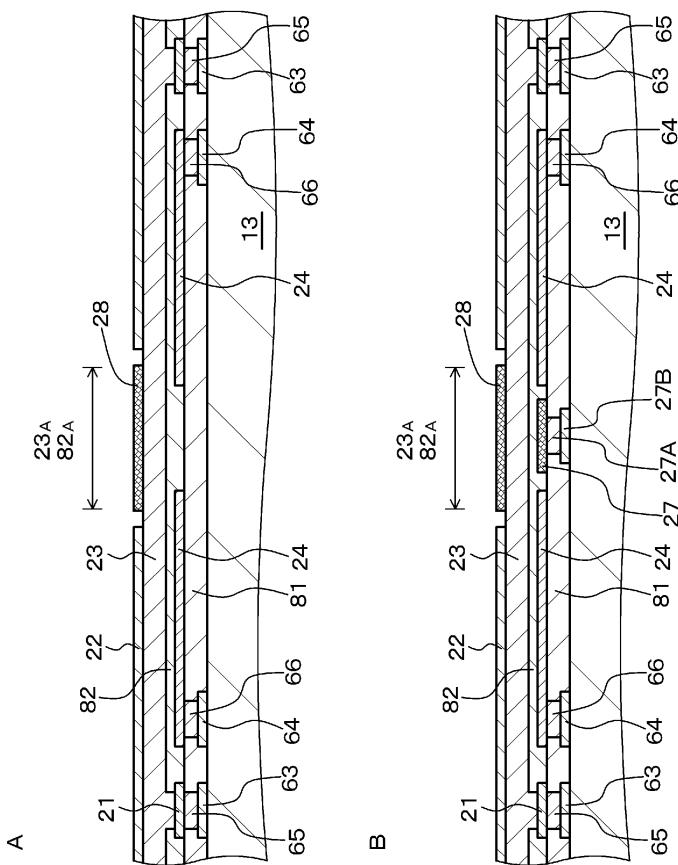
도면45



도면46

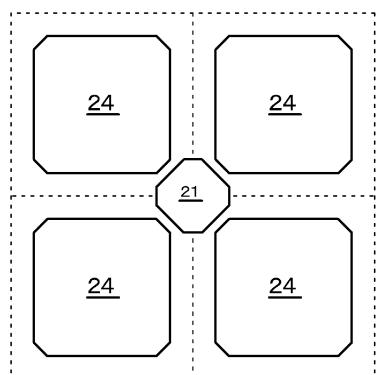


도면47

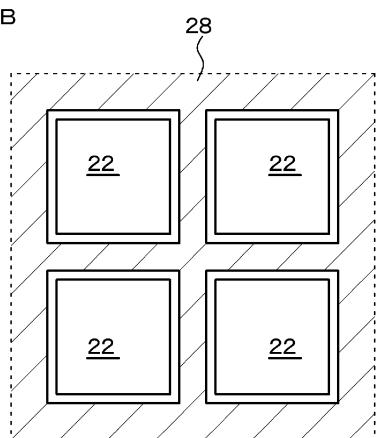


도면48

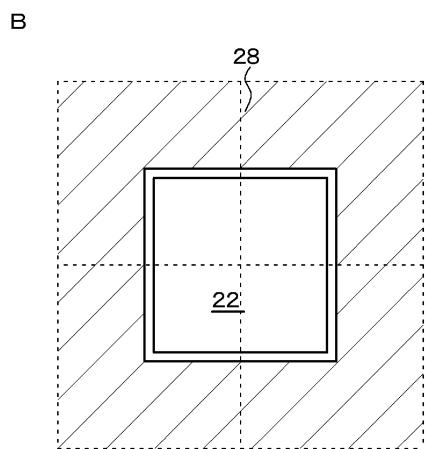
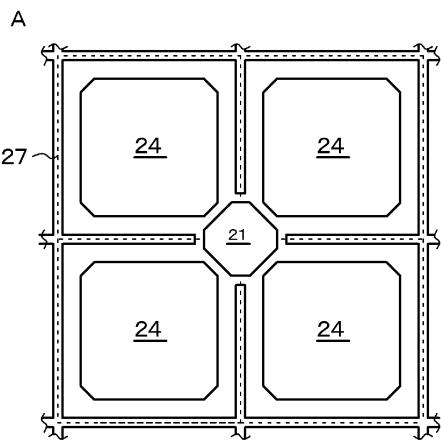
A



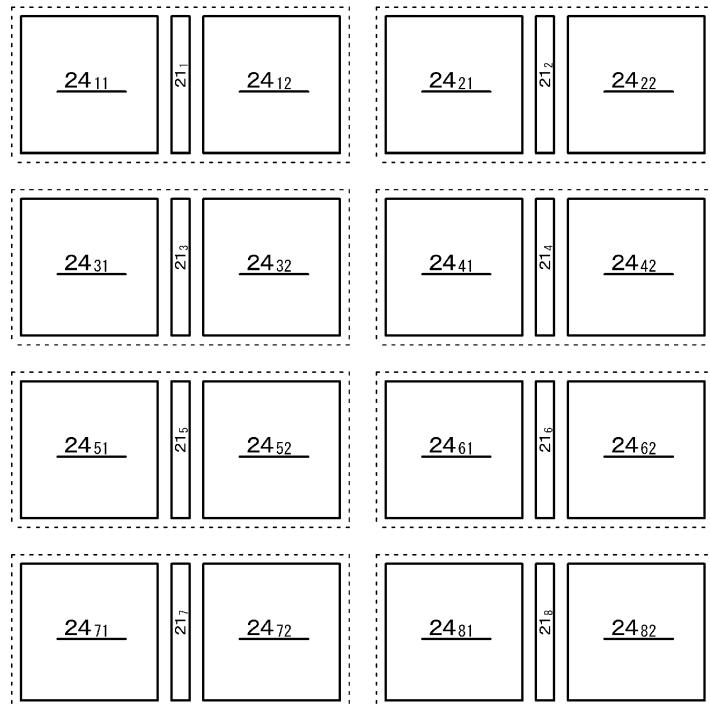
B



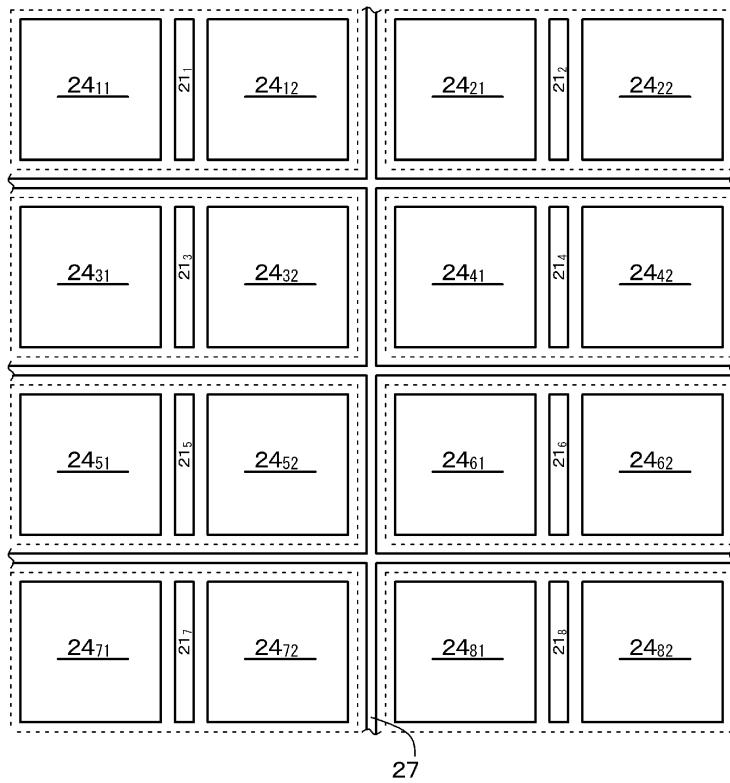
도면49



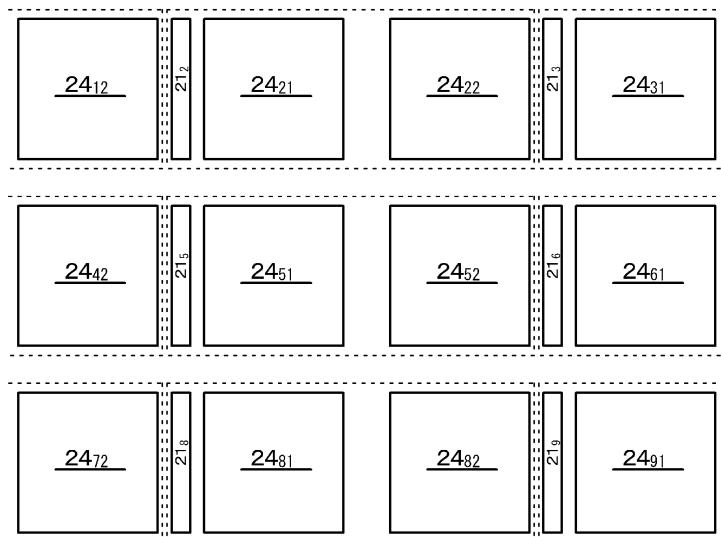
도면50



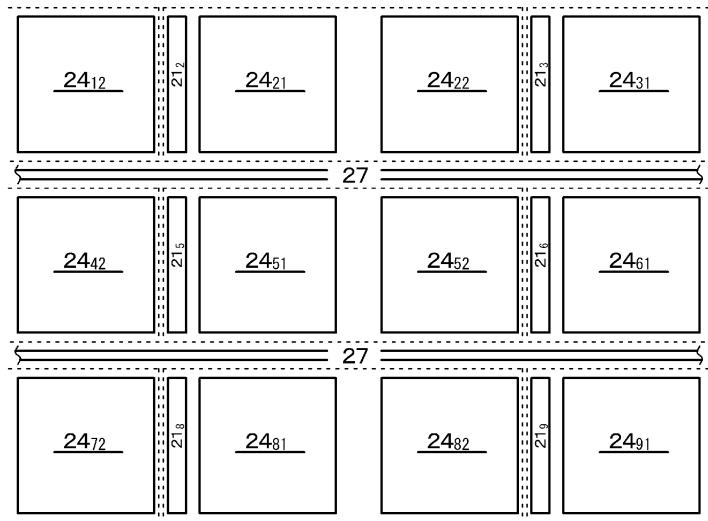
도면51



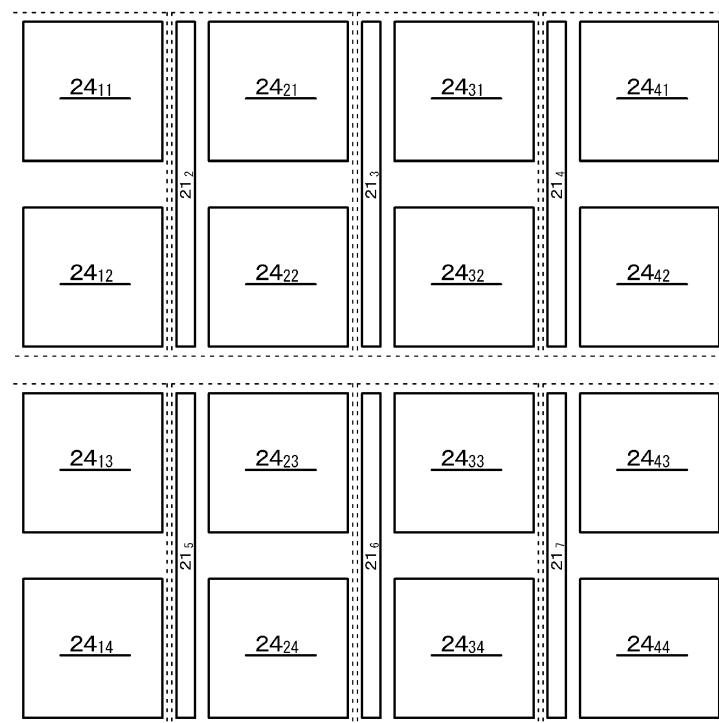
도면52



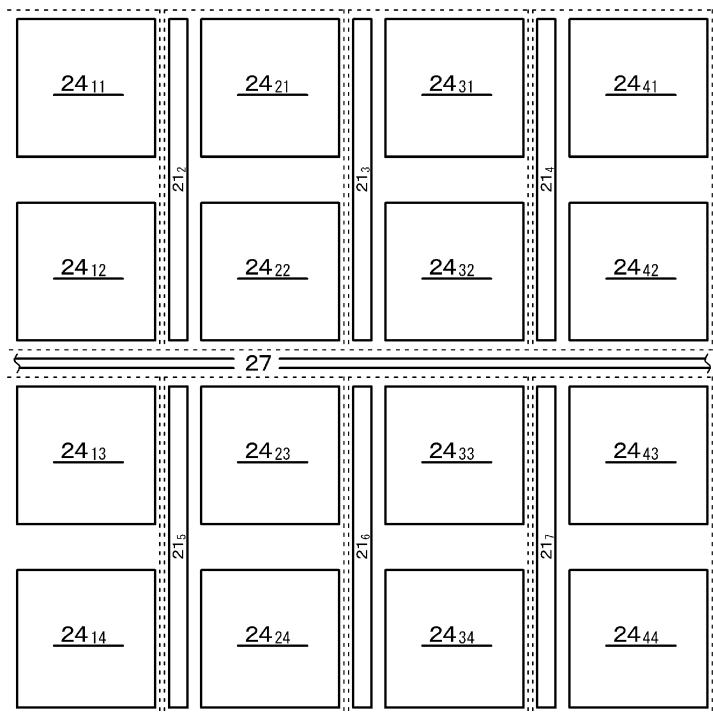
도면53



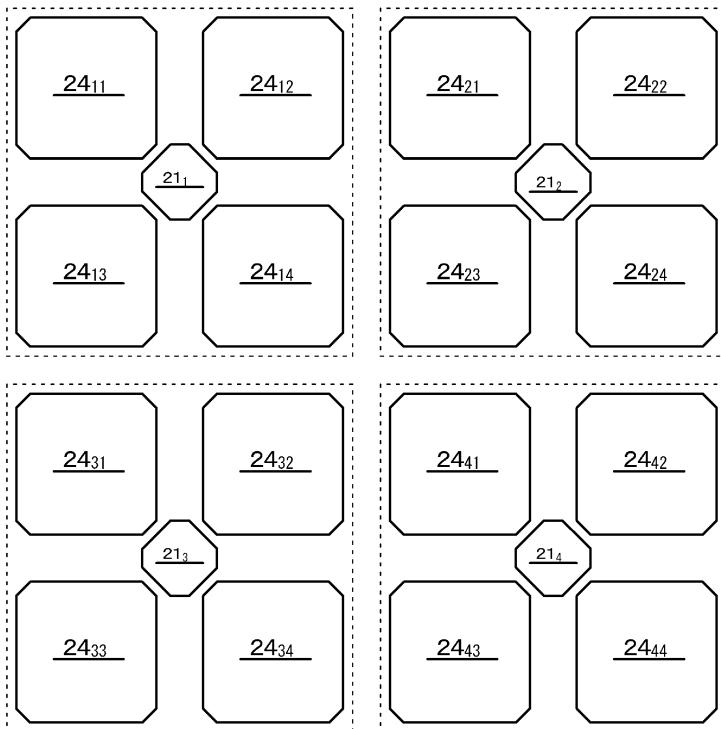
도면54



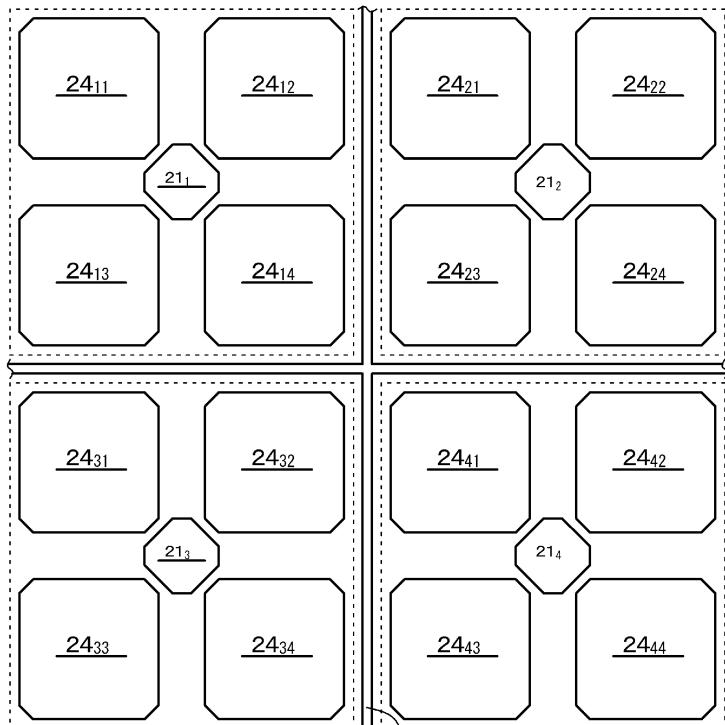
도면55



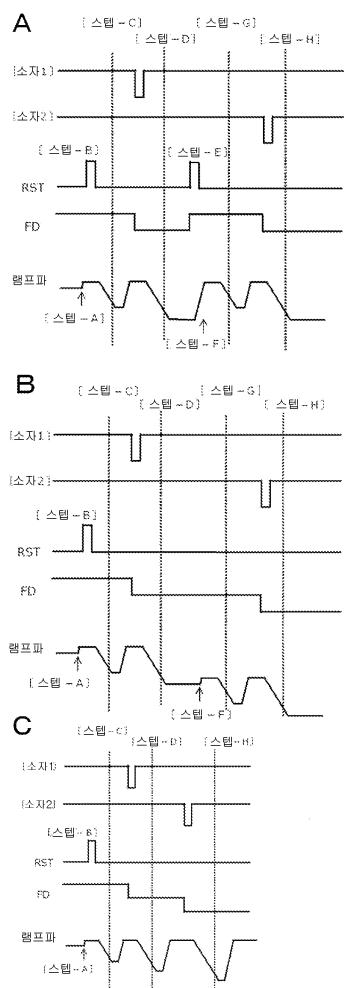
도면56



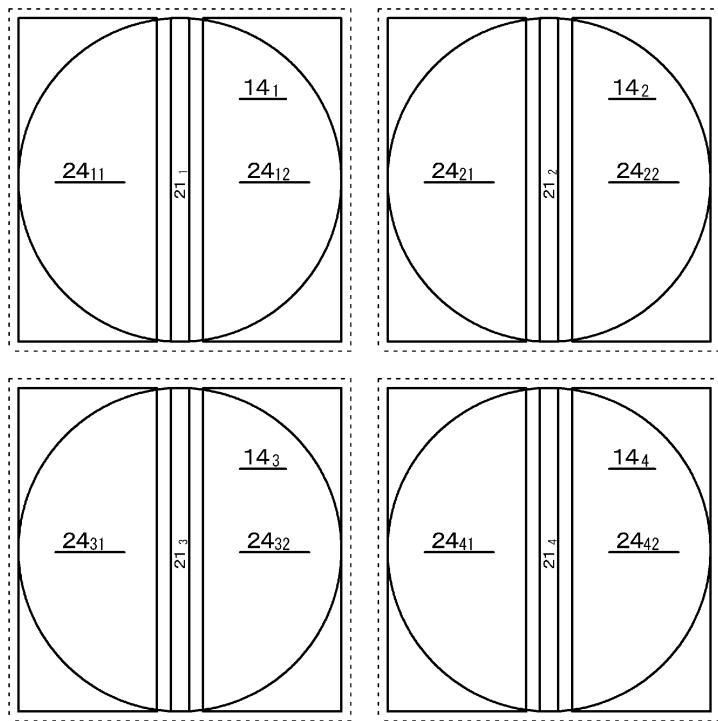
도면57



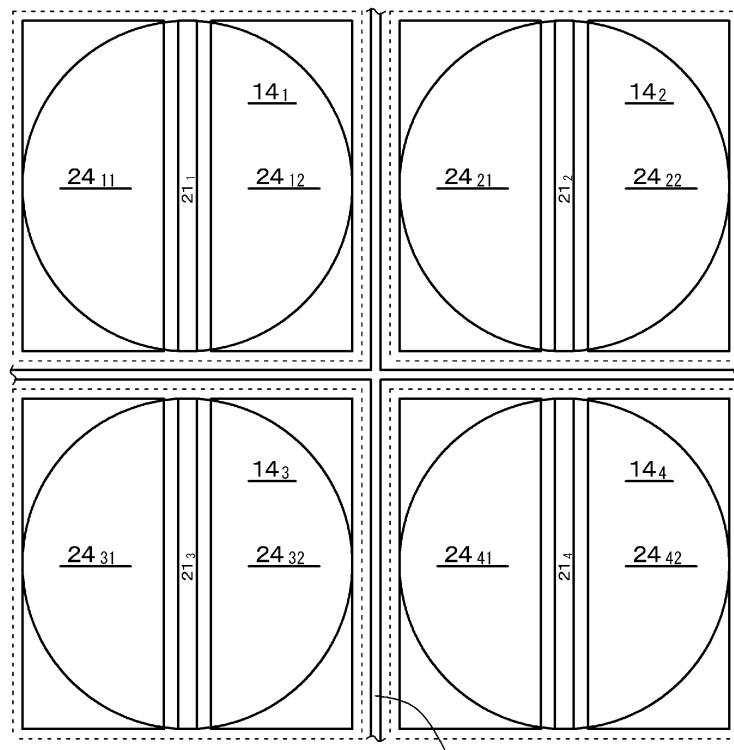
도면58



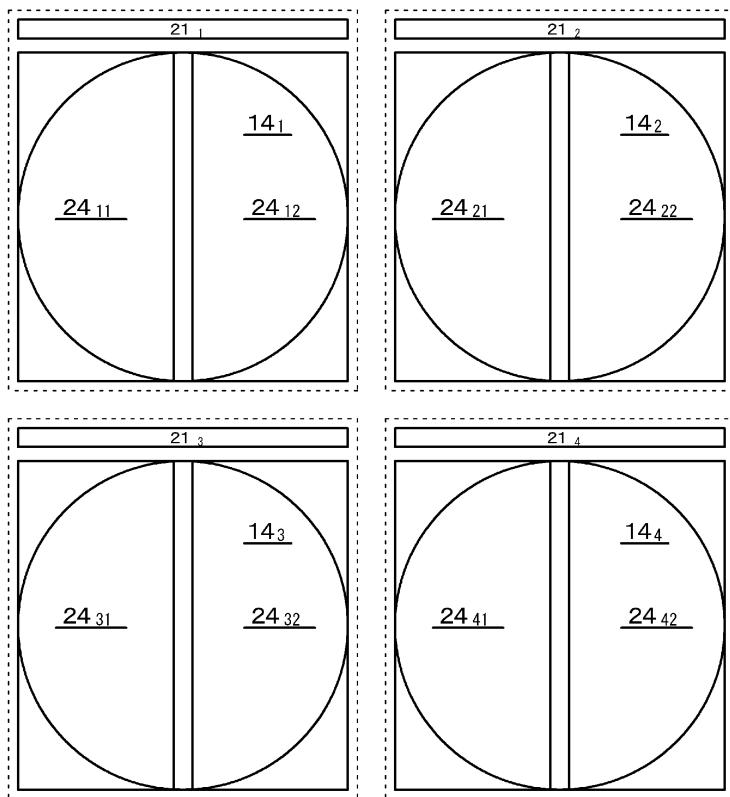
도면59



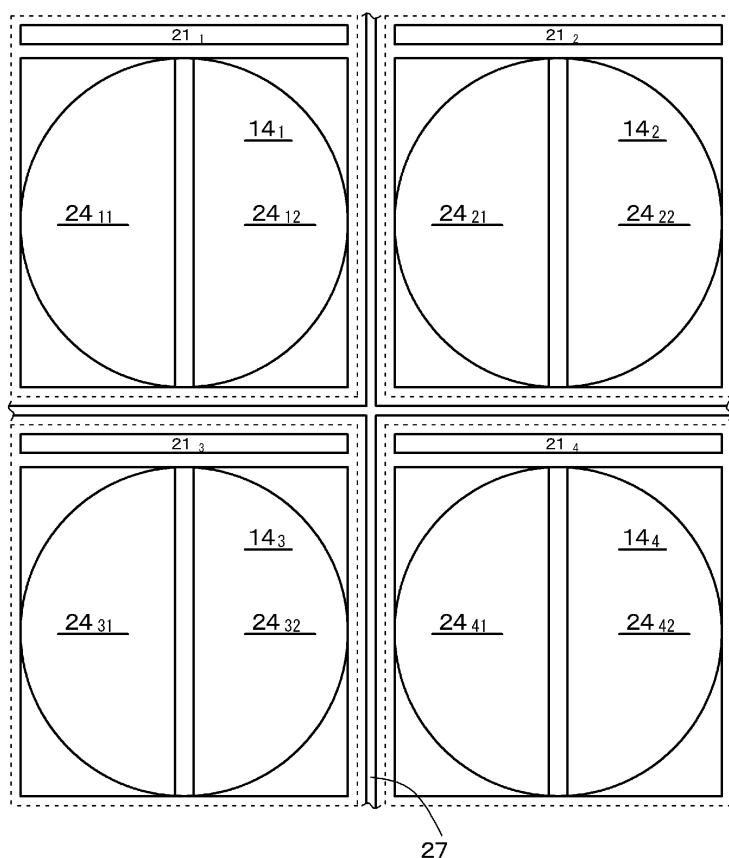
도면60



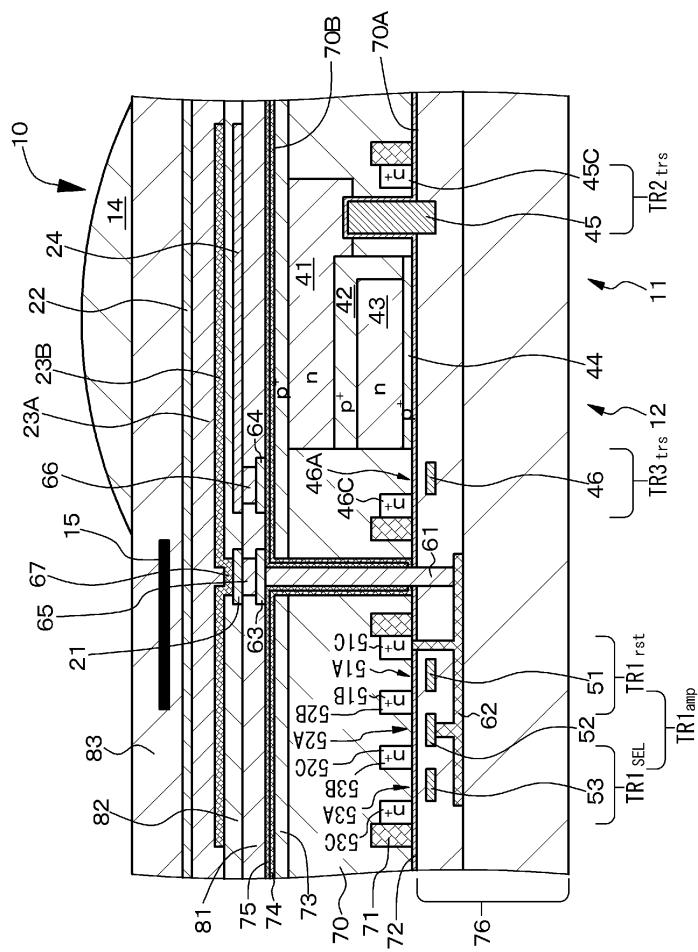
도면61



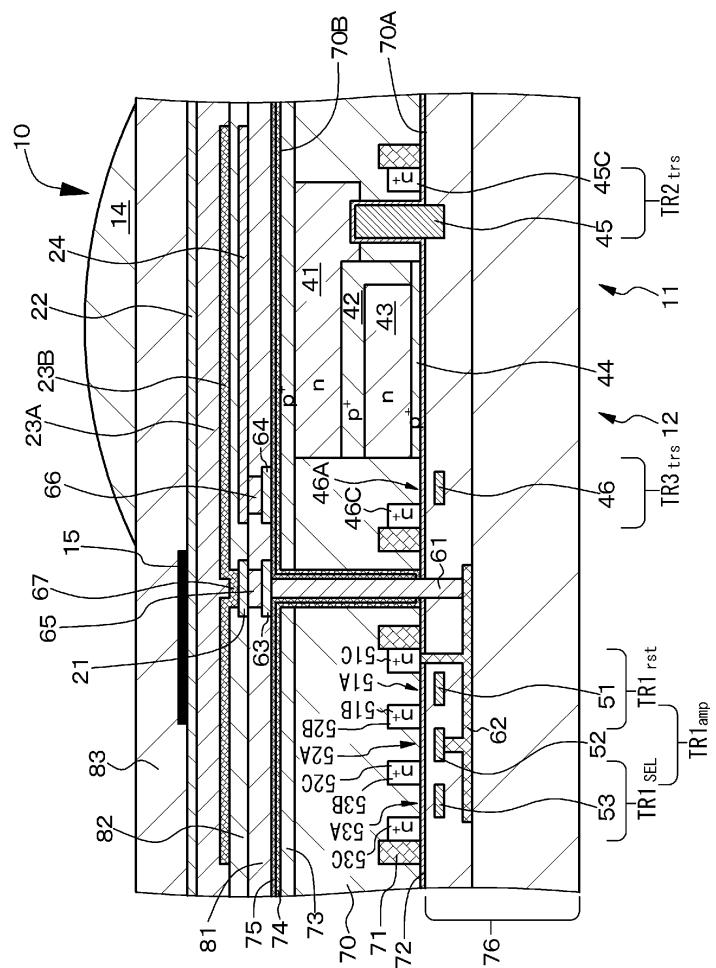
도면62



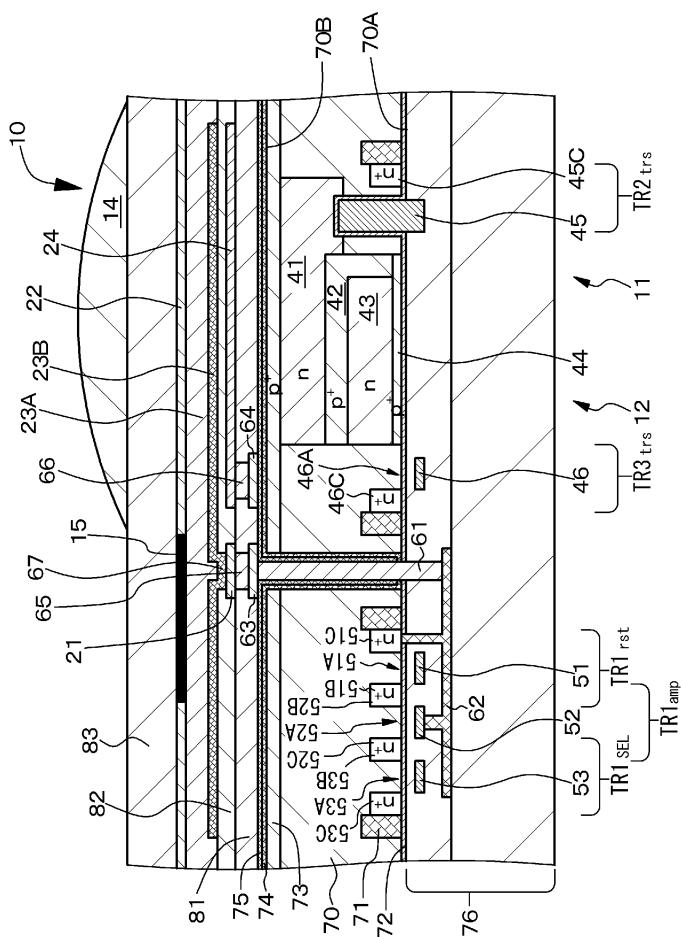
도면 63



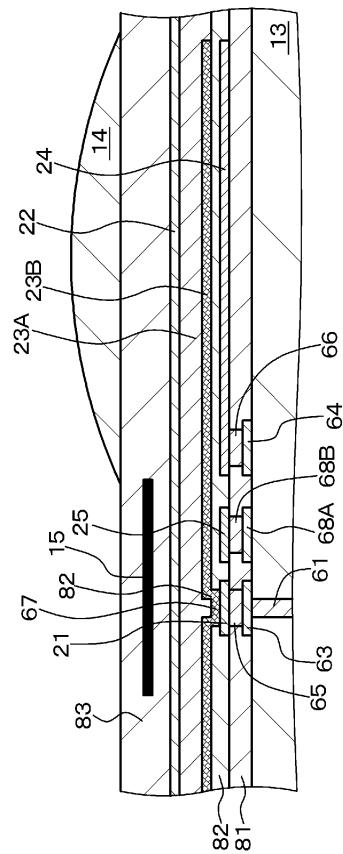
도면 64



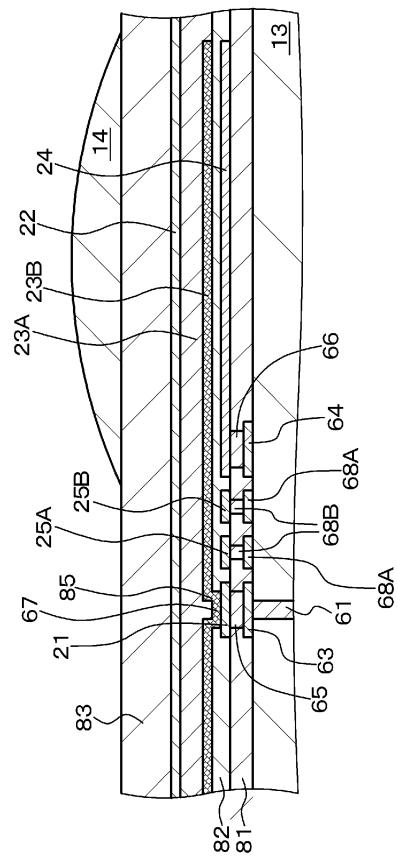
도면 65



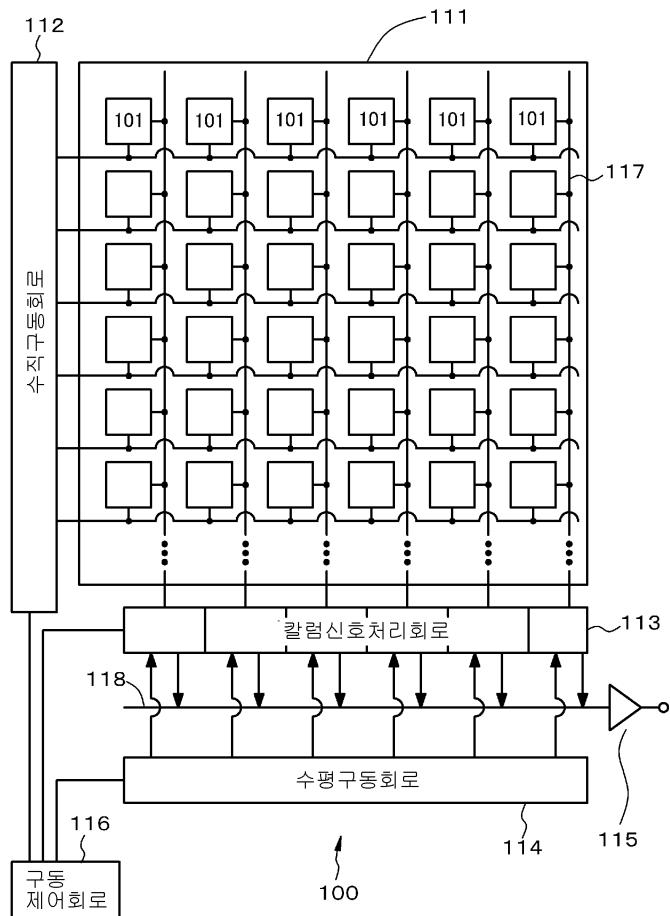
도면 66



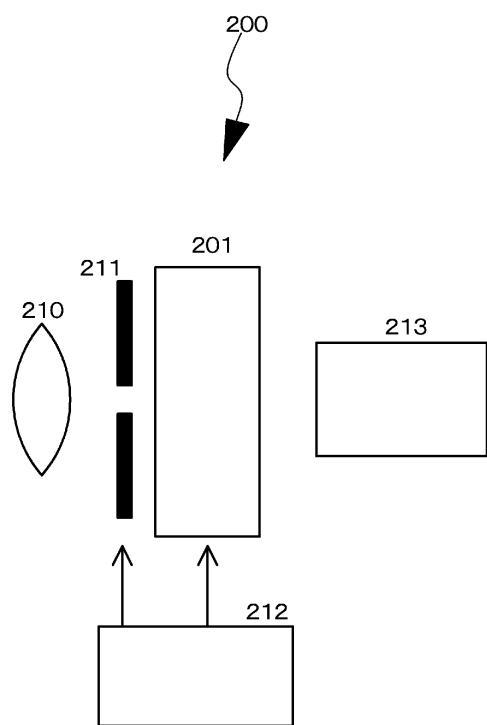
도면67



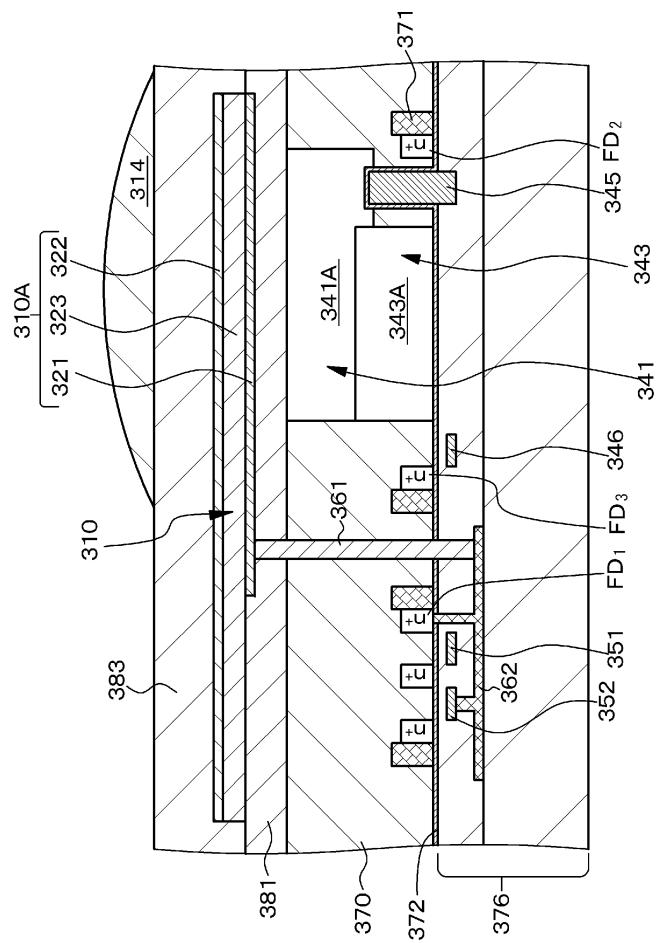
도면68



도면69

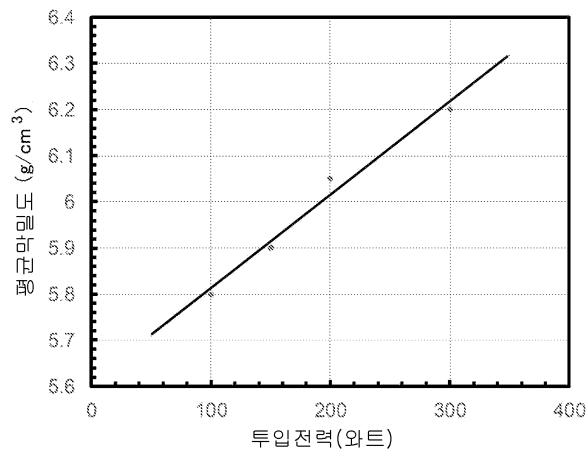


도면70

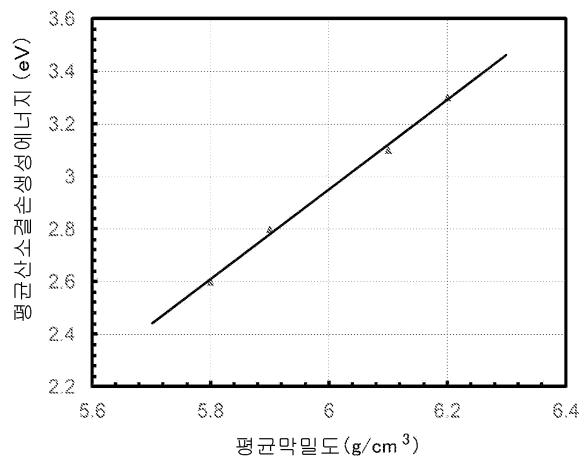


도면71

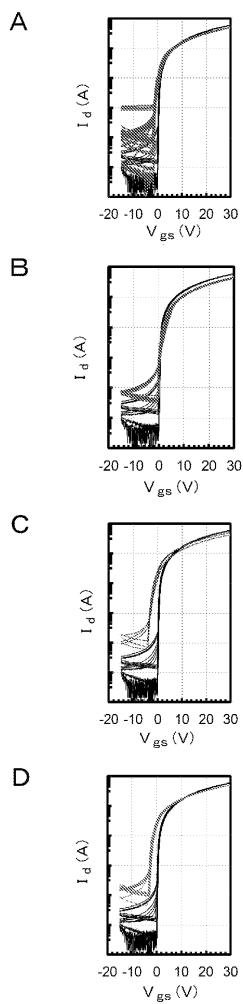
A



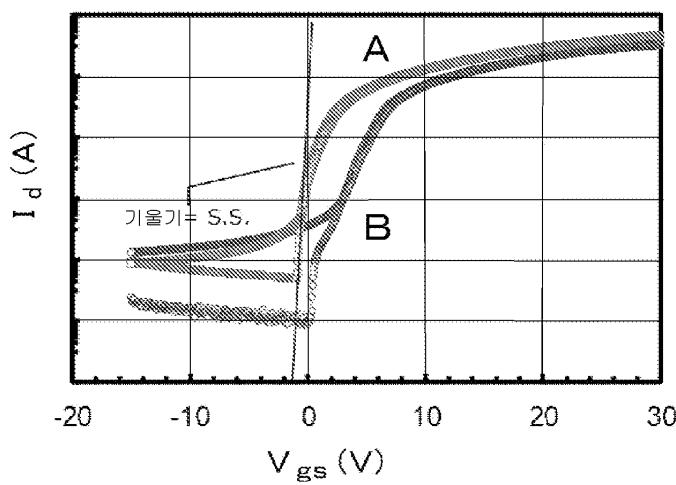
B



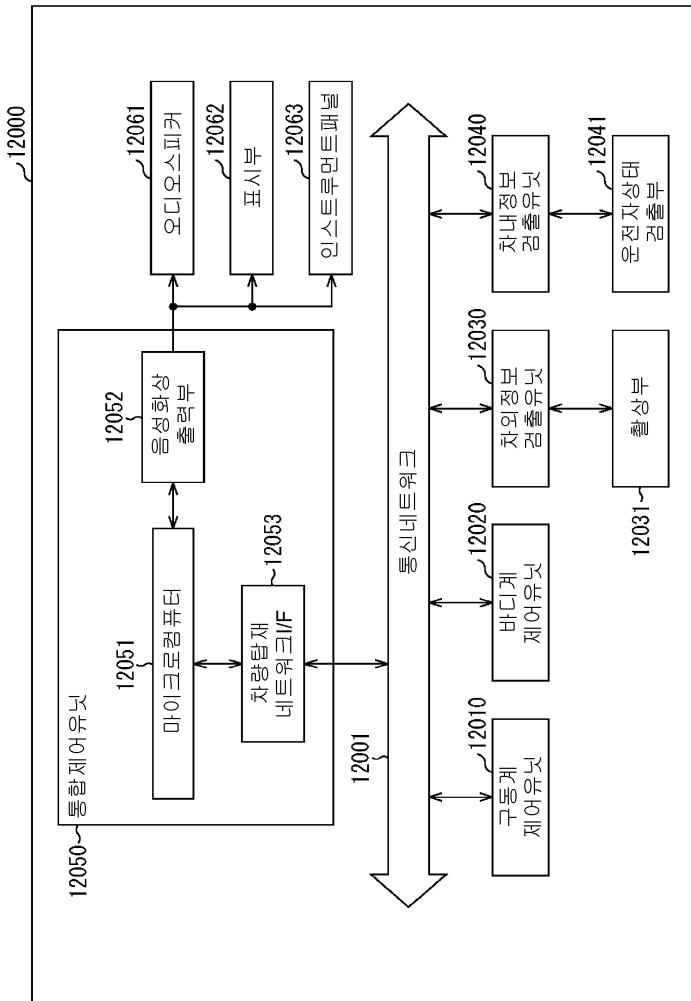
도면72



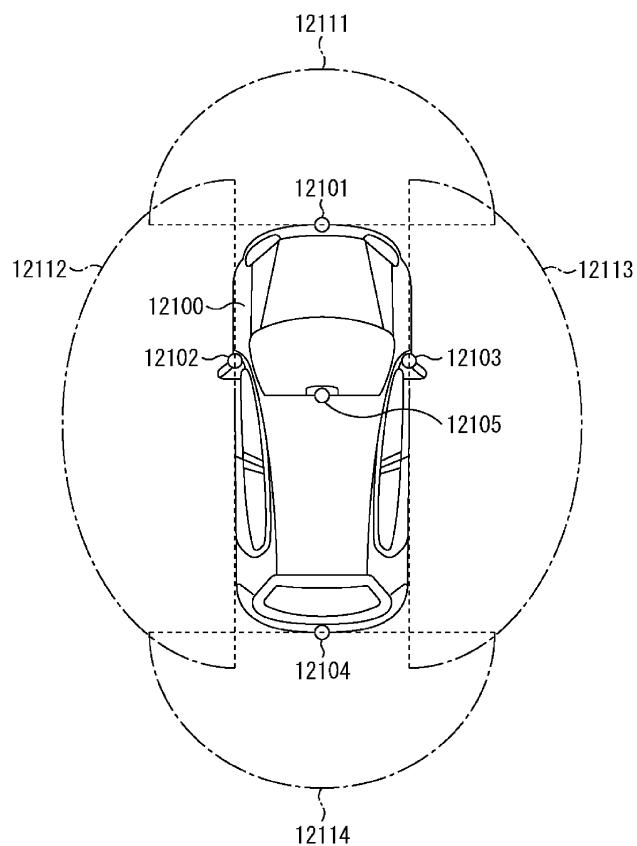
도면73



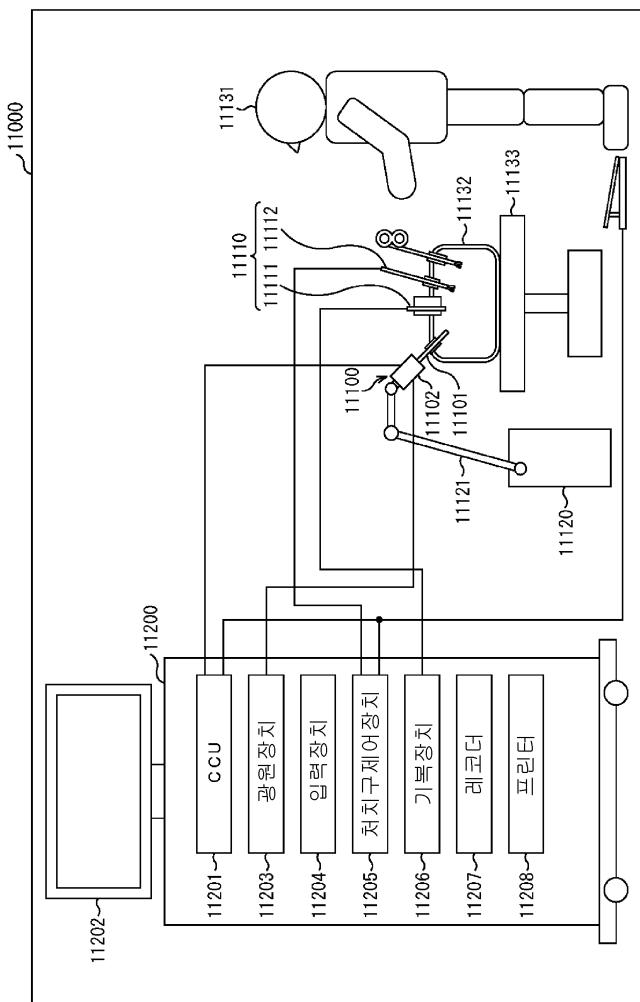
도면74



도면75



도면76



도면77

