

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-506384
(P2004-506384A)

(43) 公表日 平成16年2月26日(2004.2.26)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H04L 27/00	H04L 27/00	5K004
H04B 1/26	H04B 1/26	5K020

審査請求 未請求 予備審査請求 有 (全 32 頁)

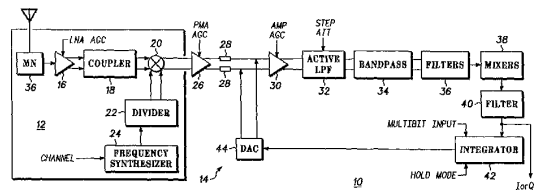
(21) 出願番号	特願2002-518703 (P2002-518703)	(71) 出願人	390009597
(86) (22) 出願日	平成13年7月16日 (2001.7.16)		モトローラ・インコーポレイテッド
(85) 翻訳文提出日	平成15年2月4日 (2003.2.4)		MOTOROLA INCORPORATED
(86) 国際出願番号	PCT/EP2001/008156		RED
(87) 国際公開番号	W02002/013473		アメリカ合衆国イリノイ州シャンバーグ、
(87) 国際公開日	平成14年2月14日 (2002.2.14)		イースト・アルゴンクイン・ロード1303
(31) 優先権主張番号	00402234.9	(74) 代理人	100089705
(32) 優先日	平成12年8月4日 (2000.8.4)		弁理士 社本 一夫
(33) 優先権主張国	欧州特許庁 (EP)	(74) 代理人	100076691
			弁理士 増井 忠式
		(74) 代理人	100075270
			弁理士 小林 泰
		(74) 代理人	100080137
			弁理士 千葉 昭男

最終頁に続く

(54) 【発明の名称】 受信器内のDCオフセットを低減するための装置

(57) 【要約】

変換システムの信号経路内のDCオフセットを低減するための装置は、DCオフセットを有する入力信号を送るフロント・エンド回路と、そのフロント・エンド回路に結合されており、入力信号を受信し、かつ増幅する増幅器システムと、その増幅器システムから入力信号を受信し、かつ第1ビット量子化器を提供するマルチビット・シグマ・デルタ型変調器と、そのシグマ・デルタ型変調器に結合されており、そのシグマ・デルタ型変調器から第1ビット量子化器を受け取り、かつDCオフセットを低減するための動作を提供するDC適応回路と、そのデジタルDC適応回路に結合されており、DCオフセット補正を表すアナログ信号を増幅器システムの入力に送るデジタル/アナログ変換器(DAC)とを具備する。デジタルDC適応回路およびDACは、増幅器システムの入力に向かって、マルチビット・シグマ・デルタ型変調器の第1ビット部で始まる帰還経路を形成する。



【特許請求の範囲】**【請求項 1】**

変換システムの信号経路内の DC オフセットを低減するための装置 (50) であって、該装置は、

入力信号を送るフロント・エンド回路 (50) と、

前記フロント・エンド回路に結合されており、前記入力信号を受信し、増幅する増幅器システム (56) と、

前記増幅器システムから前記入力信号を受信し、第 1 ビット量子化器を提供するマルチビット・シグマ・デルタ型変調器 (60) と、

前記シグマ・デルタ型変調器に結合されており、前記シグマ・デルタ型変調器から前記第 1 ビット量子化器を受け取り、前記信号経路内の DC オフセットを低減するための動作を提供する DC 適応回路 (62) と、

前記デジタル DC 適応回路に結合されており、前記 DC オフセット補正を表すアナログ信号を前記増幅器システムの入力に送るデジタル/アナログ変換器 (64) と、

を備え、

前記デジタル DC 適応回路および前記デジタル/アナログ変換器が、前記増幅器システムの入力に向かって、前記マルチビット・シグマ・デルタ型変調器の前記第 1 ビット部で始まる帰還経路を形成する、装置。

【請求項 2】

請求項 1 に記載の装置 (50) において、該装置はさらに、

前記デジタル DC 適応回路 (62) に結合されており、DC 適応回路の動作の開始および停止を制御して、前記信号経路内の DC オフセットを低減する DC 適応制御 (66) を、備える装置。

【請求項 3】

請求項 2 に記載の装置 (50) において、

前記 DC 適応制御 (66) が、適応イネーブル信号を受信し、さらに、チップ・イネーブル信号を受信する第 1 の入力と、DC 制御信号を受信する第 2 の入力と、前記帰還経路の前記動作を開始および停止するために、開始および停止信号を前記 DC 適応回路 (62) の入力に送る出力とを有する、装置。

【請求項 4】

請求項 3 に記載の装置 (50) において、該装置はさらに、

前記 DC 適応回路 (62) に結合されており、既知の利得設定に関する入力信号を前記デジタル/アナログ変換器 (64) に送るシリアル周辺インターフェースを、備える装置。

【請求項 5】

請求項 4 に記載の装置 (50) において、該装置はさらに、

前記シリアル周辺インターフェース及び前記 DC 適応回路 (62) に結合されており、適応イネーブル信号を受信し、前記シリアル周辺インターフェース及び前記 DC 適応回路から前記デジタル/アナログ変換器 (64) に信号を選択的に送るマルチプレクサ (63) を、

備える装置。

【請求項 6】

請求項 1 ~ 請求項 5 の何れか 1 項に記載の装置 (50) において、

前記 DC 適応回路 (62) が、前記シグマ・デルタ型変調器から生成された雑音をフィルタリングし、また積分を実行するアキュムレータ (80) を備える、装置。

【請求項 7】

請求項 6 に記載の装置 (50) において、

前記 DC 適応回路 (62) がさらに、前記アキュムレータ (80) に結合されており、前記アキュムレータから生じる雑音をフィルタリングするロー・パス・フィルタ (82) を備える、装置。

【請求項 8】

請求項 1 ~ 請求項 7 の何れか 1 項に記載の装置 (5 0) において、
前記増幅器システム (5 6) が、自動利得制御を有する増幅器 (5 6) とアクティブ・ロー・パス・フィルタとを備える、装置。

【請求項 9】

変換システムの信号経路内の DC オフセットを低減するための方法であって、該方法は、
フロント・エンド回路から入力信号を送るステップと、
前記入力信号を受信し、かつ増幅するために前記フロント・エンド回路に結合された増幅器システム内で前記入力信号を増幅するステップと、
前記入力信号をマルチビット・シグマ・デルタ型変調器に通過させ、前記増幅器システムから前記入力信号を受信して第 1 ビット量子化器を提供するステップと、
前記信号経路内の DC オフセットを低減するステップであって、
DC 適応回路が、前記シグマ・デルタ型変調器から前記第 1 ビット量子化器を受け取るために、かつ前記信号経路内の DC オフセットを低減するための動作を提供するために前記シグマ・デルタ型変調器に結合され、
デジタル/アナログ変換器が、前記 DC 適応回路に結合され、前記 DC オフセット補正を表すアナログ信号を増幅器システムの入力に送り、
前記デジタル DC 適応回路及び前記デジタル/アナログ変換器が、前記増幅器システムの入力に向かって、前記マルチビット・シグマ・デルタ型変調器の前記第 1 ビット部で始まる帰還経路を形成する、ステップと、
を含む方法。

【請求項 10】

請求項 9 に記載の方法において、該方法はさらに、
前記 DC 適応回路の動作の開始および停止を制御して前記信号経路内の DC オフセットを低減するために、前記デジタル DC 適応回路に結合された DC 適応制御を用いて、前記 DC 適応回路の前記動作を制御するステップを、
含む方法。

【発明の詳細な説明】

【0001】

【発明の分野】

本発明は、無線受信器に関連し、より詳細には、比較的短い DC 適応周期を必要とするダイレクト・コンバージョン受信器またはデジタル超低 IF 受信器内の DC オフセット補正に関連する。

【0002】

【発明の背景】

ダイレクト・コンバージョン受信器 (D C R : D i r e c t C o n v e r s i o n R e c e i v e r) は、中間周波数 (I F : I n t e r m e d i a t e F r e q u e n c y) を使用しない 1 つのタイプの無線受信器である。D C R、および、デジタル超低 IF 受信器 (D V L I F : D i g i t a l V e r y L o w I F R e c e i v e r) は、携帯電話用ハンドセットにおいて、一般的になりつつある。D C R に関する共通の問題は、受信器の様々な構成要素により、受信された入力信号に加えられる DC オフセット電圧が生じ得ることである。この DC オフセット電圧は、干渉に似た形で、受信器の動作に影響を及ぼす。しかし、干渉と異なり、DC オフセット電圧は、受信器の内部で発生する。

【0003】

図 1 は、従来技術による受信器のブロック図を示す。受信器 10 は、低 IF フロント・エンド 12 とベース・バンド受信器 14 とを含む。フロント・エンド 12 は、低雑音増幅器 16 と、結合器 18 と、ミクサ 20 と、分周器 22 と、周波数シンセサイザ 24 とを含む。ベース・バンド受信器 14 は、増幅器 30 と、アクティブ・ロー・パス・フィルタ 32 と、ベース・バンド・シグマ・デルタ型変調器 34 と、デシメーション・フィルタ 36 と、デジタル直交ミクサ 38 と、デジタル・フィルタ 40 と、デジタル積分器 42 と、デジ

タル/アナログ変換器(DAC)44とを含む。

【0004】

フロント・エンド12の構成要素のそれぞれが、DCオフセット電圧の一因となる可能性がある。たとえば、周波数シンセサイザ24からの漏れは、アンテナを介してフロント・エンド12内に漏れて戻ることがあり、またミクサ20を介して信号経路内に混合されて戻ることがある。また、低雑音増幅器16の利得を変化させることにより、漏れのレベル及びDCオフセット値が、変化し得る。

【0005】

従来技術の受信器10は、DCオフセットを低減するために、帰還経路(フィードバック・パス)を使用している。この帰還経路は、デジタル・フィルタ40の出力部で始まり、DAC44を介して増幅器30の入力部で信号経路内に帰還する。このタイプの帰還経路は、混合モード手法として知られ、デジタル信号は、アナログ信号に変換され、ベース・バンド受信器14の入力部で供給される。この手法の問題は、遅延の一因となる帰還経路における構成要素の数のために、DCオフセットを除去するのに比較的長い時間を必要とすることである。

【0006】

一般に、携帯電話システムにおいて、DCオフセットは、入力信号を処理するために使用される時間より前の時間中に除去される。いくつかの応用分野(例えば、GSM(Global System Mobile)など)において、DCオフセットを低減するのに十分な時間を得るために、受信した信号を処理する前に、400マイクロ秒と同時間のスタンバイ・モードから受信器の電源を投入することが必要となる可能性がある。これは著しくスタンバイ時間を短縮し、電力消費を増大する。

【0007】

欧州特許出願第EP-A-0709970号(General Electric Company)は、アナログ/信号変換器(ADC)用のDC補正構成について記載している。この構成は、1ビット量子化器を使用し、帰還補正経路内にアキュムレータを有する。

【0008】

英国特許出願第GB-A-2328353号(NEC)は、2チャンネルを有するベース・バンド受信器と共に使用するための補正システムについて記載している。DCオフセット推定のための帰還信号は、第2のフィルタ部で提供される。

【0009】

したがって、より短いDC適応時間を必要とするDCR(Direct Conversion Receiver)またはDVLIIF受信器(DVLIIF:Digital Very Low IF Receiver)において、DCオフセット補正を実行することが求められている。

【0010】

【発明の実施形態の詳細な説明】

次に、本発明の実施形態について、図面を参照しながら例としてより完全に述べる。

【0011】

一般に、本発明は、DCオフセット電圧を低減するために、高速粗適応帰還経路(Fast Coarse Adapt Feedback Path)内でマルチビット・シグマ・デルタ型変調器を使用するDCR50を提供する。デジタル高速DC適応回路62は、アナログ/デジタル変換器のダイナミック・レンジを減少させることなく、DCオフセットを許容可能なレベルに低減する。帰還は、マルチビット・バンド・パス・シグマ・デルタ型変調器60の第1ビット部で始まり、この第1ビットは、帰還経路のための入力情報を含む。デジタル高速DC適応回路62は、1ビット・アキュムレータ80と第1次デジタル・ロー・パス・フィルタ82とを含む。帰還経路内の構成要素の数を減らして、遅延の数を減らすことによって、DCオフセットは、図1の従来技術の受信器10と比べて、早い時間で低減させることができる。

10

20

30

40

50

【0012】

図2は、本発明の一実施形態による無線周波数受信器50のブロック図を示す。受信器50は、フロント・エンド52とベース・バンド受信器54とを含む。フロント・エンド52は、図1のフロント・エンド12と同様に機能し、より詳細に述べないものとする。ベース・バンド受信器54は、自動利得制御(Automatic Gain Control)を有する増幅器56と、アクティブ・ロー・パス・フィルタ58と、バンド・パス・マルチビット・シグマ・デルタ型変調器60と、デジタル直交ミキサ70と、デジタル・フィルタ72と、デジタル高速DC適応回路62と、マルチプレクサ63と、DAC64と、高速DC適応制御66と、シリアル周辺インターフェース(SPI: Serial Peripheral Interfaces)68とを含む。図示する実施形態において、フロント・エンド52は、単一の集積回路上に実施されている。結合器は、フロント・エンド52として、同じ集積回路上に形成されたトランスである。同様に、受信器54は、単一の集積回路上で一体化されている。他の実施形態において、フロント・エンド52および受信器54は、単一の集積回路上で、または複数の集積回路の組合せとして、実施することができる。

【0013】

増幅器56は、フロント・エンド52から差動アナログ入力信号を受信するために、1対の入力端子を有する。フロント・エンド52からの信号は、増幅器56によって受信される前に、ポスト・ミキサ増幅器53およびフィルタ55を通過する。増幅器56の差動出力は、アクティブ・ロー・パス・フィルタ58の入力端子に結合され、ロー・パス・フィルタ58の出力は、バンド・パス・シグマ・デルタ型変調器60の入力に結合される。図示する実施形態において、バンド・パス・シグマ・デルタ型変調器60は、2つの出力端子を有する。しかし、他の実施形態において、シグマ・デルタ型変調器60は、2つ以上の出力端子を有することができる。シグマ・デルタ型変調器60からの1ビット量子化器信号は、DCオフセット内容を含むので、高速DC適応回路62の入力端子に送られる。

【0014】

高速DC適応回路62の動作は、高速DC適応制御66によって制御される。この高速DC適応制御66は、(CEと符号された)チップ・イネーブル信号を受信するための入力端子と、(RXACQと符号された)制御信号を受信するための第2の入力端子とを有する。これらの信号にตอบสนองして、DC適応制御66は、(ADAPT_DIGITALと符号された)出力信号を、デジタル高速DC適応回路62の第2入力端子に送る。(ADAPT_DIGITALと呼ばれる)信号は、DCオフセット電圧を除去するように、帰還経路の動作を開始および停止するために使用される。また、シグマ・デルタ型変調器60からの1ビット量子化器信号を受信したことにตอบสนองして、適応回路62は、1ビット量子化器を蓄積し、その後、ロー・パス・フィルタリングして、(DACINPと符号された)6ビット出力信号を生成する。次いで、これらの6ビットは、DAC64の入力端子に送られ、DAC64は、このデジタル信号を、増幅器56の入力に結合される差動アナログ信号に変換する。

【0015】

動作において、DCオフセットを有する入力信号は、増幅器56の入力端子部で受信される。次いで、この入力信号は、増幅され、ロー・パス・フィルタリングされ、次いで、シグマ・デルタ型変調器60に送られる。これらの要素または構成要素のそれぞれは、DCオフセットの量を増す、またはその一因となる可能性がある。DCオフセットを除去するために、バンド・パス・シグマ・デルタ型変調器60からの1ビットだけが、高速DC適応回路62およびDAC64を介して帰還され、その結果、ダイナミック・レンジを著しく減少させることなく、DCオフセットの量を減らすことができる。たとえば、増幅器56に送られた入力信号が、1ボルトのピーク・トゥ・ピーク信号および300ミリボルト・オフセットを有する場合、デジタル高速DC適応回路62は、DCオフセットを30ミリボルトに減少させ、有用な信号のために約970ミリボルトのダイナミック・レンジを残すことになる。次いで、30ミリボルトのDCオフセットは、DCRの場合、デジタル

・ハイ・パス・フィルタによって、またはD V L I F受信器の場合、複雑なノッチ・フィルタによって、完全にデジタル・フィルタリングされる。このプロセスは、ファインDCオフセット補正と呼ばれる。帰還経路内に構成要素が少なく、また遅延が少ないために、図1に示された実施形態による適応周期は、40マイクロ秒だけになる。この40マイクロ秒の時間は、帰還ループの安定性を損なうことなく、達成される。

【0016】

D A C 6 4によって引き起こされるどのオフセットも、帰還ループによって補正される。バンド・パス・シグマ・デルタ型変調器60の1ビット量子化器は、受信器50が受信モードにあるとき、帰還経路内への雑音導入を低減するために、帰還点として選択されている。DCオフセットは、なくすのではなく、低減するように選択されるために、D A C 6 4は、粗いオフセット補正を実現しているだけであり、非常に高精度である必要はない。本実施形態で例示されているように、D A C 6 4は、6ビットで実施される。D A C 6 4が、単調(Monotonic)である必要があることを除いて、D A C 6 4として使用されるD A Cのタイプは、重要でない。

10

【0017】

受信器50に関する殆どの開ループ利得および位相応答は、アクティブ・ロー・パス・フィルタ(LPF)58によるものである。DCオフセット帰還経路を使用するとき、シグマ・デルタ型変調器60が安定性解析のための帰還経路の開ループ利得位相応答に及ぼす影響は、非常に限られている。

【0018】

また、デジタル高速DC適応62の出力は、S P I 6 8の入力端子に送られる。S P I 6 8の出力端子は、マイクロプロセッサ(図示せず)の入力/出力(I/O)端子に結合される。デジタル高速DC適応回路62からの出力信号「D A C I N P」の値は、S P I 6 8を介して、たとえばマイクロプロセッサ内のレジスタに書き込み、先の適応モードですで使用された利得設定のときD A C 6 4への入力として再使用することができる。これにより、既知の利得設定について入力信号を受信する前に、帰還経路を走らせる必要がなくなる。(A D A P T _ E Nと符号される)制御信号は、マルチプレクサ63に、また高速DC適応制御66に送られ、DCオフセット補正が、S P I 6 8によって、あるいは帰還経路回路62によって、実現するか否かを選択するために使用される。信号「A D A P T _ E N」が、先の「D A C I N P」信号を使用するようにアサートされたとき、S P I 6 8からのR E A D経路が、選択され、高速DC適応制御66は、制御信号「A D A P T _ D I G I T A L」をアサートすることによって帰還ループを使用不能にする。

20

30

【0019】

図3は、高速DC適応回路62のより詳細なブロック図である。高速DC適応回路62は、加算器90、94及び100と、遅延要素92及び96と、デジタル乗算器98及び104と、レジスタ102及び86と、2の補数から1の補数への変換論理84とを含む。アキュムレータ80は、加算器90と遅延要素92とを含む。ロー・パス・フィルタ82は、加算器94及び100と、遅延要素96と、デジタル乗算器98及び104と、レジスタ102とを含む。

【0020】

アキュムレータ80の入力は、シグマ・デルタ型変調器60の出力から、1ビット量子化器信号を受信する。9ビットを含むアキュムレータ80の出力は、ロー・パス・フィルタ82の入力に送られる。ロー・パス・フィルタ82の出力は、変換論理84の入力に送られる。変換論理84は、ロー・パス・フィルタ82の出力を、D A C 6 4が使用できる1の補数の形態に変換する。レジスタ86は、D A C 6 4をテストする機能を提供するために、ユーザ書込み可能である。

40

【0021】

アキュムレータ80は、2つの機能を実行する。アキュムレータ80の第1の機能は、シグマ・デルタ型変調器60から受信した雑音を、フィルタリングすることである。第2の機能は、積分を実行することである。たとえば、DCオフセットが正の場合、アキュムレ

50

ータ80の出力は、増加する。DCオフセットが負の場合、アキュムレータ80の出力は、減少する。ロー・パス・フィルタ82は、アキュムレータ80からの量子化雑音をフィルタリングするために使用される。ロー・パス・フィルタ82は、追加のフィルタリング機能を提供し、いくつかの実施形態において、どれくらいのDCオフセットを除去すべきかに応じて、必要でないことがある。ロー・パス・フィルタ82は、(HIGH CLOCKと符号される)クロック信号を受信するための入力と、(LOW CLOCKと符号される)クロック信号を受信するための第2の入力端子とを有する。クロック信号「HIGH CLOCK」は、シグマ・デルタ型変調器60のオーバー・サンプリング周波数で動作し、クロック信号「LOW CLOCK」は、DAC64と同じ周波数で動作する。ブロック106は、「HIGH CLOCK」と「LOW CLOCK」との双方を受信し、高速DC適応制御66からの制御信号「ADAPT_DIGITAL」の状態に基づいて、それらのクロックを使用可能にし、あるいは使用不能にする。帰還経路がDCオフセットを低減するように動作する時間量は、特定の応用例に基づいて所定である。

10

【0022】

ロー・パス・フィルタ82のコーナは、たとえばGSMやNADCなど様々なモードに対応するように、デジタル乗算器98の係数を変化させることによって調整される。

【0023】

図4は、図2の受信器50の様々な信号のタイミング図である。図4の様々な波形は、原寸に比例して示されておらず、他の信号に対して電圧レベルを例示するために意図されたものではないことに留意されたい。図4は、様々な信号間のタイミング関係を例示するだけのために意図されたものとする。時刻t0と時刻t1との間で、図4上部の波形は、約60ミリボルトの差動オフセットを有するシグマ・デルタ型変調器60の入力部での入力信号を示す。60ミリボルト・オフセットは、例示のために選択されているにすぎないことに留意されたい。制御信号「CE」は、論理ハイであり、制御信号「RXACQ」は、論理ローである。時刻t1において、制御信号「CE」が論理ローとしてアサートされ、t1とt2との間で高速適応時間を開始し、帰還経路DCオフセット補正を開始する。時刻t1の後に、粗いDCオフセット補正が、動作しており、DCオフセットが、約0ボルトに減少されていることが観察できる。t1とt2との間の時間、所定の時間であり、その後、制御信号「RXACQ」は、論理ハイとしてアサートされる。「RXACQ」が論理ハイとしてアサートされたとき、信号「ADAPT_DIGITAL」は、図3のブロック106に印加され、「HIGH CLOCK」および「LOW CLOCK」を停止し、それにより、デジタル高速DC適応回路62が動作を停止し、ホールド・モードに入る。図示する実施形態において、t1とt2との間の時間は、約40マイクロ秒であることに留意されたい。対照的に、図1に示す従来技術の回路を使用してDCオフセットを除去するのに必要とされる時間は、約400マイクロ秒であり、これは著しく長い。時刻t2の後に、入力シグマ・デルタ差動入力信号は、0ミリボルトのDCオフセットを有する。時刻t2後の所定の時刻において、制御信号「CE」は、論理ハイにリセットされる。

20

30

【0024】

図2および図3に示す回路は、バイアスするために使用される信号と、システムを迅速に起動するために使用される制御信号(図示せず)を含む。始動制御信号およびバイアス信号と共に指摘される1つの問題は、図4の時刻t1直前に、DCオフセットがわずかに増加することである(図示せず)。そのDCオフセットは、0ミリボルトに減少し始める前に、瞬間的に増加することが観察された。

40

【0025】

本明細書で述べるシステムを使用することにより、従来技術の回路と比較して、DCオフセットをより早く減少させることができる。また、DCオフセットは、なくすのではなく、低減されるために、DAC64を、ビットの少ない、かつ分解能の低い、より単純なものとするることができる。また、マルチビット・シグマ・デルタ型変調器から1ビット量子化器信号だけを受信する、単純な一体化構造が使用される。したがって、シグマ・デルタ型変調器は、過負荷がかかるが、帰還ループは、継続して動作することができる。さらに

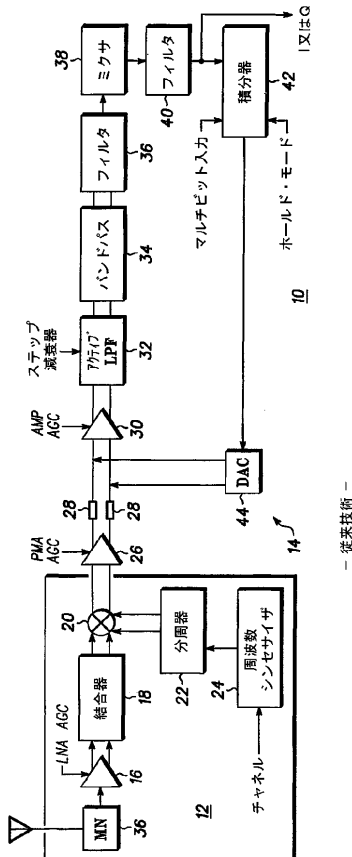
50

、デジタル乗算器 104 の開ループ利得をプログラムすることによって、また信号「CE」および「RXACQ」のアサートおよびデアサートを制御することによって、様々なモードについて、また様々な適応時間について、帰還ループを、容易にプログラムすることができる。DC オフセットの補正量は、帯域幅を低くすることによって、またデジタル乗算器 98 の係数を変化させることによって、さらに改善することができる。これは、周波数を低下させること、速度を低下させること、および DAC 分解能を高めることを犠牲にして、DC オフセットを改善する効果がある。また、本実施形態は、0 ヘルツのハイ・パス・コーナを伴うホールド・モードを有し、これはドリフトがなく、オフセット値「DACINP」を無期限に保持することができることを意味する。

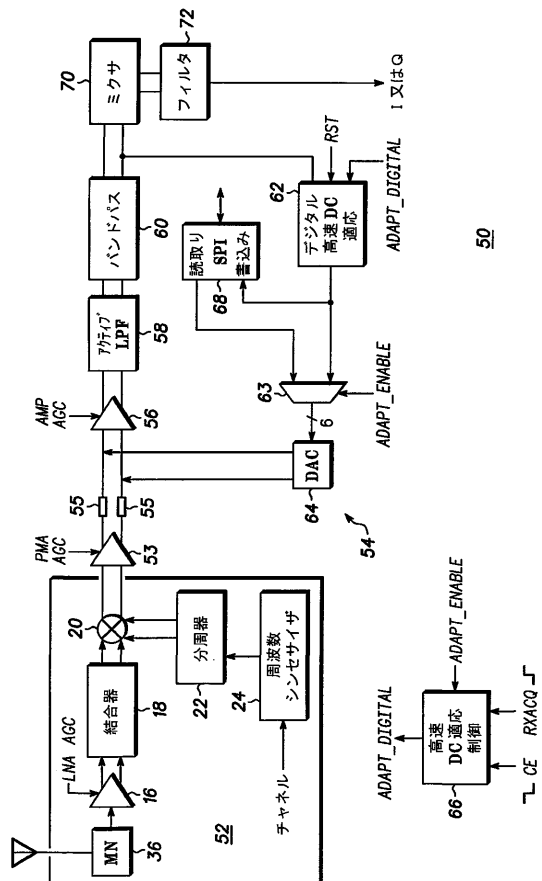
【図面の簡単な説明】

- 【図 1】従来技術による無線周波数受信器を示すブロック図である。
- 【図 2】本発明の一実施形態による無線周波数受信器を示すブロック図である。
- 【図 3】図 2 のデジタル高速 DC 適応回路をより詳細に示す図である。
- 【図 4】図 2 に示された受信器の様々な信号のタイミング図である。

【図 1】



【図 2】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau



(43) International Publication Date
14 February 2002 (14.02.2002)

PCT

(10) International Publication Number
WO 02/13473 A1

(51) International Patent Classification: H04L 25/06
(21) International Application Number: PCT/EP01/08156
(22) International Filing Date: 16 July 2001 (16.07.2001)
(25) Filing Language: English
(26) Publication Language: English
(30) Priority Data: 004022349 4 August 2000 (04.08.2000) EP
(71) Applicant (for all designated States except US): MOTOROLA INC. [US/US]; 1303 E. Algonquin Road, Schaumburg, IL 60196 (US).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DE, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

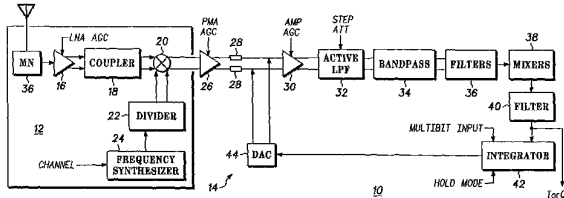
Published:
— with international search report
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

(72) Inventors: and
(75) Inventors/Applicants (for US only): KHLAT, Nadim [FR/FR]; 24, rue Pierre de Fermat, F-31270 Cugnaux (FR). DOREL, François [FR/FR]; 25, chemin du Martinet, F-74200 Thonon-les-Bains (FR).

(74) Agent: WALKER, Neville; Motorola European Intellectual, Property Operations, Midpoint, Alencon Link, Basingstoke, Hampshire RG21 7PL (GB).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: APPARATUS FOR REDUCING DC OFFSET IN A RECEIVER



(57) Abstract: Apparatus for reducing DC offset in a signal path of a conversion system comprising a front end circuit for providing an input signal having a DC offset; an amplifier system coupled to the front end circuit to receive and amplify the input signal; a multi-bit sigma delta modulator for receiving the input signal from the amplifier system and providing a first bit quantizer; a DC adapt circuit coupled to the sigma delta modulator for receiving the first bit quantizer from the sigma delta modulator and for providing an operation to reduce DC offset; a digital to analog converter (DAC) coupled to the digital DC adapt circuit to provide an analog signal representative of the DC offset correction to the input of the amplifier system, wherein the digital DC adapt circuit and the DAC form a feedback path originating at the first bit of the multi bit sigma delta modulator to the input of the amplifier system.

WO 02/13473 A1

WO 02/13473

PCT/EP01/08156

- 1 -

APPARATUS FOR REDUCING DC OFFSET IN A RECEIVER

FIELD OF THE INVENTION

5

This invention relates to radio receivers and more specifically to DC offset correction in direct conversion or digital very low IF receivers that require relatively short DC adapt periods.

10

BACKGROUND OF THE INVENTION

A direct conversion receiver (DCR) is a type of radio receiver that does not use an intermediate frequency (IF).
15 DCRs and digital very low IF receivers (DVLIF) are becoming common in cellular telephone handsets. A common problem with DCRs is that different components of the receiver may cause a DC offset voltage to be added to a received input signal. The DC offset voltage affects the operation of the
20 receiver in a manner similar to interference. However, unlike interference, the DC offset voltage is generated internally to the receiver.

FIG.1 illustrates, in block diagram form, a receiver 10 in accordance with the prior art. Receiver 10 includes
25 a low IF front end 12 and a base band receiver 14. Front end 12 includes a low noise amplifier 16, a coupler 18, a mixer 20, a divider 22, and a frequency synthesiser 24. Baseband receiver 14 includes amplifier 30, active low pass filter 32, baseband sigma delta modulator 34, decimation
30 filter 36, digital quad mixers 38, digital filter 40,

WO 02/13473

PCT/EP01/08156

- 2 -

digital integrator 42, and digital-to-analog converter (DAC) 44.

Each of the components of front end 12 may contribute to the DC offset voltage. For example, leakage from
5 frequency synthesiser 24 may leak back into front end 12 through the antenna and may be mixed back into the signal path via mixer 20. Also, changing the gain of low noise amplifier 16 may change the level of leakage and DC offset.

Prior art receiver 10 uses a feedback path to reduce
10 the DC offset. The feedback path starts at the output of digital filter 40 and feeds back into the signal path at the input of amplifier 30 via DAC 44. This type of feedback path is known as a mixed mode approach, where a digital signal is converted to an analog signal and
15 provided at the input of base band receiver 14. A problem with this approach is that it requires a relatively long period of time to remove the DC offset because of the number of components in the feedback path that contribute to the delay.

Typically, in a cellular telephone system the DC
20 offset is removed during a time period that is prior to the time period used for processing the input signals. In some applications, such as for example, Global System Mobile (GSM), the receiver may need to be powered up from standby
25 mode as early as 400 microseconds prior to processing the received signals in order have enough time to reduce the DC offset. This significantly reduces standby time and increases power consumption.

European Patent Application EP-A-0 709 970 (General
30 Electric Company) describes a DC correction arrangement for

WO 02/13473

PCT/EP01/08156

- 3 -

an analog-to-signal converter (ADC). The arrangement uses a single bit quantizer and has an accumulator in the feedback correction path.

United Kingdom Patent Application GB-A-2 328 353 (NEC) describes a correction system for use with a baseband receiver having two channels. A feedback signal for the DC offset estimation is provided at a second filter.

Therefore, a need exists for performing DC offset correction in a DCR or a DVLIF receiver that requires a shorter DC adapt period.

BRIEF DESCRIPTION OF THE DRAWINGS

Embodiments of the invention will now be more fully described, by way of example, with reference to the drawings, of which:

FIG. 1 illustrates, in block diagram form, a radio frequency receiver in accordance with the prior art;

FIG. 2 illustrates, in block diagram form, a radio frequency receiver in accordance with one embodiment of the present invention;

FIG.3 illustrates the digital fast DC adapt circuit of FIG.2 in more detail; and

FIG.4 illustrates a timing diagram of various signals of the receiver illustrated in FIG.2.

DETAILED DESCRIPTION OF EMBODIMENTS OF THE INVENTION

WO 02/13473

PCT/EP01/08156

- 4 -

Generally, the present invention provides a DCR 50 that uses a multi-bit sigma delta modulator in a fast coarse adapt feedback path for reducing the DC offset voltage. The digital fast DC adapt circuit 62 reduces the DC offset to an acceptable level without reducing the dynamic range of the analog-to-digital converter. The feedback originates at the first bit of the multi-bit band pass sigma delta modulator 60, where the first bit contains the input information for the feedback path. The digital fast DC adapt circuit 62 includes a one bit accumulator 80 and a first order digital low pass filter 82. By reducing the number of components in the feedback path, and thereby reducing the number of delays, the DC offset can be reduced in less time than with prior art receiver 10 of FIG.1

FIG.2 illustrates, in block diagram form, radio frequency receiver 50 in accordance with one embodiment of the present invention. Receiver 50 includes front end 52 and base band receiver 54. Front end 52 functions similarly to front end 12 of FIG.1, and will not be described in more detail. Base band receiver 54 includes an amplifier having automatic gain control 56, an active low pass filter 58, a band pass multi-bit sigma delta modulator 60, digital quad mixers 70, digital filter 72, digital fast DC adapt circuit 62, multiplexer 63, DAC 64, fast DC adapt control 66, and serial peripheral interface (SPI) 68. In the illustrated embodiment, front end 52 is implemented on a single integrated circuit. The coupler is a transformer that is formed on the same integrated circuit as front end 52. Likewise, receiver 54 is integrated on a single integrated circuit. In other embodiments, front end

WO 02/13473

PCT/EP01/08156

- 5 -

52 and receiver 54 may be implemented on a single integrated circuit or as a combination of multiple integrated circuits.

Amplifier 56 has a pair of input terminals for receiving a differential analog input signal from front end 52. Before being received by amplifier 56, the signals from front end 52 pass through post mixer amplifier 53 and filter 55. Differential outputs of amplifier 56 are coupled to input terminals of active low pass filter 58 and outputs of low pass filter 58 are coupled to inputs of band pass sigma delta modulator 60. In the illustrated embodiment, band pass sigma delta modulator 60 has two output terminals. However, in other embodiments sigma delta modulator 60 may have two or more output terminals. A one bit quantiser signal from sigma delta modulator 60 is provided to an input terminal of fast DC adapt circuit 62 as it contains the DC offset content.

The operation of fast DC adapt circuit 62 is controlled by fast DC adapt control 66. Fast DC adapt control 66 has an input terminal for receiving a chip enable signal labelled CE, and a second input terminal for receiving a control signal labelled RXACQ. In response to these signals DC adapt control 66 provides an output signal labelled ADAPT_DIGITAL to a second input terminal of digital fast DC adapt circuit 62. The signal called ADAPT_DIGITAL is used for starting and stopping the operation of the feedback path to remove the DC offset voltage. Also, in response to receiving the one bit quantiser signal from sigma delta modulator 60, adapt circuit 62 accumulates and then low pass filters the one

WO 02/13473

PCT/EP01/08156

- 6 -

bit quantiser to produce a six bit output signal labelled DACINP. These six bits are then provided to an input terminal of DAC 64, which converts the digital signal to a differential analog signal which is coupled to the inputs of amplifier 56.

In operation, an input signal having a DC offset is received at the input terminals of amplifier 56. The input signal is then amplified, low pass filtered, and then provided to sigma delta modulator 60. Each of these elements or components can add or contribute to the amount of the DC offset. To remove the DC offset only one bit from the band pass sigma delta modulator 60 is fed back through fast DC adapt circuit 62 and DAC 64 to reduce the amount of DC offset without significantly decreasing dynamic range. For example, if the input signal provided to amplifier 56 has a one volt peak-to-peak signal and a 300 millivolt offset, digital fast DC adapt circuit 62 will reduce the DC offset to about 30 millivolts, providing a dynamic range of about 970 millivolts remaining for the useful signal. The 30 millivolt DC offset is then entirely digitally filtered by digital high pass filters for DCR, or by complex notch filters in DVLIF receivers. This process is called fine DC offset correction. Because there are fewer components in the feedback path and less delay, an adapt period in accordance with the embodiment illustrates in FIG.1 will be only 40 microseconds long. The 40 microsecond time period is accomplished without sacrificing the stability of the feedback loop.

Any offset caused by DAC 64 will be corrected by the feedback loop. The one bit quantiser of band pass sigma

WO 02/13473

PCT/EP01/08156

- 7 -

delta modulator 60 is chosen as the feedback point in order to reduce noise introduction into the feedback path when receiver 50 is in receive mode. Because the DC offset is chosen to be reduced rather than eliminated, DAC 64 is only providing a coarse offset correction and does not need to be very accurate. As illustrated in the present embodiment, DAC 64 is implemented in six bits. The type of DAC used for DAC 64 is not important, except that DAC 64 needs to be monotonic.

Most of the open loop gain and phase response of receiver 50 is due to active low pass filter (LPF) 58. When using the DC offset feedback path, sigma delta modulator 60 has a very limited effect in the open loop gain phase response of the feedback path for a stability analysis.

The output of digital fast DC adapt 62 is also provided to an input terminal of SPI 68. The output terminals of SPI 68 are coupled to input/output (I/O) terminals of a microprocessor (not shown). The value of output signal DACINP from digital fast DC adapt circuit 62 can be written through SPI 68 to a register in, for example, a microprocessor and reused as an input to DAC 64 when a gain setting that has been already used in a prior adapt mode. This eliminates the need to run the feedback path before receiving an input signal for a known gain setting. A control signal labelled ADAPT_EN is provided to multiplexer 63 and to fast DC adapt control 66 and is used to select whether a DC offset correction is provided by SPI 68 or by the feedback path circuit 62. When signal ADAPT_EN is asserted to use a prior DACINP signal, the READ

WO 02/13473

PCT/EP01/08156

- 8 -

path from SPI 68 is selected and fast DC adapt control 66 disables the feedback loop by asserting control signal ADAPT_DIGITAL.

FIG.3 illustrates, in block diagram form, fast DC adapt circuit 62 in more detail. Fast DC adapt circuit 62 includes adders 90, 94, and 100, delay elements 92 and 96, digital multipliers 98 and 104, registers 102 and 86, and twos complement to ones complement conversion logic 84. An accumulator 80 includes adder 90 and delay element 92. Low pass filter 82 includes adders 94 and 100, delay element 96, digital multipliers 98 and 104, and register 102.

An input of accumulator 80 receives the one bit quantiser signal from the output of sigma delta modulator 60. An output of accumulator 80 comprising 9 bits is provided to an input of low pass filter 82. An output of low pass filter 82 is provided to an input of conversion logic 84. Conversion logic 84 converts the output of low pass filter 82 into a ones complement form that can be used by DAC 64. Register 86 is user writable to provide the ability to test DAC 64.

Accumulator 80 performs two functions. The first function of accumulator 80 is to filter noise received from sigma delta modulator 60. The second function is to perform an integration. For example, if the DC offset is positive, the output of accumulator 80 increases. If the DC offset is negative then the output of accumulator 80 decreases. The low pass filter 82 is used to filter the quantisation noise from accumulator 80. Low pass filter 82 provides an additional filtering function and may not be necessary in some embodiments depending on how much of the

WO 02/13473

PCT/EP01/08156

- 9 -

DC offset is to be removed. Low pass filter 82 has an input for receiving a clock signal labelled HIGH CLOCK and a second input terminal for receiving a clock signal labelled LOW CLOCK. The clock signal HIGH CLOCK operates at the over sampling frequency of sigma delta modulator 60 and the clock signal LOW CLOCK operates at the same frequency as DAC 64. Block 106 receives both HIGH CLOCK and LOW CLOCK and functions to enable the clocks or disable the clocks based on the state of control signal ADAPT_DIGITAL from fast DC adapt control 66. The amount of time that the feedback path operates to reduce the DC offset is predetermined based on the particular application.

The corner of low pass filter 82 is adjusted by changing the coefficient of digital multiplier 98 to accommodate different modes such as for example GSM and NADC.

FIG.4 illustrates a timing diagram of various signals of receiver 50 of FIG.2. Note that the various waveforms of FIG.4 are not drawn to scale and are not intended to illustrate any voltage levels relative to the other signals. FIG.4 is only intended to illustrate a timing relationship between the various signals. Between times t_0 and t_1 , the waveform at the top of FIG.4 illustrates an input signal at the input of sigma delta modulator 60 having a differential offset of about 60 millivolts. Note that a 60 millivolt offset is chosen for illustration purposes only. Control signal CE is a logic high and control signal RXACQ is a logic low. At time t_1 , control signal CE is asserted as a logic low to begin the fast

WO 02/13473

PCT/EP01/08156

- 10 -

adapt time period between t1 and t2 and to start the feedback path DC offset correction. After time t1, it can be observed that coarse DC offset correction has been activated and the DC offset is being reduced to about 0 volts. The time between t1 and t2 is a predetermined time period after which control signal RXACQ is asserted as a logic high. When RXACQ is asserted as a logic high, signal ADAPT_DIGITAL is applied to block 106 of FIG.3, stopping the HIGH CLOCK and the LOW CLOCK which causes digital fast adapt circuit 62 to stop operating and to enter a hold mode. Note that in the illustrated embodiment, the time between t1 and t2 is approximately 40 microseconds. In contrast, the time required to remove the DC offset using the prior art circuit illustrated in FIG.1 is approximately 400 microseconds which is significantly longer. After time t2 the input sigma delta differential input signal has a 0 millivolt DC offset. A predetermined time after time period t2 control signal CE is reset to a logic high.

The circuitry illustrated in FIG.2 and FIG.3 contain control signals (not shown) that are used to bias and to provide a quick start up of the system. One problem noted with the start up control and bias signals is a slightly increased DC offset occurring just prior to time t1 in FIG.4 (not shown). The DC offset was observed to momentarily increase before beginning a reduction to 0 millivolts.

By using the system as described herein, the DC offset can be reduced relatively faster than can be accomplished by prior art circuits. Also, because the DC offset is being reduced rather than being eliminated, the DAC 64 can

WO 02/13473

PCT/EP01/08156

- 11 -

be simpler with reduced bits and reduced resolution. Also, a simple integrated structure is used that receives only the one bit quantiser signal from the multi-bit sigma delta modulator. Therefore, the feedback loop can continue to
5 operate even though the sigma delta modulator is overloaded. In addition, the feedback loop can be easily programmed for various modes and for various adapt time periods by programming the open loop gain of digital multiplier 104 and by controlling the assertion and
10 deassertion of signals CE and RXACQ. The amount the DC offset to be corrected can be improved even further by lowering the bandwidth and by changing the co-efficient of digital multiplier 98. This has the effect of improving
15 the DC offset at the cost of lowering the frequency, lowering the speed, and increasing the DAC resolution. Also, the present embodiment has a hold mode with 0 hertz high pass corner which means there is no drift and the offset value DACINP can be held indefinitely.

WO 02/13473

PCT/EP01/08156

- 12 -

CLAIMS:

1. Apparatus (50) for reducing a DC offset in a signal path of a conversion system comprising:
- 5 a front end circuit (50) for providing an input signal;
- an amplifier system (56) coupled to the front end circuit to receive and amplify the input signal;
- a multi-bit sigma delta modulator (60) for
- 10 receiving the input signal from the amplifier system and providing a first bit quantizer;
- a DC adapt circuit (62) coupled to the sigma delta modulator for receiving the first bit quantizer from the sigma delta modulator and for providing an
- 15 operation to reduce a DC offset in said signal path;
- a digital to analog converter (64) coupled to the digital DC adapt circuit to provide an analog signal representative of the DC offset correction to an input of the amplifier system, wherein the digital DC adapt
- 20 circuit and the digital to analog converter form a feedback path originating at the first bit of the multi bit sigma delta modulator to an input of the amplifier system.
- 25 2. The apparatus (50) as claimed in claim 1 further comprising a DC adapt control (66) coupled to the digital DC adapt circuit (62) for controlling the starting and stopping of the operation of the DC adapt circuit to reduce a DC offset in said signal path.
- 30

WO 02/13473

PCT/EP01/08156

- 13 -

3. The apparatus (50) as claimed in claim 2 wherein said DC adapt control (66) receives an adapt enable signal and has a first input for receiving a chip enable signal, a second input for receiving a DC control signal, and an output for providing a starting and stopping signal to an input of said DC adapt circuit (62) for starting and stopping the operation of the feedback path.
4. The apparatus (50) as claimed in claim 3 further comprising a serial peripheral interface coupled to the DC adapt circuit (62) to provide an input signal for a known gain setting to the digital to analogue converter (64).
5. The apparatus (50) as claimed in claim 4 further comprising a multiplexer (63) receiving the adapt enable signal and coupled to the serial peripheral interface (62) and the DC adapt circuit (62) to selectively provide a signal from the serial peripheral interface and the DC adapt circuit to the digital to analogue converter (64).
6. The apparatus (50) as claimed in any preceding claim wherein the DC adapt circuit (62) comprises an accumulator (80) to filter noise generated from the sigma delta modulator (60) and to perform integration.
7. The apparatus (50) as claimed in claim 6 wherein the DC adapt circuit (62) further comprises a low pass

WO 02/13473

PCT/EP01/08156

- 14 -

filter (82) coupled to the accumulator (80) for filtering noise originating from the accumulator.

8. The apparatus (50) as claimed in any preceding claim
5 wherein said amplifier system (56) comprises an amplifier (56) having automatic gain control and an active low pass filter.
9. A method for reducing a DC offset in a signal path of
10 a conversion system comprising the steps of:
 providing an input signal from a front end circuit;
 amplifying the input signal in an amplifier system coupled to the front end circuit to receive and
15 amplify the input signal;
 passing the input signal through a multi-bit sigma delta modulator for receiving the input signal from the amplifier system to provide a first bit quantizer;
20 reducing a DC offset in said signal path wherein a DC adapt circuit is coupled to the sigma delta modulator for receiving the first bit quantizer from the sigma delta modulator and for providing an operation to reduce a DC offset in said signal path,
25 wherein a digital to analog converter coupled to the digital DC adapt circuit provides an analog signal representative of the DC offset correction to an input of the amplifier system, wherein the digital DC adapt circuit and the digital to analog converter form a
30 feedback path originating at the first bit of the

WO 02/13473

PCT/EP01/08156

- 15 -

multi bit sigma delta modulator to an input of the amplifier system.

10. The method as claimed in claim 9 further comprising
5 the step of controlling the operation of the DC adapt circuit with a DC adapt control coupled to the digital DC adapt circuit for controlling the starting and stopping of the operation of the DC adapt circuit to
10 reduce a DC offset in said signal path.

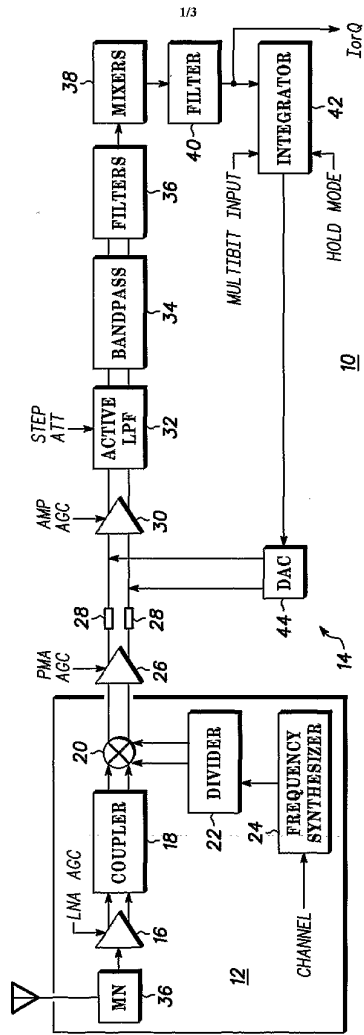


FIG. 1

- PRIOR ART -

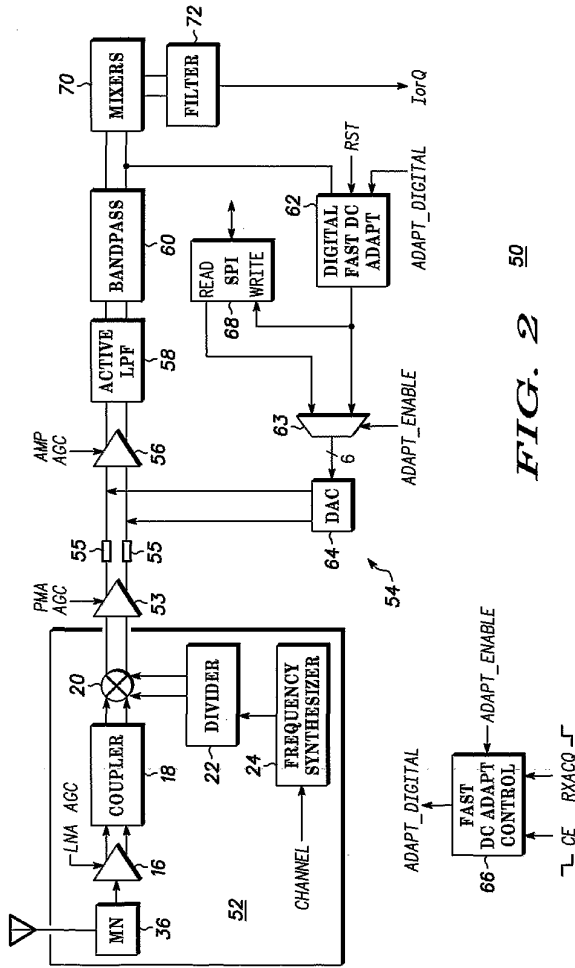


FIG. 2

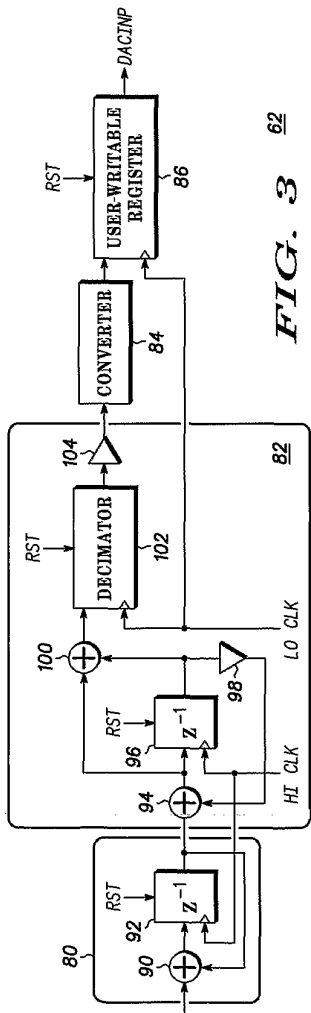


FIG. 3 62

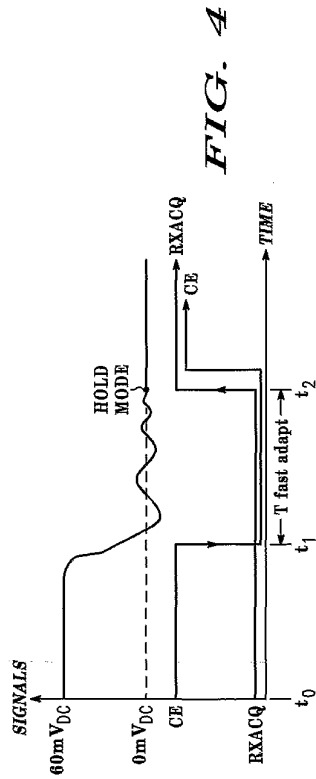


FIG. 4

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PC 1, LP 01/08156
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04L25/06		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04L H03M		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ, INSPEC, COMPENDEX		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 709 970 A (GEN ELECTRIC CO PLC) 1 May 1996 (1996-05-01)	1,6,7,9
Y	abstract page 2, line 24 - line 30 page 3, line 43 - line 57 page 4, line 7 - line 11 page 5, line 12 - line 14 figure 3	2,8,10
Y	GB 2 328 353 A (NEC TECHNOLOGIES) 17 February 1999 (1999-02-17) page 1, line 7 - line 19 page 2, line 4 - line 14 page 5, line 1 - line 15 --- -/-	2,8,10
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents: *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art *&* document member of the same patent family		
Date of the actual completion of the international search: 21 December 2001		Date of mailing of the international search report: 04/01/2002
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer: Papantoniou, A

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/JP 01/08156

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 0 474 615 A (ERICSSON TELEFON AB L M) 11 March 1992 (1992-03-11) column 1, line 27 - line 37 column 7, line 41 -column 8, line 25 figures 3E, 4A-4C	1,6

1

Form PCT/ISA210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT
 Information on patent family members

International Application No.
 PCT/JP 01/08156

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0709970 A	01-05-1996	AU 691661 B2	21-05-1998
		AU 3440395 A	09-05-1996
		EP 0709970 A2	01-05-1996
		GB 2294600 A, B	01-05-1996
		NO 954228 A	25-04-1996
		NZ 280277 A	24-03-1997
		ZA 9508767 A	21-05-1996
GB 2328353 A	17-02-1999	AU 739457 B2	11-10-2001
		AU 8000898 A	25-02-1999
		JP 11146023 A	28-05-1999
EP 0474615 A	11-03-1992	US 5241702 A	31-08-1993
		AU 644208 B2	02-12-1993
		AU 8369691 A	12-03-1992
		CA 2050666 A1	07-03-1992
		DE 69128991 D1	09-04-1998
		DE 69128991 T2	18-06-1998
		EP 0474615 A2	11-03-1992
		ES 2115609 T3	01-07-1998
		FI 914165 A	07-03-1992
		HK 1009363 A1	28-05-1999
		JP 5316158 A	26-11-1993
		MX 9100956 A1	04-05-1992
		NZ 239628 A	28-03-1995
		NZ 260297 A	28-03-1995

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CR,CU,CZ,DE,DK,DM,DZ,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,PL,PT,RO,RU,SD,SE,S,G,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZW

(74)代理人 100096013

弁理士 富田 博行

(74)代理人 100096068

弁理士 大塚 住江

(72)発明者 クラ, ナディム

フランス国エフ - 3 1 2 7 0 キュノー, リュー・ピエール・ド・フェルマ 2 4

(72)発明者 ドレル, フランソワ

フランス国エフ - 7 4 2 0 0 トノン - レ - バン, シュマン・デュ・マルティネ 2 5

Fターム(参考) 5K004 AA01 BB05 BD01

5K020 DD05 EE04 EE06 LL06