

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6059873号
(P6059873)

(45) 発行日 平成29年1月11日(2017.1.11)

(24) 登録日 平成28年12月16日(2016.12.16)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	613Z
HO1L 27/08	(2006.01)	HO1L 29/78	618B
HO1L 21/8234	(2006.01)	HO1L 29/78	617N
HO1L 27/088	(2006.01)	HO1L 27/08	331E
		HO1L 27/08	102B

請求項の数 3 (全 56 頁) 最終頁に続く

(21) 出願番号 特願2012-11663 (P2012-11663)
 (22) 出願日 平成24年1月24日 (2012.1.24)
 (65) 公開番号 特開2012-256834 (P2012-256834A)
 (43) 公開日 平成24年12月27日 (2012.12.27)
 審査請求日 平成26年10月20日 (2014.10.20)
 (31) 優先権主張番号 特願2011-15871 (P2011-15871)
 (32) 優先日 平成23年1月28日 (2011.1.28)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願2011-108880 (P2011-108880)
 (32) 優先日 平成23年5月14日 (2011.5.14)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 藤田 雅史
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 塩野入 豊
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 戸松 浩之
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 小林 英智
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第1の半導体領域と、

前記第1の半導体領域上の、絶縁領域と、

前記絶縁領域上の、第2の半導体領域と、

前記第2の半導体領域上の、絶縁層と、

前記絶縁層上の、酸化物半導体層と、

前記酸化物半導体層と電気的に接続された、ソース電極と、

前記酸化物半導体層と電気的に接続された、ドレイン電極と、を有し、

前記第2の半導体領域は、第1の不純物領域と、一対の第2の不純物領域と、前記一対の第2の不純物領域との間の第1の領域と、を有し、 10

前記第1の不純物領域が有する不純物元素は、前記一対の第2の不純物領域が有する不純物元素とは導電型が異なり、

前記第1の領域は、第1のトランジスタのチャネル形成領域として機能し、

前記第1の不純物領域は、前記第1の領域と接しており、

前記第1の不純物領域と前記第1の領域とが接する面は、前記第1のトランジスタのゲート電極の側面と重なり、

前記第1の不純物領域と電気的に接続された、配線とを有することを特徴とする半導体装置。

【請求項 2】

第 1 の半導体領域と、

前記第 1 の半導体領域上の、絶縁領域と、

前記絶縁領域上の、第 2 の半導体領域と、

前記第 2 の半導体領域上の、絶縁層と、

前記絶縁層上の、酸化物半導体層と、

前記酸化物半導体層と電気的に接続された、ソース電極と、

前記酸化物半導体層と電気的に接続された、ドレイン電極と、を有し、

前記第 2 の半導体領域は、第 1 の不純物領域と、一対の第 2 の不純物領域と、前記一対の第 2 の不純物領域との間の第 1 の領域と、を有し、

前記第 1 の不純物領域が有する不純物元素は、前記一対の第 2 の不純物領域が有する不純物元素とは導電型が異なり、

前記第 1 の領域は、第 1 のトランジスタのチャネル形成領域として機能し、

前記第 1 の不純物領域は、前記第 1 の領域と接しており、

前記第 1 の不純物領域と前記第 1 の領域とが接する面は、前記第 1 のトランジスタのゲート電極の側面と重なり、

前記第 1 の不純物領域と電気的に接続された、配線とを有し、

第 2 のトランジスタは、前記酸化物半導体層をチャネル形成領域として有することを特徴とする半導体装置。

【請求項 3】

請求項 1 又は請求項 2 において、

20

バスインターフェースと、

制御装置と、

前記制御装置により制御され、演算処理におけるデータを一時的に保持するキャッシュメモリと、

N 個 (N は 3 以上の自然数) のレジスタと、

前記レジスタから読み込んだ命令信号を翻訳し、翻訳した命令信号を前記制御装置に出力する命令デコーダと、

前記制御装置により制御され、演算処理を行う演算論理ユニットと、を有し、

前記レジスタは、複数の単位記憶装置を有し、

前記第 2 の半導体領域は、前記単位記憶装置に設けられ、

30

前記酸化物半導体層は、前記単位記憶装置に設けられたことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置に関する。

【背景技術】

【0002】

近年、情報化社会がますます発展し、例えばパーソナルコンピュータ又は携帯電話などに對して、高速化、大容量化、小型化、又は軽量化などの要求が高まっている。このため、例えば大規模集積回路 (L S I : Large Scale Integration ともいう) や中央演算処理装置 (C P U : Central Processing Unit ともいう) などの半導体装置において、高集積化、動作速度の高速化、低消費電力化が求められている。

40

【0003】

半導体装置の消費電力は、動作状態の場合に生じる消費電力と、停止状態の場合に生じる消費電力 (以下、待機電力と呼ぶ) の和におおよそ等しい。

【0004】

待機電力は、静的な待機電力と、動的な待機電力に分類できる。静的な待機電力は、例えば半導体装置内のトランジスタの電極間に電圧が印加されていない状態、すなわち、ゲートとソースの間の電圧がほぼ 0 V の状態において、ソースとドレインの間、ゲートとソ-

50

スの間、ゲートとドレインの間にリーク電流が生じることで消費される電力である。また、動的な待機電力は、待機状態の回路にクロック信号などの各種信号の電圧や、電源電圧が供給され続けることにより消費される電力である。

【0005】

半導体装置の動作速度の高速化のために、微細加工技術が開発されているが、微細加工が進むと、トランジスタのチャネル長は短く、ゲート絶縁層などに代表される各種の絶縁層は薄くなる。そのため、トランジスタのリーク電流は増えつつあり、動的な待機電力は増加の傾向にある。微細加工以外で半導体装置の動作速度の高速化する方法として、第1の半導体領域の上に絶縁領域を有し且つ前記絶縁領域の上に第2の半導体領域を有する基板（SOI基板ともいう）を用いてトランジスタを形成する方法が挙げられる（例えば特許文献1）。

10

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開平6-291291号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

微細加工が進んでその集積度が高まるほど待機電力が増大する。よって、さらなる消費電力の低減を図るためにには、待機電力の低減が重要となる。

20

【0008】

また、SOI基板を用いたトランジスタでは、絶縁領域下の第1の半導体領域がゲートとなり、トランジスタの閾値電圧がシフトする、いわゆるバックゲート効果が生じる。そのため、トランジスタのゲートとソースの間に印加される電圧が0Vであってもトランジスタのソース及びドレインの間に流れる電流量が増え、半導体装置の消費電力が増大してしまう可能性がある。

【0009】

本発明の一態様では、動作速度の低下を抑制しつつ、消費電力を低減することを課題の一つとする。

【課題を解決するための手段】

30

【0010】

本発明の一態様では、SOI基板に設けられた電界効果トランジスタと酸化物半導体層を用いたオフ電流の低い電界効果トランジスタの積層を用いて半導体装置を構成することにより、動作速度を向上させつつ消費電力の低減を図る。

【0011】

また、本発明の一態様では、SOI基板に設けられた電界効果トランジスタの閾値電圧を制御するための制御端子を設けることにより、SOI基板に設けられた電界効果トランジスタの閾値電圧を制御し、消費電力の低減を図る。このとき、上記制御端子を、上記酸化物半導体層を用いた電界効果トランジスタのソース及びドレインと同一工程により形成することにより工程数の増加を抑制する。

40

【0012】

また、上記制御端子は、例えばSOI基板の第2の半導体領域に形成された不純物領域に電気的に接続される。上記不純物領域は、SOI基板に設けられた電界効果トランジスタのソース領域及びドレイン領域と逆の導電型となり、制御端子を介して入力された電圧に応じてチャネル形成領域に印加される電圧が制御される。また、このとき、上記不純物領域を、酸化物半導体層を用いた電界効果トランジスタのチャネル形成領域に重畠させることにより、酸化物半導体層を用いた電界効果トランジスタの閾値電圧を制御する端子（例えばバックゲート）として機能させることもできる。これにより、SOI基板に設けられた電界効果トランジスタ及び酸化物半導体層を用いた電界効果トランジスタの両方の閾値電圧を同じ制御電圧により制御することができ、さらなる消費電力の低下を図る。

50

【0013】

また、上記制御端子は、例えばSOI基板の第1の半導体領域に形成された不純物領域に電気的に接続されてもよい。上記不純物領域は、絶縁領域を介してSOI基板に設けられた電界効果トランジスタのチャネル形成領域に重畳するため、制御端子を介して入力された電圧に応じてチャネル形成領域に印加される電圧が制御される。

【0014】

また、本発明の一態様は、バスインターフェースと、制御装置と、キャッシュメモリと、N個（Nは3以上の自然数）のレジスタと、命令デコーダと、演算論理ユニットと、を具備する半導体装置である。このとき、上記SOI基板に設けられた電界効果トランジスタ及び酸化物半導体層を用いた電界効果トランジスタは、レジスタ内の単位記憶装置に設けられ、酸化物半導体層を用いた電界効果トランジスタのソース及びドレインの一方には、データ信号が入力される。10

【発明の効果】

【0015】

本発明の一態様により、動作速度の低下を抑制しつつ、且つトランジスタがオフ状態のときにソース及びドレインの間に流れる電流を低減することができるため、消費電力を低減することができる。

【図面の簡単な説明】

【0016】

【図1】実施の形態1における半導体装置の構造例を説明するための図。20

【図2】実施の形態1における半導体装置の作製方法例を説明するための図。

【図3】実施の形態1における半導体装置の作製方法例を説明するための図。

【図4】実施の形態1における半導体装置の作製方法例を説明するための図。

【図5】実施の形態1における半導体装置の作製方法例を説明するための図。

【図6】実施の形態1における半導体装置の作製方法例を説明するための図。

【図7】実施の形態2における半導体装置の構造例を説明するための図。

【図8】実施の形態3における半導体装置の構造例を説明するための図。

【図9】実施の形態4における演算処理装置の例を説明するための図。

【図10】単位記憶装置の構成例を示す図。

【図11】単位記憶装置の構成例を示す図。30

【図12】実施の形態8における電子機器の例を説明するための模式図。

【図13】酸化物材料の構造を説明する図。

【図14】酸化物材料の構造を説明する図。

【図15】酸化物材料の構造を説明する図。

【図16】計算によって得られた移動度のゲート電圧依存性を説明する図。

【図17】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

。

【図18】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図。

。

【図19】計算によって得られたドレイン電流と移動度のゲート電圧依存性を説明する図40

。

【図20】計算に用いたトランジスタの断面構造を説明する図。

【図21】トランジスタの特性を示す図。

【図22】トランジスタの特性を示す図。

【図23】トランジスタの特性を示す図。

【図24】トランジスタの特性を示す図。

【図25】トランジスタの特性を示す図。

【図26】酸化物材料のXRDスペクトルを示す図。

【図27】トランジスタの特性を示す図。

【図28】半導体装置の平面図及び断面図。50

【図29】半導体装置の平面図及び断面図。

【発明を実施するための形態】

【0017】

本発明を説明するための実施の形態の一例について、図面を用いて以下に説明する。なお、本発明の趣旨及びその範囲から逸脱することなく実施の形態の内容を変更することは、当業者であれば容易である。よって、本発明は、以下に示す実施の形態の記載内容に限定されない。

【0018】

なお、各実施の形態の内容を互いに適宜組み合わせることができる。また、各実施の形態の内容を互いに置き換えることができる。

10

【0019】

また、第1、第2などの序数は、構成要素の混同を避けるために付しており、各構成要素の数は、序数の数に限定されない。

【0020】

また、図面は、便宜のために実際の寸法と異なる構成要素を含む場合がある。

【0021】

(実施の形態1)

本実施の形態では、SOI基板に設けられたトランジスタと酸化物半導体層を用いたトランジスタと、を備える半導体装置の例について説明する。

20

【0022】

本実施の形態における半導体装置の構造例について図1を用いて説明する。図1(A)は上面模式図であり、図1(B)は、図1(A)の線分A1-B1における断面模式図であり、図1(C)は、図1(A)の線分C1-D1における断面模式図である。

【0023】

図1(A)乃至図1(C)に示す半導体装置は、半導体層101と、絶縁層102と、半導体層103と、絶縁層104と、導電層105と、絶縁層106と、半導体層107と、導電層108a乃至導電層108eと、絶縁層109と、導電層110と、を含む構造である。上記構造により、トランジスタ100a及びトランジスタ100bが構成される。

【0024】

30

なお、半導体装置において、トランジスタとしては、例えば電界効果トランジスタを用いることができる。

【0025】

また、トランジスタとしては、トランジスタの構造や動作条件などによって、トランジスタのソースとドレインが互いに入れ替わることがある。

【0026】

また、一般的に電圧とは、ある二点間における電位の差(電位差ともいう)のことをいう。しかし、電圧及び電位の値は、回路図などにおいていずれもボルト(V)で表されることがあるため、区別が困難である。そこで、本明細書では、特に指定する場合を除き、ある一点の電位と基準となる電位(基準電位ともいう)との電位差を、該一点の電圧として用いる場合がある。

40

【0027】

また、2つ以上の構成要素が電気的に接続される期間が存在するのであれば、該2つ以上の構成要素は、電気的に接続されるといえる。

【0028】

トランジスタ100aは、例えばシリコンなどの単結晶半導体層を用いたトランジスタである。トランジスタ100aは、例えば半導体装置内の論理回路のトランジスタとして用いられる。

【0029】

トランジスタ100bは、従来のシリコンなどの半導体層を用いたトランジスタよりオフ

50

電流の低い酸化物半導体層を用いたトランジスタである。酸化物半導体層は、シリコンよりバンドギャップが高く、真性（I型ともいう）、又は実質的に真性である半導体層であり、上記酸化物半導体層を含むトランジスタのオフ電流は、チャネル幅1μmあたり10aA (1×10^{-17} A)以下、好ましくはチャネル幅1μmあたり1aA (1×10^{-18} A)以下、さらには好ましくはチャネル幅1μmあたり10zA (1×10^{-20} A)以下、さらに好ましくはチャネル幅1μmあたり1zA (1×10^{-21} A)以下、さらに好ましくはチャネル幅1μmあたり100yA (1×10^{-22} A)以下である。トランジスタ100bは、例えば記憶回路のトランジスタとして用いられる。トランジスタ100bのソース又はドレインに電気的に接続された他の回路又は素子との接続箇所にデータを入力し、その後トランジスタ100bをオフ状態にすることにより、長期間データを保持することができる。ただし、これに限定されず、論理回路などにもトランジスタ100bを用いることができる。
10

【0030】

半導体層101は、SOI基板における第1の半導体領域となる。半導体層101は、例えば半導体基板などで構成される。半導体基板としては、例えばシリコン基板などを用いることができる。

【0031】

絶縁層102は、半導体層101の上に設けられる。

【0032】

絶縁層102は、SOI基板における絶縁領域となる。絶縁層102としては、例えば酸化シリコンなどの材料の層を用いることができる。
20

【0033】

半導体層103は、絶縁層102の上に設けられる。

【0034】

半導体層103は、領域103_a、領域103_b1、領域103_b2、及び領域103_cを有する。
30

【0035】

領域103_aは、領域103_b1及び領域103_b2の間の領域である。領域103_aは、チャネルが形成される領域（チャネル形成領域ともいう）である。

【0036】

領域103_b1及び領域103_b2は、互いに離間する。また、領域103_b1は、トランジスタ100aのソース領域及びドレイン領域の一方となる領域であり、領域103_b2は、トランジスタ100aのソース領域及びドレイン領域の他方となる領域である。領域103_b1及び領域103_b2は、N型又はP型の導電型を付与する不純物元素を含む。N型又はP型の導電型を付与する不純物元素としては、例えばリン又はボロンなどを用いることができる。

【0037】

さらに、領域103_cは、チャネルが形成される領域103_aに接し、領域103_b1及び領域103_b2とは逆の導電型を付与する不純物元素を含む。このとき、領域103_cは、領域103_b1及び領域103_b2と逆の導電型になる。よって、領域103_cを介して領域103_aに電圧が与えられる。また、領域103_cに添加する上記不純物元素の濃度を領域103_aに添加する不純物元素の濃度より高くすることにより、領域103_aとの接触抵抗を小さくすることができる。
40

【0038】

半導体層103は、SOI基板における第2の半導体領域の少なくとも一部となる。なお、半導体層103の代わりに絶縁領域に囲まれた半導体領域を用いてトランジスタ100aを構成することもできる。

【0039】

半導体層103としては、例えば単結晶半導体層を用いることができ、例えば単結晶シリコンなどの材料の層を用いることができる。
50

【0040】

絶縁層104は、半導体層103の一平面に設けられる。

【0041】

絶縁層104としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層104に適用可能な材料の積層により絶縁層104を構成することもできる。

【0042】

絶縁層104は、トランジスタ100aにおけるゲート絶縁層としての機能を有する。

【0043】

導電層105は、絶縁層104を介して半導体層103の一部の上（領域103_a）に重畠する。

【0044】

導電層105としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンクスチタンなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。また、導電層105に適用可能な材料の積層により、導電層105を構成することもできる。

【0045】

導電層105は、トランジスタ100aのゲートとしての機能を有する。

【0046】

絶縁層106は、絶縁層104及び導電層105の上に設けられる。

【0047】

絶縁層106としては、例えば酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を用いることができる。また、絶縁層106に適用可能な材料の積層により絶縁層106を構成することもできる。

【0048】

絶縁層106は、平坦化層としての機能を有する。

【0049】

半導体層107は、絶縁層106の一平面に設けられる。

【0050】

半導体層107は、領域107_aを有する。また、図1では、半導体層107に領域107_b1及び領域107_b2を設けているが必ずしも設けなくてもよい。

【0051】

領域107_aは、領域107_b1及び領域107_b2の間の領域である。領域107_aは、トランジスタ100bのチャネル形成領域である。

【0052】

領域107_b1及び領域107_b2は、互いに離間し、ドーパントとなる元素を含む。ドーパントとしては、例えば元素周期表における15族の元素（例えば窒素、リン、及び砒素の一つ又は複数）、及び希ガス元素（例えばヘリウム、アルゴン、及びキセノンの一つ又は複数）の一つ又は複数を用いることができる。ドーパントが添加され、ソース領域又はドレイン領域としての機能を有する領域を設けることにより、トランジスタの面積が小さい場合であっても、トランジスタのソース又はドレインと、トランジスタのチャネル形成領域との間の抵抗値を小さくすることができる。よって、半導体装置の回路面積を小さくすることができる。

【0053】

半導体層107としては、例えば四元系金属酸化物、三元系金属酸化物、二元系金属酸化物、又は単元系金属酸化物などを含む酸化物半導体層を用いることができる。

【0054】

用いる酸化物半導体としては、少なくともインジウム（In）或いは亜鉛（Zn）を含む

10

20

30

40

50

ことが好ましい。特に In と Zn を含むことが好ましい。また、該酸化物半導体を用いたトランジスタの電気特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。

【 0 0 5 5 】

また、他のスタビライザーとして、ランタノイドである、ラントン (La)、セリウム (Ce)、プラセオジム (Pr)、ネオジム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種或いは複数種を有してもよい。

【 0 0 5 6 】

四元系金属酸化物としては、例えば In - Sn - Ga - Zn - O 系金属酸化物、In - Hf - Ga - Zn - O 系金属酸化物、In - Al - Ga - Zn - O 系金属酸化物、In - Sn - Al - Zn - O 系金属酸化物、In - Sn - Hf - Zn - O 系金属酸化物、In - Hf - Al - Zn - O 系金属酸化物などを用いることができる。

【 0 0 5 7 】

三元系金属酸化物としては、例えば In - Ga - Zn - O 系金属酸化物、In - Sn - Zn - O 系金属酸化物、In - Al - Zn - O 系金属酸化物、Sn - Ga - Zn - O 系金属酸化物、Al - Ga - Zn - O 系金属酸化物、Sn - Al - Zn - O 系金属酸化物、In - Hf - Zn - O 系金属酸化物、In - La - Zn - O 系金属酸化物、In - Ce - Zn - O 系金属酸化物、In - Pr - Zn - O 系金属酸化物、In - Nd - Zn - O 系金属酸化物、In - Sm - Zn - O 系金属酸化物、In - Eu - Zn - O 系金属酸化物、In - Gd - Zn - O 系金属酸化物、In - Tb - Zn - O 系金属酸化物、In - Dy - Zn - O 系金属酸化物、In - Ho - Zn - O 系金属酸化物、In - Er - Zn - O 系金属酸化物、In - Tm - Zn - O 系金属酸化物、In - Yb - Zn - O 系金属酸化物、In - Lu - Zn - O 系金属酸化物などを用いることができる。

【 0 0 5 8 】

二元系金属酸化物としては、例えば In - Zn - O 系金属酸化物、Sn - Zn - O 系金属酸化物、Al - Zn - O 系金属酸化物、Zn - Mg - O 系金属酸化物、Sn - Mg - O 系金属酸化物、In - Mg - O 系金属酸化物、In - Sn - O 系金属酸化物、又は In - Ga - O 系金属酸化物などを用いることができる。

【 0 0 5 9 】

なお、In - Ga - Zn - O 系金属酸化物とは、In と Ga と Zn を主成分として有する金属酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素が入っていてもよい。

【 0 0 6 0 】

In - Zn - O 系金属酸化物を用いる場合、例えば、In : Zn = 50 : 1 乃至 In : Zn = 1 : 2 (モル数比に換算すると $In_2O_3 : ZnO = 25 : 1$ 乃至 $In_2O_3 : ZnO = 1 : 4$)、好ましくは In : Zn = 20 : 1 乃至 In : Zn = 1 : 1 (モル数比に換算すると $In_2O_3 : ZnO = 10 : 1$ 乃至 $In_2O_3 : ZnO = 1 : 2$)、さらに好ましくは In : Zn = 15 : 1 乃至 In : Zn = 1.5 : 1 (モル数比に換算すると $In_2O_3 : ZnO = 15 : 2$ 乃至 $In_2O_3 : ZnO = 3 : 4$) の組成比である酸化物ターゲットを用いて In - Zn - O 系金属酸化物の半導体層を形成することができる。例えば、In - Zn - O 系酸化物半導体の形成に用いるターゲットは、原子数比が In : Zn : O = P : Q : R のとき、R > 1.5P + Q とする。In の量を多くすることにより、トランジスタの移動度を向上させることができる。

【 0 0 6 1 】

また、In - Sn - Zn - O 系金属酸化物に用いるターゲットの組成比は、原子数比で、

10

20

30

40

50

$In : Sn : Zn = 1 : 2 : 2$ 、 $In : Sn : Zn = 2 : 1 : 3$ 、 $In : Sn : Zn = 1 : 1 : 1$ 、又は $In : Sn : Zn = 20 : 45 : 35$ などとなる酸化物ターゲットを用いる。

【0062】

また、半導体層107としては、例えば $In - O$ 系金属酸化物、 $Sn - O$ 系金属酸化物、又は $Zn - O$ 系金属酸化物の層などを用いることもできる。また、上記酸化物半導体として適用可能な金属酸化物は、酸化シリコンを含んでいてもよい。また、上記酸化物半導体として適用可能な金属酸化物は、窒素を含んでいてもよい。

【0063】

また、半導体層107としては、 $InLO_3(ZnO)_1$ (1は0より大きい数、且つ、1は整数でない)で表記される材料の層を用いることもできる。 $InLO_3(ZnO)_1$ のLは、Ga、Fe、Al、Mn、及びCoから選ばれた一つ又は複数の金属元素を示す。また、酸化物半導体として、 $In_3SnO_5(ZnO)_n$ (nは0より大きい数、且つ、nは整数)で表記される材料の層を用いることもできる。

【0064】

例えば、 $In : Ga : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)$ 或いは $In : Ga : Zn = 2 : 2 : 1 (= 2 / 5 : 2 / 5 : 1 / 5)$ の原子数比の $In - Ga - Zn - O$ 系金属酸化物やその組成の近傍の酸化物を用いることができる。或いは、 $In : Sn : Zn = 1 : 1 : 1 (= 1 / 3 : 1 / 3 : 1 / 3)$ 、 $In : Sn : Zn = 2 : 1 : 3 (= 1 / 3 : 1 / 6 : 1 / 2)$ 或いは $In : Sn : Zn = 2 : 1 : 5 (= 1 / 4 : 1 / 8 : 5 / 8)$ の原子数比の $In - Sn - Zn - O$ 系金属酸化物やその組成の近傍の酸化物を用いるとよい。

【0065】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつきなど)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間結合距離、密度などを適切なものとすることが好ましい。

【0066】

例えば、 $In - Sn - Zn - O$ 系金属酸化物では比較的容易に高い移動度が得られる。しかしながら、 $In - Ga - Zn - O$ 系金属酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0067】

なお、例えば、 In 、 Ga 、 Zn の原子数比が $In : Ga : Zn = a : b : c (a + b + c = 1)$ である酸化物が、原子数比が $In : Ga : Zn = A : B : C (A + B + C = 1)$ の酸化物のrだけ近傍であるとは、a、b、cが、 $(a - A)^2 + (b - B)^2 + (c - C)^2 = r^2$ を満たすことをいう。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0068】

酸化物半導体は単結晶でも、非単結晶でもよい。後者の場合、アモルファスでも、多結晶でもよい。また、アモルファス中に結晶性を有する部分を含む構造でも、非アモルファスでもよい。

【0069】

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0070】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ(R_a)が1nm以下、好ましくは0.3nm以下、より好ま

10

20

30

40

50

しくは 0 . 1 nm 以下の表面上に形成するとよい。

【 0 0 7 1 】

なお、 Ra は、 J I S B 0 6 0 1 で定義されている中心線平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」と表現でき、以下の式にて定義される。

【 0 0 7 2 】

【 数 1 】

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

10

【 0 0 7 3 】

なお、上記において、 S_0 は、測定面（座標 (x_1, y_1) (x_1, y_2) (x_2, y_1) (x_2, y_2) ）で表される 4 点によって囲まれる長方形の領域）の面積を指し、 Z_0 は測定面の平均高さを指す。 Ra は原子間力顕微鏡（ A F M : A t o m i c F o r c e M i c r o s c o p e ）にて評価可能である。なお、測定面とは、全測定データの示す面であり、三つのパラメータ (x, y, z) から成り立っており、 $z = f(x, y)$ で表される。なお、 x の（及び y ）の範囲は 0 乃至 $x M A X$ （及び $y M A X$ ）であり、 z の範囲は $z M I N$ 乃至 $z M A X$ である。

【 0 0 7 4 】

また、半導体層 1 0 7 の少なくともチャネルが形成される領域は、非単結晶であって、 a b 面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、 c 軸方向に垂直な方向から見て金属原子が層状に配列した相、又は c 軸方向に垂直な方向から見て金属原子と酸素原子が層状に配列した相を有してもよい。上記相を形成することによりトランジスタの光による劣化を抑制することができる。なお、上記相を有する材料を c 軸配向結晶、又は C A A C : c a x i s a l i g n e d c r y s t a l ともいう。

20

【 0 0 7 5 】

導電層 1 0 8 a は、絶縁層 1 0 4 及び絶縁層 1 0 6 を貫通して設けられた第 1 の開口部を介して領域 1 0 3 _ b 1 に電気的に接続される。

【 0 0 7 6 】

30

導電層 1 0 8 a は、トランジスタ 1 0 0 a のソース及びドレインの一方としての機能を有する。

【 0 0 7 7 】

導電層 1 0 8 b は、絶縁層 1 0 4 及び絶縁層 1 0 6 を貫通して設けられた第 2 の開口部を介して領域 1 0 3 _ b 2 に電気的に接続される。

【 0 0 7 8 】

導電層 1 0 8 b は、トランジスタ 1 0 0 a のソース及びドレインの他方としての機能を有する。

【 0 0 7 9 】

導電層 1 0 8 c は、絶縁層 1 0 4 及び絶縁層 1 0 6 を貫通して設けられた第 3 の開口部を介して領域 1 0 3 _ c に電気的に接続される。

40

【 0 0 8 0 】

導電層 1 0 8 c は、トランジスタ 1 0 0 a の領域 1 0 3 _ a に与えられる電圧を制御するための制御端子としての機能を有する。

【 0 0 8 1 】

導電層 1 0 8 d は、半導体層 1 0 7 に電気的に接続される。

【 0 0 8 2 】

導電層 1 0 8 d は、トランジスタ 1 0 0 b のソース及びドレインの一方としての機能を有する。

【 0 0 8 3 】

50

導電層 108e は、半導体層 107 に電気的に接続される。

【0084】

導電層 108e は、トランジスタ 100b のソース及びドレインの他方としての機能を有する。

【0085】

なお、図 1 では、導電層 108d 及び導電層 108e が半導体層 107 の上に設けられているが、これに限定されず、導電層 108d 及び導電層 108e の上に半導体層 107 を設けてもよい。

【0086】

また、導電層 108c は、導電層 108d 及び導電層 108e と同一の工程により形成される。また、導電層 108a 及び導電層 108b を、導電層 108c 乃至導電層 108e と同一工程により形成してもよい。導電層 108a 乃至導電層 108e としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンクスチールなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。合金材料の層としては、例えば Cu - Mg - Al 合金材料の層を用いることができる。

10

【0087】

また、導電層 108a 乃至導電層 108e としては、導電性の金属酸化物を含む層を用いることもできる。なお、導電層 108a 乃至導電層 108e に適用可能な導電性の金属酸化物は、酸化シリコンを含んでいてもよい。

【0088】

また、導電層 108a 乃至導電層 108e に適用可能な材料の積層により、導電層 108a 乃至導電層 108e を構成することもできる。例えば、Cu - Mg - Al 合金材料の層の上に銅の層が設けられた積層により、導電層 108a 乃至導電層 108e を構成することにより、導電層 108a 乃至導電層 108e に接する他の層との密着性を高めることができる。

20

【0089】

絶縁層 109 は、絶縁層 106、半導体層 107、及び導電層 108a 乃至導電層 108e の上に設けられる。

【0090】

絶縁層 109 としては、例えば酸化シリコン層を用いることができる。また、酸化シリコン層と他の層との積層により絶縁層 109 を構成してもよい。

30

【0091】

導電層 110 は、絶縁層 109 を介して半導体層 107 に重畠する。

【0092】

導電層 110 としては、例えばアルミニウム、クロム、銅、タンタル、チタン、モリブデン、若しくはタンクスチールなどの金属材料、又はこれらの金属材料を主成分とする合金材料の層を用いることができる。

【0093】

図 1 に示す半導体装置では、制御端子である導電層 108c を介して制御電圧を与える。すると、領域 103_a の電圧を制御電圧に応じた値に制御することができる。例えば、トランジスタ 100a が P 型トランジスタの場合、制御電圧の値を高くしていくとトランジスタ 100a の閾値電圧は、負の方向にシフトする。このため、半導体層 101 によりトランジスタ 100a の閾値電圧が変動してしまう場合であっても、導電層 108c を介して制御電圧を入力し、領域 103_a の電圧を制御し、トランジスタ 100a の閾値電圧を制御してトランジスタ 100a がオフ状態のときにソース及びドレインの間に流れる電流量を少なくすることができる。なお、トランジスタ 100a の閾値電圧は、例えばトランジスタ 100a がエンハンスメント型のトランジスタとなる値に制御されることが好みしい。

40

【0094】

なお、トランジスタ 100a 及びトランジスタ 100b が同じ導電型の場合、領域 103

50

—c をトランジスタ 100b のチャネル形成領域に重畠させ、トランジスタ 100a 及びトランジスタ 100b の閾値電圧を共通の制御電圧により制御してもよい。これにより、信号の数を減らすことができるため、配線数を減らすことができる。

【0095】

また、SOI 基板にトランジスタ 100a とは別の導電型のトランジスタを設けてもよい。このとき、上記トランジスタ 100a とは別の導電型のトランジスタを、トランジスタ 100a と不純物領域の導電型が異なる以外は同じ構造にすることができる。よって、作製工程数の増加を抑制しつつ SOI 基板に互いに異なる導電型のトランジスタを設けることができる。

【0096】

以上が、本実施の形態における半導体装置の例の説明である。

10

【0097】

本実施の形態における半導体装置の例では、SOI 基板に設けられた電界効果トランジスタと酸化物半導体層を用いた電界効果トランジスタとを用いる。これにより、動作速度を向上させつつ、且つ不要な電流を少なくすることにより消費電力を低減することができる。

【0098】

また、本実施の形態における半導体装置の例では、SOI 基板に設けられた電界効果トランジスタの閾値電圧を制御するための制御端子を設け、SOI 基板に設けられた電界効果トランジスタのソース及びドレインの間に流れる電流量を少なくすることができるため、半導体装置の消費電力を小さくすることができる。また、SOI 基板に設けられたN型トランジスタ毎又はP型トランジスタ毎に上記構造にしてそれぞれのトランジスタの閾値電圧を制御することもできる。

20

【0099】

また、本実施の形態における半導体装置の例では、上記制御端子としての機能を有する導電層を、酸化物半導体層を用いた電界効果トランジスタのソース又はドレインと同一工程により形成することができる。よって、製造工程数の増加を抑制することができる。

【0100】

さらに、本実施の形態における半導体装置の作製方法例として図1に示す半導体装置の作製方法例について図2乃至図6を用いて説明する。図2乃至図6は、図1に示す半導体装置の作製方法例を示す断面図である。

30

【0101】

まず、図2(A-1)及び図2(A-2)に示すように、半導体層101を準備し、半導体層101の一平面に絶縁層102を形成し、絶縁層102を介して半導体層101の一平面に半導体層103を形成する。なお、予め半導体層101の上に酸化絶縁層又は窒化絶縁層を形成してもよい。

【0102】

ここで、半導体層101、絶縁層102、及び半導体層103を含むSOI基板の形成例について以下に説明する。

40

【0103】

例えば、半導体層101として第1の半導体基板と、上面に絶縁層102を形成した第2の半導体基板を準備する。なお、第1の半導体基板に予めN型又はP型の導電型を付与する不純物元素を添加しておいてもよい。

【0104】

例えば、熱酸化法、CVD法、又はスパッタリング法などにより、酸化物絶縁膜を形成することにより、酸化物絶縁層を形成することができる。例えば、熱酸化法における熱酸化処理により上記第2の半導体基板の上に酸化シリコン膜を形成することにより酸化物絶縁層を形成することができる。

【0105】

50

さらに、上記第2の半導体基板に電界で加速されたイオンでなるイオンビームを注入し、上記第2の半導体基板の表面から一定の深さの領域に、脆化領域を形成する。なお、イオンの運動エネルギー、イオンの質量と電荷、イオンの入射角などを調節することにより上記脆化領域の深さを調節する。

【0106】

例えば、イオンドーピング装置又はイオン注入装置を用いて上記第2の半導体基板にイオンを注入することができる。

【0107】

また、照射するイオンとしては、例えば水素又はヘリウムの一つ又は複数を用いることができる。例えば、イオンドーピング装置を用いて水素イオンを照射する場合、照射するイオンにおいて、 H_3^+ の比率を高くすることにより、イオン照射の効率を高めることができる。具体的には、 H^+ 、 H_2^+ 、 H_3^+ の総量に対して H_3^+ の割合が50%以上（より好ましくは80%以上）となるようにすることが好ましい。10

【0108】

さらに、第2の半導体基板に設けられた絶縁層を介して第1の半導体基板と第2の半導体基板を貼り合わせる。なお、第1の半導体基板にも絶縁層を設けた場合には、第2の半導体基板に設けられた絶縁層及び第1の半導体基板に設けられた絶縁層を介して第1の半導体基板及び第2の半導体基板を貼り合わせる。このとき、第1の半導体基板及び第2の半導体基板の間に設けられた絶縁層が絶縁層102となる。

【0109】

さらに、加熱処理を行い、脆化領域を劈開面として第2の半導体基板を分離する。これにより、絶縁層102の上に半導体層103を形成することができる。20

【0110】

なお、半導体層103の表面にレーザ光を照射することにより、半導体層103の表面の平坦性を向上させることができる。

【0111】

なお、これに限定されず、例えばスマートカット法又はSIMOX法などを用いてSOI基板を形成することもできる。

【0112】

次に、図2(B-1)及び図2(B-2)に示すように、半導体層103の一部をエッチングする。30

【0113】

例えば、フォトリソグラフィ工程により層又は膜の一部の上にレジストマスクを形成し、レジストマスクを用いて層又は膜をエッチングすることにより、層を形成することができる。なお、この場合、層の形成後にレジストマスクを除去する。

【0114】

また、透過率の異なる複数の領域を有する露光マスク（多階調マスクともいう）を用いてレジストマスクを形成してもよい。多階調マスクを用いることにより、異なる厚さの領域を有するレジストマスクを形成することができ、半導体装置の作製に使用するレジストマスクの数を低減することができる。40

【0115】

次に、図2(C-1)及び図2(C-2)に示すように、半導体層103の一平面に絶縁層104を形成する。

【0116】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層104に適用可能な材料の膜を形成することにより絶縁層104を形成することができる。また、絶縁層104に適用可能な材料の膜を積層させることにより絶縁層104を形成することもできる。

【0117】

なお、半導体層103を形成後、半導体層103にN型又はP型の導電型を付与する不純物元素を添加してもよい。例えば、絶縁層104を形成した後に半導体層103の一部に50

上記不純物元素を添加してもよい。上記不純物元素を半導体層 103 に添加することにより、半導体層 103 を用いて作製されるトランジスタの閾値電圧の制御が容易になる。

【0118】

次に、図3(A-1)及び図3(A-2)に示すように、絶縁層104を介して半導体層103の上に第1の導電膜を形成し、第1の導電膜の一部をエッチングすることにより導電層105を形成する。

【0119】

例えば、スパッタリング法を用いて導電層105に適用可能な材料の膜を形成することにより第1の導電膜を形成することができる。また、第1の導電膜に適用可能な材料の膜を積層させ、第1の導電膜を形成することもできる。

10

【0120】

次に、図3(B-1)及び図3(B-2)に示すように、導電層105及びレジストマスクをマスクとしてP型及びN型の一方の導電型を付与する不純物元素を添加することにより、領域103_b1及び領域103_b2を形成し、別の第1の導電膜を用いて作製された導電層又はレジストマスクをマスクとしてP型及びN型の他方の導電型を付与する不純物元素を添加することにより、領域103_cを形成する。このとき、絶縁層104を介して導電層105に重畠する半導体層103の部分において、領域103_b1及び領域103_b2の間の領域が領域103_aとなる。

【0121】

次に、図3(C-1)及び図3(C-2)に示すように、絶縁層104及び導電層105の上に第3の絶縁膜を形成することにより絶縁層106を形成する。

20

【0122】

例えば、絶縁層104及び導電層105の上に酸化窒化シリコン膜を形成し、該酸化窒化シリコン膜の上に窒化酸化シリコン膜を形成し、該窒化酸化シリコン膜の上に酸化シリコン膜を形成することにより、絶縁層106を形成することができる。

【0123】

次に、図4(A-1)及び図4(A-2)に示すように、絶縁層106の上に酸化物半導体膜を形成し、該酸化物半導体膜の一部をエッチングすることにより、半導体層107を形成する。

【0124】

30

ここでは、半導体層107の一例として、CACCである酸化物半導体層の形成方法例について以下に説明する。

【0125】

半導体層107の形成方法例において、1回以上の加熱処理を行う工程、及び半導体膜の一部を除去する工程の一つ又は複数を含ませてもよい。このとき、該半導体膜の一部を除去する工程の順番は、半導体膜の形成後から導電層110の形成前までであれば特に限定されない。また、加熱処理を行う工程の順番は半導体膜の形成後であれば特に限定されない。

【0126】

例えば、スパッタリング法を用いて半導体層107に適用可能な材料の膜を形成することにより半導体膜を形成する。このとき、半導体膜が形成される被素子形成層の温度を100以上500以下、好ましくは200以上350以下にする。半導体膜が形成される被素子形成層の温度を高くすることにより、上記半導体膜において、a b面に垂直な方向から見て、三角形、六角形、正三角形、又は正六角形の原子配列を有し、且つ、c軸方向に垂直な方向から見て金属原子が層状に配列した相、又はc軸方向に垂直な方向から見て金属原子と酸素原子が層状に配列した相を形成することができる。

40

【0127】

加熱処理を行う工程としては、例えば400以上750以下、又は400以上基板の歪み点未満の温度で加熱処理(加熱処理Aともいう)を行う。なお、半導体膜を形成した後であれば、加熱処理Aを行うタイミングは特に限定されない。

50

【0128】

加熱処理Aにより、半導体層107における結晶性を高めることができる。

【0129】

なお、加熱処理Aを行う加熱処理装置としては、電気炉、又は抵抗発熱体などの発熱体からの熱伝導又は熱輻射により被処理物を加熱する装置を用いることができ、例えばG R T A (Gas Rapid Thermal Anneal) 装置又はL R T A (Lamp Rapid Thermal Anneal) 装置などのR T A (Rapid Thermal Anneal) 装置を用いることができる。L R T A 装置は、例えばハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、又は高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。また、G R T A 装置は、高温のガスを用いて加熱処理を行う装置である。高温のガスとしては、例えば希ガス、又は加熱処理によって被処理物と反応しない不活性気体(例えば窒素)を用いることができる。10

【0130】

また、加熱処理Aを行った後、加熱処理Aを行った炉と同じ炉に高純度の酸素ガス、高純度のN₂Oガス、又は超乾燥エア(露点が-40以下、好ましくは-60以下の雰囲気)を導入してもよい。このとき、酸素ガス又はN₂Oガスは、水、水素などを含まないことが好ましい。また、加熱処理装置に導入する酸素ガス又はN₂Oガスの純度を、6N以上、好ましくは7N以上、すなわち、酸素ガス又はN₂Oガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下とすることが好ましい。酸素ガス又はN₂Oガスの作用により、半導体膜又は半導体層107に酸素が供給され、半導体膜又は半導体層107中の酸素欠乏に起因する欠陥を低減することができる。20

【0131】

次に、図4(B-1)及び図4(B-2)に示すように、例えば絶縁層104及び絶縁層106の一部をエッチングすることにより、絶縁層104及び絶縁層106を貫通する開口部111a乃至開口部111cを形成する。

【0132】

次に、図5(A-1)及び図5(A-2)に示すように、絶縁層106及び半導体層107の上に第2の導電膜を形成し、第2の導電膜の一部をエッチングすることにより、導電層108a乃至導電層108eを形成する。30

【0133】

例えば、スパッタリング法を用いて導電層108a乃至導電層108eに適用可能な材料の膜を形成することにより第2の導電膜を形成することができる。また、第2の導電膜に適用可能な材料の膜を積層させ、第2の導電膜を形成することもできる。

【0134】

次に、図5(B-1)及び図5(B-2)に示すように、絶縁層106、半導体層107、及び導電層108a乃至導電層108eの上に、半導体層107に接するように第4の絶縁膜を形成することにより絶縁層109を形成する。

【0135】

例えば、スパッタリング法やプラズマCVD法などを用いて絶縁層109に適用可能な材料の膜を形成することにより第4の絶縁膜を形成することができる。また、第4の絶縁膜に適用可能な材料の膜を積層させることにより第4の絶縁膜を形成することもできる。また、高密度プラズマCVD法(例えばμ波(例えば、周波数2.45GHzのμ波)を用いた高密度プラズマCVD法)を用いて絶縁層109に適用可能な材料の膜を形成することにより、絶縁層109を緻密にすことができる、絶縁層109の絶縁耐圧を向上させることができる。40

【0136】

次に、図6(A-1)及び図6(A-2)に示すように、絶縁層109の上に第3の導電膜を形成し、第3の導電膜の一部をエッチングすることにより、導電層110を形成する。50

【 0 1 3 7 】

例えば、スパッタリング法を用いて導電層 110 に適用可能な材料の膜を形成することにより第 3 の導電膜を形成することができる。また、第 3 の導電膜に適用可能な材料の膜を積層させ、第 3 の導電膜を形成することもできる。

【 0 1 3 8 】

なお、スパッタリングガスとして、例えば水素、水、水酸基、又は水素化物などの不純物が除去された高純度ガスを用いることにより、形成される膜の上記不純物濃度を低減することができる。

【 0 1 3 9 】

なお、スパッタリング法を用いて膜を形成する前に、スパッタリング装置の予備加熱室にて加熱処理（加熱処理 B ともいう）を行ってもよい。加熱処理 B を行うことにより、水素、水分などの不純物を脱離することができる。10

【 0 1 4 0 】

また、スパッタリング法を用いて膜を形成する前に、例えばアルゴン、窒素、ヘリウム、又は酸素雰囲気下で、ターゲット側に電圧を印加せずに、基板側に R F 電源を用いて電圧を印加し、プラズマを形成して被形成面を改質する処理（逆スパッタともいう）を行ってもよい。逆スパッタを行うことにより、被形成面に付着している粉状物質（パーティクル、ごみともいう）を除去することができる。

【 0 1 4 1 】

また、スパッタリング法を用いて膜を形成する場合、吸着型の真空ポンプなどを用いて、膜を形成する成膜室内の残留水分を除去することができる。吸着型の真空ポンプとしては、例えばクライオポンプ、イオンポンプ、又はチタンサブリメーションポンプなどを用いることができる。また、コールドトラップを設けたターボポンプを用いて成膜室内の残留水分を除去することもできる。20

【 0 1 4 2 】

さらに、絶縁層 109 を形成した後に、不活性ガス雰囲気下、又は酸素ガス雰囲気下で、加熱処理（加熱処理 C ともいう）を行ってもよい。このとき、例えば 200 以上 400 以下、好ましくは 250 以上 350 以下で加熱処理 C を行うことができる。

【 0 1 4 3 】

次に、図 6 (B - 1) 及び図 6 (B - 2) に示すように、導電層 110 が形成される側から半導体層 107 にドーパントを添加することにより、絶縁層 109 を介して自己整合で領域 107_b1 及び領域 107_b2 を形成する。これにより、直接半導体層にドーパントを添加する場合と比較して、半導体層 107 のオーバーエッチングを防ぎ、半導体層 107 への過剰なダメージを軽減することができ、半導体層 107 と絶縁層 109 の界面も清浄に保つこともできる。よって、トランジスタの特性及び信頼性を高めることができる。このとき、領域 107_b1 及び領域 107_b2 の間が領域 107_a となる。30

【 0 1 4 4 】

例えば、イオンドーピング装置又はイオン注入装置を用いてドーパントを添加することができる。

【 0 1 4 5 】

なお、半導体層 107 にドーパントを添加した後に加熱処理を行ってもよい。40

【 0 1 4 6 】

以上が図 1 に示すトランジスタの作製方法例の説明である。

【 0 1 4 7 】

本実施の形態における半導体装置の作製方法例では、一つの導電膜の一部をエッチングすることにより、上記制御端子としての機能を有する導電層を第 2 の電界効果トランジスタのソース又はドレインとしての機能を有する導電層と同一工程により形成することができる。よって、製造工程数の増加を抑制することができる。

【 0 1 4 8 】

(実施の形態 2)50

本実施の形態では、上記実施の形態1と異なる構造の半導体装置の例について説明する。なお、実施の形態1に示す半導体装置と同様の部分については、実施の形態1に示す半導体装置の説明を適宜援用する。

【0149】

本実施の形態における半導体装置の構造例について図7を用いて説明する。図7(A)は上面模式図であり、図7(B)は、図7(A)の線分A2-B2における断面模式図であり、図7(C)は、図7(A)の線分C2-D2における断面模式図である。

【0150】

図7(A)乃至図7(C)に示す半導体装置は、半導体層201と、絶縁層202と、半導体層203a及び半導体層203bと、絶縁層204と、導電層205a及び導電層205bと、絶縁層206と、半導体層207と、導電層208a乃至導電層208hと、絶縁層209と、導電層210と、を含む構造である。上記構造により、トランジスタ200a、トランジスタ200b、及びトランジスタ200cが構成される。
10

【0151】

トランジスタ200aは、例えばシリコンなどの単結晶半導体層を用いたトランジスタである。トランジスタ200aは、例えば半導体装置内の論理回路のトランジスタとして用いられる。

【0152】

トランジスタ200bは、例えばシリコンなどの単結晶半導体層を用いたトランジスタであり、トランジスタ200aとは異なる導電型のトランジスタである。トランジスタ200bは、例えば半導体装置内の論理回路のトランジスタとして用いられる。
20

【0153】

ただし、これに限定されず、トランジスタ200a又はトランジスタ200bを省略してもよい。

【0154】

トランジスタ200cは、従来のシリコンなどの半導体層を用いたトランジスタよりオフ電流の低い酸化物半導体層を用いたトランジスタであり、トランジスタ200cとしては、トランジスタ100bに適用可能なトランジスタを用いることができる。トランジスタ200cのソース又はドレインに電気的に接続された他の回路又は素子との接続箇所にデータを入力し、その後トランジスタ200cをオフ状態にすることにより、長期間データを保持することができる。ただし、これに限定されず、論理回路などにもトランジスタ200cを用いることができる。
30

【0155】

半導体層201は、SOI基板における第1の半導体領域になる。半導体層201は、N型及びP型の一方の導電型を付与する不純物元素が添加された領域201_aと、領域201_bと逆の導電型を付与する不純物元素が添加された領域201_cと、を含む。例えば、半導体層201と半導体層203a及び半導体層203bを含む半導体層とを貼り合わせる前に半導体層201の一部にN型の導電型を付与する不純物元素又はP型の導電型を付与する不純物元素を選択的に添加することにより領域201_a及び領域201_bを形成することができる。
40

【0156】

半導体層201としては、例えば図1における半導体層101に適用可能な材料を用いることができる。

【0157】

絶縁層202は、半導体層201の上に設けられる。

【0158】

絶縁層202は、SOI基板における絶縁領域となる。絶縁層202としては、例えば図1における絶縁層102に適用可能な材料の層を用いることができ、絶縁層102と同様の作製方法により絶縁層202を形成することができる。

【0159】

半導体層 203a は、絶縁層 202 を介して領域 201_a に重畠し、半導体層 203b は、絶縁層 202 を介して領域 201_b に重畠する。

【0160】

また、半導体層 203a は、領域 203a_a、領域 203a_b1、及び領域 203a_b2 を有する。また、半導体層 203b は、領域 203b_a、領域 203b_b1、及び領域 203b_b2 を有する。

【0161】

領域 203a_a は、領域 203a_b1 及び領域 203a_b2 の間の領域であり、領域 203b_a は、領域 203b_b1 及び領域 203b_b2 の間の領域である。領域 203a_a 及び領域 203b_a は、チャネル形成領域である。 10

【0162】

領域 203a_b1 及び領域 203a_b2 は、互いに離間し、領域 203b_b1 及び領域 203b_b2 は互いに離間する。また、領域 203a_b1 は、トランジスタ 200a のソース領域及びドレイン領域の一方となる領域であり、領域 203a_b2 は、トランジスタ 200a のソース領域及びドレイン領域の他方となる領域であり、領域 203b_b1 は、トランジスタ 200b のソース領域及びドレイン領域の一方となる領域であり、領域 203b_b2 は、トランジスタ 200b のソース領域及びドレイン領域の他方となる領域である。領域 203a_b1 及び領域 203a_b2 は、N型及びP型の一方の導電型を付与する不純物元素を含み、領域 203b_b1 及び領域 203b_b2 は、領域 203a_b1 及び領域 203a_b2 とは逆の導電型を付与する不純物元素を含む。 20

【0163】

半導体層 203a 及び半導体層 203b は、SOI 基板における第 2 の半導体領域の少なくとも一部となる。なお、半導体層 203a 及び半導体層 203b の代わりに絶縁領域に囲まれたある半導体領域を用いてトランジスタ 200a を構成し、絶縁領域に囲まれた別の半導体領域を用いてトランジスタ 200b を構成することもできる。

【0164】

半導体層 203a 及び半導体層 203b としては、例えば図 1 における半導体層 103 に適用可能な材料の層を用いることができ、一つの半導体膜を用いて半導体層 103 と同様の作製方法により半導体層 203a 及び半導体層 203b を形成することができる。 30

【0165】

絶縁層 204 は、半導体層 203a 及び半導体層 203b の一平面に設けられる。

【0166】

絶縁層 204 としては、例えば図 1 における絶縁層 104 に適用可能な材料の層を用いることができ、絶縁層 104 と同様の作製方法により絶縁層 204 を形成することができる。

【0167】

絶縁層 204 は、トランジスタ 200a 及びトランジスタ 200b におけるゲート絶縁層としての機能を有する。

【0168】

導電層 205a は、絶縁層 204 を介して半導体層 203a の一部の上（領域 203a_a）に重畠し、導電層 205b は、絶縁層 204 を介して半導体層 203b の一部の上（領域 203b_a）に重畠する。 40

【0169】

導電層 205a 及び導電層 205b としては、例えば図 1 における導電層 105 に適用可能な材料の層を用いることができ、例えば一つの導電膜を用いて導電層 105 と同様の作製方法により導電層 205a 及び導電層 205b を形成することができる。

【0170】

導電層 205a は、トランジスタ 200a のゲートとしての機能を有し、導電層 205b は、トランジスタ 200b のゲートとしての機能を有する。 50

【 0 1 7 1 】

絶縁層 206 は、絶縁層 204、導電層 205a、及び導電層 205b の上に設けられる。

【 0 1 7 2 】

絶縁層 206 としては、例えば図 1 における絶縁層 106 に適用可能な材料の層を用いることができ、絶縁層 106 と同様の作製方法により絶縁層 206 を形成することができる。

【 0 1 7 3 】

絶縁層 206 は、平坦化層としての機能を有する。

【 0 1 7 4 】

半導体層 207 は、絶縁層 206 の一平面に設けられる。

10

【 0 1 7 5 】

半導体層 207 は、領域 207_a を有する。また、図 1 では、半導体層 207 に領域 207_b1 及び領域 207_b2 を設けているが必ずしも設けなくてもよい。

【 0 1 7 6 】

領域 207_a は、領域 207_b1 及び領域 207_b2 の間の領域である。領域 207_a は、トランジスタ 200c のチャネル形成領域である。

【 0 1 7 7 】

領域 207_b1 及び領域 207_b2 は、互いに離間し、ドーパントとなる元素を含む。

20

【 0 1 7 8 】

半導体層 207 としては、例えば図 1 に示す半導体層 107 に適用可能な材料の層を用いることができ、半導体層 107 と同様の作製方法により半導体層 207 を形成することができる。

【 0 1 7 9 】

導電層 208a は、絶縁層 204 及び絶縁層 206 を貫通して設けられた第 1 の開口部を介して領域 203a_b1 に電気的に接続される。

【 0 1 8 0 】

導電層 208a は、トランジスタ 200a のソース及びドレインの一方としての機能を有する。

30

【 0 1 8 1 】

導電層 208b は、絶縁層 204 及び絶縁層 206 を貫通して設けられた第 2 の開口部を介して領域 203a_b2 に電気的に接続される。

【 0 1 8 2 】

導電層 208b は、トランジスタ 200a のソース及びドレインの他方としての機能を有する。

【 0 1 8 3 】

導電層 208c は、絶縁層 202、絶縁層 204、及び絶縁層 206 を貫通して設けられた第 3 の開口部を介して領域 201a に電気的に接続される。

【 0 1 8 4 】

導電層 208c は、領域 201a に与えられる電圧を制御するための制御端子としての機能を有する。

40

【 0 1 8 5 】

導電層 208d は、絶縁層 204 及び絶縁層 206 を貫通して設けられた第 4 の開口部を介して領域 203b_b1 に電気的に接続される。

【 0 1 8 6 】

導電層 208d は、トランジスタ 200b のソース及びドレインの一方としての機能を有する。

【 0 1 8 7 】

導電層 208e は、絶縁層 204 及び絶縁層 206 を貫通して設けられた第 5 の開口部を

50

介して領域 203b—b2 に電気的に接続される。

【0188】

導電層 208e は、トランジスタ 200b のソース及びドレインの他方としての機能を有する。

【0189】

導電層 208f は、絶縁層 202、絶縁層 204、及び絶縁層 206 を貫通して設けられた第 6 の開口部を介して領域 201_b に電気的に接続される。

【0190】

導電層 208f は、領域 201_b に与えられる電圧を制御するための制御端子としての機能を有する。

10

【0191】

導電層 208g は、半導体層 207 に電気的に接続される。

【0192】

導電層 208g は、トランジスタ 200c のソース及びドレインの一方としての機能を有する。

20

【0193】

導電層 208h は、半導体層 207 に電気的に接続される。

【0194】

導電層 208h は、トランジスタ 200c のソース及びドレインの他方としての機能を有する。

30

【0195】

なお、図 7 では、導電層 208g 及び導電層 208h が半導体層 207 の上に設けられているが、これに限定されず、導電層 208g 及び導電層 208h の上に半導体層 207 を設けてもよい。

【0196】

また、導電層 208c 及び導電層 208f は、導電層 208g 及び導電層 208h と同一の工程により形成される。また、導電層 208a 及び導電層 208b、並びに導電層 208d 及び導電層 208e を、導電層 208c、導電層 208f、導電層 208g、及び導電層 208h と同一工程により形成してもよい。導電層 208a 乃至導電層 208h としては、例えば図 1 における導電層 108a 乃至導電層 108e に適用可能な材料の層を用いることができ、一つの導電膜を用いて導電層 108a 乃至導電層 108e と同様の方法により導電層 208a 乃至導電層 208h を形成することができる。

30

【0197】

絶縁層 209 は、絶縁層 206、半導体層 207、及び導電層 208a 乃至導電層 208h の上に設けられる。

【0198】

絶縁層 209 としては、例えば図 1 における絶縁層 109 に適用可能な材料の層を用いることができ、絶縁層 109 と同様の作製方法により絶縁層 209 を形成することができる。

40

【0199】

導電層 210 は、絶縁層 209 を介して半導体層 207 に重畠する。

【0200】

導電層 210 としては、例えば図 1 における導電層 110 に適用可能な材料の層を用いることができ、導電層 110 と同様の作製方法により導電層 210 を形成することができ。

40

【0201】

図 7 に示す半導体装置では、導電層 208c を介して第 1 の制御電圧を与えると、領域 201_a の電圧を第 1 の制御電圧に応じた値に制御することができ、半導体層 203a に与えられる電圧を制御することができる。また、導電層 208f を介して第 2 の制御電圧を与えると、領域 201_b の電圧を第 2 の制御電圧に応じた値に制御することができ、

50

半導体層 203b に与えられる電圧を制御することができる。例えば、トランジスタ 200a が P 型トランジスタの場合、第 1 の制御電圧の値を高くしていくとトランジスタ 200a の閾値電圧は、負の方向にシフトする。また、トランジスタ 200b が N 型トランジスタの場合、第 2 の制御電圧の値を低くしていくとトランジスタ 200b の閾値電圧は、正の方向にシフトする。このため、半導体層 201 によりトランジスタ 200a 及びトランジスタ 200b の閾値電圧が変動してしまう場合であっても、領域 203a_a 及び領域 203b_a の電圧を制御してトランジスタ 200a 及びトランジスタ 200b の閾値電圧を制御してトランジスタ 200a 及びトランジスタ 200b がオフ状態のときのソース及びドレインの間に流れる電流量を少なくすることができます。例えば、トランジスタ 200a 及びトランジスタ 200b の閾値電圧は、それぞれエンハンスメント型のトランジスタとなる値が好ましい。10

【 0202 】

以上が、本実施の形態における半導体装置の例の説明である。

【 0203 】

本実施の形態における半導体装置の例では、SOI 基板に設けられた電界効果トランジスタと酸化物半導体層を用いた電界効果トランジスタとを用いる。これにより、動作速度を向上させつつ、且つ不要な電流を少なくすることにより消費電力を低減することができる。20

【 0204 】

また、本実施の形態における半導体装置の例では、SOI 基板に設けられた電界効果トランジスタの閾値電圧を制御するための制御端子を設け、SOI 基板に設けられた電界効果トランジスタの閾値電圧を制御する。これにより、例えばオフ状態のときの SOI 基板に設けられた電界効果トランジスタのソース及びドレインの間に流れる電流量を少なくすることができるため、半導体装置の消費電力を小さくすることができます。また、SOI 基板に設けられた N 型トランジスタ毎又は P 型トランジスタ毎に上記構造にしてそれぞれのトランジスタの閾値電圧を制御することもできる。20

【 0205 】

また、本実施の形態における半導体装置の例では、上記制御端子としての機能を有する導電層を、酸化物半導体層を用いた電界効果トランジスタのソース又はドレインと同一工程により形成することができる。よって、製造工程数の増加を抑制することができる。30

【 0206 】

(実施の形態 3)

本実施の形態では、上記実施の形態 1 及び実施の形態 2 と異なる構造の半導体装置の例について説明する。なお、実施の形態 1 及び実施の形態 2 に示す半導体装置と同様の部分については、実施の形態 1 及び実施の形態 2 に示す半導体装置の説明を適宜援用する。

【 0207 】

本実施の形態における半導体装置の構造例について図 8 を用いて説明する。図 8 (A) は上面模式図であり、図 8 (B) は、図 8 (A) の線分 A3 - B3 における断面模式図であり、図 8 (C) は、図 8 (A) の線分 C3 - D3 における断面模式図であり、図 8 (D) は、図 8 (A) の線分 E3 - F3 における断面模式図である。40

【 0208 】

図 8 (A) 乃至図 8 (D) に示す半導体装置は、半導体層 301 と、絶縁層 302 と、半導体層 303 と、絶縁層 304 と、導電層 305 と、絶縁層 306 と、半導体層 307 と、導電層 308a 乃至導電層 308d と、絶縁層 309 と、導電層 310a と、導電層 310b と、を含む構造である。上記構造により、トランジスタ 300a 及びトランジスタ 300b が構成される。

【 0209 】

トランジスタ 300a は、例えばシリコンなどの単結晶半導体層を用いたトランジスタである。トランジスタ 300a は、例えば様々な論理回路のトランジスタとして用いられ、例えば記憶回路における出力トランジスタとしてトランジスタ 300a を用いることもで50

きる。

【0210】

ただし、これに限定されず、例えば図7に示すように、トランジスタ300aとは別に単結晶半導体層を含むトランジスタを設けてもよい。

【0211】

トランジスタ300bは、従来のシリコンなどの半導体層を用いたトランジスタよりオフ電流の低い酸化物半導体層を用いたトランジスタであり、トランジスタ300bとしては、トランジスタ100bに適用可能なトランジスタを用いることができる。このとき、トランジスタ300bは、トランジスタ300aと同じ導電型である。例えば記憶回路のトランジスタとしてトランジスタ300bを用いることができる。トランジスタ300bのソース又はドレインに電気的に接続された他の回路又は素子との接続箇所にデータを入力し、その後トランジスタ300bをオフ状態にすることにより、長期間データを保持することができる。ただし、これに限定されず、論理回路などにもトランジスタ300bを用いることができる。10

【0212】

半導体層301は、SOI基板における第1の半導体領域となる。なお、図8では、半導体層301は、N型又はP型の導電型を付与する不純物元素が添加された領域301_aを含む。例えば、半導体層301と半導体層303を含む半導体層とを貼り合わせる前に半導体層301の一部に不純物元素を添加することにより領域301_aを形成することができる。なお、互いに異なる極性の単結晶半導体層を用いたトランジスタを設ける場合には、互いに導電型が異なる不純物元素が添加された複数の不純物領域を設けてもよい。20なお、領域301_aを省略することができる。

【0213】

半導体層301としては、例えば図1における半導体層101に適用可能な材料を用いることができる。

【0214】

絶縁層302は、半導体層301の上に設けられる。

【0215】

絶縁層302は、SOI基板における絶縁領域となる。絶縁層302としては、例えば図1における絶縁層102に適用可能な材料の層を用いることができ、絶縁層102と同様の作製方法により絶縁層302を形成することができる。30

【0216】

半導体層303は、絶縁層302を介して領域301_aに重畠する。

【0217】

また、半導体層303は、領域303_a、領域303_b1、領域303_b2、及び領域303_cを有する。

【0218】

領域303_aは、領域303_b1及び領域303_b2の間の領域である。領域303_aは、チャネル形成領域である。

【0219】

領域303_b1及び領域303_b2は、互いに離間する。また、領域303_b1は、トランジスタ300aのソース領域及びドレイン領域の一方となる領域であり、領域303_b2は、トランジスタ300aのソース領域及びドレイン領域の他方となる領域である。領域303_b1及び領域303_b2は、N型又はP型の導電型を付与する不純物元素を含む。40

【0220】

さらに、領域303_cは、チャネルが形成される領域303_aに接し、領域303_b1及び領域303_b2とは逆の導電型を付与する不純物元素を含む。このとき、領域303_cは、領域303_b1及び領域303_b2と逆の導電型になる。よって、領域303_cを介して領域303_aに電圧が与えられる。また、領域303_cに添加50

する上記不純物元素の濃度を領域 303_a に添加する不純物元素の濃度より高くすることにより、領域 303_a との接触抵抗を小さくすることができる。

【0221】

半導体層 303 は、SOI 基板における第 2 の半導体領域の少なくとも一部となる。なお、半導体層 303 の代わりに絶縁領域に囲まれた半導体領域を用いてトランジスタ 300_a を構成することもできる。

【0222】

半導体層 303 としては、例えば図 1 における半導体層 103 に適用可能な材料の層を用いることができ、一つの半導体膜を用いて半導体層 103 と同様の作製方法により半導体層 303 を形成することができる。

10

【0223】

絶縁層 304 は、半導体層 303 の一平面に設けられる。

【0224】

絶縁層 304 としては、例えば図 1 における絶縁層 104 に適用可能な材料の層を用いることができ、絶縁層 104 と同様の作製方法により絶縁層 304 を形成することができる。

【0225】

絶縁層 304 は、トランジスタ 300_a におけるゲート絶縁層としての機能を有する。

【0226】

導電層 305 は、絶縁層 304 を介して半導体層 303 の一部の上（領域 303_a）に重畠する。

20

【0227】

導電層 305 としては、例えば図 1 における導電層 105 に適用可能な材料の層を用いることができ、例えば一つの導電膜を用いて導電層 105 と同様の作製方法により導電層 305 を形成することができる。

【0228】

導電層 305 は、トランジスタ 300_a のゲートとしての機能を有する。

【0229】

絶縁層 306 は、絶縁層 304 及び導電層 305 の上に設けられる。

【0230】

絶縁層 306 としては、例えば図 1 における絶縁層 106 に適用可能な材料の層を用いることができ、絶縁層 106 と同様の作製方法により絶縁層 306 を形成することができる。

30

【0231】

絶縁層 306 は、平坦化層としての機能を有する。

【0232】

半導体層 307 は、絶縁層 306 の一平面に設けられる。

【0233】

半導体層 307 は、領域 307_a を有する。また、図 8 では、半導体層 307 に領域 307_b_1 及び領域 307_b_2 を設けているが必ずしも設けなくてもよい。

40

【0234】

領域 307_a は、領域 307_b_1 及び領域 307_b_2 の間の領域である。領域 307_a は、絶縁層 304 及び絶縁層 306 を介して領域 303_c に重畠する。領域 307_a は、トランジスタ 300_b のチャネル形成領域である。

【0235】

領域 307_b_1 及び領域 307_b_2 は、互いに離間し、ドーパントとなる元素を含む。

【0236】

半導体層 307 としては、例えば図 1 に示す半導体層 107 に適用可能な材料の層を用いることができ、半導体層 107 と同様の作製方法により半導体層 307 を形成することができる。

50

できる。

【0237】

導電層308aは、導電層305に接し、半導体層307に電気的に接続される。例えば、絶縁層306を形成した後に化学研磨処理などを用いて導電層305の表面を露出させてから導電層308aを形成することにより、導電層308aが導電層305に接する構造を形成することができる。

【0238】

なお、図8では、導電層308aが導電層305に接しているが、必ずしもこれに限定されない。導電層308aが導電層305に接する構造にすることにより、絶縁層の開口部を介して導電層308aが導電層305に電気的に接続される場合と比較してコンタクト面積を大きくすることができるため、コンタクト抵抗を低減することができる。
10

【0239】

導電層308aは、トランジスタ300bのソース及びドレインの一方としての機能を有する。

【0240】

導電層308bは、半導体層307に電気的に接続される。

【0241】

導電層308bは、トランジスタ300bのソース及びドレインの他方としての機能を有する。

【0242】

なお、図8では、導電層308a及び導電層308bが半導体層307の上に設けられているが、これに限定されず、導電層308a及び導電層308bの上に半導体層307を設けてよい。
20

【0243】

導電層308cは、絶縁層302、絶縁層304、及び絶縁層306を貫通して設けられた第1の開口部を介して領域301_aに電気的に接続される。

【0244】

導電層308cは、領域301_aに与えられる電圧を制御するための制御端子としての機能を有する。

【0245】

導電層308dは、絶縁層304及び絶縁層306を貫通して設けられた第2の開口部を介して領域303_cに電気的に接続される。
30

【0246】

導電層308dは、領域303_cに与えられる電圧を制御するための第2の制御端子としての機能を有する。

【0247】

なお、導電層308c及び導電層308dは、導電層308a及び導電層308bと同一の工程により形成される。導電層308a乃至導電層308dとしては、例えば図1における導電層108a乃至導電層108eに適用可能な材料の層を用いることができ、一つの導電膜を用いて導電層108a乃至導電層108eと同様の方法により導電層308a乃至導電層308dを形成することができる。
40

【0248】

さらに、領域301_aを設けない場合には、導電層308cを省略することができる。

【0249】

絶縁層309は、絶縁層306、半導体層307、及び導電層308a乃至導電層308dの上に設けられる。

【0250】

絶縁層309としては、例えば図1における絶縁層109に適用可能な材料の層を用いることができ、絶縁層109と同様の作製方法により絶縁層309を形成することができる。
50

【 0 2 5 1 】

導電層 310a は、絶縁層 309 を介して導電層 308a に重畠する。導電層 310a は、容量素子の容量電極としての機能を有する。

【 0 2 5 2 】

なお、導電層 308a、絶縁層 309、及び導電層 310a により容量素子を構成することができる。なお、必ずしも容量素子を設けなくてもよい。

【 0 2 5 3 】

導電層 310b は、絶縁層 309 を介して領域 307_a に重畠する。導電層 310b は、トランジスタ 300b のゲートとしての機能を有する。

【 0 2 5 4 】

導電層 310a 及び導電層 310b としては、例えば図 1 における導電層 110 に適用可能な材料の層を用いることができ、導電層 110 と同様の作製方法により導電層 310a 及び導電層 310b を形成することができる。

【 0 2 5 5 】

図 8 に示す半導体装置では、第 1 の制御端子である導電層 308c を介して第 1 の制御電圧を与えると、導電層 308c に電気的に接続された領域 301_a の電圧を第 1 の制御電圧に応じた値に制御することができる。また、導電層 308d を介して第 2 の制御電圧を与えると、領域 303_a の電圧を第 2 の制御電圧に応じた値に制御することができる。このとき、第 1 の制御電圧と第 2 の制御電圧は同じ値であることが好ましい。また、導電層 308d を介して第 2 の制御電圧を与えると、半導体層 307 の電圧を制御することもでき、領域 303_a に与えられる電圧及び半導体層 307 の電圧の両方を制御することができる。例えば、トランジスタ 300a 及びトランジスタ 300b が N 型トランジスタの場合、第 1 の制御電圧及び第 2 の制御電圧の値を低くしていくとトランジスタ 300a 及びトランジスタ 300b の閾値電圧は、正の方向にシフトする。このため、トランジスタ 300a の閾値電圧及びトランジスタ 300b の閾値電圧が変動してしまう場合であっても、領域 303_a 及び領域 307_a に与えられる電圧を制御し、トランジスタ 300a の閾値電圧及びトランジスタ 300b の閾値電圧を制御してトランジスタ 300a 及びトランジスタ 300b がオフ状態のときのソース及びドレインの間に流れる電流量を少なくすることができる。トランジスタ 300a の閾値電圧及びトランジスタ 300b の閾値電圧は、それぞれエンハンスメント型のトランジスタとなる値が好ましい。

【 0 2 5 6 】

なお、図 7 と同じように、SOI 基板にトランジスタ 300a とは別の導電型のトランジスタを設けてもよい。このとき上記トランジスタ 300a とは別の導電型のトランジスタを、トランジスタ 300a と不純物領域の導電型が異なる以外は同じ構造にすることができる。よって、作製工程数の増加を抑制しつつ SOI 基板に互いに異なる導電型のトランジスタを設けることができる。

【 0 2 5 7 】

以上が、本実施の形態における半導体装置の例の説明である。

【 0 2 5 8 】

本実施の形態における半導体装置の例では、SOI 基板に設けられた電界効果トランジスタと酸化物半導体層を用いた電界効果トランジスタとを用いる。これにより、動作速度を向上させつつ、且つ不要な電流を少なくすることにより消費電力を低減することができる。

【 0 2 5 9 】

また、本実施の形態における半導体装置の例では、SOI 基板に設けられた電界効果トランジスタの閾値電圧を制御するための制御端子を設け、SOI 基板に設けられた電界効果トランジスタの閾値電圧を制御する。これにより、例えばオフ状態のときの SOI 基板に設けられた電界効果トランジスタのソース及びドレインの間に流れる電流量を少なくすることができるため、半導体装置の消費電力を小さくすることができる。また、SOI 基板に設けられた N 型トランジスタ毎又は P 型トランジスタ毎に上記構造にしてそれぞのト

10

20

30

40

50

ランジスタの閾値電圧を制御することもできる。

【0260】

また、本実施の形態における半導体装置の例では、SOI基板に形成された不純物領域が酸化物半導体層を用いた電界効果トランジスタのゲートとして機能する構成である。これにより、共通の制御電圧により第1の電界効果トランジスタ及び第2の電界効果トランジスタの閾値電圧を制御することができるため、配線数を少なくすることができ、半導体装置の回路面積を小さくすることができる。

【0261】

また、本実施の形態における半導体装置の例では、上記制御端子としての機能を有する導電層を第2の電界効果トランジスタのソース又はドレインと同一工程により形成することができる。よって、製造工程数の増加を抑制することができる。10

【0262】

(実施の形態4)

本実施の形態では、半導体装置の一例として演算処理装置の例について説明する。

【0263】

本実施の形態における演算処理装置の構成例について図9を用いて説明する。図9は、本実施の形態における演算処理装置の構成例を説明するための図である。

【0264】

図9に示す演算処理装置は、バスインターフェース(IFともいう)501と、制御装置(CTLともいう)502と、キャッシュメモリ(CACHともいう)503と、N個(Nは3以上の自然数)のレジスタ(REGともいう)504(レジスタ504_1乃至レジスタ504_N)と、命令デコーダ(IDC'Dともいう)505と、演算論理ユニット(ALUともいう)506と、を具備する。20

【0265】

バスインターフェース501は、外部との信号のやりとり、及び演算処理装置内の各回路との信号のやりとりなどを行う機能を有する。

【0266】

制御装置502は、演算処理装置内の各回路の動作を制御する機能を有する。

【0267】

キャッシュメモリ503は、制御装置502により制御され、演算処理装置における動作時のデータを一時的に保持する機能を有する。なお、演算処理装置にキャッシュメモリ503を複数設けてもよい。30

【0268】

N個のレジスタ504は、制御装置502により制御され、演算処理に用いられるデータを記憶する機能を有する。例えばあるレジスタ504を演算論理ユニット506用のレジスタとし、別のレジスタ504を命令デコーダ505用のレジスタとしてもよい。

【0269】

例えば、上記実施の形態における半導体装置におけるSOI基板に設けられた電界効果トランジスタ及び酸化物半導体層を用いた電界効果トランジスタが設けられた単位記憶装置を複数用いてN個のレジスタ504を構成することができる。40

【0270】

命令デコーダ505は、読み込んだ命令信号を翻訳する機能を有する。翻訳された命令信号は、制御装置502に入力され、制御装置502は命令信号に応じた制御信号を演算論理ユニット506に出力する。

【0271】

演算論理ユニット506は、制御装置502により制御され、入力された命令信号に応じて演算処理を行う機能を有する。

【0272】

さらに、単位記憶装置の例として2つの単位記憶装置の例について図10及び図11を用いて説明する。50

【0273】

まず、一つ目の単位記憶装置の構成例について図10(A)を用いて説明する。

【0274】

図10(A)に示す単位記憶装置は、アナログスイッチ611と、NOTゲート(インバータともいう)612と、トランジスタ613と、容量素子614と、NOTゲート615と、NANDゲート616と、クロックドインバータ617と、アナログスイッチ618と、NOTゲート619と、クロックドNANDゲート620と、NOTゲート621と、を備える。

【0275】

アナログスイッチ611のデータ入力端子には、データ信号Dが入力され、アナログスイッチ611の第1の信号入力端子には、クロック信号CLKが入力され、アナログスイッチ611の第2の信号入力端子には、クロック信号CLKの反転信号が入力される。 10

【0276】

NOTゲート612のデータ入力端子には、クロック信号CLKが入力される。

【0277】

トランジスタ613のソース及びドレインの一方は、アナログスイッチ611のデータ出力端子に電気的に接続され、トランジスタ613のゲートには、クロック信号CLKが入力される。トランジスタ613のソース及びドレインの一方には、アナログスイッチ611の出力信号が入力される。トランジスタ613としては、例えば上記実施の形態における酸化物半導体層を用いたトランジスタを用いることができ、例えば図1におけるトランジスタ100b、図7におけるトランジスタ200c、又は図8におけるトランジスタ300bを適用することができる。 20

【0278】

容量素子614の第1の容量電極は、トランジスタ613のソース及びドレインの他方に電気的に接続され、容量素子614の第2の容量電極には、低電源電圧Vssが入力される。

【0279】

NOTゲート615のデータ入力端子は、トランジスタ613のソース及びドレインの他方に電気的に接続される。 30

【0280】

NANDゲート616の第1のデータ入力端子は、NOTゲート615のデータ出力端子に電気的に接続され、NANDゲート616の第2のデータ入力端子には、リセット信号RSTが入力される。

【0281】

クロックドインバータ617のデータ入力端子は、NANDゲート616のデータ出力端子に電気的に接続され、クロックドインバータ617の第1の信号入力端子には、クロック信号CLKの反転信号が入力され、クロックドインバータ617の第2の信号入力端子には、クロック信号CLKが入力され、クロックドインバータ617のデータ出力端子は、NOTゲート615のデータ出力端子に電気的に接続される。 40

【0282】

アナログスイッチ618のデータ入力端子は、NANDゲート616のデータ出力端子に電気的に接続され、アナログスイッチ618の第1の信号入力端子には、クロック信号CLKの反転信号が入力され、アナログスイッチ618の第2の信号入力端子には、クロック信号CLKが入力される。

【0283】

NOTゲート619のデータ入力端子は、アナログスイッチ618のデータ出力端子に電気的に接続される。

【0284】

クロックドNANDゲート620の第1のデータ入力端子は、NOTゲート619のデータ出力端子に電気的に接続され、クロックドNANDゲート620の第2のデータ入力端 50

子には、リセット信号R S Tが入力され、クロックドN A N Dゲート6 2 0の第1の信号入力端子には、クロック信号C L Kが入力され、クロックドN A N Dゲート6 2 0の第2の信号入力端子には、クロック信号C L Kの反転信号が入力され、クロックドN A N Dゲート6 2 0のデータ出力端子は、アナログスイッチ6 1 8のデータ出力端子に電気的に接続される。クロックドN A N Dゲート6 2 0は、例えばN A N Dゲートとアナログスイッチを用いて構成される。

【0285】

N O Tゲート6 2 1のデータ入力端子は、N O Tゲート6 1 9のデータ出力端子及びクロックドN A N Dゲート6 2 0の第1のデータ入力端子に電気的に接続される。N O Tゲート6 2 1は、データ出力端子からデータ信号Qを出力する。

10

【0286】

また、アナログスイッチ6 1 1、N O Tゲート6 1 2、N O Tゲート6 1 5、ラッチ回路6 5 1、アナログスイッチ6 1 8、ラッチ回路6 5 2、及びN O Tゲート6 2 1の一つ又は複数は、例えば上記実施の形態におけるS O I基板に設けられた電界効果トランジスタを用いて構成され、例えば、図1に示すトランジスタ1 0 0 a、図7に示すトランジスタ2 0 0 a及びトランジスタ2 0 0 b、又は図8に示すトランジスタ3 0 0 aなどを用いることができる。

【0287】

次に、図10(A)に示す単位記憶装置の動作例について、1 0(B)を用いて説明する。図10(B)は、図10(A)に示す順序回路の動作例を説明するためのタイミングチャートである。

20

【0288】

図10(A)に示す単位記憶装置では、期間6 9 1において、電源電圧V p、クロック信号C L K、及びリセット信号R S Tが単位記憶装置に供給される。このとき、リセット信号をハイレベルにする。

【0289】

クロック信号C L Kがハイレベルのとき、アナログスイッチ6 1 1及びトランジスタ6 1 3がオン状態になり、アナログスイッチ6 1 8がオフ状態になる。このとき、容量素子6 1 4の第1の容量電極の電圧がデータ信号Dの電圧と同等の値になる。よって、データ信号Dのデータが単位記憶装置に書き込まれる。

30

【0290】

また、クロック信号C L Kがローレベルのとき、アナログスイッチ6 1 1及びトランジスタ6 1 3がオフ状態になり、アナログスイッチ6 1 8がオン状態になる。このとき、信号Qの電圧が単位記憶装置に書き込まれていたデータ信号Dのデータの電圧となり、書き込まれていたデータ信号Dのデータが単位記憶装置から出力される。

【0291】

さらに、単位記憶装置の動作を停止させたい場合、期間6 9 2に示すように、クロック信号C L K及びリセット信号R S Tの供給を停止させ、その後電源電圧V pの供給を停止させる。このとき、クロック信号C L Kの供給を停止させるタイミングをリセット信号R S Tの供給を停止させるタイミングと異ならせててもよい。

40

【0292】

このとき、アナログスイッチ6 1 1、N O Tゲート6 1 2、トランジスタ6 1 3、ラッチ回路6 5 1、アナログスイッチ6 1 8、ラッチ回路6 5 2、及びN O Tゲート6 2 1の動作が停止するが、トランジスタ6 1 3のオフ電流が低いため、容量素子6 1 4の第1の容量電極の電圧は、単位記憶装置の動作を停止させる前の期間におけるデータ信号Dの電圧に一定期間維持される。

【0293】

さらに、単位記憶装置の動作を再開させたい場合、期間6 9 3に示すように、まず電源電圧V pの供給を再開し、その後リセット信号R S Tの供給を再開させ、その後クロック信号C L Kの供給を再開させる。

50

【0294】

このとき、アナログスイッチ 611、NOT ゲート 612、トランジスタ 613、ラッチ回路 651、アナログスイッチ 618、ラッチ回路 652、及び NOT ゲート 621 の動作が再開し、クロック信号 CLK がローレベルのとき、信号 Q の電圧が単位記憶装置に書き込まれていたデータ信号 D のデータの電圧となり、書き込まれていたデータ信号 D のデータが単位記憶装置から出力される。よって、単位記憶装置の状態を、単位記憶装置の動作を停止させる前に戻すことができる。

【0295】

以上が図 10 (A) に示す単位記憶装置の動作例の説明である。

【0296】

さらに、単位記憶装置の他の例について図 11 を用いて説明する。

10

【0297】

図 11 (A) に示す単位記憶装置には、データ信号 IN71 が入力される。また、図 11 (A) に示す単位記憶装置は、データ信号 OUT72 を出力する。さらに、図 11 (A) に示す単位記憶装置は、トランジスタ 701 と、トランジスタ 702 と、記憶回路 703 と、容量素子 704 と、NOT ゲート 705 と、切り替え回路 (SWともいう) 706 と、記憶回路 (MEMともいう) 707 と、を備える。

【0298】

トランジスタ 701 のソース及びドレインの一方には、電圧 V1 が入力され、トランジスタ 701 のゲートには、信号 S53 が入力される。

20

【0299】

トランジスタ 702 は、トランジスタ 701 と異なる導電型のトランジスタであり、トランジスタ 702 のソース及びドレインの一方がトランジスタ 701 のソース及びドレインの他方に電気的に接続され、トランジスタ 702 のゲートには、信号 S53 が入力される。

【0300】

記憶回路 703 は、トランジスタ 751 と、トランジスタ 752 と、容量素子 753 と、を備える。

【0301】

トランジスタ 751 のソース及びドレインの一方には、データ信号 IN71 が入力され、トランジスタ 751 のゲートには、信号 S54 が入力される。

30

【0302】

トランジスタ 751 としては、例えば上記実施の形態における酸化物半導体層を用いたトランジスタを用いることができ、図 1 におけるトランジスタ 100b、図 7 におけるトランジスタ 200c、図 8 におけるトランジスタ 300b を適用することができる。

【0303】

トランジスタ 752 のゲートは、トランジスタ 751 のソース及びドレインの他方に電気的に接続され、トランジスタ 752 のソース及びドレインの一方は、トランジスタ 702 のソース及びドレインの他方に電気的に接続され、トランジスタ 752 のソース及びドレインの他方には、電圧 V2 が入力される。

40

【0304】

トランジスタ 752 としては、例えば上記実施の形態における SOI 基板に設けられた電界効果トランジスタを用いることができ、例えば、図 1 におけるトランジスタ 100a、図 7 におけるトランジスタ 200a 又はトランジスタ 200b、及び図 8 におけるトランジスタ 300a を用いることができる。

【0305】

容量素子 753 の第 1 の容量電極は、トランジスタ 751 のソース及びドレインの他方に電気的に接続され、容量素子 753 の第 2 の容量電極には、電圧 V2 が入力される。容量素子 753 としては、図 8 に示す容量素子を用いることができる。なお、必ずしも容量素子 753 を設けなくてもよい。

50

【0306】

なお、図11では、電圧V1及び電圧V2の差が電源電圧Vpとなる。

【0307】

容量素子704の第1の容量電極は、トランジスタ701のソース及びドレインの他方に電気的に接続され、容量素子704の第2の容量電極には、電圧V2が入力される。

【0308】

NOTゲート705のデータ入力端子は、トランジスタ701のソース及びドレインの他方に電気的に接続される。

【0309】

切り替え回路706には、信号S51、データ信号IN71、及びNOTゲート705の出力信号(データ信号D71ともいう)が入力される。切り替え回路706は、信号S51に従ってデータ信号IN71又はデータ信号D71に応じた値であるデータ信号D72を出力する機能を有する。10

【0310】

切り替え回路706は、例えば少なくとも2つのアナログスイッチを用いて構成され、例えば2つのアナログスイッチの一方がオン状態のとき、2つのアナログスイッチの他方をオフ状態にすることにより、データ信号D72のデータをデータ信号IN71又はデータ信号D71に応じた値に切り替えることができる。

【0311】

記憶回路707には、切り替え回路706からデータ信号D72が入力される。記憶回路707は、入力される信号に応じて値が設定される信号S52を出力する。信号S52がデータ信号OUT72となる。20

【0312】

記憶回路707は、例えば単結晶半導体層を含むトランジスタを用いたフリップフロップにより構成される。

【0313】

また、トランジスタ701、トランジスタ702、NOTゲート705、切り替え回路706、及び記憶回路707は、例えば上記実施の形態におけるSOI基板に設けられたトランジスタを用いて構成され、例えば図1に示すトランジスタ100a、図7に示すトランジスタ200a及びトランジスタ200b、又は図8に示すトランジスタ300aなどを用いることができる。30

【0314】

次に、図11(A)に示す単位記憶装置の動作例について、図11(B)及び図11(C)を用いて説明する。図11(B)及び図11(C)は、図11(A)に示す順序回路の動作例を説明するためのタイミングチャートである。

【0315】

図11(A)に示す単位記憶装置では、電源電圧Vpが供給されている間、データ信号D72は、信号S51をローレベルにして切り替え回路706によりデータ信号IN71に応じた値になり、データ信号IN71に応じた値のデータ信号D72のデータが記憶回路707に記憶される。40

【0316】

さらに、単位記憶装置の動作を停止させたい場合、図11(B)に示すように、まず信号S51をローレベルにし、信号S54のパルスをトランジスタ751のゲートに入力する。

【0317】

このとき、トランジスタ751がオン状態になり、容量素子753の第1の容量電極の電圧が記憶回路707に記憶されていたデータの電圧と同等の値になる。その後信号S54のパルスの入力が終わるとトランジスタ751がオフ状態になる。このとき、トランジスタ751のオフ電流が低いため、容量素子753の第1の容量電極の電圧は、一定期間維持される。その後、単位記憶装置への電源電圧Vpの供給を停止する。50

【0318】

さらに、単位記憶装置の動作を再開させたい場合、図11(C)に示すように、まず電源電圧Vpの供給を再開し、その後信号S53をローレベルにする。このとき信号S51及び信号S54はローレベルにする。

【0319】

このとき、トランジスタ701がオン状態になり、トランジスタ702がオフ状態になり、容量素子704の第1の容量電極の電圧が電圧V1と同等の値になる。

【0320】

その後、信号S53をハイレベルにする。このとき、トランジスタ701がオフ状態になり、トランジスタ702がオン状態になり、容量素子704の第1の容量電極の電圧は、トランジスタ752のソース及びドレインの間に流れる電流に応じて変化する。トランジスタ752のソース及びドレインの間に流れる電流は、トランジスタ752のゲートの電圧、つまり、容量素子の第1の容量電極に記憶された記憶回路703から入力されるデータに応じて決まるため、トランジスタ702がオン状態になることにより、容量素子704の第1の容量電極の電圧を、データ信号IN71に応じた値にすることができる。10

【0321】

その後、信号S53をハイレベルにしたまま、信号S51をハイレベルにする。

【0322】

このとき、切り替え回路706によりデータ信号D72が、信号D71に応じた値（記憶回路703に書き込まれていたデータに応じた値）となり、データ信号D71に応じた値である信号D72が記憶回路707に入力される。よって、記憶回路707の状態を、単位記憶装置の動作を停止させる前に戻すことができる。20

【0323】

以上が図11(A)に示す単位記憶装置の動作例の説明である。

【0324】

上記単位記憶装置を用いてレジスタを構成した本実施の形態の演算処理装置は、電源電圧の供給を停止した場合であっても、電源電圧の供給を停止する直前の内部データの一部を保持することができ、電源電圧の供給を再開したときに演算処理装置の状態を電源電圧の供給を停止する直前の状態に戻すことができる。よって、電源電圧の供給を選択的に停止して消費電力を低減させた場合であっても、電源電圧の供給を再開してから通常動作を開始するまでの時間を短くすることができる。30

【0325】

(実施の形態5)

本実施の形態では、C A A Cについて説明する。

【0326】

C A A Cは単結晶ではないが、非晶質のみから形成されているものでもない。また、C A A Cは結晶化した部分（結晶部分）を含むが、1つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【0327】

C A A Cに酸素が含まれる場合、酸素の一部は窒素で置換されてもよい。また、C A A Cを構成する個々の結晶部分のc軸は一定の方向（例えば、C A A Cを支持する基板面、C A A Cの表面などに垂直な方向）に揃っていてもよい。又は、C A A Cを構成する個々の結晶部分のa b面の法線は一定の方向（例えば、C A A Cを支持する基板面、C A A Cの表面などに垂直な方向）を向いていてもよい。40

【0328】

C A A Cは、その組成などに応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成などに応じて、可視光に対して透明であったり不透明であったりする。

【0329】

このようなC A A Cの例として、膜状に形成され、膜表面又は支持する基板面に垂直な方50

向から観察すると三角形又は六角形の原子配列が認められ、かつその膜断面を観察すると金属原子又は金属原子及び酸素原子（又は窒素原子）の層状配列が認められる結晶を挙げることもできる。

【0330】

C A A C に含まれる結晶構造の一例について図13乃至図15を用いて詳細に説明する。なお、特に断りがない限り、図13乃至図15は上方向をc軸方向とし、c軸方向と直交する面をa b面とする。なお、単に上半分、下半分という場合、a b面を境にした場合の上半分、下半分をいう。

【0331】

図13(A)に、1個の6配位のInと、Inに近接の6個の4配位の酸素原子（以下4配位のO）と、を有する構造を示す。ここでは、金属原子が1個に対して、該金属原子に近接の酸素原子のみ示した構造を小グループと呼ぶ。図13(A)の構造は、八面体構造をとるが、簡単のため平面構造で示している。なお、図13(A)の上半分及び下半分にはそれぞれ3個ずつ4配位のOがある。図13(A)に示す小グループは電荷が0である。

10

【0332】

図13(B)に、1個の5配位のGaと、Gaに近接の3個の3配位の酸素原子（以下3配位のO）と、Gaに近接の2個の4配位のOと、を有する構造を示す。3配位のOは、いずれもa b面に存在する。図13(B)の上半分及び下半分にはそれぞれ1個ずつ4配位のOがある。また、Inも5配位をとるため、図13(B)に示す構造をとりうる。図13(B)に示す小グループは電荷が0である。

20

【0333】

図13(C)に、1個の4配位のZnと、Znに近接の4個の4配位のOと、を有する構造を示す。図13(C)の上半分には1個の4配位のOがあり、下半分には3個の4配位のOがある。また、図13(C)の上半分に3個の4配位のOがあり、下半分に1個の4配位のOがあつてもよい。図13(C)に示す小グループは電荷が0である。

30

【0334】

図13(D)に、1個の6配位のSnと、Snに近接の6個の4配位のOと、を有する構造を示す。図13(D)の上半分には3個の4配位のOがあり、下半分には3個の4配位のOがある。図13(D)に示す小グループは電荷が+1となる。

【0335】

図13(E)に、2個のZnを含む小グループを示す。図13(E)の上半分には1個の4配位のOがあり、下半分には1個の4配位のOがある。図13(E)に示す小グループは電荷が-1となる。

【0336】

ここでは、複数の小グループの集合体を中グループと呼び、複数の中グループの集合体を大グループ（ユニットセルともいう。）と呼ぶ。

【0337】

ここで、これらの小グループ同士が結合する規則について説明する。図13(A)に示す6配位のInの上半分の3個のOは下方向にそれぞれ3個の近接Inを有し、下半分の3個のOは上方向にそれぞれ3個の近接Inを有する。5配位のGaの上半分の1個のOは下方向に1個の近接Gaを有し、下半分の1個のOは上方向に1個の近接Gaを有する。4配位のZnの上半分の1個のOは下方向に1個の近接Znを有し、下半分の3個のOは上方向にそれぞれ3個の近接Znを有する。このように、金属原子の上方向の4配位のOの数と、そのOの下方向にある近接金属原子の数は等しく、同様に金属原子の下方向の4配位のOの数と、そのOの上方向にある近接金属原子の数は等しい。Oは4配位なので、下方向にある近接金属原子の数と、上方向にある近接金属原子の数の和は4になる。従つて、金属原子の上方向にある4配位のOの数と、別の金属原子の下方向にある4配位のOの数との和が4個のとき、金属原子を有する二種の小グループ同士は結合することができる。例えば、6配位の金属原子（In又はSn）が下半分の4配位のOを介して結合する

40

50

場合、4配位のOが3個であるため、5配位の金属原子(Ga又はIn)又は4配位の金属原子(Zn)のいずれかと結合することになる。

【0338】

これらの配位数を有する金属原子は、c軸方向において、4配位のOを介して結合する。また、このほかにも、層構造の合計の電荷が0となるように複数の小グループが結合して中グループを構成する。

【0339】

図14(A)に、In-Sn-Zn-O系の層構造を構成する中グループのモデル図を示す。図14(B)に、3つの中グループで構成される大グループを示す。なお、図14(C)は、図14(B)の層構造をc軸方向から観察した場合の原子配列を示す。10

【0340】

図14(A)においては、簡単のため、3配位のOは省略し、4配位のOは個数のみ示し、例えば、Snの上半分及び下半分にはそれぞれ3個ずつ4配位のOがあることを丸枠の3として示している。同様に、図14(A)において、Inの上半分及び下半分にはそれぞれ1個ずつ4配位のOがあり、丸枠の1として示している。また、同様に、図14(A)において、下半分には1個の4配位のOがあり、上半分には3個の4配位のOがあるZnと、上半分には1個の4配位のOがあり、下半分には3個の4配位のOがあるZnとを示している。

【0341】

図14(A)において、In-Sn-Zn-O系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるSnが、4配位のOが1個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に3個の4配位のOがあるZnと結合し、そのZnの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるInと結合し、そのInが、上半分に1個の4配位のOがあるZn2個からなる小グループと結合し、この小グループの下半分の1個の4配位のOを介して4配位のOが3個ずつ上半分及び下半分にあるSnと結合している構成である。この中グループが複数結合して大グループを構成する。20

【0342】

ここで、3配位のO及び4配位のOの場合、結合1本当たりの電荷はそれぞれ-0.667、-0.5と考えることができる。例えば、In(6配位又は5配位)、Zn(4配位)、Sn(5配位又は6配位)の電荷は、それぞれ+3、+2、+4である。従って、Snを含む小グループは電荷が+1となる。そのため、Snを含む層構造を形成するためには、電荷+1を打ち消す電荷-1が必要となる。電荷-1をとる構造として、図13(E)に示すように、2個のZnを含む小グループが挙げられる。例えば、Snを含む小グループが1個に対し、2個のZnを含む小グループが1個あれば、電荷が打ち消されるため、層構造の合計の電荷を0とすることができる。30

【0343】

具体的には、図14(B)に示した大グループが繰り返されることで、In-Sn-Zn-O系の結晶($In_2SnZn_3O_8$)を得ることができる。なお、得られるIn-Sn-Zn-O系の層構造は、 $In_2SnZn_2O_7$ (ZnO)_m(mは0又は自然数。)とする組成式で表すことができる。なお、In-Sn-Zn-O系の結晶は、mの数が大きいと結晶性が向上するため、好ましい。40

【0344】

また、このほかにも、四元系金属の酸化物であるIn-Sn-Ga-Zn-O系金属酸化物や、三元系金属の酸化物であるIn-Ga-Zn-O系金属酸化物(IGZOとも表記する。)、In-Al-Zn-O系金属酸化物、Sn-Ga-Zn-O系金属酸化物、Al-Ga-Zn-O系金属酸化物、Sn-Al-Zn-O系金属酸化物や、In-Hf-Zn-O系金属酸化物、In-La-Zn-O系金属酸化物、In-Ce-Zn-O系金属酸化物、In-Pr-Zn-O系金属酸化物、In-Nd-Zn-O系金属酸化物、In-Sm-Zn-O系金属酸化物、In-Eu-Zn-O系金属酸化物、In-Gd-Z50

n - O 系金属酸化物、In - Tb - Zn - O 系金属酸化物、In - Dy - Zn - O 系金属酸化物、In - Ho - Zn - O 系金属酸化物、In - Er - Zn - O 系金属酸化物、In - Tm - Zn - O 系金属酸化物、In - Yb - Zn - O 系金属酸化物、In - Lu - Zn - O 系金属酸化物や、二元系金属の酸化物である In - Zn - O 系金属酸化物、Sn - Zn - O 系金属酸化物、Al - Zn - O 系金属酸化物、Zn - Mg - O 系金属酸化物、Sn - Mg - O 系金属酸化物、In - Mg - O 系金属酸化物や、In - Ga - O 系金属酸化物、一元系金属の酸化物である In - O 系金属酸化物、Sn - O 系金属酸化物、Zn - O 系金属酸化物などを用いた場合も同様である。

【0345】

例えば、図15(A)に、In - Ga - Zn - O 系の層構造を構成する中グループのモデル図を示す。 10

【0346】

図15(A)において、In - Ga - Zn - O 系の層構造を構成する中グループは、上から順に4配位のOが3個ずつ上半分及び下半分にあるInが、4配位のOが1個上半分にあるZnと結合し、そのZnの下半分の3個の4配位のOを介して、4配位のOが1個ずつ上半分及び下半分にあるGaと結合し、そのGaの下半分の1個の4配位のOを介して、4配位のOが3個ずつ上半分及び下半分にあるInと結合している構成である。この中グループが複数結合して大グループを構成する。

【0347】

図15(B)に3つの中グループで構成される大グループを示す。なお、図15(C)は、図15(B)の層構造をc軸方向から観察した場合の原子配列を示している。 20

【0348】

ここで、In(6配位又は5配位)、Zn(4配位)、Ga(5配位)の電荷は、それぞれ+3、+2、+3であるため、In、Zn及びGaのいずれかを含む小グループは、電荷が0となる。そのため、これらの小グループの組み合わせであれば中グループの合計の電荷は常に0となる。

【0349】

また、In - Ga - Zn - O 系の層構造を構成する中グループは、図15(A)に示した中グループに限定されず、In、Ga、Znの配列が異なる中グループを組み合わせた大グループを取りうる。 30

【0350】

(実施の形態6)

本実施の形態では、トランジスタの電界効果移動度に関して説明する。

【0351】

酸化物半導体に限らず、実際に測定される絶縁ゲート型トランジスタの電界効果移動度は、様々な理由によって本来の移動度よりも低くなる。移動度を低下させる要因としては半導体内部の欠陥や半導体と絶縁膜との界面の欠陥があるが、Levinsonモデルを用いると、半導体内部に欠陥がないと仮定した場合の電界効果移動度を理論的に導き出せる。

【0352】

半導体本来の移動度を μ_0 、測定される電界効果移動度を μ とし、半導体中に何らかのポテンシャル障壁(粒界など)が存在すると仮定すると、以下の式で表現できる。 40

【0353】

【数2】

$$\mu = \mu_0 \exp\left(-\frac{E}{kT}\right)$$

【0354】

ここで、Eはポテンシャル障壁の高さであり、kがボルツマン定数、Tは絶対温度である。また、ポテンシャル障壁が欠陥に由来すると仮定すると、Levinsonモデルでは、以下の式で表される。 50

【0355】

【数3】

$$E = \frac{e^2 N^2}{8\epsilon n} = \frac{e^3 N^2 t}{8\epsilon C_{ox} V_g}$$

【0356】

ここで、 e は電気素量、 N はチャネル内の単位面積当たりの平均欠陥密度、 ϵ は半導体の誘電率、 n は単位面積当たりのチャネルに含まれるキャリア数、 C_{ox} は単位面積当たりの容量、 V_g はゲート電圧、 t はチャネルの厚さである。なお、厚さ 30 nm 以下の半導体層であれば、チャネルの厚さは半導体層の厚さと同一として差し支えない。

10

線形領域におけるドレイン電流 I_d は、以下の式となる。

【0357】

【数4】

$$I_d = \frac{W\mu V_g V_d C_{ox}}{L} \exp\left(-\frac{E}{kT}\right)$$

【0358】

ここで、 L はチャネル長、 W はチャネル幅であり、ここでは、 $L = W = 10 \mu m$ である。また、 V_d はドレイン電圧である。

上式の両辺を V_g で割り、さらに両辺の対数を取ると、以下のようになる。

20

【0359】

【数5】

$$\ln\left(\frac{I_d}{V_g}\right) = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{E}{kT} = \ln\left(\frac{W\mu V_d C_{ox}}{L}\right) - \frac{e^3 N^2 t}{8kT \epsilon C_{ox} V_g}$$

【0360】

数5の右辺は V_g の関数である。この式からわかるように、縦軸を $1/n(I_d/V_g)$ 、横軸を $1/V_g$ とする直線の傾きから欠陥密度 N が求められる。すなわち、トランジスタの $I_d - V_g$ 特性から、欠陥密度を評価できる。酸化物半導体としては、インジウム (In)、スズ (Sn)、亜鉛 (Zn) の比率が、 $In : Sn : Zn = 1 : 1 : 1$ のものでは欠陥密度 N は $1 \times 10^{12} / cm^2$ 程度である。

30

【0361】

このようにして求めた欠陥密度などをもとに数2及び数3より $\mu_0 = 120 cm^2/Vs$ が導出される。欠陥のある $In-Sn-Zn$ 酸化物で測定される移動度は $35 cm^2/Vs$ 程度である。しかし、半導体内部及び半導体と絶縁膜との界面の欠陥が無い酸化物半導体の移動度 μ_0 は $120 cm^2/Vs$ となると予想できる。

【0362】

ただし、半導体内部に欠陥がなくても、チャネルとゲート絶縁層との界面での散乱によってトランジスタの輸送特性は影響を受ける。すなわち、チャネルとゲート絶縁層との界面から x だけ離れた場所における移動度 μ_1 は、以下の式で表される。

40

【0363】

【数6】

$$\frac{1}{\mu_1} = \frac{1}{\mu_0} + \frac{D}{B} \exp\left(-\frac{x}{G}\right)$$

【0364】

ここで、 D はゲート方向の電界、 B 、 G は定数である。 B 及び G は、実際の測定結果より求めることができ、上記の測定結果からは、 $B = 4.75 \times 10^7 cm/s$ 、 $G = 10 nm$ (界面散乱が及ぶ深さ) である。 D が増加する (すなわち、ゲート電圧が高くなる) と数6の第2項が増加するため、移動度 μ_1 は低下することがわかる。

50

【0365】

半導体内部の欠陥が無い理想的な酸化物半導体をチャネルに用いたトランジスタの移動度 μ_2 を計算した結果を図16に示す。なお、計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用し、酸化物半導体のバンドギャップ、電子親和力、比誘電率、厚さをそれぞれ、2.8電子ボルト、4.7電子ボルト、15、15nmとした。これらの値は、スパッタリング法により形成された薄膜を測定して得られたものである。

【0366】

さらに、ゲート、ソース、ドレインの仕事関数をそれぞれ、5.5電子ボルト、4.6電子ボルト、4.6電子ボルトとした。また、ゲート絶縁層の厚さは100nm、比誘電率は4.1とした。チャネル長及びチャネル幅はともに10μm、ドレイン電圧 V_d は0.1Vである。
10

【0367】

図16で示されるように、ゲート電圧1V強で移動度 $100\text{ cm}^2/\text{Vs}$ 以上のピークをつけるが、ゲート電圧がさらに高くなると、界面散乱が大きくなり、移動度が低下する。なお、界面散乱を低減するためには、半導体層表面を原子レベルで平坦にすること(Atomic Layer Flatness)が望ましい。

【0368】

このような移動度を有する酸化物半導体を用いて微細なトランジスタを作製した場合の特性を計算した結果を図17乃至図19に示す。なお、計算に用いたトランジスタの断面構造を図20に示す。図20に示すトランジスタは酸化物半導体層に n^+ の導電型を呈する半導体領域2103a及び半導体領域2103cを有する。半導体領域2103a及び半導体領域2103cの抵抗率は $2 \times 10^{-3}\text{ cm}$ とする。
20

【0369】

図20(A)に示すトランジスタは、下地絶縁層2101と、下地絶縁層2101に埋め込まれるように形成された酸化アルミニウムよりなる埋め込み絶縁物2102の上に形成される。トランジスタは半導体領域2103a、半導体領域2103cと、それらに挟まれ、チャネル形成領域となる真性の半導体領域2103bと、ゲート2105を有する。ゲート2105の幅を33nmとする。

【0370】

ゲート2105と半導体領域2103bの間には、ゲート絶縁層2104を有し、また、ゲート2105の両側面には側壁絶縁物2106a及び側壁絶縁物2106b、ゲート2105の上部には、ゲート2105と他の配線との短絡を防止するための絶縁物2107を有する。側壁絶縁物の幅は5nmとする。また、半導体領域2103a及び半導体領域2103cに接して、ソース2108a及びドレイン2108bを有する。なお、このトランジスタにおけるチャネル幅を40nmとする。
30

【0371】

図20(B)に示すトランジスタは、下地絶縁層2101と、酸化アルミニウムよりなる埋め込み絶縁物2102の上に形成され、半導体領域2103a、半導体領域2103cと、それらに挟まれた真性の半導体領域2103bと、幅33nmのゲート2105とゲート絶縁層2104と側壁絶縁物2106a及び側壁絶縁物2106bと絶縁物2107とソース2108a及びドレイン2108bを有する点で図20(A)に示すトランジスタと同じである。
40

【0372】

図20(A)に示すトランジスタと図20(B)に示すトランジスタの相違点は、側壁絶縁物2106a及び側壁絶縁物2106bの下の半導体領域の導電型である。図20(A)に示すトランジスタでは、側壁絶縁物2106a及び側壁絶縁物2106bの下の半導体領域は n^+ の導電型を呈する半導体領域2103a及び半導体領域2103cであるが、図20(B)に示すトランジスタでは、真性の半導体領域2103bである。すなわち、半導体領域2103a(半導体領域2103c)とゲート2105がLooffだけ重な
50

らない領域ができている。この領域をオフセット領域といい、その幅 L_{off} をオフセット長という。図から明らかなように、オフセット長は、側壁絶縁物 2106a (側壁絶縁物 2106b) の幅と同じである。

【0373】

その他の計算に使用するパラメータは上述の通りである。計算にはシノプシス社製デバイスシミュレーションソフト、Sentaurus Deviceを使用した。図17は、図20(A)に示される構造のトランジスタのドレイン電流(I_d 、実線)及び移動度(μ 、点線)のゲート電圧(V_g 、ゲートとソースの電位差)依存性を示す。ドレイン電流 I_d は、ドレイン電圧(ドレインとソースの電位差)を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。10

【0374】

図17(A)はゲート絶縁層の厚さを15nmとしたものであり、図17(B)は10nmとしたものであり、図17(C)は5nmとしたものである。ゲート絶縁層が薄くなるほど、特にオフ状態でのドレイン電流 I_d (オフ電流)が顕著に低下する。一方、移動度 μ のピーク値やオン状態でのドレイン電流 I_d (オン電流)には目立った変化がない。ゲート電圧1V前後で、10μAを超えることが示された。

【0375】

図18は、図20(B)に示される構造のトランジスタで、オフセット長 L_{off} を5nmとしたもののドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧 V_g 依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図18(A)はゲート絶縁層の厚さを15nmとしたものであり、図18(B)は10nmとしたものであり、図18(C)は5nmとしたものである。20

【0376】

また、図19は、図20(B)に示される構造のトランジスタで、オフセット長 L_{off} を15nmとしたもののドレイン電流 I_d (実線)及び移動度 μ (点線)のゲート電圧依存性を示す。ドレイン電流 I_d は、ドレイン電圧を+1Vとし、移動度 μ はドレイン電圧を+0.1Vとして計算したものである。図19(A)はゲート絶縁層の厚さを15nmとしたものであり、図19(B)は10nmとしたものであり、図19(C)は5nmとしたものである。30

【0377】

いずれもゲート絶縁層が薄くなるほど、オフ電流が顕著に低下する一方、移動度 μ のピーク値やオン電流には目立った変化がない。

【0378】

なお、移動度 μ のピークは、図17では $80 \text{ cm}^2 / \text{Vs}$ 程度であるが、図18では $60 \text{ cm}^2 / \text{Vs}$ 程度、図19では $40 \text{ cm}^2 / \text{Vs}$ と、オフセット長 L_{off} が増加するほど低下する。また、オフ電流も同様な傾向がある。一方、オン電流にはオフセット長 L_{off} の増加にともなって減少するが、オフ電流の低下に比べるとはるかに緩やかである。また、いずれもゲート電圧1V前後で、ドレイン電流は10μAを超えることが示された。40

【0379】

(実施の形態7)

本実施の形態では、酸化物半導体としてIn、Sn、Znを主成分とする酸化物半導体を用いたトランジスタについて説明する。

【0380】

In、Sn、Znを主成分とする酸化物半導体をチャネル形成領域とするトランジスタは、該酸化物半導体を形成する際に基板を加熱して成膜すること、或いは酸化物半導体膜を形成した後に熱処理を行うことで良好な特性を得ることができる。なお、主成分とは組成比で5atomic%以上含まれる元素をいう。

【0381】

10

20

30

40

50

In、Sn、Znを主成分とする酸化物半導体膜の成膜後に基板を意図的に加熱することで、トランジスタの電界効果移動度を向上させることが可能となる。また、トランジスタのしきい値電圧をプラスシフトさせ、ノーマリ・オフ化させることが可能となる。

【0382】

例えば、図21(A)～(C)は、In、Sn、Znを主成分とし、チャネル長Lが3μm、チャネル幅Wが10μmである酸化物半導体膜と、厚さ100nmのゲート絶縁層を用いたトランジスタの特性である。なお、Vdは10Vとした。

【0383】

図21(A)は基板を意図的に加熱せずにスパッタリング法でIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性である。このとき電界効果移動度は $18.8 \text{ cm}^2/\text{V sec}$ が得られている。一方、基板を意図的に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成すると電界効果移動度を向上させることが可能となる。図21(B)は基板を200℃に加熱してIn、Sn、Znを主成分とする酸化物半導体膜を形成したときのトランジスタ特性を示すが、電界効果移動度は $32.2 \text{ cm}^2/\text{V sec}$ が得られている。10

【0384】

電界効果移動度は、In、Sn、Znを主成分とする酸化物半導体膜を形成した後に熱処理をすることによって、さらに高めることができる。図21(C)は、In、Sn、Znを主成分とする酸化物半導体膜を200℃でスパッタリング成膜した後、650℃で熱処理をしたときのトランジスタ特性を示す。このとき電界効果移動度は $34.5 \text{ cm}^2/\text{V sec}$ が得られている。20

【0385】

基板を意図的に加熱することでスパッタリング成膜中の水分が酸化物半導体膜中に取り込まれるのを低減する効果が期待できる。また、成膜後に熱処理をすることによっても、酸化物半導体膜から水素や水酸基若しくは水分を放出させ除去することができ、上記のように電界効果移動度を向上させることができる。このような電界効果移動度の向上は、脱水化・脱水素化による不純物の除去のみならず、高密度化により原子間距離が短くなるためとも推定される。また、酸化物半導体から不純物を除去して高純度化することで結晶化を図ることができる。このように高純度化された非単結晶酸化物半導体は、理想的には $100 \text{ cm}^2/\text{V sec}$ を超える電界効果移動度を実現することも可能になると推定される。30

【0386】

In、Sn、Znを主成分とする酸化物半導体に酸素イオンを注入し、熱処理により該酸化物半導体に含まれる水素や水酸基若しくは水分を放出させ、その熱処理と同時に又はその後の熱処理により酸化物半導体を結晶化させても良い。このような結晶化若しくは再結晶化の処理により結晶性の良い非単結晶酸化物半導体を得ることができる。

【0387】

基板を意図的に加熱して成膜すること及び/又は成膜後に熱処理することの効果は、電界効果移動度の向上のみならず、トランジスタのノーマリ・オフ化を図ることにも寄与している。基板を意図的に加熱しないで形成されたIn、Sn、Znを主成分とする酸化物半導体膜をチャネル形成領域としたトランジスタは、しきい値電圧がマイナスシフトしてしまう傾向がある。しかし、基板を意図的に加熱して形成された酸化物半導体膜を用いた場合、このしきい値電圧のマイナスシフト化は解消される。つまり、しきい値電圧はトランジスタがノーマリ・オフとなる方向に動き、このような傾向は図21(A)と図21(B)の対比からも確認することができる。40

【0388】

なお、しきい値電圧はIn、Sn及びZnの比率を変えることによっても制御することが可能であり、組成比としてIn : Sn : Zn = 2 : 1 : 3とすることでトランジスタのノーマリ・オフ化を期待することができる。また、ターゲットの組成比をIn : Sn : Zn = 2 : 1 : 3とすることで結晶性の高い酸化物半導体膜を得ることができる。

【0389】

意図的な基板加熱温度若しくは熱処理温度は、150以上、好ましくは200以上、より好ましくは400以上であり、より高温で成膜し或いは熱処理することでトランジスタのノーマリ・オフ化を図ることが可能となる。

【0390】

また、意図的に基板を加熱した成膜及び／又は成膜後に熱処理することで、ゲートバイアス・ストレスに対する安定性を高めることができる。例えば、2MV/cm、150、1時間印加の条件において、ドリフトがそれぞれ±1.5V未満、好ましくは1.0V未満を得ることができる。

【0391】

実際に、酸化物半導体膜成膜後に加熱処理を行っていない試料1と、650の加熱処理を行った試料2のトランジスタに対してBT試験を行った。

【0392】

まず基板温度を25とし、Vdを10Vとし、トランジスタのVg - Id特性の測定を行った。次に、基板温度を150とし、Vdを0.1Vとした。次に、ゲート絶縁層に印加される電界強度が2MV/cmとなるようにVgに20Vを印加し、そのまま1時間保持した。次に、Vgを0Vとした。次に、基板温度25とし、Vdを10Vとし、トランジスタのVg - Id測定を行った。これをプラスBT試験と呼ぶ。

【0393】

同様に、まず基板温度を25とし、Vdを10Vとし、トランジスタのVg - Id特性の測定を行った。次に、基板温度を150とし、Vdを0.1Vとした。次に、ゲート絶縁層に印加される電界強度が-2MV/cmとなるようにVgに-20Vを印加し、そのまま1時間保持した。次に、Vgを0Vとした。次に、基板温度25とし、Vdを10Vとし、トランジスタのVg - Id測定を行った。これをマイナスBT試験と呼ぶ。

【0394】

試料1のプラスBT試験の結果を図22(A)に、マイナスBT試験の結果を図22(B)に示す。また、試料2のプラスBT試験の結果を図23(A)に、マイナスBT試験の結果を図23(B)に示す。

【0395】

試料1のプラスBT試験及びマイナスBT試験によるしきい値電圧の変動は、それぞれ1.80V及び-0.42Vであった。また、試料2のプラスBT試験及びマイナスBT試験によるしきい値電圧の変動は、それぞれ0.79V及び0.76Vであった。

試料1及び試料2のいずれも、BT試験前後におけるしきい値電圧の変動が小さく、信頼性が高いことがわかる。

【0396】

熱処理は酸素雰囲気中で行うことができるが、まず窒素若しくは不活性ガス、又は減圧下で熱処理を行ってから酸素を含む雰囲気中で熱処理を行っても良い。最初に脱水化・脱水素化を行ってから酸素を酸化物半導体に加えることで、熱処理の効果をより高めることができる。また、後から酸素を加えるには、酸素イオンを電界で加速して酸化物半導体膜に注入する方法を適用しても良い。

【0397】

酸化物半導体中及び積層される膜との界面には、酸素欠損による欠陥が生成されやすいが、かかる熱処理により酸化物半導体中に酸素を過剰に含ませることにより、定常的に生成される酸素欠損を過剰な酸素によって補償することが可能となる。過剰酸素は主に格子間に存在する酸素であり、その酸素濃度は $1 \times 10^{16} / \text{cm}^3$ 以上 $2 \times 10^{20} / \text{cm}^3$ 以下とすれば、結晶に歪みなどを与えることなく酸化物半導体中に含ませることができる。

【0398】

また、熱処理によって酸化物半導体に結晶が少なくとも一部に含まれるようにすることでも、より安定な酸化物半導体膜を得ることができる。例えば、組成比In : Sn : Zn = 1 : 1 : 1のターゲットを用いて、基板を意図的に加熱せずにスパッタリング成膜した酸化

10

20

30

40

50

物半導体膜は、X線回折(XRD : X-Ray Diffraction)でハローーパターンが観測される。この成膜された酸化物半導体膜を熱処理することによって結晶化させることができる。熱処理温度は任意であるが、例えば650の熱処理を行うことで、X線回折により明確な回折ピークを観測することができる。

【0399】

実際に、In-Sn-Zn-O膜のXRD分析を行った。XRD分析には、Bruker AXS社製X線回折装置D8 ADVANCEを用い、Out-of-Plane法で測定した。

【0400】

XRD分析を行った試料として、試料A及び試料Bを用意した。以下に試料A及び試料Bの作製方法を説明する。 10

【0401】

脱水素化処理済みの石英基板上にIn-Sn-Zn-O膜を100nmの厚さで成膜した。 15

【0402】

In-Sn-Zn-O膜は、スパッタリング装置を用い、酸素雰囲気で電力を100W(DC)として成膜した。ターゲットは、In:Sn:Zn = 1:1:1[原子数比]のIn-Sn-Zn-Oターゲットを用いた。なお、成膜時の基板加熱温度は200とした。このようにして作製した試料を試料Aとした。 20

【0403】

次に、試料Aと同様の方法で作製した試料に対し加熱処理を650の温度で行った。加熱処理は、はじめに窒素雰囲気で1時間の加熱処理を行い、温度を下げずに酸素雰囲気でさらに1時間の加熱処理を行っている。このようにして作製した試料を試料Bとした。 25

【0404】

図26に試料A及び試料BのXRDスペクトルを示す。試料Aでは、結晶由来のピークが観測されなかつたが、試料Bでは、2が35deg近傍及び37deg～38degに結晶由来のピークが観測された。 30

【0405】

このように、In、Sn、Znを主成分とする酸化物半導体は成膜時に意図的に加熱すること及び/又は成膜後に熱処理することによりトランジスタの特性を向上させることができる。 35

【0406】

この基板加熱や熱処理は、酸化物半導体にとって悪性の不純物である水素や水酸基を膜中に含ませないようにすること、或いは膜中から除去する作用がある。すなわち、酸化物半導体中でドナー不純物となる水素を除去することで高純度化を図ることができ、それによつてトランジスタのノーマリ・オフ化を図ることができ、酸化物半導体が高純度化されることによりオフ電流を1aA/μm以下にすることができる。ここで、上記オフ電流値の単位は、チャネル幅1μmあたりの電流値を示す。 40

【0407】

図27に、トランジスタのオフ電流と測定時の基板温度(絶対温度)の逆数との関係を示す。ここでは、簡単のため測定時の基板温度の逆数に1000を掛けた数値(1000/T)を横軸としている。 45

【0408】

具体的には、図27に示すように、基板温度が125の場合には1aA/μm(1×10^{-18} A/μm)以下、85の場合には100zA/μm(1×10^{-19} A/μm)以下、室温(27)の場合には1zA/μm(1×10^{-21} A/μm)以下にすることができる。好ましくは、125において0.1aA/μm(1×10^{-19} A/μm)以下に、85において10zA/μm(1×10^{-20} A/μm)以下に、室温において0.1zA/μm(1×10^{-22} A/μm)以下にすることができる。 50

【0409】

もっとも、酸化物半導体膜の成膜時に水素や水分が膜中に混入しないように、成膜室外部からのリークや成膜室内の内壁からの脱ガスを十分抑え、スパッタガスの高純度化を図ることが好ましい。例えば、スパッタガスは水分が膜中に含まれないように露点 - 70 以下であるガスを用いることが好ましい。また、ターゲットそのものに水素や水分などの不純物が含まれていないように、高純度化されたターゲットを用いることが好ましい。 In 、 Sn 、 Zn を主成分とする酸化物半導体は熱処理によって膜中の水分を除去することができるが、 In 、 Ga 、 Zn を主成分とする酸化物半導体と比べて水分の放出温度が高いため、好ましくは最初から水分の含まれない膜を形成しておくことが好ましい。

【0410】

また、酸化物半導体膜成膜後に 650 の加熱処理を行った試料のトランジスタにおいて 10 基板温度と電気的特性の関係について評価した。

【0411】

測定に用いたトランジスタは、チャネル長 L が 3 μm 、チャネル幅 W が 10 μm 、 L_{ov} が 0 μm 、 d_W が 0 μm である。なお、 V_d は 10 V とした。なお、基板温度は - 40 、 - 25 、 25 、 75 、 125 及び 150 で行った。ここで、トランジスタにおいて、ゲート電極と一対の電極との重畠する幅を L_{ov} と呼び、酸化物半導体膜に対する一対の電極のはみ出しを d_W と呼ぶ。

【0412】

図 24 に、 I_d （実線）及び電界効果移動度（点線）の V_g 依存性を示す。また、図 25 (A) に基板温度としきい値電圧の関係を、図 25 (B) に基板温度と電界効果移動度の関係を示す。 20

【0413】

図 25 (A) より、基板温度が高いほどしきい値電圧は低くなることがわかる。なお、その範囲は - 40 ~ 150 で 1.09 V ~ - 0.23 V であった。

【0414】

また、図 25 (B) より、基板温度が高いほど電界効果移動度が低くなることがわかる。なお、その範囲は - 40 ~ 150 で $36 \text{ cm}^2 / \text{Vs}$ ~ $32 \text{ cm}^2 / \text{Vs}$ であった。従って、上述の温度範囲において電気的特性の変動が小さいことがわかる。

【0415】

上記のような In 、 Sn 、 Zn を主成分とする酸化物半導体をチャネル形成領域とするトランジスタによれば、オフ電流を $1 \text{ aA} / \mu m$ 以下に保ちつつ、電界効果移動度を $30 \text{ cm}^2 / \text{Vsec}$ 以上、好ましくは $40 \text{ cm}^2 / \text{Vsec}$ 以上、より好ましくは $60 \text{ cm}^2 / \text{Vsec}$ 以上とし、LSD で要求されるオン電流の値を満たすことができる。例えば、 $L/W = 33 \text{ nm} / 40 \text{ nm}$ の FET で、ゲート電圧 2.7 V、ドレイン電圧 1.0 V のとき $12 \mu A$ 以上のオン電流を流すことができる。またトランジスタの動作に求められる温度範囲においても、十分な電気的特性を確保することができる。このような特性であれば、 Si 半導体で作られる集積回路の中に酸化物半導体で形成されるトランジスタを混載しても、動作速度を犠牲にすることなく新たな機能を有する集積回路を実現することができる。 30

【0416】

以下に、 $In-Sn-Zn-O$ 膜を酸化物半導体膜に用いたトランジスタの一例について説明する。 40

【0417】

図 28 は、コプラナー型であるトップゲート・トップコンタクト構造のトランジスタの上面図及び断面図である。図 28 (A) にトランジスタの上面図を示す。また、図 28 (B) に図 28 (A) の一点鎖線 A - B に対応する断面 A - B を示す。

【0418】

図 28 (B) に示すトランジスタは、基板 1200 と、基板 1200 上に設けられた下地絶縁層 1202 と、下地絶縁層 1202 の周辺に設けられた保護絶縁膜 1204 と、下地絶縁層 1202 及び保護絶縁膜 1204 上に設けられた高抵抗領域 1206a 及び低抵抗 50

領域 1 2 0 6 b を有する酸化物半導体膜 1 2 0 6 と、酸化物半導体膜 1 2 0 6 上に設けられたゲート絶縁層 1 2 0 8 と、ゲート絶縁層 1 2 0 8 を介して酸化物半導体膜 1 2 0 6 と重畠して設けられたゲート電極 1 2 1 0 と、ゲート電極 1 2 1 0 の側面と接して設けられた側壁絶縁膜 1 2 1 2 と、少なくとも低抵抗領域 1 2 0 6 b と接して設けられた一対の電極 1 2 1 4 と、少なくとも酸化物半導体膜 1 2 0 6 、ゲート電極 1 2 1 0 及び一対の電極 1 2 1 4 を覆って設けられた層間絶縁膜 1 2 1 6 と、層間絶縁膜 1 2 1 6 に設けられた開口部を介して少なくとも一対の電極 1 2 1 4 の一方と接続して設けられた配線 1 2 1 8 と、を有する。

【 0 4 1 9 】

なお、図示しないが、層間絶縁膜 1 2 1 6 及び配線 1 2 1 8 を覆って設けられた保護膜を有していても構わない。該保護膜を設けることで、層間絶縁膜 1 2 1 6 の表面伝導に起因して生じる微小リーキ電流を低減することができ、トランジスタのオフ電流を低減することができる。

【 0 4 2 0 】

また、上記とは異なる In - Sn - Zn - O 膜を酸化物半導体膜に用いたトランジスタの他の一例について示す。

【 0 4 2 1 】

図 2 9 は、トランジスタの構造を示す上面図及び断面図である。図 2 9 (A) はトランジスタの上面図である。また、図 2 9 (B) は図 2 9 (A) の一点鎖線 A - B に対応する断面図である。

20

【 0 4 2 2 】

図 2 9 (B) に示すトランジスタは、基板 1 6 0 0 と、基板 1 6 0 0 上に設けられた下地絶縁層 1 6 0 2 と、下地絶縁層 1 6 0 2 上に設けられた酸化物半導体膜 1 6 0 6 と、酸化物半導体膜 1 6 0 6 と接する一対の電極 1 6 1 4 と、酸化物半導体膜 1 6 0 6 及び一対の電極 1 6 1 4 上に設けられたゲート絶縁層 1 6 0 8 と、ゲート絶縁層 1 6 0 8 を介して酸化物半導体膜 1 6 0 6 と重畠して設けられたゲート電極 1 6 1 0 と、ゲート絶縁層 1 6 0 8 及びゲート電極 1 6 1 0 を覆って設けられた層間絶縁膜 1 6 1 6 と、層間絶縁膜 1 6 1 6 に設けられた開口部を介して一対の電極 1 6 1 4 と接続する配線 1 6 1 8 と、層間絶縁膜 1 6 1 6 及び配線 1 6 1 8 を覆って設けられた保護膜 1 6 2 0 と、を有する。

30

【 0 4 2 3 】

基板 1 6 0 0 としてはガラス基板を、下地絶縁層 1 6 0 2 としては酸化シリコン膜を、酸化物半導体膜 1 6 0 6 としては In - Sn - Zn - O 膜を、一対の電極 1 6 1 4 としてはタンゲステン膜を、ゲート絶縁層 1 6 0 8 としては酸化シリコン膜を、ゲート電極 1 6 1 0 としては窒化タンタル膜とタンゲステン膜との積層構造を、層間絶縁膜 1 6 1 6 としては酸化窒化シリコン膜とポリイミド膜との積層構造を、配線 1 6 1 8 としてはチタン膜、アルミニウム膜、チタン膜がこの順で形成された積層構造を、保護膜 1 6 2 0 としてはポリイミド膜を、それぞれ用いた。

【 0 4 2 4 】

なお、図 2 9 (A) に示す構造のトランジスタにおいて、ゲート電極 1 6 1 0 と一対の電極 1 6 1 4 との重畠する幅を L o v と呼ぶ。同様に、酸化物半導体膜 1 6 0 6 に対する一対の電極 1 6 1 4 のみ出しを d W と呼ぶ。

40

【 0 4 2 5 】

(実施の形態 8)

本実施の形態では、上記実施の形態における半導体装置を備えた電子機器の例について説明する。

【 0 4 2 6 】

本実施の形態の電子機器の構成例について、図 1 2 (A) 乃至図 1 2 (D) を用いて説明する。

【 0 4 2 7 】

図 1 2 (A) に示す電子機器は、携帯型情報端末の例である。図 1 2 (A) に示す情報端

50

末は、筐体 1001a と、筐体 1001a に設けられた表示部 1002a と、を具備する。

【0428】

なお、筐体 1001a の側面 1003a に外部機器に接続させるための接続端子、及び図 12(A) に示す携帯型情報端末を操作するためのボタンの一つ又は複数を設けてよい。

【0429】

図 12(A) に示す携帯型情報端末は、筐体 1001a の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、外部機器との信号の送受信を行うアンテナと、を備える。10

【0430】

図 12(A) に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0431】

図 12(B) に示す電子機器は、折り畳み式の携帯型情報端末の例である。図 12(B) に示す携帯型情報端末は、筐体 1001b と、筐体 1001b に設けられた表示部 1002b と、筐体 1004 と、筐体 1004 に設けられた表示部 1005 と、筐体 1001b 及び筐体 1004 を接続する軸部 1006 と、を具備する。

【0432】

また、図 12(B) に示す携帯型情報端末では、軸部 1006 により筐体 1001b 又は筐体 1004 を動かすことにより、筐体 1001b を筐体 1004 に重畠させることができる。20

【0433】

なお、筐体 1001b の側面 1003b 又は筐体 1004 の側面 1007 に外部機器に接続させるための接続端子、及び図 12(B) に示す携帯型情報端末を操作するためのボタンの一つ又は複数を設けてよい。

【0434】

また、表示部 1002b 及び表示部 1005 に、互いに異なる画像又は一続きの画像を表示させてもよい。なお、表示部 1005 を必ずしも設けなくてもよく、表示部 1005 の代わりに、入力装置であるキーボードを設けてよい。30

【0435】

図 12(B) に示す携帯型情報端末は、筐体 1001b 又は筐体 1004 の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備える。なお、図 12(B) に示す携帯型情報端末に、外部との信号の送受信を行うアンテナを設けてよい。

【0436】

図 12(B) に示す携帯型情報端末は、例えば電話機、電子書籍、パーソナルコンピュータ、及び遊技機の一つ又は複数としての機能を有する。

【0437】

図 12(C) に示す電子機器は、設置型情報端末の例である。図 12(C) に示す設置型情報端末は、筐体 1001c と、筐体 1001c に設けられた表示部 1002c と、を具備する。40

【0438】

なお、表示部 1002c を、筐体 1001c における甲板部 1008 に設けることもできる。

【0439】

また、図 12(C) に示す設置型情報端末は、筐体 1001c の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備える。なお、図 12(C) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてよい。50

【 0 4 4 0 】

さらに、図 12 (C) に示す設置型情報端末における筐体 1001c の側面 1003c に券などを出力する券出力部、硬貨投入部、及び紙幣挿入部の一つ又は複数を設けてよい。

【 0 4 4 1 】

図 12 (C) に示す設置型情報端末は、例えば現金自動預け払い機、券などの注文をするための情報通信端末（マルチメディアステーションともいう）、又は遊技機としての機能を有する。

【 0 4 4 2 】

図 12 (D) に示す電子機器は、設置型情報端末の例である。図 12 (D) に示す設置型情報端末は、筐体 1001d と、筐体 1001d に設けられた表示部 1002d と、を具備する。なお、筐体 1001d を支持する支持台を設けてよい。

10

【 0 4 4 3 】

なお、筐体 1001d の側面 1003d に外部機器に接続させるための接続端子、及び図 12 (D) に示す設置型情報端末を操作するためのボタンの一つ又は複数を設けてよい。

【 0 4 4 4 】

また、図 12 (D) に示す設置型情報端末は、筐体 1001d の中に、CPU と、記憶回路と、外部機器と CPU 及び記憶回路との間で信号の送受信を行うインターフェースと、を備えてよい。なお、図 12 (D) に示す設置型情報端末に、外部との信号の送受信を行うアンテナを設けてよい。

20

【 0 4 4 5 】

図 12 (D) に示す設置型情報端末は、例えばデジタルフォトフレーム、モニタ、又はテレビジョン装置としての機能を有する。

【 0 4 4 6 】

上記実施の形態の半導体装置は、例えば電子機器の CPU として用いられ、例えば図 12 (A) 乃至図 12 (D) に示す電子機器の CPU として用いられる。

30

【 0 4 4 7 】

図 12 を用いて説明したように、本実施の形態の電子機器の一例は、上記実施の形態における半導体装置が用いられた CPU を具備する構成である。

【 0 4 4 8 】

上記構成にすることにより、電源を供給しない場合であっても電子機器内の情報を一定期間保持することができるため、電源を供給してから通常動作を開始するまでの時間が速くなり、また、消費電力を低減することができる。

40

【 符号の説明 】**【 0 4 4 9 】**

100a	トランジスタ
100b	トランジスタ
101	半導体層
102	絶縁層
103	半導体層
103_a	領域
103_b_1	領域
103_b_2	領域
103_c	領域
104	絶縁層
105	導電層
106	絶縁層
107	半導体層
107_a	領域

50

1 0 7 _ b 1	領域	
1 0 7 _ b 2	領域	
1 0 8 a	導電層	
1 0 8 b	導電層	
1 0 8 c	導電層	
1 0 8 d	導電層	
1 0 8 e	導電層	
1 0 9	絕緣層	
1 1 0	導電層	
1 1 1 a	開口部	10
1 1 1 b	開口部	
1 1 1 c	開口部	
2 0 0 a	トランジスタ	
2 0 0 b	トランジスタ	
2 0 0 c	トランジスタ	
2 0 1	半導體層	
2 0 1 _ a	領域	
2 0 1 _ b	領域	
2 0 2	絕緣層	
2 0 3 a	半導體層	20
2 0 3 a _ a	領域	
2 0 3 a _ b 1	領域	
2 0 3 a _ b 2	領域	
2 0 3 b	半導體層	
2 0 3 b _ a	領域	
2 0 3 b _ b 1	領域	
2 0 3 b _ b 2	領域	
2 0 4	絕緣層	
2 0 5 a	導電層	
2 0 5 b	導電層	30
2 0 6	絕緣層	
2 0 7	半導體層	
2 0 7 _ a	領域	
2 0 7 _ b 1	領域	
2 0 7 _ b 2	領域	
2 0 8 a	導電層	
2 0 8 b	導電層	
2 0 8 c	導電層	
2 0 8 d	導電層	
2 0 8 e	導電層	40
2 0 8 f	導電層	
2 0 8 g	導電層	
2 0 8 h	導電層	
2 0 9	絕緣層	
2 1 0	導電層	
3 0 0 a	トランジスタ	
3 0 0 b	トランジスタ	
3 0 1	半導體層	
3 0 1 _ a	領域	
3 0 2	絕緣層	50

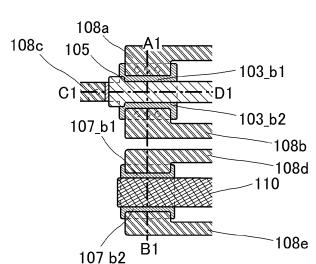
3 0 3	半導体層	
3 0 3 _ a	領域	
3 0 3 _ b 1	領域	
3 0 3 _ b 2	領域	
3 0 3 _ c	領域	
3 0 4	絶縁層	
3 0 5	導電層	
3 0 6	絶縁層	
3 0 7	半導体層	10
3 0 7 _ a	領域	
3 0 7 _ b 1	領域	
3 0 7 _ b 2	領域	
3 0 8 a	導電層	
3 0 8 b	導電層	
3 0 8 c	導電層	
3 0 8 d	導電層	
3 0 9	絶縁層	
3 1 0 a	導電層	
3 1 0 b	導電層	
5 0 1	バスインターフェース	20
5 0 2	制御装置	
5 0 3	キヤッシュメモリ	
5 0 4	レジスタ	
5 0 5	命令デコーダ	
5 0 6	演算論理ユニット	
6 1 1	アナログスイッチ	
6 1 2	NOTゲート	
6 1 3	トランジスタ	
6 1 4	容量素子	
6 1 5	NOTゲート	30
6 1 6	NANDゲート	
6 1 7	クロックドインバータ	
6 1 8	アナログスイッチ	
6 1 9	NOTゲート	
6 2 0	クロックドNANDゲート	
6 2 1	NOTゲート	
6 5 1	ラッチ回路	
6 5 2	ラッチ回路	
6 9 1	期間	
6 9 2	期間	40
6 9 3	期間	
7 0 1	トランジスタ	
7 0 2	トランジスタ	
7 0 3	記憶回路	
7 0 4	容量素子	
7 0 5	NOTゲート	
7 0 6	切り替え回路	
7 0 7	記憶回路	
7 5 1	トランジスタ	
7 5 2	トランジスタ	50

7 5 3	容量素子	
1 0 0 1 a	筐体	
1 0 0 1 b	筐体	
1 0 0 1 c	筐体	
1 0 0 1 d	筐体	
1 0 0 2 a	表示部	
1 0 0 2 b	表示部	
1 0 0 2 c	表示部	
1 0 0 2 d	表示部	
1 0 0 3 a	側面	10
1 0 0 3 b	側面	
1 0 0 3 c	側面	
1 0 0 3 d	側面	
1 0 0 4	筐体	
1 0 0 5	表示部	
1 0 0 6	軸部	
1 0 0 7	側面	
1 0 0 8	甲板部	
1 2 0 0	基板	
1 2 0 2	下地絶縁層	20
1 2 0 4	保護絶縁膜	
1 2 0 6	酸化物半導体膜	
1 2 0 6 a	高抵抗領域	
1 2 0 6 b	低抵抗領域	
1 2 0 8	ゲート絶縁層	
1 2 1 0	ゲート電極	
1 2 1 2	側壁絶縁膜	
1 2 1 4	電極	
1 2 1 6	層間絶縁膜	
1 2 1 8	配線	30
1 6 0 0	基板	
1 6 0 2	下地絶縁層	
1 6 0 6	酸化物半導体膜	
1 6 0 8	ゲート絶縁層	
1 6 1 0	ゲート電極	
1 6 1 4	電極	
1 6 1 6	層間絶縁膜	
1 6 1 8	配線	
1 6 2 0	保護膜	
2 1 0 1	下地絶縁層	40
2 1 0 2	絶縁物	
2 1 0 3 a	半導体領域	
2 1 0 3 b	半導体領域	
2 1 0 3 c	半導体領域	
2 1 0 4	ゲート絶縁層	
2 1 0 5	ゲート	
2 1 0 6 a	側壁絶縁物	
2 1 0 6 b	側壁絶縁物	
2 1 0 7	絶縁物	
2 1 0 8 a	ソース	50

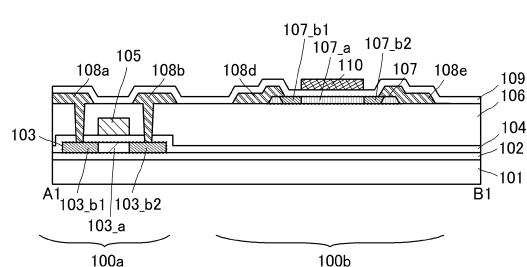
2 1 0 8 b ドレイン

【図1】

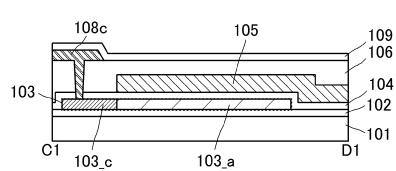
(A)



(B)

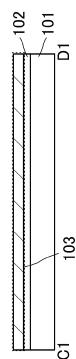


(C)

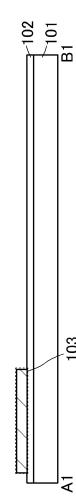


【図2】

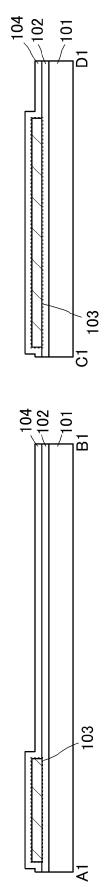
(A-1)



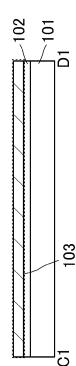
(B-1)



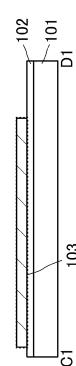
(C-1)



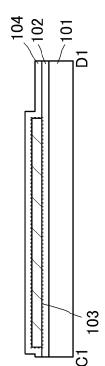
(A-2)



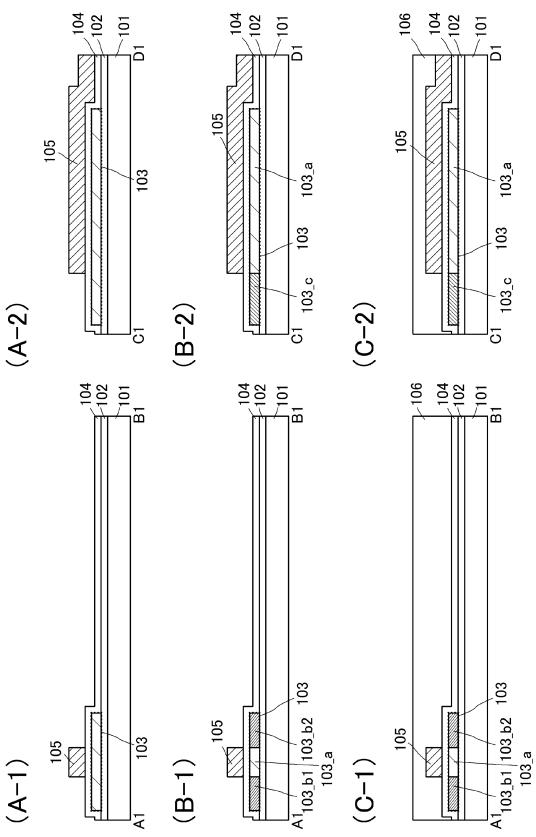
(B-2)



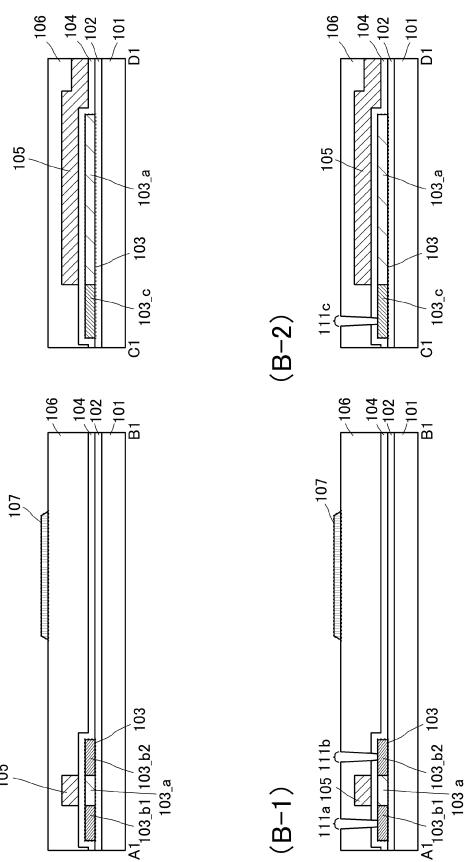
(C-2)



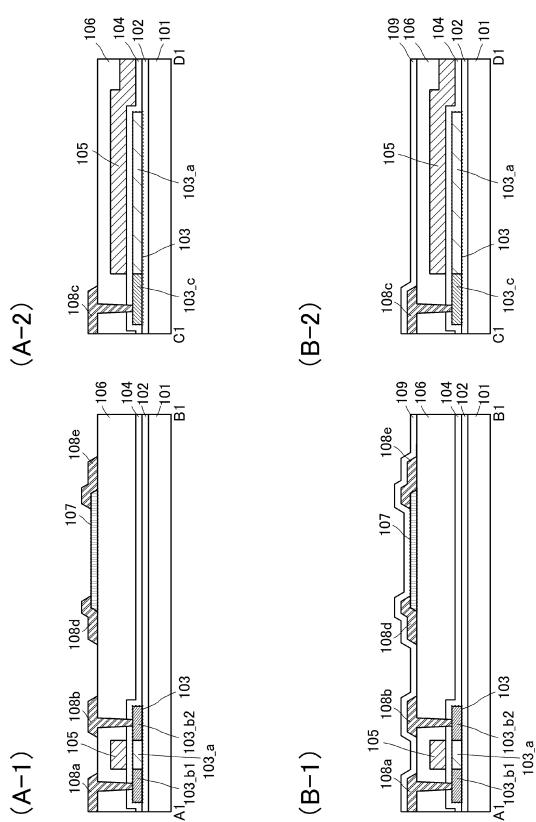
【図3】



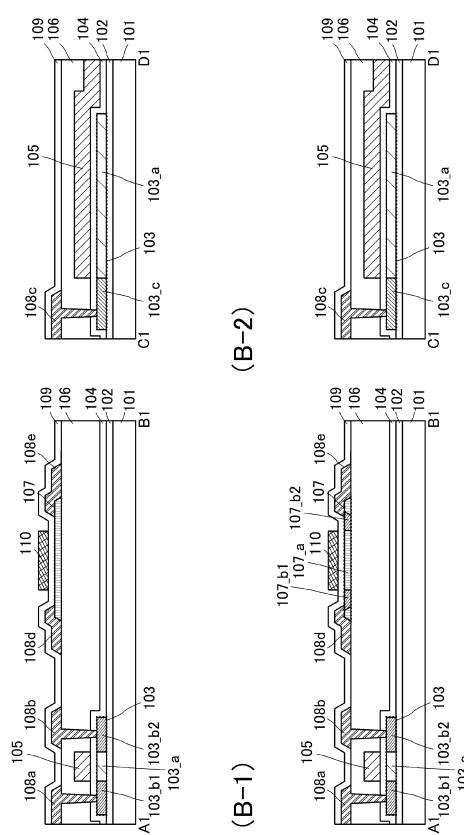
【図4】



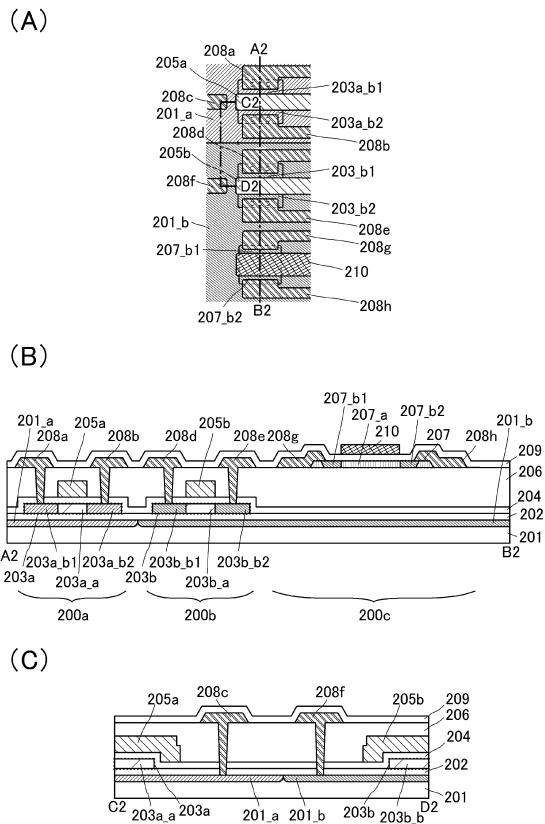
【図5】



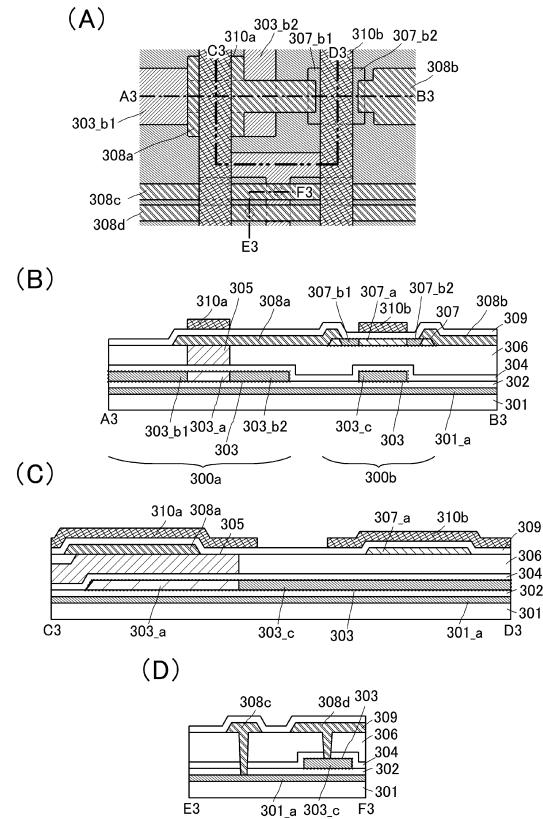
【図6】



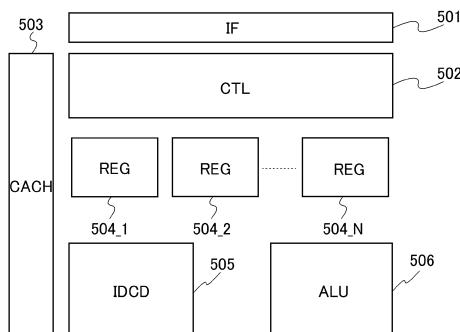
【図7】



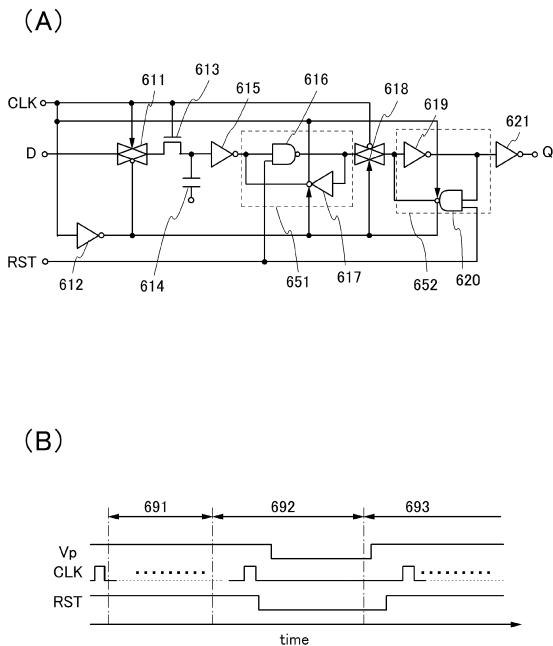
【図8】



【図9】

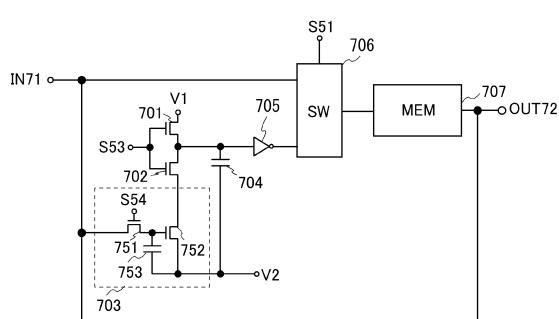


【図10】



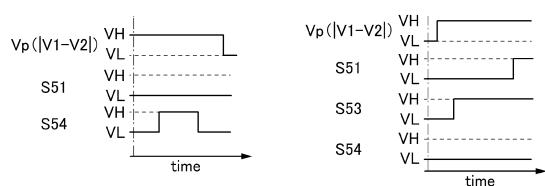
【図11】

(A)



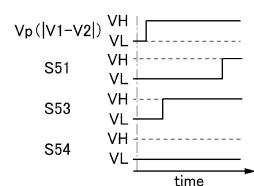
(B)

STOP



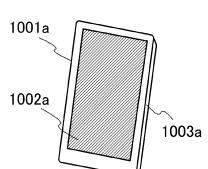
(C)

RESTART

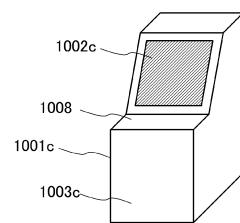


【図12】

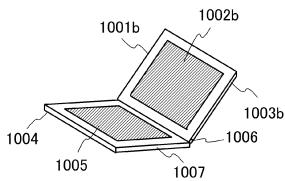
(A)



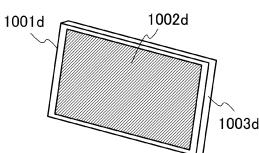
(C)



(B)

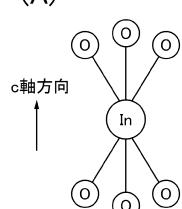


(D)

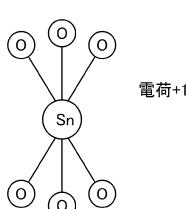


【図13】

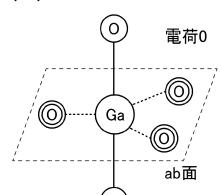
(A)



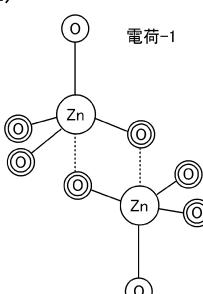
(D)



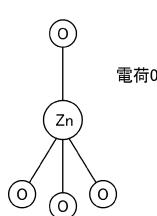
(B)



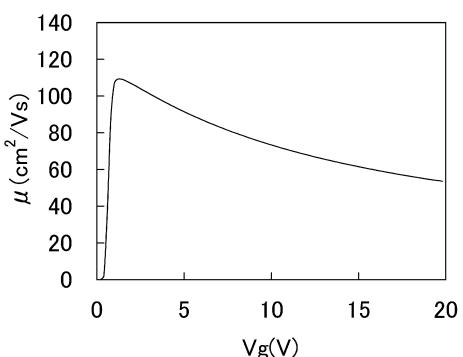
(E)



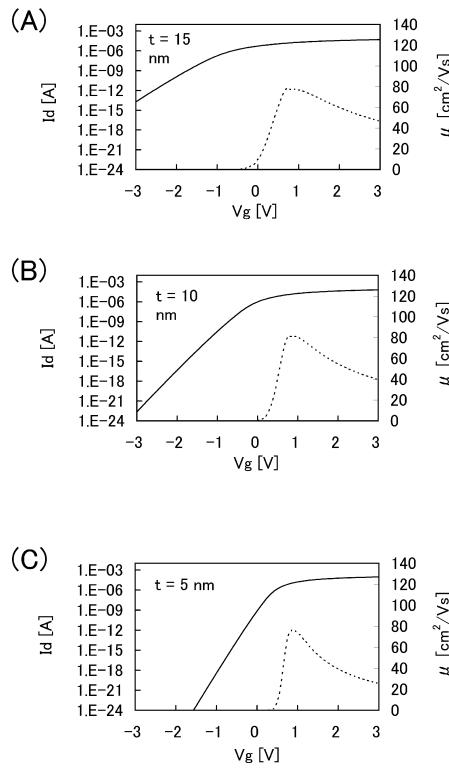
(C)



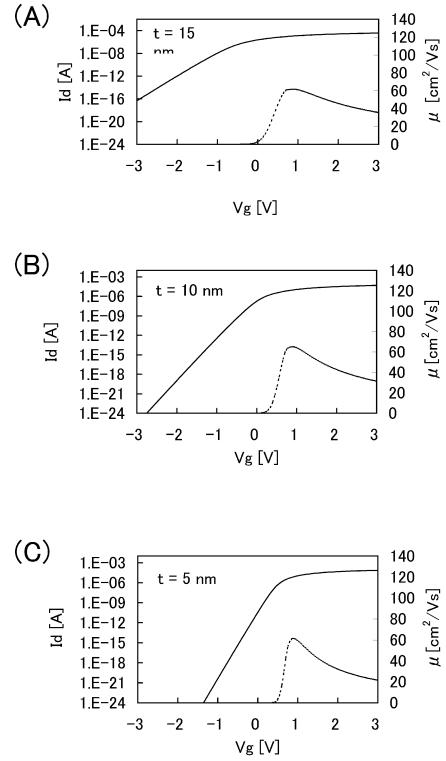
【図16】



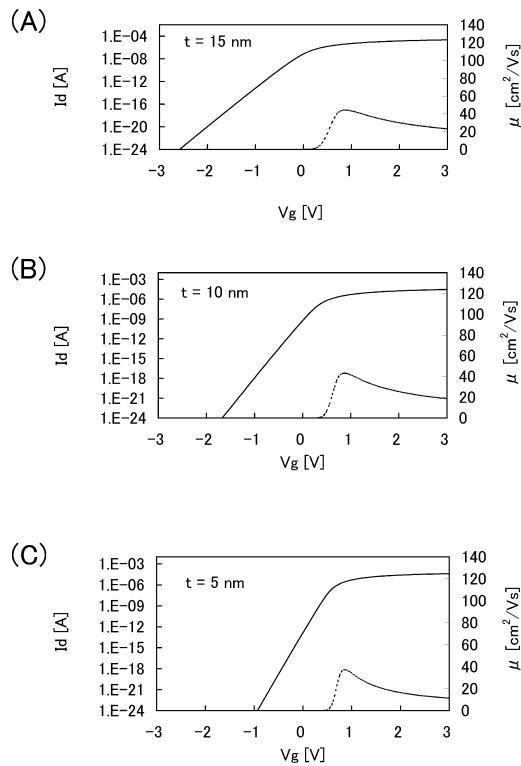
【図17】



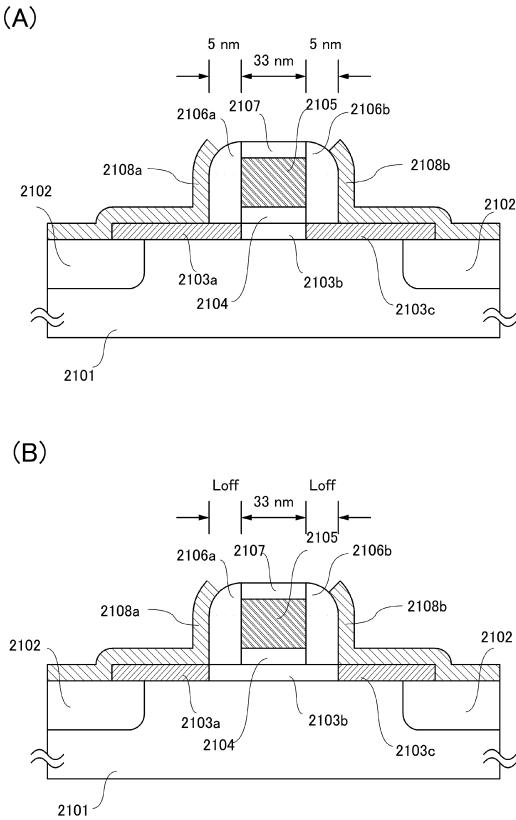
【図18】



【図19】

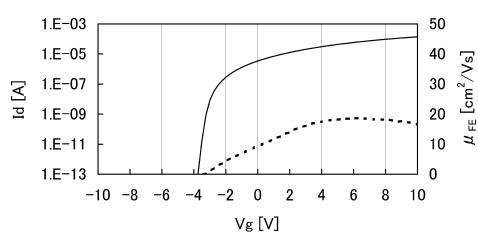


【図20】

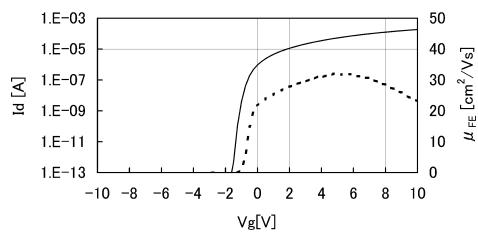


【図2-1】

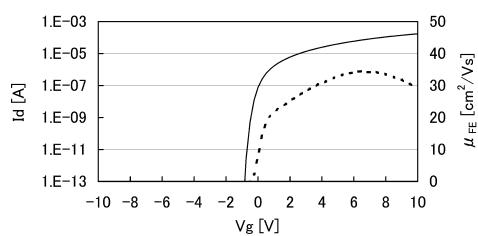
(A)



(B)

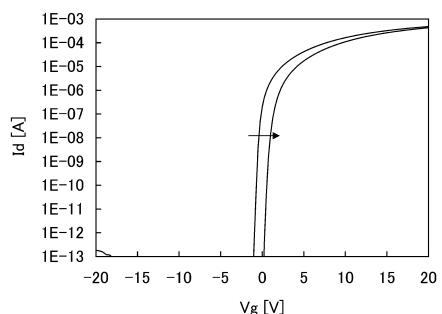


(C)

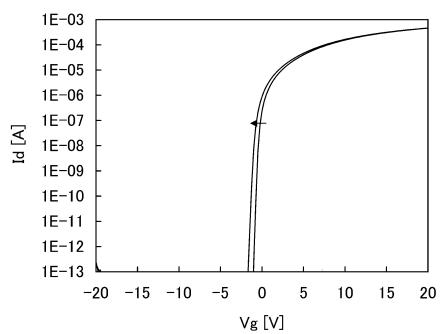


【図2-2】

(A)

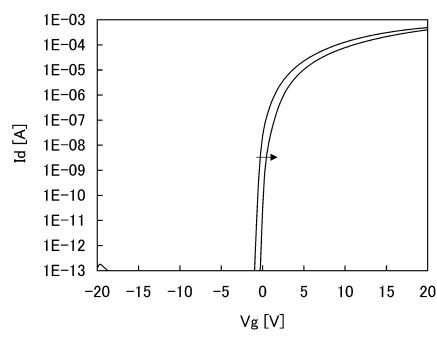


(B)

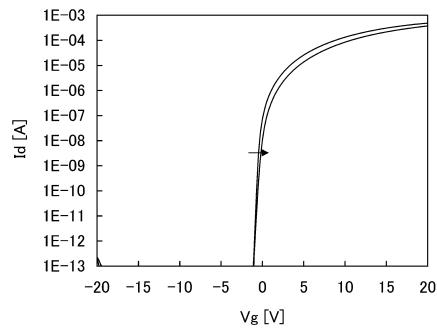


【図2-3】

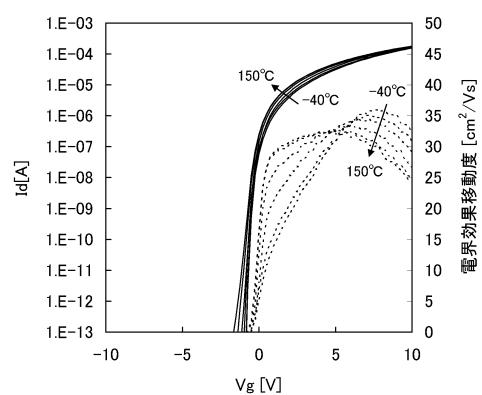
(A)



(B)

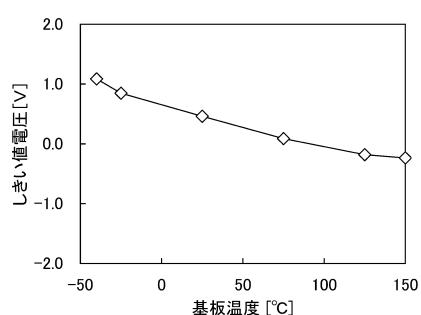


【図2-4】

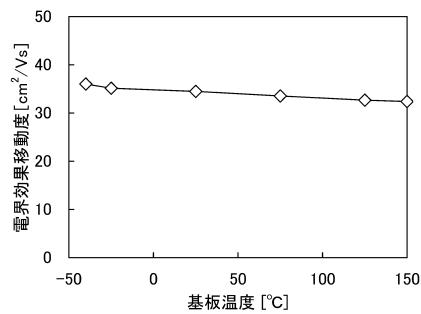


【図25】

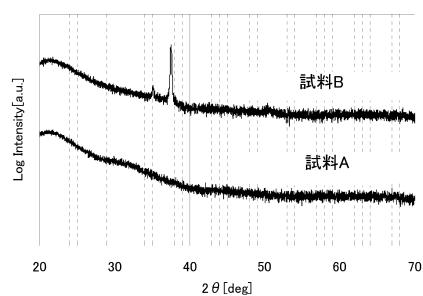
(A)



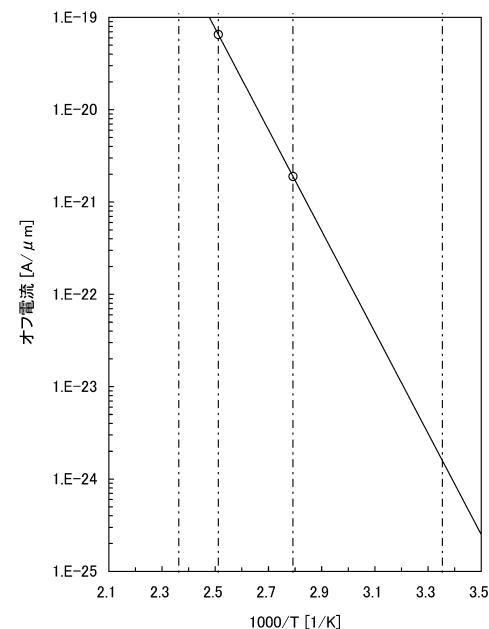
(B)



【図26】

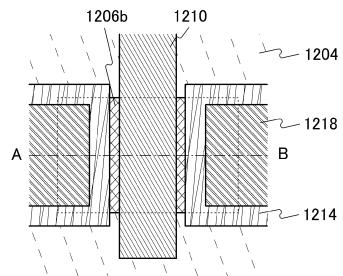


【図27】

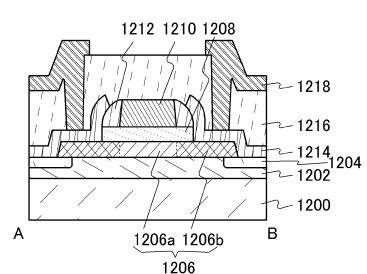


【図28】

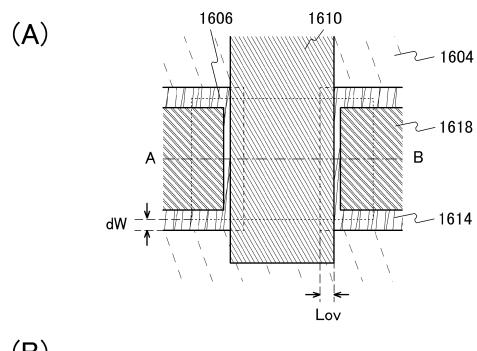
(A)



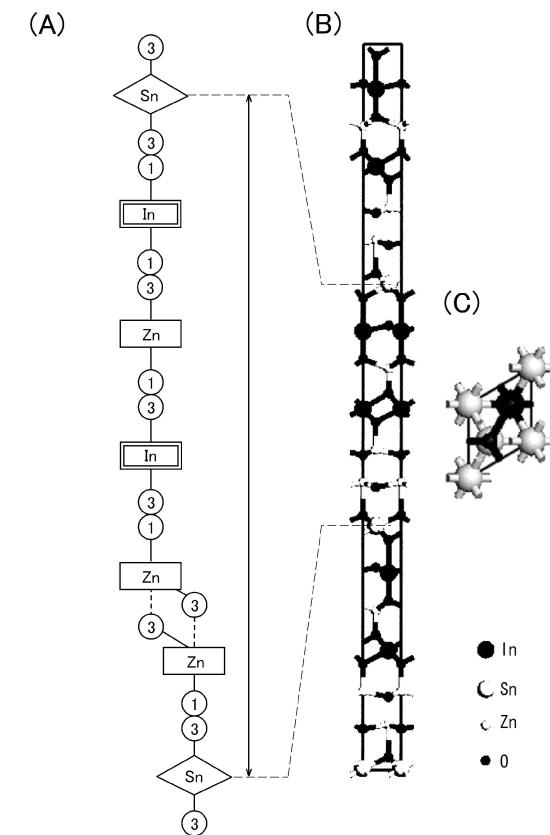
(B)



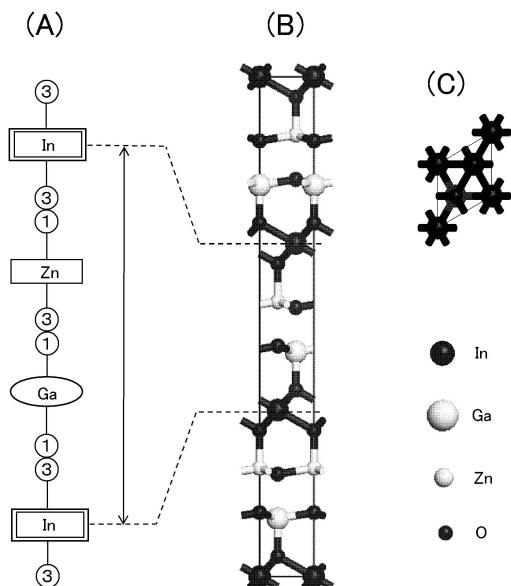
【図29】



【図14】



【図15】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 27/08 1 0 2 E

審査官 岩本 勉

(56)参考文献 特開2009-135350 (JP, A)

特開2009-076932 (JP, A)

特開2009-076879 (JP, A)

特開2009-218534 (JP, A)

特開2005-109465 (JP, A)

米国特許出願公開第2009/0050941 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 21/336、21/8234-21/8238、

21/8249、27/06-27/08、

27/088-27/092、29/786