

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6097237号
(P6097237)

(45) 発行日 平成29年3月15日 (2017.3.15)

(24) 登録日 平成29年2月24日 (2017.2.24)

(51) Int.Cl. F I
HO2M 3/155 (2006.01) HO2M 3/155 H

請求項の数 15 (全 15 頁)

(21) 出願番号	特願2014-46220 (P2014-46220)	(73) 特許権者	000003078
(22) 出願日	平成26年3月10日 (2014.3.10)		株式会社東芝
(65) 公開番号	特開2015-171274 (P2015-171274A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成27年9月28日 (2015.9.28)	(74) 代理人	100107582
審査請求日	平成28年2月19日 (2016.2.19)		弁理士 関根 毅
		(74) 代理人	100117787
			弁理士 勝沼 宏仁
		(74) 代理人	100118843
			弁理士 赤岡 明
		(74) 代理人	100137523
			弁理士 出口 智也
		(72) 発明者	谷藤 亮
			東京都港区芝浦一丁目1番1号 株式会社東芝内

最終頁に続く

(54) 【発明の名称】 DC-DCコンバータおよび半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

一端が、パルス信号が供給される第1のノードに接続され、他端が出力端子に接続されたコイルと、

前記コイルの他端と固定電位との間に接続されたコンデンサと、

前記出力端子の電圧を分圧し、この分圧した分圧電圧を出力する分圧回路と、

前記分圧電圧と基準電圧とが入力され、前記分圧電圧と前記基準電圧とを比較した結果に応じた比較結果信号を第2のノードに出力するエラーアンプと、

一端が前記第2のノードに接続され、他端が前記固定電位に接続され、前記エラーアンプが出力した前記比較結果信号の位相を補償するフィルタ回路と、

前記比較結果信号に基づいて、前記出力端子の電圧が目標値に近づくように、前記第1のノードに供給する前記パルス信号のデューティを制御するスイッチング制御回路と、

前記比較結果信号と閾値とが入力され、前記比較結果信号と前記閾値とを比較した結果に基づいて、前記スイッチング制御回路が前記パルス信号の出力動作をする動作モードを規定するモード信号、または、前記スイッチング制御回路が前記パルス信号を出力する動作を停止させる休止モードを規定するモード信号を出力するヒステリシス特性を備えたモードコンパレータと、

前記モード信号に応じて、前記第2のノードに供給される前記比較結果信号の下限値を設定し、前記比較結果信号が前記下限値を下回らないように制御する下限値設定回路と、を備え、

10

20

前記下限値設定回路は、

前記モード信号が前記動作モードを規定する場合には、前記下限値が第1の下限値に切り換えられ、

一方、前記モード信号が前記休止モードを規定する場合には、前記下限値が前記第1の下限値よりも高い第2の下限値に切り換えられる

ことを特徴とするDC-DCコンバータ。

【請求項2】

前記モードコンパレータは、

前記比較結果信号が前記閾値以上に遷移した場合には、前記動作モードを規定するモード信号を出力し、

一方、前記比較結果信号が前記閾値未満に遷移した場合には、前記休止モードを規定するモード信号を出力する

ことを特徴とする請求項1に記載のDC-DCコンバータ。

【請求項3】

前記モードコンパレータの前記閾値は、

前記モード信号が前記動作モードを規定する場合には、第1の閾値とし、

前記モード信号が前記休止モードを規定する場合には、前記第1の閾値よりも高い第2の閾値である

ことを特徴とする請求項1に記載のDC-DCコンバータ。

【請求項4】

前記第1の下限値は、前記第1の閾値よりも低く、

前記第1の閾値は、前記第2の下限値よりも低く、

前記第2の下限値は、前記第2の閾値よりも低い

ことを特徴とする請求項3に記載のDC-DCコンバータ。

【請求項5】

前記フィルタ回路は、

前記第2のノードと前記固定電位との間に接続された補償用抵抗と、

前記第2のノードと前記固定電位との間で、前記補償用抵抗と直列に接続された補償用キャパシタと、を備える

ことを特徴とする請求項1から4のいずれか一項に記載のDC-DCコンバータ。

【請求項6】

前記補償用抵抗は、可変抵抗であり、

前記補償用抵抗は、

前記モード信号が前記動作モードを規定する場合には、抵抗値が第1の抵抗値に切り換えられ、

一方、前記モード信号が前記休止モードを規定する場合には、抵抗値が前記第1の抵抗値よりも大きい第2の抵抗値に切り換えられる

ことを特徴とする請求項5に記載のDC-DCコンバータ。

【請求項7】

前記下限値設定回路は、

一端が電源に接続され、他端が前記第2のノードに接続された第1の制限トランジスタと、

前記比較結果信号と前記下限値とが入力され、前記比較結果信号と前記下限値とに基づいて、前記第1の制限トランジスタのゲート電圧を制御する第1の制御信号を出力する第1のンプと、を備え、

前記第1の制御信号は、

前記比較結果信号が前記下限値より大きい場合には、前記第1の制限トランジスタをオフし、

一方、前記比較結果信号が前記下限値に達した場合には、前記第1の制限トランジスタをオンする

10

20

30

40

50

ことを特徴とする請求項 1 から 6 のいずれか一項に記載の DC - DC コンバータ。

【請求項 8】

前記第 2 のノードに供給される前記比較結果信号の上限値を設定し、前記比較結果信号が前記上限値を上回らないように制御する上限値設定回路をさらに備える

ことを特徴とする請求項 1 から 7 のいずれか一項に記載の DC - DC コンバータ。

【請求項 9】

前記第 2 の閾値は、前記上限値よりも低く、

前記第 1 の下限値は、前記第 1 の閾値よりも低く、

前記第 1 の閾値は、前記第 2 の下限値よりも低く、

前記第 2 の下限値は、前記第 2 の閾値よりも低い

10

ことを特徴とする請求項 8 に記載の DC - DC コンバータ。

【請求項 10】

前記上限値設定回路は、

一端が前記固定電位に接続され、他端が前記第 2 のノードに接続された第 2 の制限トランジスタと、

前記比較結果信号と前記上限値とが入力され、前記比較結果信号と前記上限値とに基づいて、前記第 2 の制限トランジスタのゲート電圧を制御する第 2 の制御信号を出力する第 2 のアンプと、を備え、

前記第 2 の制御信号は、

前記比較結果信号が前記上限値より小さい場合には、前記第 2 の制限トランジスタをオフし、

20

一方、前記比較結果信号が前記上限値に達した場合には、前記第 2 の制限トランジスタをオンする

ことを特徴とする請求項 8 又は 9 に記載の DC - DC コンバータ。

【請求項 11】

前記スイッチング制御回路は、

電源に一端が接続され、前記第 1 のノードに他端が接続された第 1 の MOS トランジスタと、

前記第 1 のノードに一端が接続され、前記固定電位に他端が接続された第 2 の MOS トランジスタと、

30

前記電源と前記第 1 の MOS トランジスタの前記一端との間に接続された電流検出抵抗と、

前記電流検出抵抗に流れる電流の電流値に応じた電流検出信号を出力する電流アンプと

、
前記比較結果信号と前記電流検出信号とが入力され、前記比較結果信号と前記電流検出信号と比較した結果に応じたりセット信号を出力する電流コンパレータと、

発振したセット信号を出力する発振器と、

前記セット信号に応じて前記第 1 の MOS トランジスタおよび前記第 2 の MOS トランジスタのゲートにパルス信号である制御信号を出力して前記第 1 の MOS トランジスタと前記第 2 の MOS トランジスタとを相補的にオン/オフを切り換え、さらに、前記リセット信号に応じて前記制御信号のパルスデューティ比を制御するドライブ制御回路と、を備える

40

ことを特徴とする請求項 1 に記載の DC - DC コンバータ。

【請求項 12】

前記エラーアンプの駆動電流は、前記モード信号が前記動作モードを規定する場合には、第 1 の電流値に切り換えられ、

一方、前記モード信号が前記休止モードを規定する場合には、前記第 1 の電流値よりも大きい第 2 の電流値に切り換えられる

ことを特徴とする請求項 1 に記載の DC - DC コンバータ。

【請求項 13】

50

前記休止モードを規定する前記モード信号に応じて、前記発振器、前記電流コンパレータ、または、前記電流アンプうちの少なくとも何れかは、動作を停止する

ことを特徴とする請求項 1 1 に記載の DC - DC コンバータ。

【請求項 1 4】

第 1 のノードに一端が接続され、出力端子に他端が接続されたコイルと、前記コイルの他端と固定電位との間に接続されたコンデンサと、前記出力端子の電圧を分圧し、この分圧した分圧電圧を出力する分圧回路と、を備えた DC - DC コンバータに適用される半導体集積回路であって、

前記半導体集積回路は、

前記分圧電圧と基準電圧とが入力され、前記分圧電圧と前記基準電圧とを比較した結果に応じて比較結果信号を第 2 のノードに出力するエラーアンプと、

一端が前記第 2 のノードに接続され、他端が前記固定電位に接続され、前記エラーアンプが出力した前記比較結果信号の位相を補償するフィルタ回路と、

前記比較結果信号に基づいて、前記出力端子の電圧が目標値に近づくように、前記第 1 のノードに供給する前記パルス信号のデューティを制御するスイッチング制御回路と、

前記比較結果信号と閾値とが入力され、前記比較結果信号と前記閾値とを比較した結果に基づいて、前記スイッチング制御回路が前記パルス信号の出力動作をする動作モードを規定するモード信号、または、前記スイッチング制御回路が前記パルス信号を出力する動作を停止させる休止モードを規定するモード信号を出力するヒステリシス特性を備えたモードコンパレータと、

前記モード信号に応じて、前記第 2 のノードに供給される前記比較結果信号の下限値を設定し、前記比較結果信号が前記下限値を下回らないように制御する下限値設定回路と、を備え、

前記下限値設定回路は、

前記モード信号が前記動作モードを規定する場合には、前記下限値が第 1 の下限値に切り換えられ、

一方、前記モード信号が前記休止モードを規定する場合には、前記下限値が前記第 1 の下限値よりも高い第 2 の下限値に切り換えられる

ことを特徴とする半導体集積回路。

【請求項 1 5】

前記モードコンパレータの前記閾値は、

前記モード信号が前記動作モードを規定する場合には、第 1 の閾値とし、

前記モード信号が前記休止モードを規定する場合には、前記第 1 の閾値よりも高い第 2 の閾値である

ことを特徴とする請求項 1 4 に記載の半導体集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、DC - DC コンバータおよび半導体集積回路に関する。

【背景技術】

【0002】

DC - DC コンバータは、1 つもしくは複数のスイッチ素子をオン/オフし、スイッチングパルスのオン/オフ時間(パルスデューティ)を制御することで所望の電圧、電流を負荷に供給する。

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開平9-266664

【特許文献 2】特開2011-109806

【特許文献 3】特開2012-205365

10

20

30

40

50

【発明の概要】**【発明が解決しようとする課題】****【0004】**

軽負荷状態からの復帰を高速化し、出力電圧のドロップを小さくすることが可能なDC-DCコンバータを提供する。

【課題を解決するための手段】**【0005】**

実施形態に従ったDC-DCコンバータは、一端が、パルス信号が供給される第1のノードに接続され、他端が出力端子に接続されたコイルを備える。DC-DCコンバータは、前記コイルの他端と固定電位との間に接続されたコンデンサを備える。DC-DCコンバータは、前記出力端子の電圧を分圧し、この分圧した分圧電圧を出力する分圧回路を備える。DC-DCコンバータは、前記分圧電圧と基準電圧とが入力され、前記分圧電圧と前記基準電圧とを比較した結果に応じた比較結果信号を第2のノードに出力するエラーアンプを備える。DC-DCコンバータは、一端が前記第2のノードに接続され、他端が前記固定電位に接続され、前記エラーアンプが出力した前記比較結果信号の位相を補償するフィルタ回路を備える。DC-DCコンバータは、前記比較結果信号に基づいて、前記出力端子の電圧が目標値に近づくように、前記第1のノードに供給する前記パルス信号のデューティを制御するスイッチング制御回路を備える。DC-DCコンバータは、前記比較結果信号と閾値とが入力され、前記比較結果信号と前記閾値とを比較した結果に基づいて、前記スイッチング制御回路が前記パルス信号の出力動作をする動作モードを規定するモード信号、または、前記スイッチング制御回路が前記パルス信号を出力する動作を停止させる休止モードを規定するモード信号を出力するヒステリシス特性を備えたモードコンパレータを備える。DC-DCコンバータは、前記モード信号に応じて、前記第2のノードに供給される前記比較結果信号の下限値を設定し、前記比較結果信号が前記下限値を下回らないように制御する下限値設定回路を備える。

10

20

【0006】

前記下限値設定回路は、前記モード信号が前記動作モードを規定する場合には、前記下限値が第1の下限値に切り換えられ、一方、前記モード信号が前記休止モードを規定する場合には、前記下限値が前記第1の下限値よりも高い第2の下限値に切り換えられる。

【図面の簡単な説明】

30

【0007】

【図1】図1は、本発明の一態様である第1の実施形態に係るDC-DCコンバータ1000の構成の一例を示すブロック図である。

【図2】図2は、図1に示すDC-DCコンバータ1000の下限値設定回路DCの回路構成の一例を示す回路図である。

【図3】図3は、図1に示すDC-DCコンバータ1000の上限値設定回路UCの回路構成の一例を示す回路図である。

【図4】図4は、図1に示すDC-DCコンバータ1000のスイッチング制御回路SWCの回路構成の一例を示す回路図である。

【図5】図5は、図1に示すDC-DCコンバータ1000の各信号の波形の一例を示す波形図である。

40

【図6】図6は、第2の実施形態に係るDC-DCコンバータ2000の構成の一例を示すブロック図である。

【発明を実施するための形態】**【0008】**

以下、各実施形態について図面に基づいて説明する。

【0009】

図1は、本発明の一態様である第1の実施形態に係るDC-DCコンバータ1000の構成の一例を示すブロック図である。また、図2は、図1に示すDC-DCコンバータ1000の下限値設定回路DCの回路構成の一例を示す回路図である。また、図3は、図1

50

に示すDC-DCコンバータ1000の上限値設定回路UCの回路構成の一例を示す回路図である。また、図4は、図1に示すDC-DCコンバータ1000のスイッチング制御回路SWCの回路構成の一例を示す回路図である。

【0010】

図1に示すように、DC-DCコンバータ1000は、コイルLと、コンデンサCと、分圧回路1と、エラーアンプEAと、フィルタ回路2と、スイッチング制御回路SWCと、モードコンパレータMCと、スイッチ素子MC1、MC2、DC1、DC2と、下限値設定回路DCと、上限値設定回路UCと、を備える。

【0011】

コイルLは、一端が、パルス信号が供給される第1のノードN1に接続され、他端が出力端子TOUTに接続されている。

10

【0012】

コンデンサCは、コイルLの他端と固定電位（ここでは、例えば、接地電位）との間に接続されている。

【0013】

分圧回路1は、出力端子TOUTの電圧VOUTを分圧し、この分圧した分圧電圧VFBを出力する。

【0014】

この分圧回路1は、例えば、第1の分圧抵抗1aと、第2の分圧抵抗1bと、を含む。第1の分圧抵抗1aは、出力端子TOUTに一端が接続されている。第2の分圧抵抗1bは、第1の分圧抵抗の他端と接地との間に接続されている。

20

【0015】

この場合、分圧回路1は、第1の分圧抵抗1aと第2の分圧抵抗1bとの間の電圧を分圧電圧VFBとして出力する。

【0016】

エラーアンプEAは、反転入力端子に、分圧電圧VFBが入力されるとともに、非反転入力端子に、基準電圧VREFが入力されている。このエラーアンプEAは、分圧電圧VFBと基準電圧VREFとを比較した結果に応じた比較結果信号Vcを第2のノードN2に出力する。

【0017】

すなわち、例えば、エラーアンプEAは、分圧電圧VFBが基準電圧VREF未満の場合（出力電圧VOUTが目標値未満の場合）に、比較結果信号Vcの電圧を高くする。

30

【0018】

一方、エラーアンプEAは、分圧電圧VFBが基準電圧VREFより大きい場合（出力電圧VOUTが目標値より大きい場合）に、比較結果信号Vcの電圧を低くする。

【0019】

また、モードコンパレータMCは、比較結果信号Vcと閾値Vthとが入力され、比較結果信号Vcと閾値Vthとを比較した結果に基づいて、モード信号VMODEを出力する。

【0020】

すなわち、モードコンパレータMCは、比較結果信号Vcが閾値Vth以上に遷移した場合には、スイッチング制御回路SWCがパルス信号の出力動作をする動作モードを規定するモード信号VMODE（例えば、“Low”レベルの信号）を出力する。

40

【0021】

一方、モードコンパレータMCは、比較結果信号Vcが閾値Vth未満に遷移した場合には、スイッチング制御回路SWCがパルス信号を出力する動作を停止させる休止モードを規定するモード信号VMODE（例えば、“High”レベルの信号）を出力する。なお、このモード信号VMODEは、図1において、信号aに対応する。そして、信号bは、信号aを反転させた信号である。

【0022】

50

また、このモードコンパレータMCは、ヒステリシス特性を有している。

【0023】

例えば、モードコンパレータMCは、比較結果信号Vcが閾値Vth以上に遷移した場合（モード信号VMODEが動作モードを規定する場合）には、入力される閾値Vthが第1の閾値VENTRYに切り換えられる（スイッチ素子MC1がオンし、スイッチ素子MC2がオフする）。

【0024】

一方、モードコンパレータMCは、比較結果信号Vcが閾値Vth未満に遷移した場合（モード信号VMODEが休止モードを規定する場合）には、入力される閾値Vthが第1の閾値VENTRYよりも高い第2の閾値VEXITに切り換えられる（スイッチ素子MC1がオフし、スイッチ素子MC2がオンする）。なお、第2の閾値VEXITは、上限値VHよりも低く設定されている。

10

【0025】

また、フィルタ回路2は、一端が第2のノードN2に接続され、他端が固定電位（例えば、既述のように接地電位）に接続されている。このフィルタ回路2は、エラーアンプEAが出力した比較結果信号Vcの位相を補償する。これにより、DC-DC制御ループが安定動作することになる。

【0026】

このフィルタ回路2は、例えば、図1に示すように、補償用抵抗2aと、補償用キャパシタ2bと、を含む。

20

【0027】

補償用抵抗2aは、第2のノードN2と固定電位との間に接続されている。

【0028】

補償用キャパシタ2bは、第2のノードN2と固定電位との間で、補償用抵抗2aと直列に接続されている。

【0029】

補償用抵抗2aは、例えば、信号bにより制御される可変抵抗である。この場合、補正用抵抗2aは、抵抗素子2a1、2a2およびスイッチ素子2SWで構成される。

【0030】

例えば、補償用抵抗2aは、モード信号VMODEが動作モードを規定する場合（信号bが“High”レベルである場合）には、その抵抗値が第1の抵抗値に切り換えられる（スイッチ素子2SWがオン）。

30

【0031】

一方、補償用抵抗2aは、モード信号VMODEが休止モードを規定する場合（信号bが“Low”レベルである場合）には、抵抗値が前記第1の抵抗値よりも大きい第2の抵抗値に切り換えられる（スイッチ素子2SWがオフ）。

【0032】

スイッチング制御回路SWCは、比較結果信号Vcに基づいて、出力端子TOUTの電圧が目標値に近づくように、第1のノードN1に供給するパルス信号のデューティを制御する。

40

【0033】

また、下限値設定回路DCは、モードコンパレータMCが出力するモード信号VMODEに応じて、第2のノードN2に供給される比較結果信号Vcの下限値VLを設定し、比較結果信号Vcが下限値VLを下回らないように制御する。

【0034】

この下限値設定回路DCは、比較結果信号Vcが閾値Vth以上に遷移した場合には、下限値が第1の下限値VLaに切り換えられる（スイッチ素子DC1がオンし、スイッチ素子DC2がオフする）。

【0035】

一方、下限値設定回路DCは、比較結果信号Vcが閾値Vth未満に遷移した場合には

50

、下限値が第1の下限値 V_{La} よりも高い第2の下限値 $V_{WAI T}$ に切り換えられる（スイッチ素子 $D C 1$ がオフし、スイッチ素子 $D C 2$ がオンする）。

【0036】

この下限値設定回路 $D C$ は、例えば、図2に示すように、第1の制限トランジスタ $T 1$ と、第1のアンプ $A M P 1$ と、を備える。

【0037】

第1の制限トランジスタ $T 1$ は、一端が電源 $V I N$ に接続され、他端が第2のノード $N 2$ に接続されている。

【0038】

第1のアンプ $A M P 1$ は、比較結果信号 $V c$ と下限値とが入力され、比較結果信号 $V c$ と下限値とに基づいて、第1の制限トランジスタ $T 1$ のゲート電圧を制御する第1の制御信号を出力する。

10

【0039】

例えば、第1のアンプ $A M P 1$ は、比較結果信号 $V c$ が下限値より大きい場合には、第1の制限トランジスタ $T 1$ をオフするように第1の制限トランジスタ $T 1$ のゲート電圧を制御する。

【0040】

一方、第1のアンプ $A M P 1$ は、比較結果信号 $V c$ が下限値に達した場合には、第1の制限トランジスタ $T 1$ をオンするように第1の制限トランジスタ $T 1$ のゲート電圧を制御する。

20

【0041】

これにより、比較結果信号 $V c$ が下限値 $V L$ を下回らないように制御される。

【0042】

また、図1に示すように、上限値設定回路 $U C$ は、第2のノード $N 2$ に供給される比較結果信号 $V c$ の上限値 $V H$ を設定し、比較結果信号 $V c$ が上限値 $V H$ を上回らないように制御する。

【0043】

この上限値設定回路 $U C$ は、例えば、図3に示すように、第2の制限トランジスタ $T 2$ と、第2のアンプ $A M P 2$ と、を備える。

【0044】

第2の制限トランジスタ $T 2$ は、一端（ソース）が固定電位（例えば、既述のように、接地電位）に接続され、他端（ドレイン）が第2のノード $N 2$ に接続されている。

30

【0045】

第2のアンプ $A M P 2$ は、比較結果信号 $V c$ と上限値 $V H$ とが入力され、比較結果信号 $V c$ と上限値 $V H$ とに基づいて、第2の制限トランジスタ $T 2$ のゲート電圧を制御する第2の制御信号を出力する。

【0046】

例えば、第2のアンプ $A M P 2$ は、比較結果信号 $V c$ が上限値 $V H$ より小さい場合には、第2の制限トランジスタ $T 2$ をオフするように第2の制限トランジスタ $T 2$ のゲート電圧を制御する。

40

【0047】

一方、第2のアンプ $A M P 2$ は、比較結果信号 $V c$ が上限値 $V H$ に達した場合には、第2の制限トランジスタ $T 2$ をオンするように第2の制限トランジスタ $T 2$ のゲート電圧を制御する。

【0048】

これにより、比較結果信号 $V c$ が上限値 $V H$ を上回らないように制御される。

【0049】

すなわち、エラーアンプ $E A$ の出力をある範囲内に制限し、比較結果信号 $V c$ が制御範囲外の動作になるのを抑制することが可能である。

【0050】

50

ここで、スイッチング制御回路SWCは、例えば、図4に示すように、第1のMOSトランジスタM1と、第2のMOSトランジスタM2と、電流検出抵抗R1と、電流アンプCAと、電流コンパレータICOMPと、発振器OSCと、ドライブ制御回路3と、を備える。

【0051】

第1のMOSトランジスタM1は、一端（ソース）が電源VINに電流検出抵抗R1を介して接続され、他端（ドレイン）が第1のノードN1に接続されている。ここでは、この第1のMOSトランジスタM1は、例えば、pMOSトランジスタである。

【0052】

第2のMOSトランジスタM2は、一端（ドレイン）が第1のノードN1に接続され、他端（ソース）が固定電位（ここでは、既述のように接地電位）に接続されている。ここでは、この第2のMOSトランジスタM2は、例えば、nMOSトランジスタである。

【0053】

既述のように、電流検出抵抗R1は、電源VINと第1のMOSトランジスタM1の一端（ソース）との間に接続されている。

【0054】

電流アンプCAは、電流検出抵抗R1に流れる電流の電流値に応じた電流検出信号VSWを出力する。この電流アンプCAは、コイルLに流れるインダクタ電流の例えばピーク値をモニタしている。すなわち、電流検出信号VSWは、該インダクタ電流に応じた値になる。

【0055】

電流コンパレータICOMPは、比較結果信号Vcと電流検出信号VSWとが入力され、比較結果信号Vcと電流検出信号VSWと比較した結果に応じたりセット信号を出力する。

【0056】

発振器OSCは、発振した発振信号であるセット信号（例えば“High”レベルの信号）を一定期間毎に出力する。

【0057】

ドライブ制御回路3は、該セット信号に応じて第1のMOSトランジスタM1および第2のMOSトランジスタM2のゲートにパルス信号である制御信号を出力して、第1のMOSトランジスタM1と第2のMOSトランジスタM2とを相補的にオン/オフを切り換えるようになっている。さらに、ドライブ制御回路3は、該リセット信号に応じて該制御信号のパルスデューティ比を制御する。

【0058】

ここで、ドライブ制御回路3は、例えば、図4に示すように、フリップフロップFFと、論理回路3aと、ドライバPDR、NDRと、を含む。

【0059】

該リセット信号は、フリップフロップFFのリセット端子Rに入力され、該セット信号は、フリップフロップFFのセット端子に入力される。フリップフロップFFは、該セット信号および該リセット信号に応じて、出力端子Qから信号を出力する。

【0060】

論理回路3aは、フリップフロップFFの出力信号に応じて、信号を増幅するドライバPDR、NDRを介して、第1および第2のMOSトランジスタM1、M2のゲートに該制御信号を出力する。

【0061】

また、スイッチング制御回路SWCは、既述の休止モードを規定するモード信号VMODEに応じて、発振器OSC、電流コンパレータICOMP、または、電流アンプCAのうちの少なくとも何れかは、動作を停止する。特に、発振器OSC、電流コンパレータICOMP、および、電流アンプCAの全ての動作を停止させることにより、消費電力のさらなる低減を図ることができる。

10

20

30

40

50

【 0 0 6 2 】

以上のような構成を有するDC - DCコンバータ1000では、フィードバックループにより、分圧電圧VFBと基準電圧VREFとが一致するようにパルスデューティが制御される。このため、分圧抵抗1の抵抗比を変更することにより、出力電圧VOUTを所定の値に設定することができる。

【 0 0 6 3 】

このように、DC - DCコンバータ1000は、一定期間毎に発振器OSCから供給されるセット信号と、電圧VSWと電圧Vcの比較によって生成されるリセット信号とによってPWM (Pulse Width Modulation) 制御を行う。

【 0 0 6 4 】

なお、エラーアンプEA、フィルタ回路2、スイッチング制御回路SWC、モードコンパレータMC、スイッチ素子MC1、MC2、DC1、DC2、下限値設定回路DC、および上限値設定回路UCは、1つのチップに搭載される半導体集積回路100を構成する。この半導体集積回路100は、既述のように、DC - DCコンバータ1000に適用される。

【 0 0 6 5 】

ここで、以上のような構成を有するDC - DCコンバータ1000のモードが、軽負荷モードから通常モードに遷移する際の動作の一例について説明する。

【 0 0 6 6 】

図5は、図1に示すDC - DCコンバータ1000の各信号の波形の一例を示す波形図である。

図5に示すように、第1の下限值VLaは、第1の閾値VENTRYよりも低く設定されている。さらに、第1の閾値VENTRYは、第2の下限值VWAITよりも低く設定されている。さらに、第2の下限值VWAITは、第2の閾値VEXITよりも低く設定されている。

【 0 0 6 7 】

ここで、例えば、時刻t0において、比較結果信号Vcが閾値Vth (第1の閾値VENTRY) 未満になると、モード信号VMODE (信号) が“ High ”レベルになる (休止モードを規定する) 。

【 0 0 6 8 】

これにより、スイッチング制御回路SWCがパルス信号を出力する動作を停止させる。これにより、出力電圧VOUTが低下し始める。

【 0 0 6 9 】

このとき、閾値Vthが第2の閾値VEXITに切り換えられる。そして、比較結果信号Vcは第2の下限值VWAITに制限される。

【 0 0 7 0 】

そして、時刻t2において、比較結果信号Vcが閾値Vth (第2の閾値VEXIT) 以上になると、モード信号VMODE (信号) が“ Low ”レベルになる (動作モードを規定する) 。

【 0 0 7 1 】

これにより、スイッチング制御回路SWCがパルス信号の出力動作を開始する。

【 0 0 7 2 】

負荷電流IOUTがまだ少ない状態 (軽負荷) であるので、出力電圧VOUTが上昇し、比較結果信号Vcが低下し始める。

【 0 0 7 3 】

そして、時刻t3において、比較結果信号Vcが閾値Vth (第1の閾値VENTRY) 未満になると、モード信号VMODE (信号) が“ High ”レベルになる (休止モードを規定する) 。

【 0 0 7 4 】

これにより、スイッチング制御回路SWCがパルス信号を出力する動作を停止させる。

10

20

30

40

50

これにより、出力電圧 V_{OUT} が低下し始める。

【0075】

このとき、閾値 V_{th} が第2の閾値 V_{EXIT} に切り換えられる。そして、比較結果信号 V_c は第2の下限值 V_{WAIT} に制限される。

【0076】

そして、時刻 t_4 において、負荷電流 I_{OUT} が増加する。

【0077】

そして、時刻 t_5 において、比較結果信号 V_c が閾値 V_{th} (第2の閾値 V_{EXIT}) 以上になると、モード信号 V_{MODE} (信号) が “Low” レベルになる (軽負荷モードから通常モードに遷移する)。

10

【0078】

これにより、スイッチング制御回路 SWC がパルス信号の出力動作を開始する。

【0079】

既述のように、時刻 t_3 で比較結果信号 V_c が第1の閾値 V_{ENTRY} 以下となってモードコンパレータ MC が反転するとすぐさま、下限値を第2の下限值 V_{WAIT} にする。

【0080】

これにより、時刻 t_4 で負荷電流 I_{OUT} が増加して、軽負荷モードから通常モードに復帰する際に、比較結果信号 V_c の上昇を高い電圧値 (V_{WAIT}) から開始することができる。すなわち、DC-DCコンバータ1000のスイッチング動作開始までの時刻 $t_4 \sim t_5$ の期間が短くなる。

20

【0081】

さらに、休止モード時 (時刻 $t_0 \sim t_2$ 、 $t_3 \sim t_5$) は、動作モード (時刻 $t_2 \sim t_3$ 、) 時のフィードバックループの安定性を考える必要がないので、既述のようにフィルタ回路2の抵抗値を大きくしている。

【0082】

フィルタ回路2の抵抗値を大きくするとエラーアンプ EA の駆動能力が同じでも、比較結果信号 V_c の応答速度が向上する。

【0083】

したがって、出力電圧 V_{OUT} の電圧ドロップ V_{drop} がより小さくなる。これにより、出力電圧 V_{OUT} が供給されるアプリケーションの誤動作を抑制することができる。

30

【0084】

以上のように、本実施形態に係るDC-DCコンバータによれば、軽負荷状態からの復帰を高速化し、出力電圧のドロップを小さくすることができる。

【0085】

なお、第1、第2の閾値及び第1、第2の下限值の関係の大小関係は前述した実施形態の関係に限らない。例えば、第2の下限值 V_{WAIT} は第1の閾値 V_{ENTRY} 以下の値であってもよい。

【第2の実施形態】

【0086】

図6は、第2の実施形態に係るDC-DCコンバータ2000の構成の一例を示すブロック図である。なお、図6において、図1に示す符号と同じ符号は、第1の実施形態と同様の構成を示す。

40

【0087】

図6に示すように、DC-DCコンバータ2000は、第1の実施形態と同様に、コイル L と、コンデンサ C と、分圧回路1と、エラーアンプ EA と、フィルタ回路2と、スイッチング制御回路 SWC と、モードコンパレータ MC と、スイッチ素子 $MC1$ 、 $MC2$ 、 $DC1$ 、 $DC2$ と、下限値設定回路 DC と、上限値設定回路 UC と、を備える。

【0088】

ここで、駆動電流源 I_X は、モード信号 V_{MODE} (信号 b) に応じて、エラーアン

50

プ E A の駆動電流を制御する。なお、この駆動電流源 I X は、図 1 では簡単のため、省略されている。

【 0 0 8 9 】

例えば、駆動電流源 I X は、モード信号 V M O D E が動作モードを規定する場合には、駆動電流を第 1 の電流値に設定する。すなわち、エラーアンプ E A は、モード信号 V M O D E が動作モードを規定する場合には、駆動電流が第 1 の電流値に切り換えられる。

【 0 0 9 0 】

一方、駆動電流源 I X は、モード信号 V M O D E が休止モードを規定する場合には、駆動電流を第 1 の電流値よりも大きい第 2 の電流値に設定する。すなわち、エラーアンプ E A は、モード信号 V M O D E が休止モードを規定する場合には、駆動電流が第 1 の電流値よりも大きい第 2 の電流値に切り換えられる。

10

【 0 0 9 1 】

これにより、エラーアンプ E A は、モード信号 V M O D E が休止モードを規定する場合には、駆動能力が増加（応答速度が向上）する。

【 0 0 9 2 】

すなわち、D C - D C コンバータ 2 0 0 0 は、軽負荷モードから通常モードへ遷移する際に、出力電圧 V O U T のドロップを低減することができる。

【 0 0 9 3 】

なお、エラーアンプ E A、フィルタ回路 2、スイッチング制御回路 S W C、モードコンパレータ M C、スイッチ素子 M C 1、M C 2、D C 1、D C 2、下限値設定回路 D C、および上限値設定回路 U C は、1 つのチップに搭載される半導体集積回路 2 0 0 を構成する。この半導体集積回路 2 0 0 は、D C - D C コンバータ 2 0 0 0 に適用される。

20

【 0 0 9 4 】

なお、D C - D C コンバータ 2 0 0 0 のその他の構成は、実施形態 1 と同様である。

【 0 0 9 5 】

すなわち、本第 2 の実施形態に係る D C - D C コンバータ 2 0 0 0 によれば、第 1 の実施形態と同様に、軽負荷状態からの復帰を高速化し、出力電圧のドロップを小さくすることができる。

【 0 0 9 6 】

なお、この第 2 の実施形態で説明されたエラーアンプ E A の駆動電流を変化させる構成を第 1 の実施形態の D C - D C コンバータ 1 0 0 0 に適用してもよい。

30

【 0 0 9 7 】

なお、実施形態は例示であり、発明の範囲はそれらに限定されない。

【 符号の説明 】

【 0 0 9 8 】

1 0 0、2 0 0 半導体集積回路

1 0 0 0、2 0 0 0 D C - D C コンバータ

L コイル

C コンデンサ C

1 分圧回路

E A エラーアンプ

2 フィルタ回路

S W C スwitching 制御回路

M C モードコンパレータ

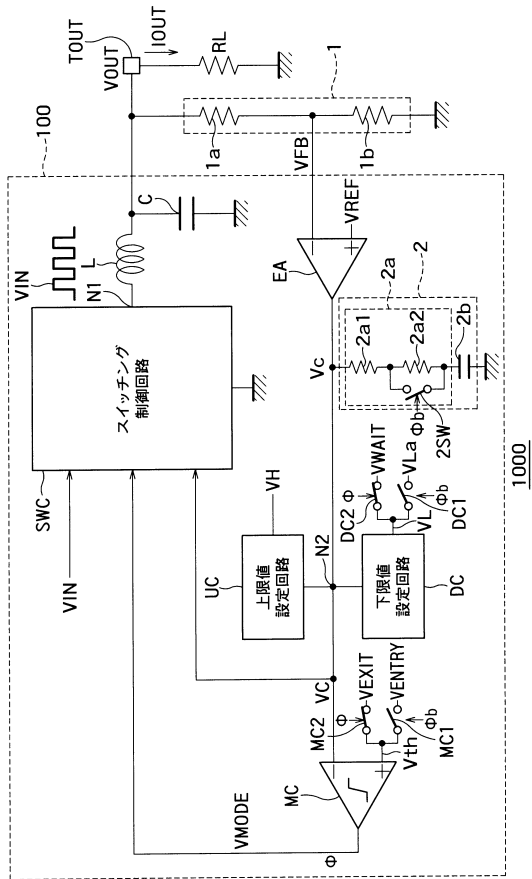
M C 1、M C 2、D C 1、D C 2 スイッチ素子

D C 下限値設定回路

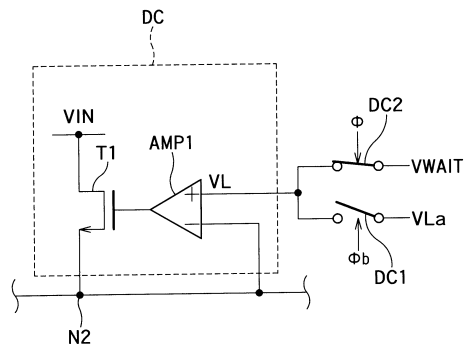
U C 上限値設定回路

40

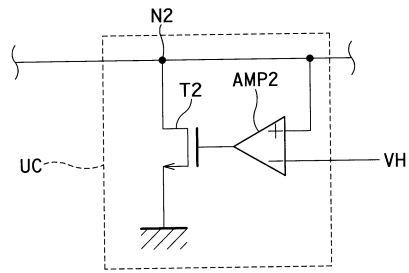
【図1】



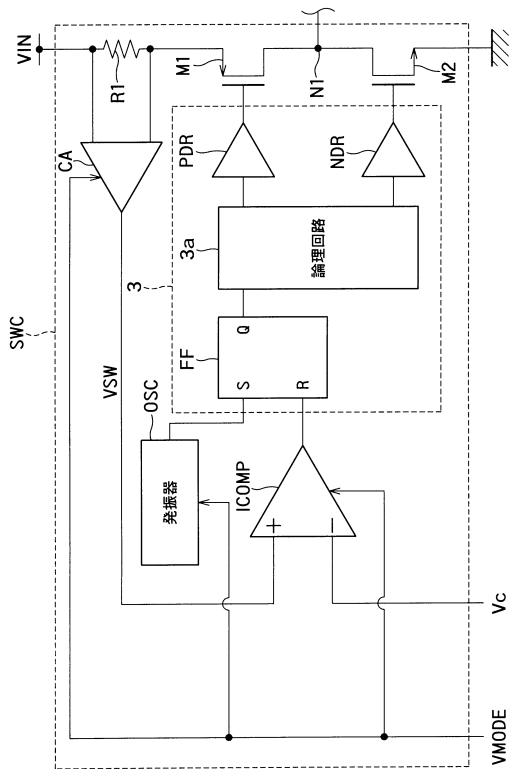
【図2】



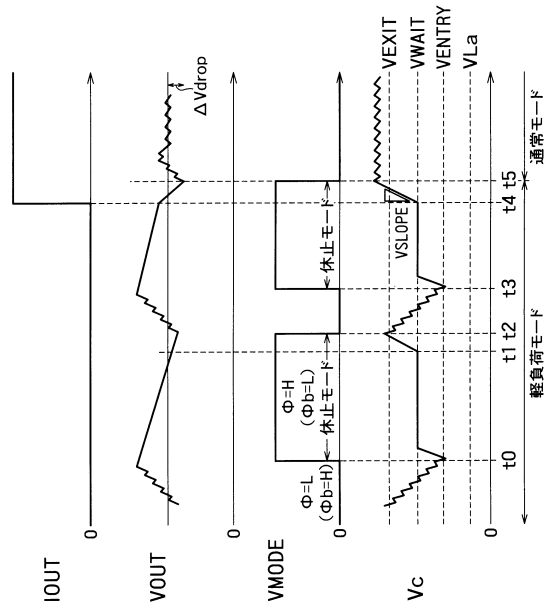
【図3】



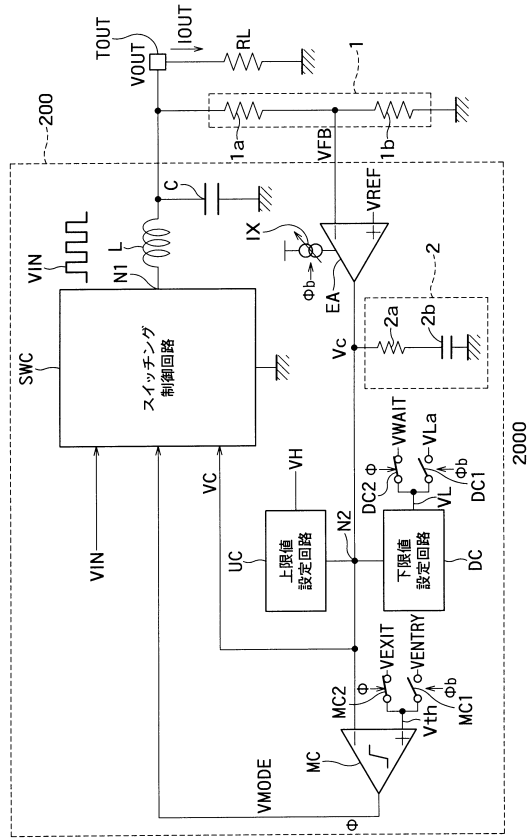
【図4】



【図5】



【図6】



フロントページの続き

審査官 麻生 哲朗

- (56)参考文献 特開2011-109806(JP,A)
特開2003-174769(JP,A)
特開2010-081747(JP,A)
特開2008-228362(JP,A)
特開2005-086992(JP,A)
特開2011-041418(JP,A)
特開2005-006386(JP,A)
米国特許出願公開第2008/0111530(US,A1)
特開2012-205365(JP,A)
特開平09-266664(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/155