

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成22年5月13日(2010.5.13)

【公開番号】特開2009-54707(P2009-54707A)

【公開日】平成21年3月12日(2009.3.12)

【年通号数】公開・登録公報2009-010

【出願番号】特願2007-218498(P2007-218498)

【国際特許分類】

H 01 L 21/8247 (2006.01)

H 01 L 27/115 (2006.01)

H 01 L 27/10 (2006.01)

H 01 L 29/788 (2006.01)

H 01 L 29/792 (2006.01)

【F I】

H 01 L 27/10 4 3 4

H 01 L 27/10 4 8 1

H 01 L 29/78 3 7 1

【手続補正書】

【提出日】平成22年3月29日(2010.3.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体基板の正面の第1領域に第1電界効果トランジスタを含み、第2領域に前記第1電界効果トランジスタに隣接する第2電界効果トランジスタを含む不揮発性メモリセルを有する半導体記憶装置であつて、

前記第1領域に形成された前記第1電界効果トランジスタの第1ゲート電極と、前記第2領域に形成された前記第2電界効果トランジスタの第2ゲート電極と、前記半導体基板と前記第1ゲート電極との間に形成された第1ゲート絶縁膜と、前記半導体基板と前記第2ゲート電極との間および前記第1ゲート電極と前記第2ゲート電極との間に形成された前記電荷蓄積層と、前記半導体基板と前記電荷蓄積層との間および前記第1ゲート電極と前記電荷蓄積層との間に形成された第1絶縁膜とを有し、

前記第1ゲート電極のゲート長方向端部下の前記第1ゲート絶縁膜の厚さが、前記第1ゲート電極のゲート長方向中央部下の前記第1ゲート絶縁膜の厚さよりも0.5 nm以上厚いことを特徴とする半導体記憶装置。

【請求項2】

請求項1記載の半導体記憶装置において、前記第1ゲート電極と前記電荷蓄積層との間に位置し、かつ前記半導体基板に最も近い前記第1絶縁膜の厚さが、前記半導体基板と前記電荷蓄積層との間の前記第1絶縁膜の厚さの1.5倍以下であることを特徴とする半導体記憶装置。

【請求項3】

請求項1記載の半導体記憶装置において、さらに、前記半導体基板の正面の第3領域に論理演算を行う第3電界効果トランジスタを有し、

前記第3領域に形成された前記第3電界効果トランジスタの第3ゲート電極と、前記半導体基板と前記第3ゲート電極との間に形成された第2ゲート絶縁膜とを有し、

前記第3ゲート電極のゲート長方向端部下の前記第2ゲート絶縁膜の厚さと、前記第3ゲート電極のゲート長方向中央部下の前記第2ゲート絶縁膜の厚さとの差が0.5nm以下であることを特徴とする半導体記憶装置。

【請求項4】

請求項1記載の半導体記憶装置において、前記第1ゲート電極の片方のゲート長方向端部下の前記第1ゲート絶縁膜の厚さが、前記第1ゲート電極のゲート長方向中央部下の前記第1ゲート絶縁膜の厚さよりも厚いことを特徴とする半導体記憶装置。

【請求項5】

請求項1記載の半導体記憶装置において、前記電荷蓄積層は窒化シリコン膜、酸窒化シリコン膜、酸化タンタル膜、または酸化アルミニウム膜であることを特徴とする半導体記憶装置。

【請求項6】

請求項1記載の半導体記憶装置において、前記第1絶縁膜は酸化シリコン膜であることを特徴とする半導体記憶装置。

【請求項7】

請求項1記載の半導体記憶装置において、前記第2ゲート電極と前記電荷蓄積層との間に第2絶縁膜を有することを特徴とする半導体記憶装置。

【請求項8】

請求項7記載の半導体記憶装置において、前記第2絶縁膜は酸化シリコン膜、酸化シリコン膜の間に窒化シリコン膜が挿入された絶縁膜、または酸化シリコン膜の間に非晶質シリコン膜が挿入された絶縁膜であることを特徴とする半導体記憶装置。

【請求項9】

請求項1記載の半導体記憶装置において、前記電荷蓄積層にSST方式によりホットエレクトロンを注入することにより、情報を書込むことを特徴とする半導体記憶装置。

【請求項10】

請求項1記載の半導体記憶装置において、前記電荷蓄積層にBTBT現象を利用してホットホールを注入することにより、情報を消去することを特徴とする半導体記憶装置。

【請求項11】

半導体基板の正面の第1領域に第1電界効果トランジスタを含み、第2領域に前記第1電界効果トランジスタに隣接する第2電界効果トランジスタを含む不揮発性メモリセルを形成する半導体記憶装置の製造方法であって、以下の工程を有することを特徴とする半導体記憶装置の製造方法：

- (a) 前記第1領域の前記半導体基板の正面に第1ゲート絶縁膜を形成する工程、
- (b) 前記半導体基板の主面上に第1導体膜を堆積した後、前記第1領域に前記第1ゲート絶縁膜を介して前記第1導体膜からなる前記第1電界効果トランジスタの第1ゲート電極を形成する工程、
- (c) 前記第1ゲート電極下の前記第1ゲート絶縁膜を残して、その他の領域の前記第1ゲート絶縁膜を除去する工程、
- (d) 前記半導体基板に対して第1酸化処理を施して、前記第1ゲート電極のゲート長方向端部下の前記第1ゲート絶縁膜の厚さを前記第1ゲート電極のゲート長方向中央部下の前記第1ゲート絶縁膜の厚さよりも厚くする工程、
- (e) 前記(d)工程の後、前記第1酸化処理により形成された酸化膜の全部または一部を除去した後、前記半導体基板に対して第2酸化処理を施して、第1絶縁膜を形成する工程、
- (f) 前記(e)工程の後、前記第1絶縁膜上に電荷蓄積層を形成する工程、
- (g) 前記(f)工程の後、前記半導体基板の主面上に第2導体膜を堆積した後、前記第2導体膜を異方性エッティングにより加工して、前記第1ゲート電極の両側面に前記第2導体膜からなるサイドウォールを形成する工程、
- (h) 前記第1ゲート電極の一方の側面に形成された前記サイドウォールを除去し、前記第1ゲート電極の他の側面に残る前記サイドウォールを第2ゲート電極とする工程、

(i) 前記第1ゲート電極と前記第2ゲート電極との間、および第2領域に形成された前記第1絶縁膜および前記電荷蓄積層を残して、その他の領域の前記第1絶縁膜および前記電荷蓄積層を除去する工程。

【請求項12】

請求項11記載の半導体記憶装置の製造方法において、前記(e)工程で、前記第1ゲート電極と前記電荷蓄積層との間に位置し、かつ前記半導体基板に最も近い前記第1絶縁膜の厚さが、前記半導体基板と前記電荷蓄積層との間の前記第1絶縁膜の厚さの1.5倍以下となるように、前記第1絶縁膜を形成することを特徴とする半導体記憶装置の製造方法。

【請求項13】

請求項11記載の半導体記憶装置の製造方法において、前記第1ゲート電極のゲート長方向端部下の前記第1ゲート絶縁膜の厚さを、前記第1ゲート電極のゲート長方向中央部下の前記第1ゲート絶縁膜の厚さよりも0.5nm以上厚く形成することを特徴とする半導体記憶装置の製造方法。

【請求項14】

請求項11記載の半導体記憶装置の製造方法において、前記(f)工程と前記(g)工程との間に、さらに、以下の工程を有することを特徴とする半導体記憶装置の製造方法：(j) 前記電荷蓄積層上に第2絶縁膜を形成する工程。

【請求項15】

請求項11記載の半導体記憶装置の製造方法において、前記第2酸化処理は、前記半導体基板に対してISSG酸化処理を施すことにより形成されることを特徴とする半導体記憶装置の製造方法。

【請求項16】

請求項11記載の半導体記憶装置の製造方法において、前記第1酸化処理は、ウェット酸化処理であることを特徴とする半導体記憶装置の製造方法。

【請求項17】

請求項11記載の半導体記憶装置の製造方法において、前記第1酸化処理は、ドライ酸化処理であることを特徴とする半導体記憶装置の製造方法。

【請求項18】

請求項17記載の半導体記憶装置の製造方法において、さらに、前記(c)工程で、前記第1ゲート電極のゲート長方向端部下の前記第1ゲート絶縁膜を、前記第1ゲート電極の端部から3~20nmエッチングすることを特徴とする半導体記憶装置の製造方法。

【請求項19】

請求項11記載の半導体記憶装置の製造方法において、さらに、前記(d)工程は、(d1) 前記半導体基板の主面上に第3絶縁膜を形成する工程、  
(d2) 前記第1ゲート電極の側面に、前記第3絶縁膜を介して、第4絶縁膜からなるサイドウォールを形成する工程、  
(d3) 前記第1ゲート電極下の前記第1ゲート絶縁膜が露出するまで、前記第3絶縁膜を除去する工程、  
(d4) 前記半導体基板に対してドライ酸化処理を施して、前記第1ゲート電極のゲート長方向端部下の前記第1ゲート絶縁膜の厚さを前記第1ゲート電極のゲート長方向中央部下の前記第1ゲート絶縁膜の厚さよりも厚く形成する工程を有し、

さらに、前記(e)工程は、

(e1) 前記第1ゲート電極下の前記第1ゲート絶縁膜を残して、その他の領域の前記第3絶縁膜、前記サイドウォールおよび前記ドライ酸化処理により形成された酸化膜を除去する工程を有することを特徴とする半導体記憶装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0057

【補正方法】変更

## 【補正の内容】

## 【0057】

図11に示すように、選択ゲート電極C Gと電荷蓄積層C S Lとの間に位置し、かつ半導体基板1に最も近い下層の絶縁膜6 bの厚さ( $t_{oxs}$ )と半導体基板1と電荷蓄積層C S Lとの間に位置する下層の絶縁膜6 bの厚さ( $t_{oxb}$ )との比 $t_{oxs} / t_{oxb}$ が1.5倍以下であれば、大きな相互コンダクタンスを確保でき、大きな読み出し電流が得られることが分かる。しかしながら、上記比 $t_{oxs} / t_{oxb}$ が1.5倍より大きくなると、相互コンダクタンスが小さくなり、読み出し電流が減少する。選択ゲート電極C Gとメモリゲート電極M Gとの間の距離を離していくと、両電極間下のチャネル領域に選択ゲート電極C Gおよびメモリゲート電極M Gの電圧の影響を受けにくい領域が現れ、それが拡がって両電極間下のチャネル領域の抵抗成分を増やしてしまう。このため、読み出し電流が減少していくことになる。