

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 21/335	(45) 공고일자 2001년03월02일	(11) 등록번호 10-0281101
(21) 출원번호 10-1994-0003133	(24) 등록일자 2000년11월15일	(65) 공개번호 특1995-0025927
(22) 출원일자 1994년02월22일	(43) 공개일자 1995년09월18일	

(73) 특허권자	현대반도체주식회사 김영환
(72) 발명자	윤양근
(74) 대리인	김용인, 심창섭

심사관 : 정희환

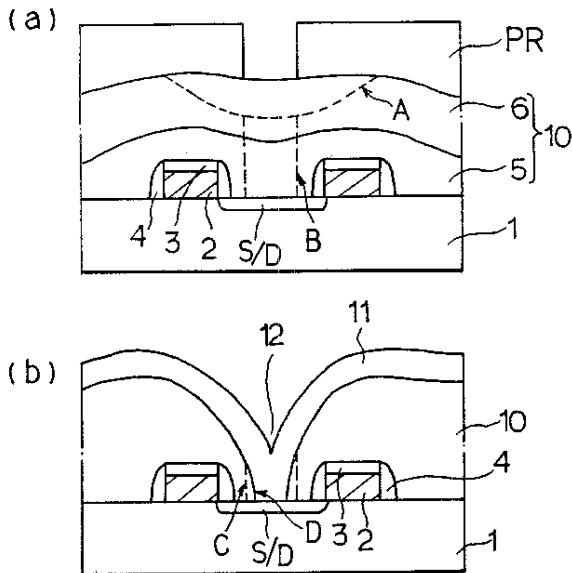
(54) 반도체장치 제조방법

요약

본 발명은 반도체장치의 제조방법에 관한 것으로, 서브마이크로 소자에 적용이 가능한 미세콘택을 형성하기 위한 것이다.

본 발명은 하층배선이 형성된 반도체기판상에 언도우프드 산화막과 제1도우프드 산화막을 차례로 형성하는 공정과, 상기 제1도우프드 산화막상에 포토레지스트를 도포하는 공정, 상기 포토레지스트를 선택적으로 노광 및 현상하여 콘택홀패턴을 형성하는 공정, 상기 콘택홀패턴을 마스크로 하여 상기 언도우프드 산화막과 제1도우프드 산화막을 이방성식각하여 상기 하층배선을 노출시키는 콘택홀을 형성하는 공정, 상기 콘택홀패턴을 제거하는 공정, 상기 제1도우프드 산화막 상부에 제2도우프드 산화막을 형성하는 공정, 상기 도우프드 산화막을 에치백하는 공정, 상기 콘택홀 상부에 상층배선을 형성하는 공정으로 이루어진 반도체장치 제조방법을 제공한다.

대표도



명세서

[발명의 명칭]

반도체장치 제조방법

[도면의 간단한 설명]

제1도 및 제2도는 종래의 반도체장치의 콘택형성방법을 도시한 도면.

제3도는 본 발명에 의한 반도체장치의 콘택형성방법을 도시한 공정순서도.

〈도면의 주요부분에 대한 부호의 설명〉

21 : 반도체기판	24 : 언도우프드 산화막
25 : 제1도우프드 산화막	26 : 포토레지스트
27 : 제2언도우프드 산화막	28 : 콘택홀
27A : 측벽스페이서	29 : 상층배선
S/D : 소오스 및 드레인	

[발명의 상세한 설명]

본 발명은 반도체장치 제조방법에 관한 것으로, 특히 산화막의 에치백을 이용한 콘택홀 형성방법에 관한 것이다.

제1도를 참조하여 종래의 반도체장치의 도전층간의 접속을 위한 콘택홀 형성 방법을 설명하면 다음과 같다.

먼저, 제1도 (a)와 같이 반도체소자로서, 예컨대 게이트전극(2)과 소오스 및 드레인(S/D)으로 이루어진 트랜지스터가 형성된 반도체기판(1)상에 층간절연층(10)으로서, 후속공정에서 형성될 도우프드 산화막으로부터의 불순물의 자동도핑(Auto-doping)을 방지하기 위해 언도우프드(Undoped) 산화막(5)을 형성하고 이위에 도우프드(Doped) 산화막(6)으로서, 예컨대 PSG(Phospho-silicate Glass) 또는 BSG(Boro-silicate Glass)를 형성한다. 이어서 상기 층간절연층(10)상에 포토레지스트(PR)를 도포하고 이를 사진식각공정에 의해 선택적으로 노광 및 현상하여 콘택홀패턴을 형성한 후, 이 포토레지스트패턴(PR)을 마스크로 하여 상기 층간절연막(10)을 먼저, 등방성식각에 의해 식각하여 참조부호A와 같은 프로파일을 갖도록 윗면의 개구각을 크게 한 다음(제1도 (a) 참조부호 A), 계속해서 이방성식각을 행하여 참조부호B와 같은 수직프로파일을 갖도록 식각하여 제1도 (b)에 도시된 바와 같이 콘택홀(12)을 형성한다. 이어서 상기 포토레지스트패턴을 제거한 후, 콘택홀의 스텝커버리지(Stepcoverage)를 좋게 하기 위해 상기 콘택홀이 형성된 층간절연막(10)을 900 - 950℃의 온도에서 리플로우시켜 완만한 형태의 콘택홀을 형성한 다음 상기 콘택홀을 포함한 층간절연층(10)상에 금속(11)을 증착함으로써 상기 콘택홀을 통해 하층배선, 즉, 상기 트랜지스터의 소오스 또는 드레인(S/D)과의 층간접속을 이루는 상층배선(11)을 형성한다.

한편, 상기와 같이 층간절연막을 등방성식각 및 이방성식각하여 콘택홀을 형성한 다음 리플로우공정을 행하지 않고, 스텝커버리지가 우수한 실리사이드(silicide)로 상층배선을 형성하기도 한다.

또한, 종래의 층간콘택을 형성하는 또 다른 방법으로서, 제2도에 도시한 바와 같이 트랜지스터가 형성된 반도체기판상에 언도우프드 산화막(5)과 도우프드 산화막(6)을 차례로 증착하여 층간절연막(10)을 형성한 후, 이위에 포토레지스트(PR)를 도포한 다음, 포토레지스트와 상기 층간절연막(10)의 식각선택비를 1:1로 하여 상기 포토레지스트를 에치백하여 표면을 평탄화한 다음 상기 제1도의 공정과 동일한 공정에 의해 층간절연막을 등방성식각 및 이방성식각하여 콘택홀을 형성하고 이 상부에 상층배선을 형성함으로써 층간콘택이 이루어지도록 하기도 한다.

그러나 상술한 종래기술에 있어서는 포토레지스트패턴을 마스크로 하여 층간절연막을 등방성식각할때 포토레지스트패턴의 개구부가 작아 식각액이 층간절연막에 접촉하는 면적이 작기 때문에 균일한 등방성식각이 이루어지기 어렵다.

또한, 콘택홀의 스텝커버리지를 좋게 하기 위한 리플로우공정시 900 - 950℃의 고온열처리가 행해지므로 소오스 및 드레인의 측벽확산이 일어나 서브마이크론 트랜지스터의 경우 최소 채널길이를 유지하기 못하게 되어 0.6 μ m이하의 소자에서는 리플로우공정을 행할 수 없게 된다.

그리고 실리사이드를 이용하는 방법에 있어서는 실리사이드 고유의 저항이 커서 금속콘택저항이 커지게 되므로 소자 배선에 걸쳐 RC지연이 증가한다.

또한, 포토레지스트 에치백을 이용하는 방법은 산화막 식각장비에서 다량의 포토레지스트를 제거해야 하므로 공정진행장비의 안정성과 재현성 및 유지에 문제가 크기 때문에 실제공정 적용이 불가능하다.

본 발명은 상술한 문제를 해결하기 위한 것으로, 서브마이크론 이하의 소자의 적용이 가능한 미세콘택형성방법을 제공하는데 그 목적 있다.

상기 목적을 달성하기 위한 본 발명의 반도체장치 제조방법은 하층배선이 형성된 반도체기판상에 언도우프드 산화막과 제1도우프드 산화막을 차례로 형성하는 공정과, 상기 제1도우프드 산화막에 포토레지스트를 도포하는 공정, 상기 포토레지스트를 선택적으로 노광 및 현상하여 콘택홀패턴을 형성하는 공정, 상기 콘택홀패턴을 마스크로 하여 상기 언도우프드 산화막과 제1도우프드 산화막을 이방성식각하여 상기 하층배선을 노출시키는 콘택홀을 형성하는 공정, 상기 콘택홀패턴을 제거하는 공정, 상기 제1도우프드 산화막 상부에 제2도우프드 산화막을 형성하는 공정, 상기 도우프드 산화막을 에치백하는 공정, 상기 콘택홀 상부에 상층배선을 형성하는 공정으로 구성된다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

제3도에 본 발명에 의한 반도체장치 제조방법을 공정순서에 따라 도시하였다.

먼저, 제3도 (a)에 도시된 바와 같이 반도체소자로서, 예컨대 게이트전극(22)과 소오스 및 드레인(S/D)으로 이루어진 트랜지스터가 형성된 반도체기판(21)상에 층간절연층(30)으로서, 후속공정에서 형성될 도우프드 산화막으로부터의 불순물의 자동도핑(Auto-doping)을 방지하기 위해 언도우프드(Undoped) 산화막(24)을 형성하고 이위에 평탄화를 용이하게 하기 위해 제1도우프드(Doped) 산화막(25)으로서, 예컨대 PSG(Phospho-silicate Glass) 또는 BSG(Boro-silicate Glass)를 형성한다. 이어서 상기 층간절연층(30)상

에 포토레지스트(26)를 도포하고 이를 사진식각공정에 의해 선택적으로 노광 및 현상하여 콘택홀패턴을 형성한다.

이어서 제3도 (b)에 도시된 바와 같이 상기 포토레지스트패턴(26)을 마스크로 하여 상기 층간절연막(30)을 이방성식각을 행한 후, 제3도 (c)에 도시된 바와 같이 상기 포토레지스트패턴을 제거한다.

다음에 제3도 (d)에 도시된 바와 같이 상기 도우프드 산화막(25) 상부에 제2도우프드 산화막(27)을 형성한다. 제2도우프드 산화막(27)은 서브마이크론 소자의 경우에 있어서, 드레인과 소오스의 간격이 작아 콘택홀 식각시 하지층패턴(예컨대 트랜지스터 게이트전극)이 노출될 경우를 대비한 측벽스페이서를 형성하기 위한 것이다. 이어서 상기 도우프드산화막(27)을 에치백하여 제3도 (e)에 도시된 바와 같이 측면에 도우프드 산화막으로 된 측벽스페이서(27A)가 형성된 완만한 경사를 갖는 콘택홀(28)을 형성한다. 이와 같이 도우프드 산화막을 에치백할 경우, 종래의 포토레지스트 에치백을 이용한 방법과는 달리 장비의 오염이 덜하므로 장비유지가 용이해진다.

이어서 제3도 (f)에 도시된 바와 같이 상기 콘택홀 상부에 상층배선(29)을 형성을 위한 금속층을 형성함으로써 상기 콘택홀을 통해 하층배선, 즉, 상기 트랜지스터의 소오스 또는 드레인(S/D)과의 층간접속을 이루는 상층배선(29)을 형성한다.

이상 상술한 바와 같이 본 발명에 의하면, 콘택 리플로우등과 같은 고온공정이 필요없게 되므로 소자에 악영향을 미치는 요인이 제거된다.

또한, 공정의 안정성, 재현성, 유지성이 우수하다.

그리고 포토레지스트를 이용한 콘택홀패턴 형성시 종래보다 오버레이 마진이 크며, 콘택홀 식각시 하지층패턴이 노출되는 경우에도 산화막의 에치백공정시 콘택홀 측면에 측벽스페이서가 형성되기 때문에 소자의 신뢰성이 향상된다.

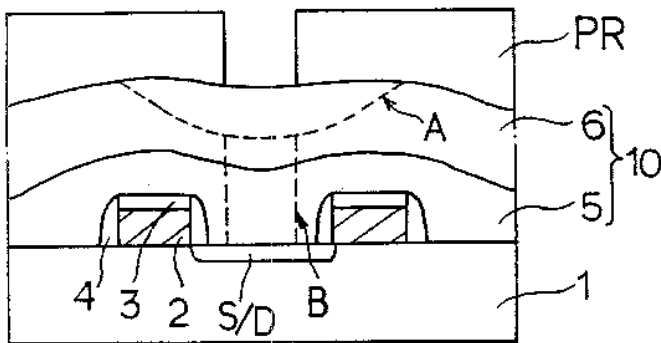
(57) 청구의 범위

청구항 1

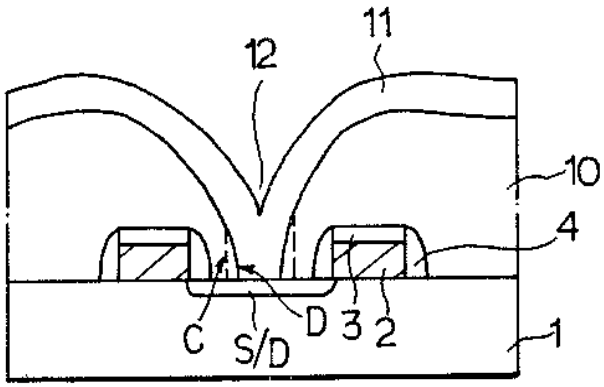
하층배선이 형성된 반도체기판상에 언도우프드 산화막과 제1도우프드 산화막을 차례로 형성하는 공정과, 상기 제1도우프드 산화막상에 포토레지스트를 도포하는 공정, 상기 포토레지스트를 선택적으로 노광 및 현상하여 콘택홀패턴을 형성하는 공정, 상기 콘택홀패턴을 마스크로 하여 상기 언도우프드 산화막과 제1도우프드 산화막을 이방성식각하여 상기 하층배선을 노출시키는 콘택홀을 형성하는 공정, 상기 콘택홀패턴을 제거하는 공정, 상기 제1도우프드 산화막 상부에 제2도우프드 산화막을 형성하는 공정, 상기 도우프드 산화막을 에치백하는 공정, 상기 콘택홀 상부에 상층배선을 형성하는 공정으로 이루어지는 것을 특징으로 하는 반도체 장치 제조방법.

도면

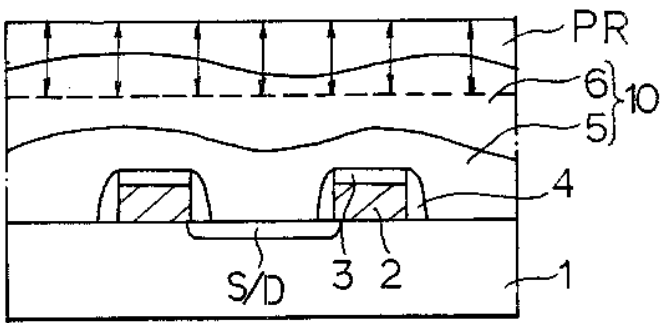
도면 1a



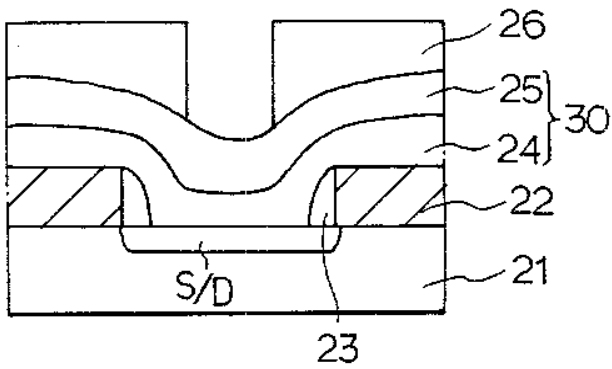
도면1b



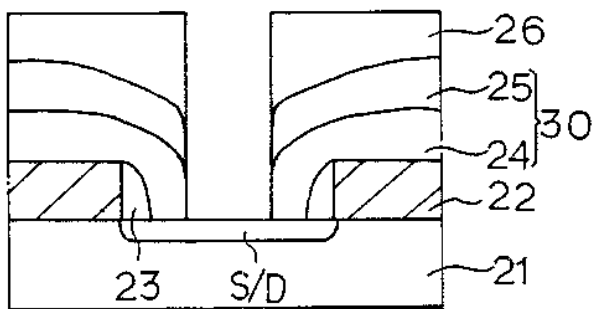
도면2



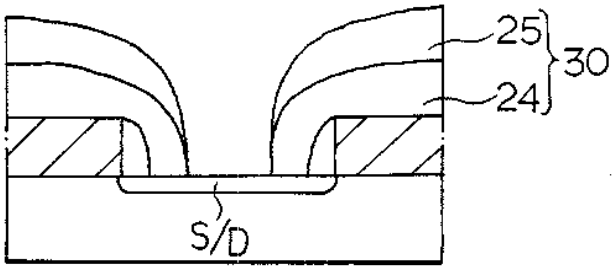
도면3a



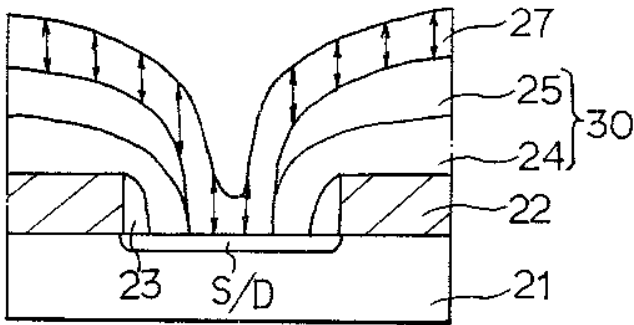
도면3b



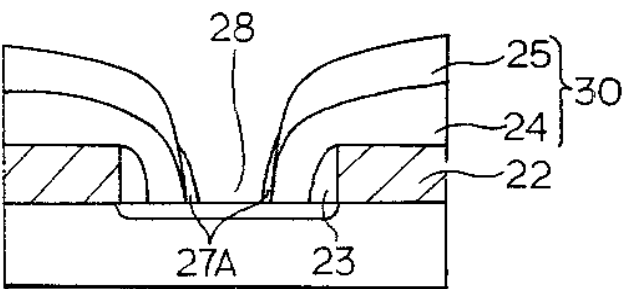
도면3c



도면3d



도면3e



도면3f

