



Patent dodatkowy
do patentu nr _____

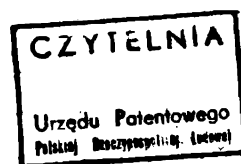
Zgłoszono: 28.03.79 (P. 214427)

Pierwszeństwo _____

Zgłoszenie ogłoszono: 15.12.80

Opis patentowy opublikowano: 10.09.1984

Int. Cl.³ G01R 31/28



Twórcy wynalazku: Krzysztof Idzior, Marek Chwierut, Andrzej Cieślak,
Franciszek Nowak, Stanisław Sztukowski, Andrzej
Więcek, Ewa Chwierut

Uprawniony z patentu: Zakłady Automatyki Przemysłowej im. Juliana
Marchlewskiego „Mera-Zap”, Ostrów Wielkopolski (Polska)

Tester cyfrowych układów elektronicznych

1

Przedmiotem wynalazku jest tester cyfrowych układów elektronicznych stosowany szczególnie w systemach sterowania sekwencyjnego oraz centralnej rejestracji i przetwarzania danych.

Obecnie stosowane testery współdziałają z minikomputerami o odpowiedniej konfiguracji adaptera, urządzeń peryferyjnych i oprogramowaniu umożliwiającym generowanie funkcji wejściowych według kombinacji wymaganej przez strukturę logiczną badanego układu. Jednocześnie na wyjściu układu badanego pojawia się kombinacja logiczna odpowiadająca danej kombinacji wejściowej. Minikomputer lub dowolnej klasy sterownik ma w pamięci zapisane kombinacje wyjściowe odpowiadające danym kombinacjom wejściowym. Sekwencyjne zmiany kombinacji wejściowych powodują określone zmiany wyjściowe. W wyniku porównania sygnałów wyjściowych z modułu, ze sygnałami poprawnymi, minikomputer stwierdza czy wynik testu jest prawidłowy.

Znany jest również z polskiego zgłoszenia P. 197 380 sposób i urządzenie do wykrywania i lokalizowania uszkodzeń w układach cyfrowych zawierające klawiaturę i wyświetlacz stanów logicznych połączone z blokiem inicjująco-pamiętającym, który następnie łączy się dwukierunkowo z badanym układem poprzez układ adaptera. Różnica w działaniu tego urządzenia w porównaniu z testerami wykorzystującymi sprzęt minikomputerowy polega na przejęciu funkcji sterowania testerem oraz funkcji odczytu, poprzednio wykonywanych za pomocą

2

minikomputera, przez odpowiednio przeszkolonego operatora, co w efekcie nie daje urządzenia o charakterze automatycznym.

Wadą testerów współdziałających z minikomputerami jest zastosowanie dużej ilości sprzętu o rozbudowanych układach oraz niemożliwość bezpośredniej ingerencji i lokalizacji uszkodzeń w elementach modułu. W wypadku stwierdzenia nieprawidłowości działania badanego modułu konieczne jest przeniesienie go na odrębne stanowisko symulacji ręcznej i dalsze sprawdzenie uszkodzonego elementu.

Ponadto programowanie systemu minikomputerowego jest pracochłonne oraz wymaga znajomości i kwalifikacji programisty. Natomiast sposób i urządzenie według zgłoszenia P. 197 380 jest mało sprawne, zwłaszcza podczas wykrywania uszkodzeń różnorodnych uszkodzeń układów cyfrowych i każdorazowo wymaga określenia, za pomocą klawiatury, zestawu sygnałów pobudzających badany układ, co z zasady wyklucza możliwość generowania sygnałów o czasach rzeczywiste występujących w trakcie pracy badanego układu. Dodatkowo urządzenie wymaga podczas testowania ciągłej obserwacji przez operatora a zatem nie jest urządzeniem automatycznym.

Rozwiązanie według polskiego zgłoszenia P. 190 175 zawiera generator sekwencji kombinacji wejściowych, matrycę przełączającą oraz układ zliczający i wyświetlania wyniku.

Rozwiązanie to nie daje możliwości sprawdzenia odpowiedzi w dowolnym punkcie układu logicznego lecz umożliwia jedynie obserwację stanów na wyjściach układu względnie elementu scalonego.

Innym znanym testerem jest próbnik nakładany na badany element scalony według polskiego zgłoszenia P. 205 194, który ma generator impulsów testowych połączonych z pamięcią sprzężoną ze wskaźnikiem cyfrowym łączącym się z układem wyróżniającym stany statyczne i dynamiczne elementów scalonych oraz ze wskaźnikiem sygnalizującym stany logiczne badanych elementów.

Stwierdzenie poprawności pracy elementu scalonego polega na porównaniu stanu wyjść na wyświetlaczu z prawidłową kombinacją określoną w katalogu badanego elementu. Za pomocą powyższego próbnika nie można jednak sprawdzić układów cyfrowych.

Dotychczasowe urządzenie oparte na polskim opisie patentowym nr 91 864 wykorzystujące dwa przerzutniki Schmitta do wykrywania stanów statycznych i trzy ugiwibratory scalone do wykrywania stanów dynamicznych, umożliwia testowanie wyłącznie pojedynczych elementów scalonych.

Znany, z polskiego opisu patentowego nr 95 698, analizator elementów, układów i struktur logicznych zawiera układ synchronizacji sumacyjnej zapisu, układ bramkowania, blok sterowania, blok pamięci, układ podstawy czasu, generator napięć schodkowych, sumator oraz urządzenie do zobrazenia przebiegów.

Analizator ten umożliwia tylko obserwację przebiegów czasowych na wyjściu badanego układu i przedstawienie ich w oscyloskopie. Analiza przebiegów jest trudna i pracochłonna a biorąc pod uwagę dużą, lecz ograniczoną, ilość sond potrzebnych do wprowadzenia sygnałów, jest nie przydatny dla szybkiego i sprawnego testowania układów cyfrowych.

Z kolei znana jest konstrukcja przedstawiona w polskim opisie patentowym nr 102 496 w skład której wchodzi generator impulsów prostokątnych łączący się, poprzez bramkujący układ, z licznikiem a ten z blokiem ciągu impulsów sprawdzających oraz z blokiem wzorcowych ciągów impulsów wyjściowych. Oba bloki są połączone z blokiem wybierania, który łączy się bezpośrednio i pośrednio, poprzez badany układ scalony, z układem porównania a ten za pomocą układu sygnalizacji jest sprzężony z układem bramkującym.

W powyższym przyrządzie dla sprawdzenia poprawności pracy cyfrowego elementu scalonego jest niezbędny układ wzorcowy, który służy jako baza porównawcza w stosunku do badanego elementu.

Wynalazek ma na celu szybkie, dokładne i szczegółowe zbadanie modułu oraz każdego elementu w nim zawartego z możliwością sprawdzenia szerokiego asortymentu cyfrowych układów elektronicznych w sposób nie wymagający wysoko kwalifikowanego personelu w randze programisty elektronicznych maszyn cyfrowych jak również pozwala na dokładne określenie miejsca uszkodzenia, jego naprawę i ponowne sprawdzenie badanego układu bez konieczności wyjmowania tego układu z testera.

Istota wynalazku polega na tym, że pierwszy

licznik o dowolnej ilości bitów, wyjściami łączy się bezpośrednio — i pośrednio poprzez dekodery, z wejściowym łączem badanego układu, natomiast jego wyjściowe łącze jest wyjściami połączone z wielowyjściowym sumatorem, który za pomocą rozłącznej sondy jest łączony z drugim licznikiem.

Zaletą nowego rozwiązania jest nieskomplikowana budowa, szybkie, dokładne i szczegółowe sprawdzenie każdego elementu elektronicznego układu cyfrowego w sposób automatyczny oraz uproszczone programowanie. Ponadto rozwiązanie to cechuje duży zbiór kombinacji sygnałów testujących o czasie trwania zbliżonym do rzeczywistości występujących w trakcie pracy elektronicznych układów cyfrowych.

Przedmiot wynalazku jest uwidoczniony w przykładzie wykonania na rysunku, który przedstawia schemat blokowy testera.

Rozwiązanie zawiera generator 1 połączony z licznikiem 2, wyjściami łączącymi się bezpośrednio — i pośrednio poprzez dekoder 3 z wejściowym łączem 4 badanego układu 5 a wyjściowe łącze 6 jest połączone z sumatorem 7, który za pomocą sondy 8 jest łączony z drugim licznikiem 9 sprzężonym z cyfrowym wyświetlaczem 10.

Działanie testera według wynalazku polega na tym, że generator 1 wytwarza prostokątne impulsy o częstotliwości wynikającej z granicznej częstotliwości pracy danego układu 5 badanego. Częstotliwość impulsów może być regulowana. Impulsy z generatora 1 są podawane na wejście licznika 2, który jest wielowyjściowym licznikiem binarnym. Z wyjść licznika 2 sygnały są podawane na dekoder 3, który dekoduje wprowadzoną informację na sygnały binarne. Na wejściowe łącze 4 badanego układu 5 są podawane kombinacje sygnałów cyfrowych z dekodera 3 i licznika 2. Kombinacje te są tak dobrane dla badanego układu 5, iż umożliwiają sprawdzenie poprawności jego pracy.

Oprogramowanie odpowiedniej sekwencji wejściowej dla danego modułu jest wykonywane za pomocą zakodowania wejściowego łącza 4. Program dla wejściowego łącza 4 jest wykonywany w oparciu o wymaganą liczbę sygnałów oraz ich wzajemne uzależnienie czasowe. Oprogramowanie testera należy tak wykonać żeby zagwarantować sprawdzenie wszystkich funkcji badanego układu 5 przy częstotliwościach odpowiadających znamionowej częstotliwości pracy lub przy częstotliwościach wyższych względnie — niższych. Wyjściowe łącze 6 także programowalne pod konkretnie badany układ 5 łączy się z sumatorem 7 z wyjść którego za pomocą sondy 8 sygnały są podawane na licznik 9 zliczający impulsy. Sonda 8 jest również wykorzystywana dla wyszukiwania uszkodzonych miejsc we wnętrzu struktury badanego układu 5 umożliwiając bezpośredni dostęp do dowolnego jego punktu. Licznik 9 ma swoje wyjścia o takim kodzie, że steruje cyfrowy wyświetlacz 10.

Jeżeli kod licznika 9 nie odpowiada kodowi wejściowemu wyświetlacza 10 to za pomocą zastosowania dekodów przetwarzających odpowiednie kody cyfrowe należy wyjścia licznika 9 dostosować do wejść wyświetlacza 10.

Zastrzeżenia patentowe

Tester cyfrowych układów elektronicznych zawierający generator impulsów połączony z pierwszym licznikiem, dekodery oraz sumator a na wyjściu — drugi licznik sprzężony z cyfrowym wyświetlaczem, **znamienny tym**, że pierwszy licznik (2),

o dowolnej ilości bitów, wyjściami łączy się bez pośrednio — i pośrednio poprzez dekodery (3) z wejściowym łączem (4) badanego układu (5), natomiast jego wyjściowe łącze (6) jest wyjściami połączone z wielowyjściowym sumatorem (7), który za pomocą rozłącznej sondy (8) jest łączony z drugim licznikiem (9).

