

公告本

申請日期	89. 10. 20
案 號	89122 109
類 別	H01L 29/70

A4
C4

493278

中文說明書修正本(90年12月)

(以上各欄由本局填註)

90.12.19 修正 年 月 日 補充新發明專利說明書		
一、發明 新 型 名 稱	中 文	橫向異質接面雙極電晶體及其製造方法
	英 文	LATERAL HETEROJUNCTION BIPOLAR TRANSISTOR AND METHOD OF FABRICATING THE SAME
二、發明 創 作 人	姓 名	1. 幸 康一郎 2. 久保 實
	國 籍	均日本
	住、居所	1. 日本國大阪府守口市瀧井元町1-1-1-303 2. 日本國三重縣名張市桔梗丘西一番町125
三、申請人	姓 名 (名 稱)	日商松下電器產業股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 姓 名	中村 邦夫

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號：

☒有 ☐無主張優先權

日本

1999年10月21日 特願平11-299643 已有 ☐無主張優先權



裝
訂
線

有關微生物已寄存於： 寄存日期： ，寄存號碼：

五、發明說明(1)

發明背景

本發明係有關於一種橫向異質接面雙極電晶體及其製造方法。更詳細的說，它是有關於一種在一絕緣基板(SOI，在絕緣體上的矽)上所形成具有一異質結構(諸如Si/Si_{1-x}Ge_x或Si/Si_{1-x-y}Ge_xC_y)之橫向異質接面雙極電晶體。

一種提供優良特性電晶體之傳統技術已經被提出，該技術是利用在一由絕緣層上所堆疊矽層組成之SOI(在絕緣體上的矽)基板上形成一CMOS裝置及一雙極電晶體，該電晶體具有較低電晶體操作電壓，在裝置之間提供一完全的絕緣，且降低一寄生(parasitic)電容。在處理一RF信號之通訊裝置的發射/接收部分中，詳細地說，一類比電路與一數位電路之間的交越失真(crosstalk)顯現一問題。然而，SOI基板之使用比傳統技術更確保能徹底地去除交越失真。

在另一方面，使用諸如Si/SiGe異質結構之異質接面雙極電晶體在近幾年已經被商業化應用當作一種可以在RF頻率區域操作之裝置，其被公認在使用以矽製程技術製造是困難的。與一Si同質接面雙極電晶體比較，異質接面雙極電晶體具有一優越特性，以至於可以減小基極阻抗，其利用將基極中雜質濃度調整至比Si同質接面雙極電晶體中高，此後利用基極能帶隙小於射極能帶隙之異質結構，自基極至射極之載子反向射流被抑制。

為了因應近幾年系統整合晶片(system-on-chip)需求，已經有需求雙極CMOS技術以在單一晶片上形成一CMOS裝置及一雙極電晶體。然而，要在一SOI基板上形成雙極電晶體

五、發明說明(2)

，必須增加一傳統垂直雙極電晶體結構中矽層厚度至某一程度，而必須減少高速運作CMOS裝置中矽層厚度及漏電流之抑制。然而，在一CMOS裝置區域與一雙極電晶體區域具有不同厚度之矽層之提供會增加製程上的複雜度。

為了使用具有雙極電晶體區域與CMOS裝置區域厚度相同之矽層，在一SOI基板上之橫向異質接面雙極電晶體之結構物已經被提出。藉由使用橫向異質接面雙極電晶體結構，在兩區域具有相同厚度的矽層可以被使用且處理的步驟數目大幅地減少。在橫向異質接面雙極電晶體中因使用SOI基板所形成之寄生電阻小於在垂直雙極電晶體中，在高速運作的角度來看，這是一項優點。

圖10(a)及10(b)是SOI上所提供一橫向異質接面雙極電晶體之平面圖及截面圖，該SOI是在一有關該橫向異質接面雙極電晶體原型範例之文獻中所發明(SOI上使用自我排列橫向基極結構技術之31GHz f_{max} 橫向BJT: T. Shino等人, 1998 IEEE)。如圖中所示，橫向異質接面雙極電晶體被形成於SOI基板上，包含一由矽氧化物薄膜所組成的箱(BOX)層1001及一矽層1009。藉由使用SOI基板，可以減少電晶體操作區之寄生電容。矽層1009的厚度為0.1 μm 。矽層1009包含：一硼(B)之條狀p型內部基極層1004；兩個連接內部基極層1004兩端較短邊部分且以濃度高於內部基極層1004之硼(B)摻雜的外部基極層1006；及由此所插入內部基極層1004較長邊部分所配置一n型射極1005與一n型集極1002。射極1005已經摻雜高濃度的砷(As)且集極1002已經摻雜非一致

五、發明說明 (3)

濃度之砷。簡言之，集極1002具有一退化結構，在其中為了增加崩潰電壓，砷的濃度在較靠近內部基極層1004的部分中較低且外部基極層1006，其以與內部基極層1004及外部基極層1006之距離逐漸增加。外部基極層1006、射極1005及集極1002之各自電極構成部分分別位於各區域外部頂端，以致最長的可能距離在此被提供且在基極電極、射極電極與集極電極之間的寄生電容被減少。上述文獻報告該一橫向異質接面雙極電晶體已經提供一31GHz之最大震盪頻率 $f_{\max}$ 。

圖11(a)至11(e)是說明先前文獻中所發明雙極電晶體製造方法之透視圖。

首先，圖11(a)所顯示之步驟中，氧化物薄膜及SiN薄膜(未顯示)形成於n型矽層1009上，磷(P)已經被引進其中。然後，一陣列狀的抗蝕劑遮罩1108形成於SiN上以蓋住一NPN作用區。接著硼(B)以 4×10^{15} 原子/公分²的劑量離子佈植矽層1009中，除了來自上述抗蝕劑遮罩1108之NPN作用區1107外，藉以一P⁺擴散區形成。接下來，如圖11(b)中所顯示之步驟，SiN薄膜藉由使用抗蝕劑遮罩1008被圖案化，當作遮罩且側邊蝕刻形成一SiN遮罩1110，其自抗蝕劑遮罩1108邊緣向內偏移大約0.2 μm 。之後，抗蝕劑遮罩1108被去除。然後，如圖11(c)所顯示步驟中，一TEOS遮罩1111被形成，與SiN遮罩1110交叉。接著，硼(B)以 1×10^{14} 原子/公分²的劑量及25 keV的促進能量離子佈植矽層1009，除了SiN遮罩1110與TEOS遮罩1111所遮蔽的區域之外。接下來，如圖

五、發明說明 (4)

11(d)所顯示步驟中，SiN遮罩1110與TEOS遮罩1111被去除。在此同時，內部基極層1004的厚度是由佈植硼經過之擴散距離所決定，其是自TEOS遮罩1111之末端部分測量到的。最後，在圖11(e)中所顯示之步驟中，當作射極及集極之部分平面蝕刻且砷(As)分別以 1×10^{15} 原子/公分⁻²的劑量與120 keV的促進能量及 1×10^{15} 原子/公分⁻²的劑量與65 keV的促進能量離子佈植個別部分。因為矽層1009離子佈植是無結晶化的，所以它必須利用1050 °C RTA 20秒且利用850 °C電鍍爐鍛鍊60秒重新結晶。

利用先前的程序，可以形成一具有小寄生電容之橫向雙極電晶體，其有高的fmax且可以在高速環境下運作。

然而，因為內部基極1104之寬度是由硼依據以前文獻之先前技藝技術之擴散距離所決定，所以要不斷地得到一想要的雜質分佈是很困難的。因為射極1105與集極1102在其中被形成之區域是由n型雜質之擴散距離決定，所以要形成一種具有劇烈變化雜質濃度分佈之pn接面亦是很困難的。

發明概要

所以本發明的一個目標是在SOI基板上形成橫向異質接面雙極電晶體期間提供用於精準調整內部基極層寬度至要求尺寸之裝置且提供一種具有穩定特性之橫向異質接面雙極電晶體及製造方法。

第一橫向異質接面雙極電晶體包含：具有絕緣層之基板；在絕緣層上所配置平台結構中之第一半導體層；在第一半導體層側邊表面上磊晶成長所形成之第二半導體層，第

五、發明說明 (5)

二半導體層具有與第一半導體層不同之能帶隙；及以在第二半導體層側邊表面上磊晶成長之第三半導體層，第三半導體層具有與第二半導體層不同之能帶隙，至少一部份之第二半導體層功能類似第二導電型式之一內部基極層。

在配置中，當作內部基極層之第二半導體層的橫向厚度是由磊晶成長決定，而不是由雜質離子之佈植決定。因此，內部基極層之橫向厚度被高度精確地控制。因為內部基極層的形成是利用磊晶成長，而不是雜質離子之佈植，當內部基極層橫向成長時，它可以以一雜質摻雜。此提供一明顯的雜質濃度分佈，在其中雜質擴散被抑制。

這裡可以被摻雜一結構，其中至少第一半導體層功能當作第一導電型式之集極且至少一部份第三半導體層功能當作第一導電型式之射極操作區。

第一橫向異質接面雙極電晶體尚包含與第二半導體層接觸之第二導電型式外部基極層。此配置允許一電極之簡單形成。

第二半導體層的能帶隙小於第三半導體層的能帶隙。此配置抑制自功能當作內部基極層之第二半導體層進入功能當作射極操作區之第三半導體層的載子反向佈植。因此，調整第二半導體層中雜質濃度高於一同質接面雙極電晶體中濃度可以減小基極阻抗。

第一與第三半導體層各包含一矽層且第二半導體層包含一混合物，該混合物包含Si、Ge與C至少其中任何兩種。此配置允許形成異質接面雙極電晶體，利用一矽化物處理

五、發明說明 (6)

抑制其中雜質擴散。

第一半導體層之主表面為 $\{110\}$ 平面且第一半導體層與第二半導體層接觸之側邊表面為 $\{111\}$ 平面。此配置利用濕式蝕刻提供第一半導體層具有一平滑側邊表面。

製造橫向異質接面雙極電晶體的第一方法包含步驟：(a) 在配置於絕緣層上之半導體層上形成一蝕刻遮罩以包含一基板；(b) 利用包含乾式蝕刻及使用蝕刻遮罩之蝕刻圖案化半導體層以在平台結構中形成第一半導體層；(c) 磊晶成長，在第一半導體層的至少一邊表面上，具有與第一半導體層不同能帶隙之第二半導體層；且(d) 磊晶成長，在第二半導體層的一邊表面上，具有與第二半導體層不同能帶隙之第三半導體層，至少第一半導體層功能當作第一導電型式之集極，至少一部份的第二半導體層功能當作第二導電型式之內部基極層，至少一部份的第三導電層功能當作第一導電型式之射極操作區。

根據本方法，功能當作內部基極層之第一導電層的橫向厚度是由磊晶成長所決定，而不是由雜質離子的佈植所決定。因此，內部基極層的橫向厚度被高精確地控制。因為內部基極層是以磊晶成長所形成，不是以雜質離子的佈植所形成，所以內部基極層在它橫向成長期間可以以一雜質摻雜。此提供一劇烈雜質濃度擴散，其中雜質擴散被抑制。

步驟(b)包含：利用乾式蝕刻將半導體層做式樣成蝕刻遮罩之形式；執行與圖案化半導體層有關之濕式蝕刻形成第一半導體層，而去除蝕刻遮罩。此配置是較佳的，因為它

五、發明說明 (7)

移除遮罩損壞，而保留高度式樣準確性。

在步驟(d)之後，第一方法尚包含步驟：(e)在基板上配置一多晶半導體薄膜；及(f)利用CMP將多晶半導體薄膜平面化形成一射極至少與第三半導體層接觸。此允許形成鄰近射極操作區之低阻抗射極。

在步驟(e)之中或之後，第一方法尚包含以下步驟：(g)導入第一導電型式之雜質進入多晶半導體薄膜之第一區且導入第二導電型式之雜質進入多晶半導體薄膜之第二區；且至少移除一部份位於第一與第二區之間的多晶半導體薄膜以自第一區形成一與第三半導體層接觸之射極且自第二區形成一與第二半導體層接觸之外部基極層。此容許使用多晶薄膜，諸如多晶矽薄膜，簡易形成低阻抗射極及低阻抗外部基極層。

較佳地，藉由使用一遮罩之離子佈植執行雜質之導入。

較佳地，以濕式蝕刻執行步驟(g)。

蝕刻遮罩是利用一具有{110}平面之主表面的半導體層所形成，如同步驟(a)中絕緣層上之半導體層，且以至於與第二半導體層接觸之第一半導體層側邊表面是步驟(b)中的{111}平面。在一特別慢的速度下，使用一被蝕刻的{111}平面，此允許一內部基極層之形成具有一致的橫向厚度且提供一平滑平坦的表面。

較佳地，步驟(b)包含：使用至少含有乙二胺、鄰苯二酚、氫氧化鉀及聯氨其中任何之一的蝕刻溶液進行晶體非等向性蝕刻。

五、發明說明 (8)

配置在絕緣層上之第二橫向異質接面雙極電晶體包含：功能當作一集極之第一半導體層；被配置與第一半導體層至少一邊表面接觸，功能當作內部基極，能帶隙比第一半導體層小之第二半導體層；被配置與第二半導體層一邊表面接觸，功能當作射極，能帶隙比第二半導體層小之第三半導體層；各與第一及第三半導體層接觸之第一及第二電極；及被配置與第二半導體層上端表面接觸之第三電極。

此提供一橫向異質接面雙極電晶體具有相對簡單的結構及低寄生電容、低寄生阻抗及低基極阻抗的優異特性，其形成於絕緣層上。

第一及第二電及各包含一金屬。此特別減低射極與集極的阻抗。

第二種製造一橫向異質接面雙極電晶體的方法包含以下步驟：(a)將第一導電型式之雜質導入含有第一導電型式雜質之第一半導體層，第一半導體層被配置於絕緣層上以構成一基板；(b)在第一半導體層上形成一具有200 nm或更小寬度裂縫之蝕刻遮罩；(c)藉由使用蝕刻遮罩之蝕刻去除位於裂縫下方之半導體層一部分以形成一溝槽貫穿第一半導體層；(d)自第一半導體層中溝槽之兩邊表面磊晶成長，第二半導體層具有與第一半導體層不同之能帶隙，以致於第二半導體層被埋藏於溝槽中；(e)在位於裂縫兩邊上及位於第一半導體層上方之絕緣層的個別區域中形成開口；(f)自絕緣層中的開口執行與第一半導體層有關的濕式蝕刻以形成凹陷的部分且保留第二半導體層兩邊上第一半導體之各

五、發明說明(9)

部分；(g)形成第一及第二電極分別被埋在凹陷部份中；及(h)形成第三電極，其被埋在與第二半導體層接觸之絕緣薄膜的裂縫中，第一半導體層的各部分在功能當作集極與射及操作區的第二半導體層兩邊的左側，第二半導體層功能當作內部基極層。

此方法提供一種結構相對簡單且具有低寄生電容、低寄生阻抗及低基極阻抗等優異特性之橫向異質接面雙極電晶體，其被形成於絕緣層上。

較佳地，步驟(f)包含：使用至少含有乙二胺、鄰苯二酚、氫氧化鉀及聯氨其中任何之一的蝕刻溶液進行晶體非等向性蝕刻。

步驟(a)包含第一離子佈植及第二離子佈植；第一離子佈植用於將第一導體之雜質離子佈植第一半導體層；第二離子佈植用於以比第一離子佈植高之濃度將雜質離子佈植第一半導體層的一部分，集極是自第一半導體層的一部分被形成，此部分只有執行過第一離子佈植而第二離子佈植尚未被執行，且射極操作區自己已經執行過第一離子佈植及第二離子佈植之第一半導體層的一部分被形成。這樣允許射極操作區與集極中的雜質濃度分別被最佳化調整以用於雙極電晶體的操作。

一矽晶層被使用當作第一半導體層且一至少含有Si、Ge及C之混合物被使用當作第二半導體層。這樣允許橫向異質接面雙極電晶體之製造使用矽晶製程。

附圖摘要說明

五、發明說明 (10)

圖 1(a) 及 1(b) 是根據本發明第一實施例之橫向異質接面雙極電晶體之一平面圖及一透視圖；

圖 2(a) 至 2(h) 是說明根據第一實施例製造橫向異質接面雙極電晶體之方法的截面圖；

圖 3(a) 及 3(b) 說明根據第一實施例橫向異質接面雙極電晶體圖 2(h) 中所顯示區域 A 中橫向雜質形式；

圖 4(a) 及 4(b) 說明根據第一實施例橫向異質接面雙極電晶體圖 2(h) 中所顯示區域 B 中橫向雜質形式；

圖 5 是根據本發明第二實施例之橫向異質接面雙極電晶體之一平面圖；

圖 6(a) 及 6(b) 是根據本發明第三實施例之橫向異質接面雙極電晶體之一平面圖及一截面圖；

圖 7(a) 至 7(e) 是說明根據第三實施例製造橫向異質接面雙極電晶體之方法的截面圖；

圖 8 是根據本發明第四實施例之橫向異質接面雙極電晶體之一平面圖；

圖 9(a) 至 9(f) 是說明根據第四實施例製造橫向異質接面雙極電晶體之方法的截面圖；

圖 10(a) 及 10(b) 是文件中所發明之傳統橫向異質接面雙極電晶體之一平面圖及一截面圖；及

圖 11(a) 至 11(e) 是說明製造傳統橫向異質接面雙極電晶體之方法的截面圖。

發明之詳細說明

實施例 1

五、發明說明 (11)

圖 1(a) 及 1(b) 是根據本發明第一實施例之橫向異質接面雙極電晶體之一平面圖及一透視圖。

如圖 1(a) 及 1(b) 所顯示，根據本發明之橫向異質接面雙極電晶體具有一種所謂 SOI 結構，其包含：Si 基板 150；配置在 Si 基板 150 上由矽氧化物薄膜所組成之 BOX 層 151；及配置在 BOX 層 151 上之半導體層 152。半導體層 152 包含：具有正方形平面結構且由 n 型單晶矽所組成之集極 101；由各具有環繞集極層 101 之環狀結構之 p 型 SiGeC 層及 n 型 Si 層所組成之 SiGeC/Si 層 102；由 n 型多晶矽所形成之射極 103；及 p 型多晶矽層 105。介於集極 101 與射極 103 之間且由 p 型 SiGeC 層所組成之 SiGeC/Si 層 102 部分 (在圖中虛線以內部分) 形成一內部基極層 102a 且介於集極 101 與射極 103 之間且由 n 型 Si 層所組成之 SiGeC/Si 層 102 部分 (在圖中虛線以外部分) 形成一射極操作區 102b。SiGeC/Si 層 102 除了內部基極層 102a 及射極操作區 102b 以外的部分 102c 與 p 型多晶矽層 105 構成外部基極 104。

厚度大約為 200nm 且邊大約為 0.6 μ m 之集極 101 已經以濃度大約 1×10^{19} 原子/公分⁻³ 的銻 (Sb) 摻雜 (其可能是含磷的或含砷的)。集極 101 的主表面是一 (110) 平面且其各側邊表面是一平滑 (111) 平面。注意：集極 101 的主表面不一定是 (110) 平面且其各側邊表面不一定是一平滑 (111) 平面。雖然在本實施例中內部基極 102a 包含濃度大約為 2×10^{18} 原子/公分⁻³ 的硼且是由具有等級成分之 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 層所組成，可是內部基極 102a 亦可以由不含有 C 的 SiGe 組成 (諸如具有等

五、發明說明 (12)

級成分之 $\text{Si}_{1-x}\text{Ge}_x$ 或類似成分)。然而，只要微量的C存在就可以讓防止雜質擴散的效果特別大。另一方面，射極操作區102b是由含有濃度大約為 1×10^{18} 原子/公分³的磷之單晶Si所形成。射極103是由含有濃度大約為 1×10^{20} 原子/公分³或更多的磷之n型多晶矽所組成。注意：砷也可以替代磷用於摻雜。所以一Si/SiGeC/Si異質接面在射極操作區、內部基極與集極之間被形成。外部基極104是由含有濃度大約為 1×10^{20} 原子/公分³的硼之多晶矽所組成。外部基極104的功能是當作一與內部基極102a接觸的區域。

集極101具有一倒漸層(retrograde)結構，其中n型雜質濃度依與內部基極102a的距離逐漸增加。內部基極102a具有一漸層組合物，其中Ge(或Ge及C)的含量依與集極101之距離逐漸遞減。然而，集極101中之倒漸層及內部基極102a中之漸層組合物並不一定要提供。

參考圖2(a)至2(h)，其將說明一種製造根據本實施例橫向異質接面雙極電晶體之方法。

首先，在圖2(a)所顯示之步驟中，形成由Si基板150所組成之SOI基板、矽氧化物薄膜所組成之BOX層151及在BOX層上所形成之Si薄膜。要形成SOI基板，任何已知方法(諸如SIMOX法)都可以採用。本實施例已經採用一種將矽晶圓黏至在其表面及矽晶圓上所形成之矽氧化物薄膜，以致該矽氧化物薄膜被夾在矽晶圓與以研磨而變薄的矽晶圓之間。BOX層151上Si薄膜剛開始以濃度大約 1×10^{19} 原子/分子⁻³的銻(可以是砷或磷)摻雜。然後，Si薄膜被圖案化形成具

五、發明說明 (13)

有修整角之正方形集極101(高台部分)。此時，集極101之各邊表面可以利用執行使用在Si薄膜上所形成正方形抗蝕遮罩之濕式蝕刻形成一極平滑(111)平面，其具有(110)平面之主表面且具有平行<211>方向之邊且因此使用起於晶體定位之蝕刻速度之各向異性特性。替代地，集極101亦可能利用在Si薄膜上形成一蓋住集極層101之蝕刻遮罩且執行使用蝕刻遮罩之乾式蝕刻。

接著，在圖2(b)所顯示步驟中，一厚度大約120 nm且部份含有集極101之非摻雜Si層利用CVD(化學蒸氣沈積)或利用UHV-CVD(超高真空CVD)在集極101高台部分之側邊表面上磊晶成長。在此步驟期間，銻(Sb)自集極101高台部分擴散進入磊晶成長步驟中的Si層，所以形成一反漸層雜質濃度分佈圖。之後，橫向厚度大約80 nm之SiGeC層磊晶成長，而它被以濃度大約 2×10^{18} 原子·公分⁻³之硼摻雜，以至於C含量是定值(大約2%)且Ge含量如圖3中所顯示漸漸減少，稍後將加以說明。然後，形成橫向厚度大約10 nm之非摻雜Si層，因此形成SiGeC/Si層102。因為SiGeC/Si層102含有2%的C，接下來熱處理步驟中硼之擴散可以更確實地被防止且可以實現具有更顯明雜質濃度分布圖之異質接面部分。

接著，在圖2(c)所顯示步驟中，多晶矽薄膜160被配置於基板上。然後，圖2(d)中所顯示步驟中，多晶矽薄膜160被蝕刻回來且藉以利用諸如CMP(化學機械研磨)之方法被平面化。

五、發明說明 (14)

接著，在圖2(e)所顯示步驟中，氧化物薄膜161被形成於基板上。接下來，硼離子被佈植於多晶矽薄膜160當作外部基極104之部分，以至於磷的濃度大約是 1×10^{20} 原子/公分⁻³或更多，氧化物薄膜161當作射極103的部分被以磷(可以是砷或銻)離子摻雜，以至於磷的濃度大約是 1×10^{20} 原子/公分⁻³或更多。注意，Si基板150及BOX層151沒有被描畫於顯示接在圖2(e)所顯示步驟後之步驟的附圖中。

接著，因為在現在結構中漏電流可能在外部基極104與射極103之間經過多晶矽層160非摻雜部分流動，多晶矽層160以接下來的程序被部分移除，以至於外部基極104及射極103彼此相互電隔離。特別地，圖2(f)所顯示步驟中，在氧化物薄膜161之部分中形成一開口，其與多晶矽薄膜160雜質已佈植之部分有一特定距離。然後，在圖2(g)所顯示步驟中，多晶矽薄膜160利用濕式蝕刻被蝕刻直到到達SiGeC/Si層102。在此狀況下，使用一種在多晶矽與Si之間具有高蝕刻選擇性之蝕刻溶液，藉此提供絕緣而不會損壞SiGeC/Si層102。之後，執行一種活化佈植雜質離子之熱處理(退火)。利用此熱處理，諸如被佈植射極103多晶矽之磷的n型雜質被擴散進入射極操作區102b之非摻雜矽，所以射極操作區102b的功能是當作npn雙極電晶體之射極區。

接下來，在圖2(h)所顯示步驟中，氧化物薄膜161被移除，因此得到具有圖1(b)所顯示結構之橫向異質接面雙極電晶體。

圖3(a)及3(b)說明根據本實施例橫向異質接面雙極電晶

五、發明說明 (15)

體之圖2(h)中所顯示區域A中橫向雜質分布圖。圖4(a)及4(b)說明根據本實施例橫向異質接面雙極電晶體之圖2(h)中所顯示區域B中橫向雜質分布圖。

如圖3(a)、3(b)及圖4(a)、4(b)中顯示，集極101中已經形成一種逆漸層分佈，其中當作雜質之Sb濃度依照與內部基極102a的距離漸漸增加以提供一較高的崩潰電壓。內部基極102a中Ge的含量是漸次的，以至於產生一漂移電場。雖然在由多晶矽所組成的射極103中磷是固定大約 5×10^{20} 原子·公分⁻³的高濃度，但它已經被擴散進入內部基極102a中。擴散之後的濃度最好被最小化。雖然已經以高濃度的硼摻雜外部基極104，但是外部基極104與內部基極102a電整合且被保持在實質與內部基極102a相同的電位，因為外部基極104已經被摻雜與內部基極102a相同極性的雜質。

因為本實施例已經利用摻雜決定內部基極層102a的磊晶成長橫向厚度，而不是利用雜質離子之佈植，所以內部基極層102a的橫向厚度不是依據微影之精確度或依據雜質擴散的程度。因為已經利用摻雜磊晶成長形成內部基極層102a的橫向厚度，而不是利用雜質離子之佈植，所以雜質擴散被抑制且得到一相對顯明的雜質濃度分佈。此外，因為在本實施例中內部基極層102a是由SiGeC層所組成，熱處理步驟中雜質的擴散因為C的存在而被抑制且雜質濃度分佈圖被維持而不會變形。即使以SiGe層替代SiGeC層組成內部基極層102a，正確維持雜質濃度分佈圖的效果可以達到某種程度，因為雜質在SiGe層擴散的速度小於雜質在Si層擴散的

五、發明說明 (16)

速度。

此外，因為本實施例之橫向異質接面雙極電晶體使用SiGeC/Si異質接面，所以藉由比對先前文獻中所發明使用Si同質接面之橫向異質接面雙極電晶體它可以達到下列效果。也就是，因為內部基極層的能帶隙類似射極操作區之能帶隙，載子自內部基極層進入射極操作區之反向佈植被抑制。因此，將內部基極層的雜質濃度調整至高於同質接面雙極電晶體中濃度以減少基極阻抗變成可能。

因為本實施例使用SOI基板，所以它可以提供一種寄生電容小之橫向異質接面電晶體，其 $f_{\max}$ 高且適合用於高速操作，類似先前文件所發明之技術。

在圖1中所顯示結構中，高台單晶Si層101亦可以當作射極，而不當作集極，多晶矽層103亦可以當作一集極縮層，而不當作射極，且單晶Si層102b亦可以當作集極。此事例中，得到一具有特別高崩潰電壓之雙極電晶體。此外，當作集極之單晶Si區較佳地橫向厚度為0.2 μm 或更大且形成逆漸次分佈，其中雜質Sb的濃度隨著與內部基極102a的距離逐漸地增加以提供一較高的崩潰電壓，類似本實施例之集極。

實施例2

下文將說明如根據第一實施例橫向異質雙極電晶體之變形物之第二實施例。

圖5是根據第二實施例橫向異質雙極電晶體之平面圖。在本實施例中，功能當作npn電晶體的部分之結構與第一實施

五、發明說明 (17)

例中相同。

如圖中所顯示，根據本實施例之橫向異質雙極電晶體具有所謂SOI結構，其包含：一Si基板；一由配置於Si基板上矽氧化物薄膜所組成之BOX層；及配置於BOX層上的半導體層。在半導體層中，提供一由p型SiGeC層及一n型Si層所組成之線性SiGeC/Si層112。包含n型雜質之單晶矽化物所製作之集極111及包含n型雜質之多晶矽層所製作之射極113同時配置於SiGeC/Si層112之兩邊。含有p型雜質多晶矽層所組成之外部基極114同時配置於SiGeC/Si層112中間垂直線部分的兩端。SiGeC/Si層112中，p型SiGeC層所組成之部分(圖中影線部分)是一內部基極層112a且n型Si層所組成之部分(圖中空白部分)是射極操作區112b。

厚度約200 nm且側邊約1.0 μm 之集極層111已經以濃度約 1×10^{19} 原子/公分⁻³的銻摻雜。集極111之主要表面是(110)平面且其各側邊表面是平滑的(111)平面。雖然在此實施例中內部基極112a含有濃度大約 2×10^{18} 原子/公分⁻³的硼且是由具有漸次成分 $\text{Si}_{1-x}\text{Ge}_x\text{C}_y$ 層所組成，內部基極112a亦可以由沒有包含C的SiGe (諸如具有漸次成分 $\text{Si}_{1-x}\text{Ge}_x$)所組成。然而，含有極小量的C可以非常有效地達到防止雜質擴散的效果。另一方面，射極操作區112b是以含有濃度大約 1×10^{18} 原子/公分⁻³或更多磷(或砷)的單晶Si所形成。射極113是由含有濃度大約 1×10^{20} 原子/公分⁻³或更多磷(或砷)的n形多晶矽所形成。也就是說，一Si/SiGeC/Si異質接面被形成於射極操作區、內部基極與集極之間。外部基極114是由

五、發明說明 (18)

含有濃度大約 1×10^{20} 原子/公分³ 硼之多晶矽所組成。外部基極114的功能是當作與內部基極112a接觸區。外部基極114與集極111藉由第一絕緣薄膜115彼此電隔離。外部基極114與射極113藉由第二絕緣薄膜116彼此電隔離。

集極111具有逆漸次結構，在其中n型雜質(銻)濃度隨與內部基極層112a間之距離而逐漸增加。內部基極112a具有漸次成分，以至於Ge(或Ge及C)的含量隨與集極111間的距離逐漸減少，其增加內部基極層112a中電子的可動性。然而，提供集極111的逆漸次結構與內部基極112a中漸次成分並不是一定需要的。

接下來將摘要說明一種根據本實施例製造橫向異質接面雙極電晶體之方法。

雖然根據本實施例之橫向異質接面雙極電晶體具有不同於根據第一實施例橫向異質接面雙極電晶體之平面結構，但是基本的製造方法與第一實施例是相同的。也就是說，形成Si基板、BOX層及Si薄膜所組成之SOI基板且然後Si薄膜被圖案化形成集極111之高台部分。此時，集極111中間部分各側邊表面可以利用如第一實施例中所執行之相同方法被形成一種極平滑(111)平面。然後，利用將集極111高台部分其他側邊表面以絕緣薄膜115遮蓋而暴露其中之一個側邊表面。接著，部份包含集極111之非摻雜Si層在一側邊表面上利用CVD或UHV-CVD磊晶成長。然後，含有2% C之SiGeC層，其中Ge含量是漸次的，在非摻雜Si層上磊晶成長。此後利用進一步形成一非摻雜Si層，SiGeC/Si層112被

五、發明說明 (19)

形成。之後，一多晶矽薄膜被配置於基板上、被蝕刻及因此被平面化。在硼離子佈植當作外部基極114之多晶矽薄膜部分且磷離子佈植當作射極113之多晶矽薄膜部分之後，執行多晶矽薄膜之圖案化及絕緣器之掩蔽，因此射極113與外部基極114利用第二絕緣薄膜116彼此電隔離。

其後，執行一種活化佈植雜質離子之熱處理(回火)。藉由熱處理，一種被佈植射極113多晶矽中之n型雜質(諸如磷)被擴散進入射極操作區112b之非摻雜矽中，以至於射極操作區112b的功能如同npn雙極電晶體之射極區。在部份包含集極111外延層之Si層中，銻(Sb)自集極111高台部分擴散以形成一逆漸次雜質濃度分佈圖。

在本實施例中，雜質佈植的條件及在先前製程中所佈植雜質之形式與第一實施例中相同。

雖然本實施例基本上達到的效果與利用第一實施例所達到的效果相同，但是第一實施例的優點優於第二實施例，其整個雙極電晶體所佔用區域較小。

實施例3

圖6(a)及6(b)是根據本發明第三實施例橫向異質接面雙極電晶體之平面圖及截面圖。

如圖6(a)及6(b)中所顯示，根據本實施例橫向異質接面雙極電晶體具有一所謂SOI基板結構，其包含：一Si基板250；在Si基板250上配置矽氧化物薄膜所組成之一BOX層251；配置於BOX層251上之半導體層252。在半導體層252中，提供一以線性平面結構之p型SiGe層所組成之內部基極層

五、發明說明 (20)

202a。以n型單晶矽所形成之集極201a與以n型單晶矽所形成之射極203a同時配置於內部基極層202a之兩邊。根據本實施例之橫向異質接面雙極電晶體亦包含：遮蓋半導體層252頂端表面之氧化物薄膜206；以p型多晶矽形成且經由氧化物薄膜206中開口與內部基極層202a接觸之外部基極層202b；以n型多晶矽形成且被埋藏在氧化物薄膜206與集極201a中所形成凹槽中之集極觸點201b；及以n型多晶矽所製成且被埋藏在氧化物薄膜206與射極203a中所形成凹槽中之射極觸點203b。

雖然在此實施例中集極201與射極203之主要表面是(100)平面，但是集極201與射極203之主要表面亦可以是(111)平面且其各側邊表面亦可能是一平滑(111)平面，類似第一及第二實施例。集極201與射極203已經以濃度大約 1×10^{18} 原子/公分⁻³的磷摻雜。雖然在本實施例中內部基極層202a含有濃度大約 5×10^{18} 原子/公分⁻³的硼且是由具有表示為Si_{0.7}Ge_{0.3}成分之SiGe層所組成，內部基極層202a中亦可以極少量的C(例如，大約2%)。然而，只要有極少量C的存在及可以發揮防止雜質擴散的極大效果。集極觸點201b、射極觸點203b及外部基極層202b都已經以濃度大約 1×10^{20} 原子/公分⁻³或更多的磷摻雜。

參考圖7(a)至7(e)，說明一種製造根據本實施例橫向異質接面雙極電晶體之方法。圖7(a)至7(e)是說明根據本實施例橫向異質接面雙極電晶體製程之截面圖。

首先，在圖7(a)所顯示步驟中，以Si基板250所組成的

五、發明說明 (21)

SOI基板、以矽氧化物薄膜所組成的BOX層251及在BOX層251上所形成之Si薄膜(半導體層)被形成。半導體層252的厚度大約200 nm且以濃度大約 1×10^{18} 原子.公分⁻³的磷摻雜。

接著，在圖7(b)所顯示步驟中，在半導體層252上形成氧化物薄膜206且在氧化物薄膜206中間部分形成切槽207。然後在圖7(c)所顯示步驟中切槽207深度增加貫穿半導體層252。

接下來，在圖7(d)所顯示步驟中， $\text{Si}_{0.7}\text{Ge}_{0.3}$ 利用CVD或UHV-CVD自切槽207兩邊同時磊晶成長至與切槽207中間一致，因此形成被埋藏在切槽207中之內部基極層202a。在此步驟期間，內部基極層202a以濃度大約 5×10^{18} 原子.公分⁻³的硼摻雜。之後，在切槽的兩邊距離大約200 nm的位置利用在氧化物薄膜206中乾式蝕刻形成凹槽。利用濕式蝕刻進一步加大凹槽達到半導體層252以在此形成凹槽208及209。在此步驟期間，濕式蝕刻的等向性蝕刻動作橫向地加大凹槽208及209，直到各凹槽208及209末端部分到達與切槽207距離大約100 nm的點為止。

接下來，在圖7(e)所顯示步驟中，一種金屬，諸如鋁，被埋在凹槽208及209中形成集極觸點201b及射極觸點203b。在將以硼大量摻雜之多晶矽薄膜配置於基板上後，它被圖案化形成外部基極層202b，與切槽207內之內部基極層202a接觸。

在根據本實施例之橫向異質接面雙極電晶體中，內部基

五、發明說明 (22)

極層 202a 是由磊晶成長形成 SiGe 層所組成，以至於如上文所述形成具有相對陡峭的濃度分佈圖之異質接面。

此外，內部基極層 202a 與外部基極層 202b 利用根據本實施例方法自我排列彼此互相連接。這樣減少寄生阻抗且特別顯著地減少寄生電容。因為集極觸點 201b 及射極觸點 203b 可以由埋藏金屬組成，所以可以降低各觸點的寄生阻抗，其允許橫向異質接面雙極電晶體的結構具有優良的特性。

實施例 4

圖 8 是根據本發明第四實施例橫向異質接面雙極電晶體的平面圖。本實施例之橫向異質接面雙極電晶體基本上具有與第三實施例相同的平面組態，雖然其平面圖在本實施例中未顯示。

如圖 8 中所顯示，除了射極 203a 與集極 201a 具有不同的雜質濃度之外，本實施例之橫向異質接面雙極電晶體基本上具有與第三實施例相同的結構。

在本實施例中，射極 203a 以大約 1×10^{20} 原子/公分³ 之高濃度銻 (Sb) 摻雜且集極 201a 以大約 1×10^{17} 原子/公分³ 之相對低濃度銻 (Sb) 摻雜。藉由以各自最佳濃度的雜質摻雜射極 203a 及集極 201a，電子可以有效率地自射極 203a 經由內部基極層 202a 佈植集極 201a，其達到實現高速且高增益電晶體操作的效果，這是利用第三實施例所無法達到的效果。

參考圖 9(a) 至 9(f)，將說明一種製造根據本實施例橫向異質接面雙極電晶體之方法。圖 9(a) 至 9(f) 是說明製造根據本實施例橫向異質接面雙極電晶體方法之截面圖。

五、發明說明 (23)

首先，在圖9(a)所顯示步驟中，由Si基板250所組成之SOI基板、由矽氧化物薄膜組成之BOX層251及形成於BOX層251上之Si薄膜(半導體層)被形成。半導體層252的厚度大約為200 nm。然後，具有寬度大於射極形成區與集極形成區結合區域開口之抗蝕罩幕220在半導體層252上被形成。隨後，銻(Sb)離子在半導體層252內銻濃度大約 1×10^{17} 原子/公分⁻³之條件下自抗蝕罩幕220佈植入半導體層252內。藉由此步驟，稍後當作集極之低濃度雜質佈植區210及當作射極之高濃度雜質佈植區211在半導體層252上被形成。

接下來，在圖9(b)所顯示步驟中，氧化物薄膜206在半導體層252上被形成。然後，在氧化物薄膜206上形成一抗蝕罩幕，此抗蝕罩幕具有一包含射極形成區之開口，此區域已經被銻離子佈植其中且與其中有基極結構切槽之區域重疊。隨後，銻離子(Sb)在半導體層252中銻濃度為 1×10^{20} 原子/公分⁻³之條件下自抗蝕罩幕221上方佈植半導體層252內。

然後，在圖9(c)所顯示步驟中，一切槽207被形成於氧化物薄膜206中間部分中。然後切槽深度增加穿過圖9(d)所顯示步驟中的半導體層252。

接著，在圖9(e)所顯示步驟中， $\text{Si}_{0.7}\text{Ge}_{0.3}$ 利用CVD或UHV-CVD自切槽207兩邊同時磊晶成長至與切槽207中間一致，因此形成被埋藏在切槽207中之內部基極層202a。在此步驟期間，內部基極層202a以濃度大約 5×10^{18} 原子/公分⁻³的硼摻雜。之後，在切槽的兩邊距離大約200 nm的位置利

五、發明說明 (24)

用在氧化物薄膜206中乾蝕形成凹槽。利用濕式蝕刻進一步加大凹槽，以致於其中之一凹槽到達半導體層252及低濃度雜質佈植區210以在此形成凹槽208且另一個凹槽到達半導體層252及高濃度雜質佈植區211以在此形成凹槽209。在此步驟期間，濕式蝕刻的等方向性蝕刻動作橫向地加大凹槽208及209，直到各凹槽208及209末端部分到達與切槽207距離大約100 nm的點為止。

接著，在圖9(f)所顯示步驟中，一種金屬，諸如鋁，被埋在凹槽208及209中形成集極觸點201b及射極觸點203b。在以硼大量摻雜之多晶矽薄膜配置於基板上後，它被圖案化形成外部基極層202b，與切槽207內之內部基極層202a接觸。

在根據本實施例之橫向異質接面雙極電晶體中，可以調整射極203a及集極201a中雜質濃度以更適合雙極電晶體之操作。利用簡單的步驟，除了利用第三實施例所達到的效果外，這樣更達到了提供其中射極203a及集極201a濃度不同之雜質濃度分佈圖的效果。

裝
訂
線

四、中文發明摘要 (發明之名稱： 橫向異質接面雙極電晶體及其製造方法)

本發明之橫向異質接面雙極電晶體，包含以一平台結構配置於絕緣層上之第一半導體層、在第一半導體層側邊表面上磊晶成長所形成且具有與第一半導體不同能帶隙之第二半導體層及在第二半導體層側邊表面上磊晶成長所形成且具有與第二半導體不同能帶隙之第三半導體層。第一半導體層是當作第一導電性類型之集極。第二半導體層之至少一部分是當作第二導電性類型之內部基極層。第三半導體層之至少一部分是當作第一導電性類型之射極操作區。一雜質之擴散在磊晶成長所形成之內部基極中被抑制。

英文發明摘要 (發明之名稱： LATERAL HETEROJUNCTION BIPOLAR TRANSISTOR AND METHOD OF FABRICATING THE SAME)

A lateral heterojunction bipolar transistor comprises a first semiconductor layer in a mesa configuration disposed on an insulating layer, a second semiconductor layer formed by epitaxial growth on the side surfaces of the first semiconductor layer and having a band gap different from that of the first semiconductor layer, and a third semiconductor layer formed by epitaxial growth on the side surfaces of the second semiconductor layer and having a band gap different from that of the second

裝
訂
線

四、中文發明摘要 (發明之名稱：)

英文發明摘要 (發明之名稱：)

semiconductor layer. The first semiconductor layer serves as a collector of a first conductivity type. At least a part of the second semiconductor layer serves as an internal base layer of a second conductivity type. At least a part of the third semiconductor layer serves as an emitter operating region of the first conductivity type. The diffusion of an impurity is suppressed in the internal base formed by epitaxial growth.

六、申請專利範圍

1. 一種橫向異質接面雙極電晶體，包含；
 一具有絕緣層之基板；
 配置於絕緣層上其高台結構之第一半導體層；
 在第一半導體層側邊表面上利用磊晶成長之第二半導體層，第二半導體層具有一不同於第一半導體層之能帶隙；及
 在第二半導體層側邊表面上利用磊晶成長之第三半導體層，第三半導體層具有一不同於第二半導體層之能帶隙，
 至少一部份之第二半導體層的功能是當作第二導電型式之內部基極層。
2. 如申請專利範圍第1項之橫向異質接面雙極電晶體，其中至少第一半導體層的功能是當作第一導電型式之集極且至少一部份第三半導體層的功能是當作第一導電型式之射極操作區。
3. 如申請專利範圍第1項之橫向異質接面雙極電晶體，尚包含與第二半導體層接觸的第二導電型式之外部基極層。
4. 如申請專利範圍第1項之橫向異質接面雙極電晶體，其中第二半導體層的能帶隙小於第三半導體層的能帶隙。
5. 如申請專利範圍第1項之橫向異質接面雙極電晶體，其中
 第一與第三半導體層各由一矽層所組成，且
 第二半導體層是由一至少含有Si、Ge及C任何兩種成分之合金所組成。

六、申請專利範圍

6. 如申請專利範圍第1項之橫向異質接面雙極電晶體，其中第一半導體層主要表面是一 $\{110\}$ 平面且與第二半導體層接觸之第一半導體層一側邊表面是一 $\{111\}$ 平面。
7. 一種製造橫向異質接面雙極電晶體之方法，此方法包含步驟有：
 - (a)在配置於絕緣層上半導體層上形成一蝕刻罩幕以構成一基板；
 - (b)利用包含乾式蝕刻且使用蝕刻罩幕之蝕刻將半導體層圖案化以在高台結構中形成第一半導體層；
 - (c)磊晶成長，在第一半導體層的至少一個側邊上，第二半導體層具有與第一半導體層不同之能帶隙；且
 - (d)磊晶成長，在第二半導體層的至少一個側邊上，第三半導體層具有與第二半導體層不同之能帶隙，
至少第一半導體層的功能當作第一導電型式之集極，
至少一部份第二半導體層的功能當作第二導電型式之內部基極層，至少一部份第三半導體層的功能當作第一導電型式之射極操作區。
8. 如申請專利範圍第7項之方法，其中步驟(b)包含：
利用乾式蝕刻將半導體層圖案化變成蝕刻罩幕之結構；且
利用執行濕式蝕刻圖案化半導體之相關側邊部分形成第一半導體層，然後去除蝕刻罩幕。
9. 如申請專利範圍第7項之方法，在步驟(d)之後，尚包含步驟：

六、申請專利範圍

(e)以雜質摻雜於基板上之多晶半導體薄膜；且

(f)利用化學機械研磨法(CMP)將多晶半導體薄膜平面化形成一與至少第三半導體層接觸之射極。

10. 如申請專利範圍第7項之方法，在步驟(e)中或之後，尚包含步驟：

(g)將第一導電型式之雜質引入多晶半導體薄膜之第一區且將第二導電型式之雜質引入多晶半導體薄膜之第二區；且

去除至少位於第一與第二區之間部分之多晶半導體薄膜，自第一區形成與第三半導體層接觸之射極，且自第二區形成與第二半導體層接觸之外部基極層。

11. 如申請專利範圍第10項之方法，其中雜質之引入的執行是利用使用罩幕之離子佈植。

12. 如申請專利範圍第10項之方法，其中步驟(g)的執行是利用濕式蝕刻。

13. 如申請專利範圍第7項之方法，其中蝕刻罩幕的形成是藉由使用具有{110}平面主要表面之半導體層當成步驟(a)中絕緣層上之半導體層且以致於與第二半導體層接觸之第一半導體層側邊表面是步驟(b)中{111}平面。

14. 如申請專利範圍第7項之方法，其中步驟(b)包含：

使用一種至少含有乙二胺、鄰苯二酚、氫氧化鉀及聯氨其中之一種成分蝕刻溶液之晶體等方向性蝕刻。

15. 一種配置於絕緣層上之橫向異質接面雙極電晶體，其包含：

六、申請專利範圍

功能當作集極之第一半導體層；

配置於與第一半導體層至少一側邊表面接觸之第二半導體層，其功能是當作能帶隙小於第一半導體層能帶隙之內部基極；

配置於與第二半導體層一側邊表面接觸之第三半導體層，其功能是當作能帶隙大於第二半導體層能帶隙之射極；

分別與第一及第三半導體層側邊表面之第一及第二電極；及

配置於與第二半導體層上端表面之第三電極。

16. 如申請專利範圍第15項之橫向異質接面雙極電晶體，其中第一及第二電極是由一金屬所組成。

17. 一種製造橫向異質接面雙極電晶體之方法，此方法包含步驟有：

(a) 將第一導電型式之雜質引入含有第一導電型式雜質之第一半導體層，第一半導體層被配置於一絕緣層上以構成一基板；

(b) 在第一半導體層上形成一蝕刻罩幕，其具有一寬度200 nm或更小之切槽；

(c) 藉由使用蝕刻罩幕之蝕刻去除位於切槽下方之半導體層部分，形成一穿透第一半導體層之凹槽；

(d) 磊晶成長，自第一半導體層中凹槽之兩側邊表面，第二半導體層具有不同於第一半導體層能帶隙之能帶隙，以致於第二半導體層被埋在凹槽中；

六、申請專利範圍

- (e) 在位於切槽兩邊上及第一半導體層上方絕緣層各自區域中形成開口；
- (f) 自絕緣層中開口執行與第一半導體層有關之濕式蝕刻，形成空心部分且除去第二半導體層兩邊上第一半導體層之各自部分；
- (g) 形成第一及第二電極，被埋在各自的空心部分中；且
- (h) 形成第三電極，被埋在絕緣薄膜中切槽中，與第二半導體層接觸，

在第二半導體層兩邊上剩下之第一半導體層各自部分的功能當作一集極及一射極操作區，第二半導體層的功能當作一內部基極層。

18. 如申請專利範圍第17項之方法，其中步驟(f)包含：

使用乙二胺、鄰苯二酚、氫氧化鉀及聯氨至少其中任何之一種成分之晶體等向性蝕刻。

19. 如申請專利範圍第17項之方法，其中

步驟(a)包含用於將第一導電型式雜質離子佈植第一半導體層之第一離子佈植及用於佈植第二半導體層之第二離子佈植，此雜質離子的濃度高於在第一離子佈植中，

自第一半導體層有關其只有第一離子佈植而尚未執行第二離子佈植的部分形成集極，且

自第一半導體層有關其已經執行第一及第二離子佈植的部分形成射極操作區。

20. 如申請專利範圍第17項之方法，其中

一矽層被使用當作第一半導體層，且

六、申請專利範圍

一含有Si、Ge及C其中至少任何兩種成分之合金被使用當作第二半導體層。

裝
訂

89122109

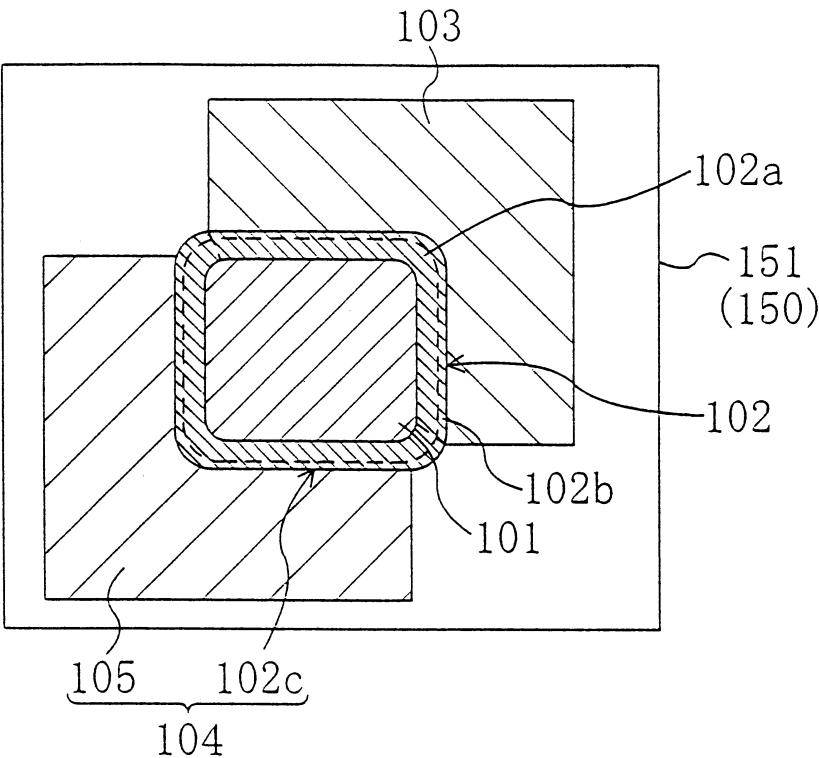


圖 1(a)

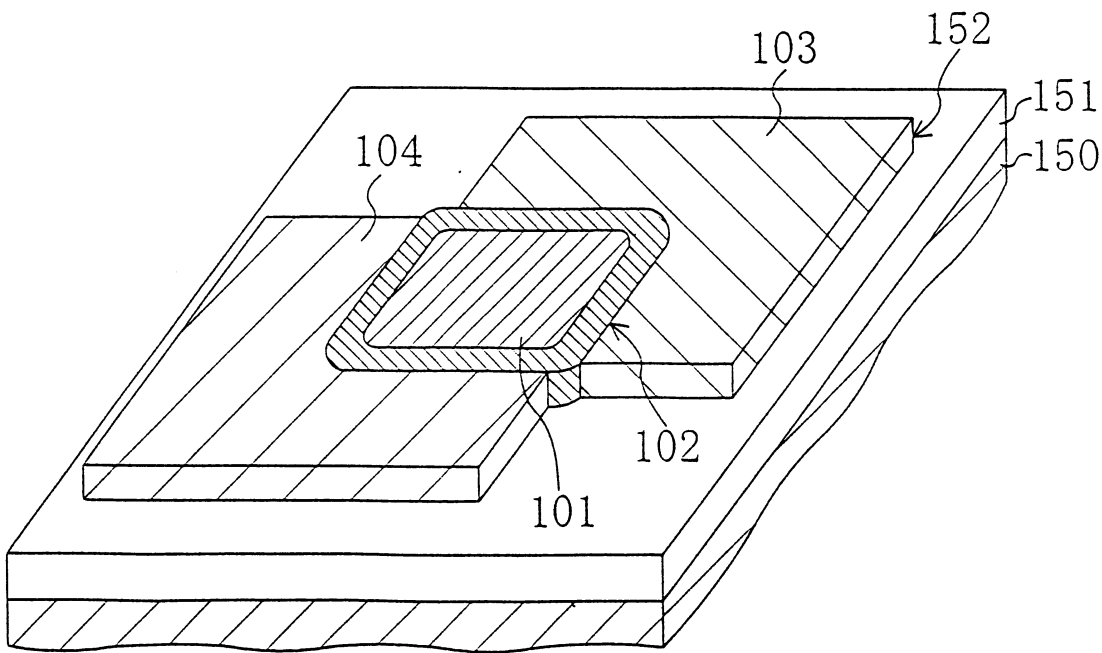


圖 1(b)

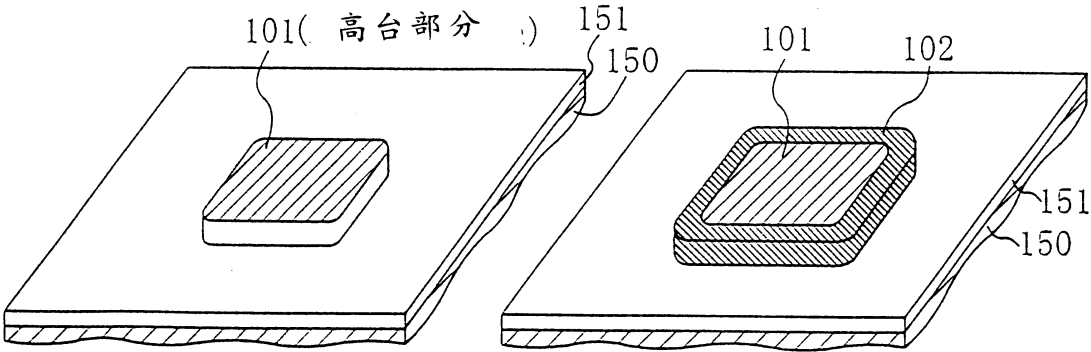


圖 2(a)

圖 2(b)

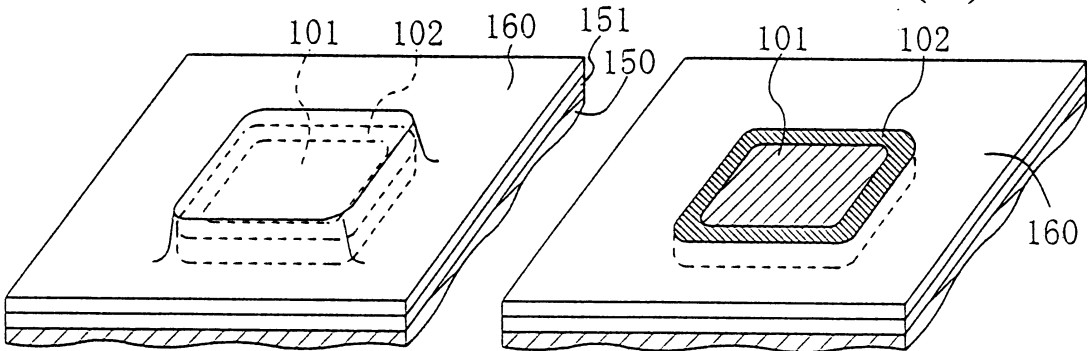


圖 2(c)

圖 2(d)

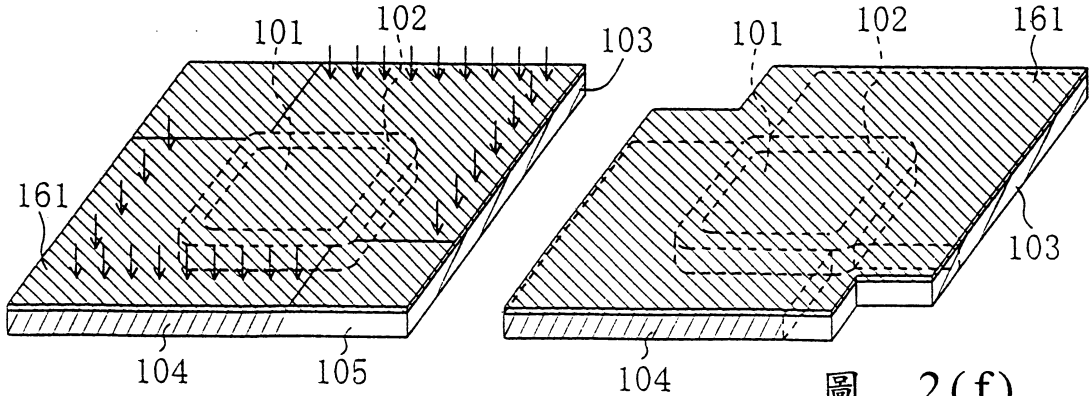


圖 2(e)

圖 2(f)

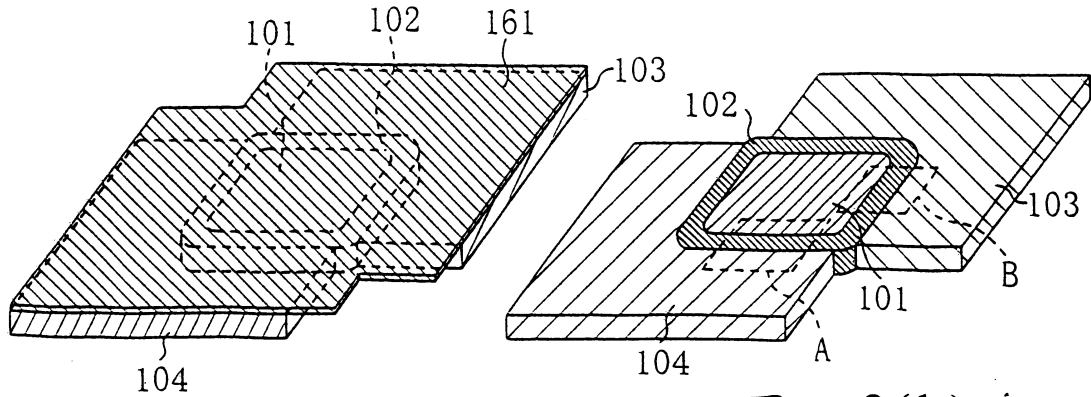


圖 2(g)

圖 2(h)

圖 3(a)

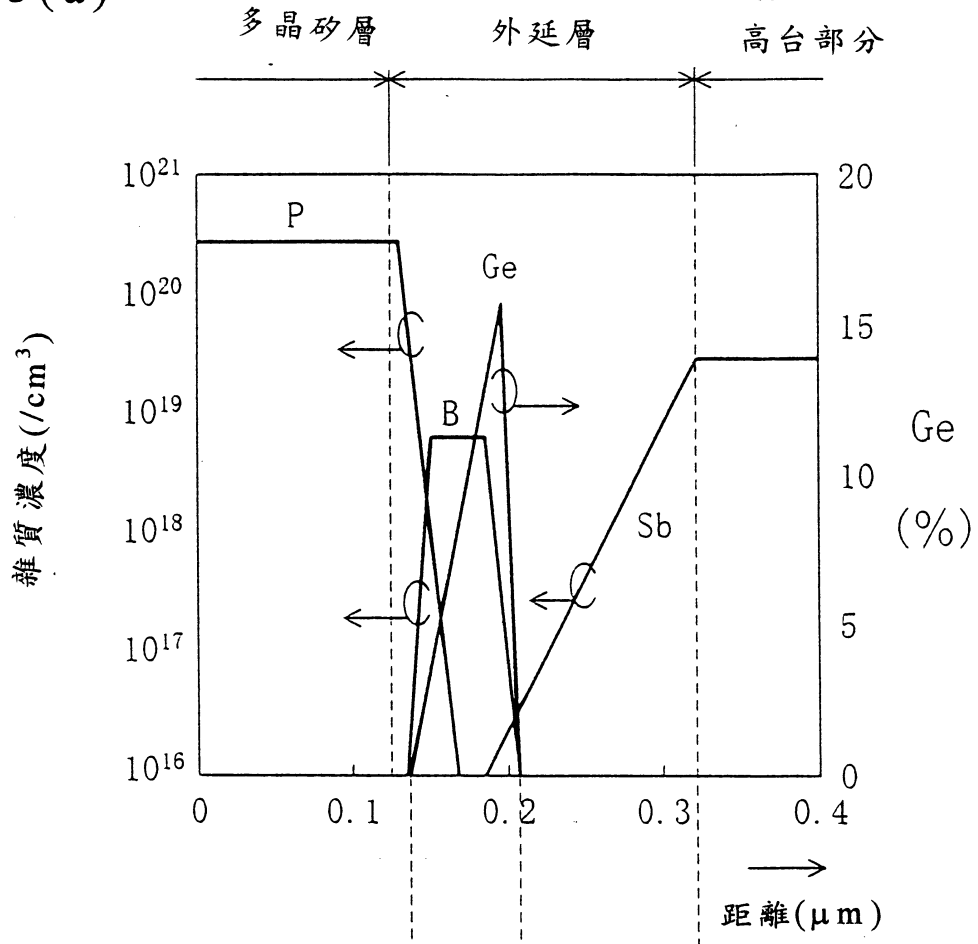


圖 3(b)

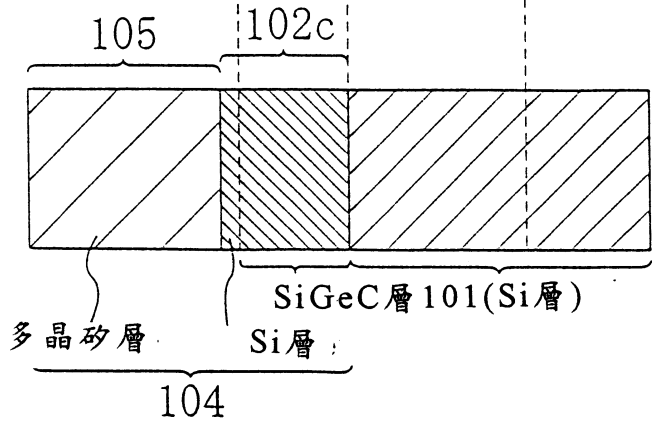


圖 4(a)

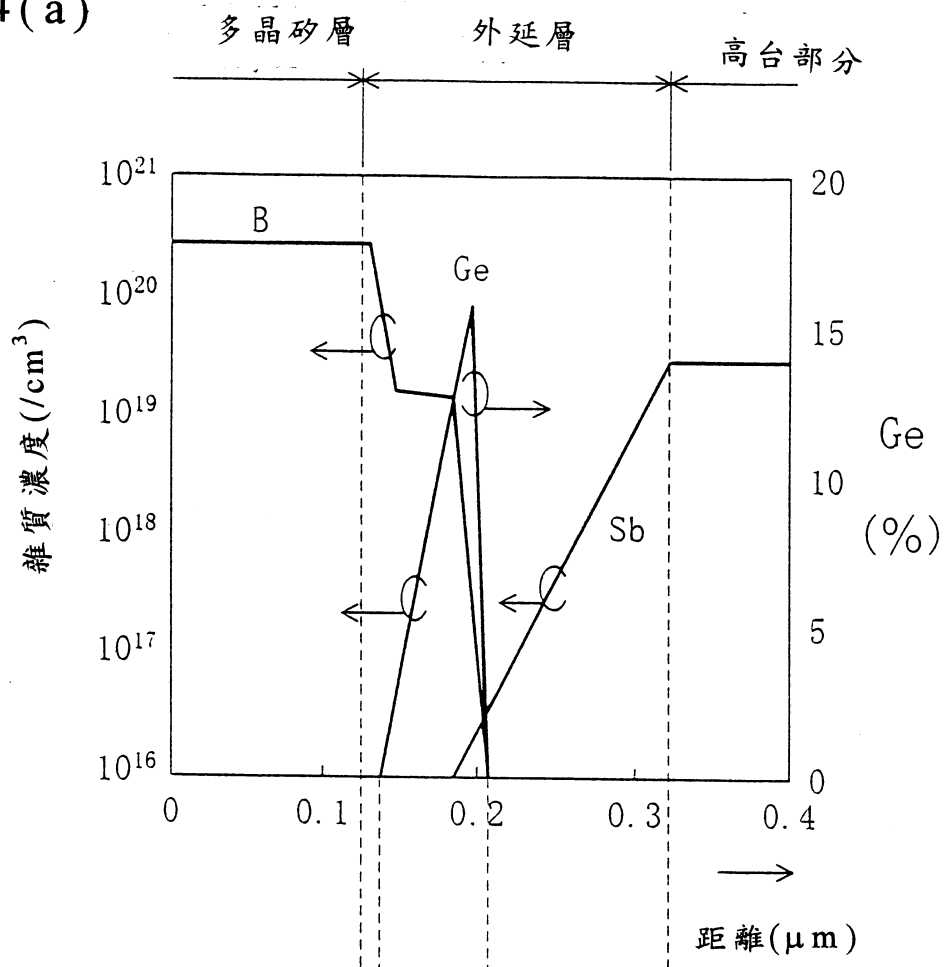
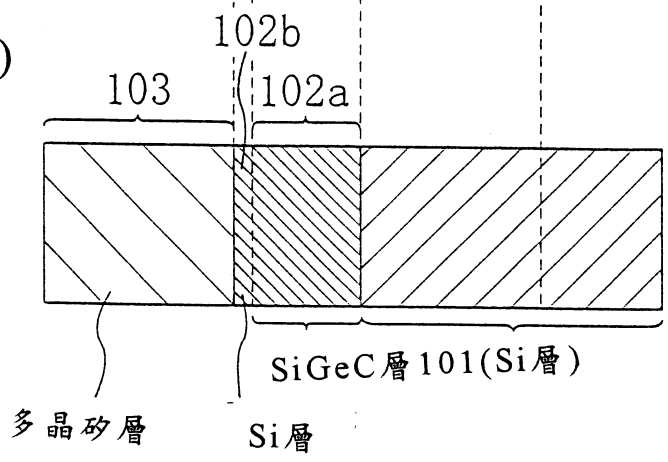


圖 4(b)



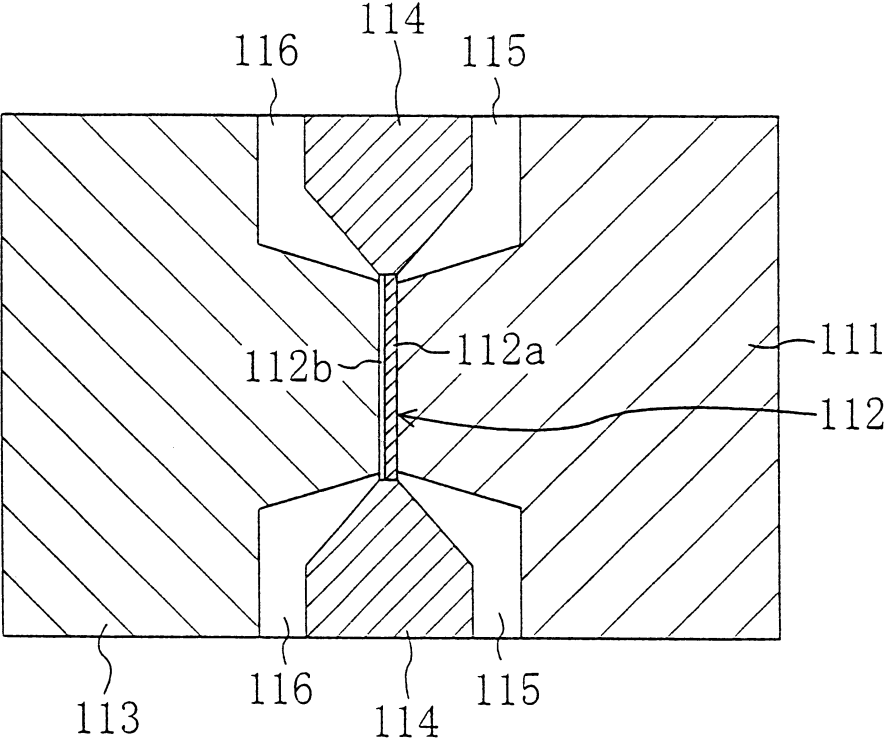


圖 5

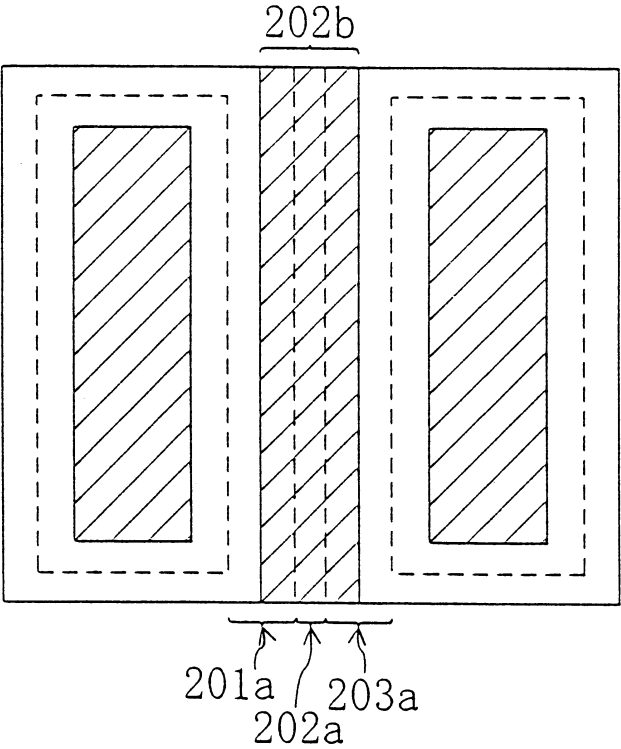


圖 6(a)

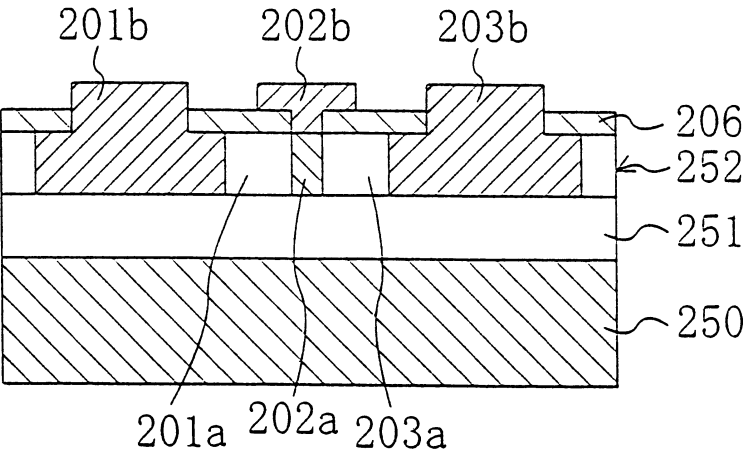


圖 6(b)

圖 7(a)

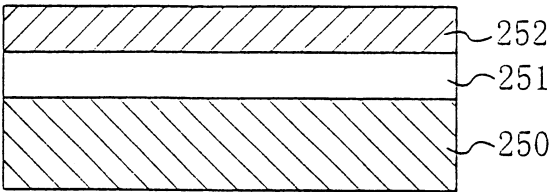


圖 7(b)

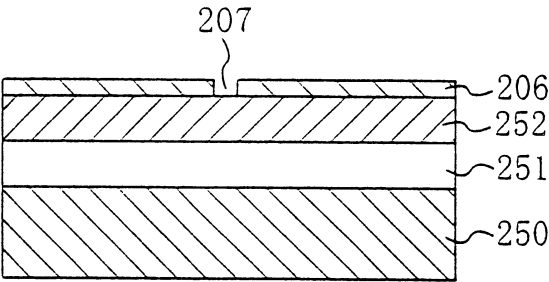


圖 7(c)

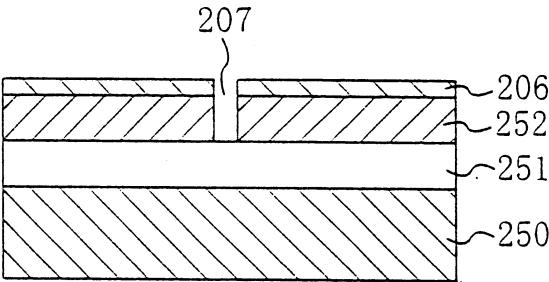


圖 7(d)

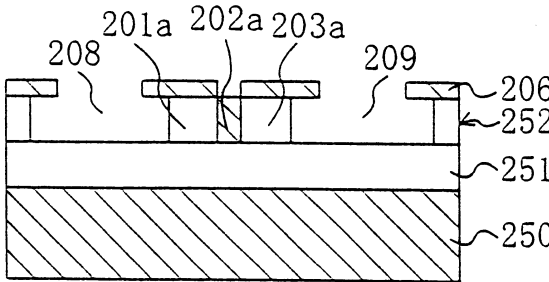
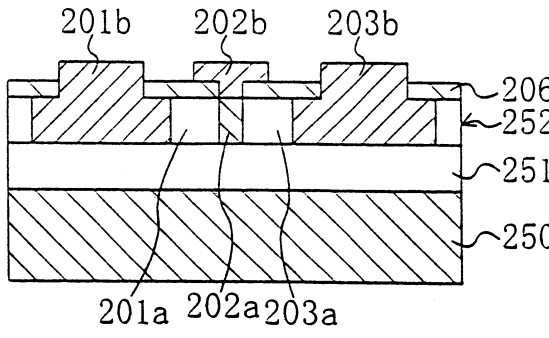


圖 7(e)



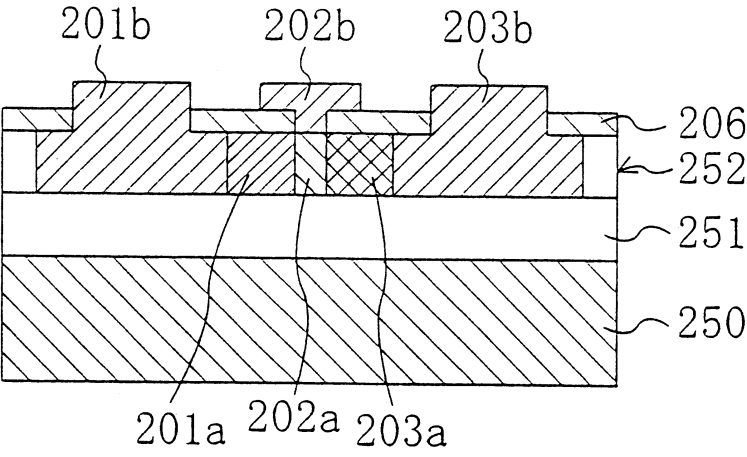


圖 8

圖 9(a)

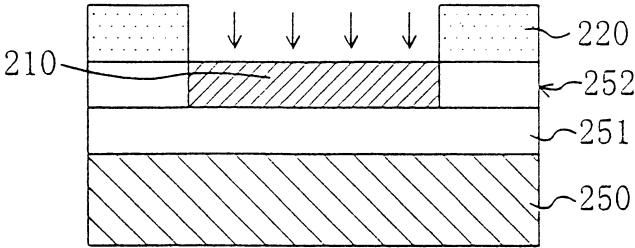


圖 9(b)

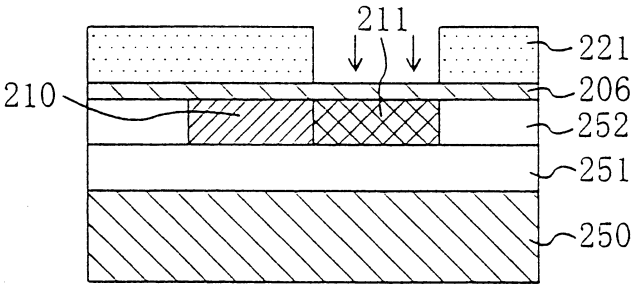


圖 9(c)

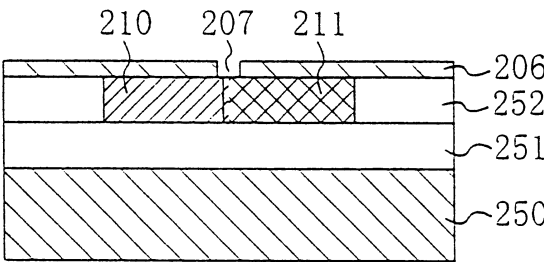


圖 9(d)

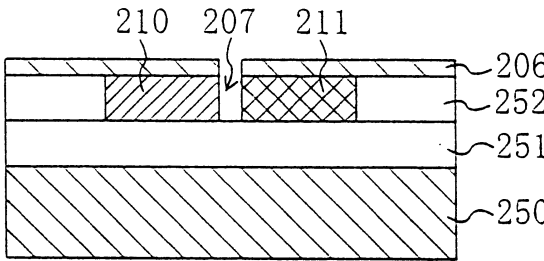


圖 9(e)

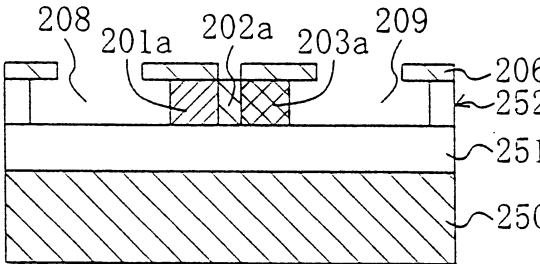
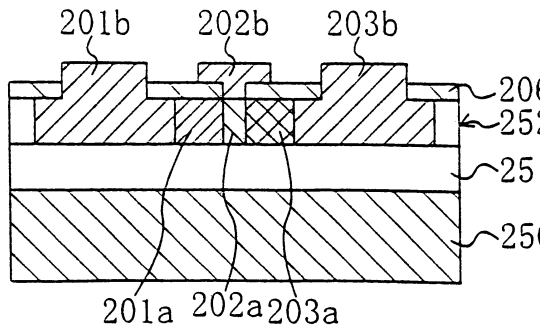


圖 9(f)



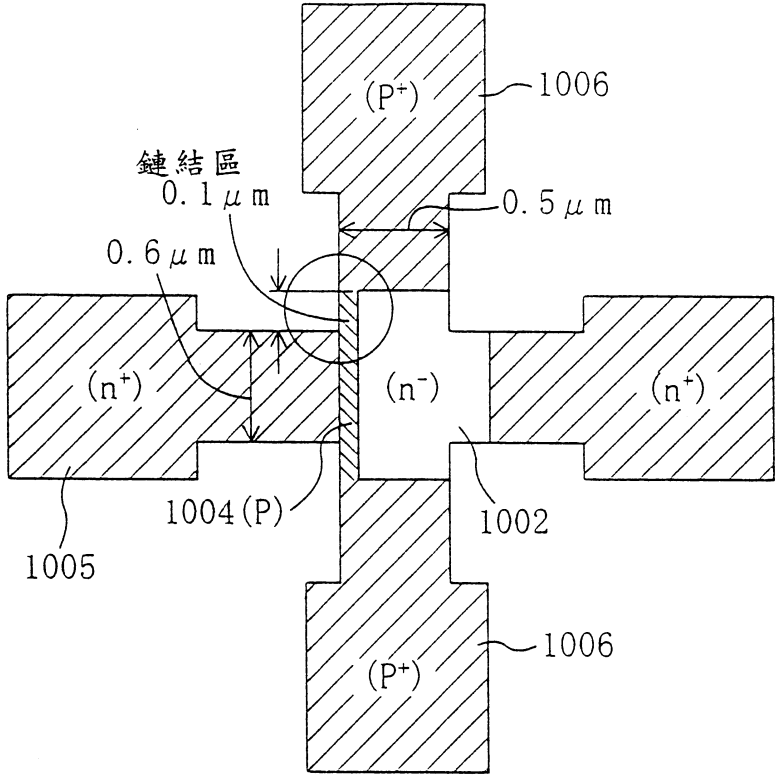


圖 10(a).

先前技藝

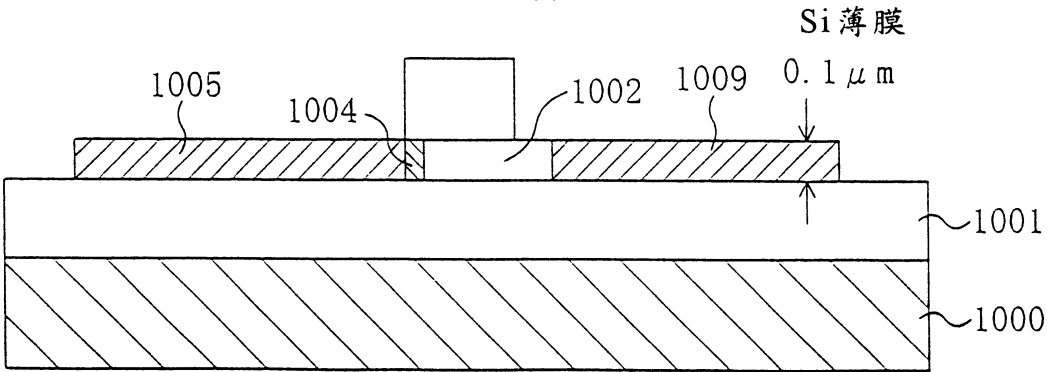
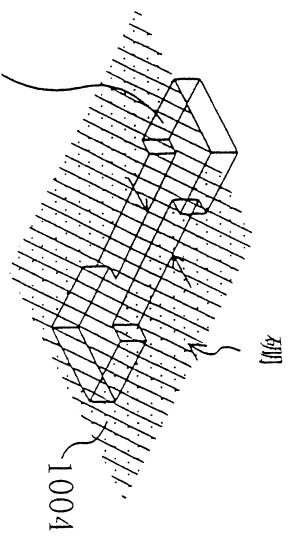


圖 10(b)

先前技藝

圖 11(a)



(NPN作用區)

圖 11(b)

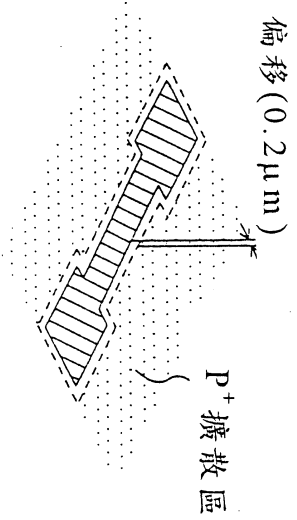


圖 11(d)

圖 11(c)

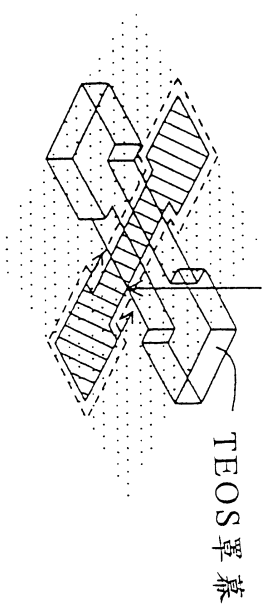


圖 11(e)

