

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5650659号
(P5650659)

(45) 発行日 平成27年1月7日(2015.1.7)

(24) 登録日 平成26年11月21日(2014.11.21)

(51) Int. Cl.		F I	
HO 1 L 21/822	(2006.01)	HO 1 L 27/04	H
HO 1 L 27/04	(2006.01)	HO 1 L 27/08	I O 2 F
HO 1 L 21/8234	(2006.01)		
HO 1 L 27/088	(2006.01)		

請求項の数 23 (全 20 頁)

(21) 出願番号	特願2011-542253 (P2011-542253)	(73) 特許権者	511242535
(86) (22) 出願日	平成21年12月9日 (2009.12.9)		サンディスク テクノロジーズ インコーポレイテッド
(65) 公表番号	特表2012-513121 (P2012-513121A)		SanDisk Technologies, Inc.
(43) 公表日	平成24年6月7日 (2012.6.7)		アメリカ合衆国 75024、テキサス州、プラーノ、ノース ダラス パークウェイ 6900 ツー レガシー タウンセンター
(86) 国際出願番号	PCT/US2009/067390		Two Legacy Town Center, 6900 North Dallas Parkway, Plano, Texas 75024 United States of America
(87) 国際公開番号	W02010/080319		
(87) 国際公開日	平成22年7月15日 (2010.7.15)		
審査請求日	平成24年11月30日 (2012.11.30)		
(31) 優先権主張番号	12/338,056		
(32) 優先日	平成20年12月18日 (2008.12.18)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 立ち上がり時間検出器および放電継続回路を有する静電放電保護回路

(57) 【特許請求の範囲】

【請求項 1】

少なくとも1つの入力ピンを有する内部回路を、前記入力ピンにおける静電放電(ESD)事象に関連するエネルギーを消散させることによって保護する静電放電(ESD)保護回路であって、

前記入力ピンにおいて供給される入力信号のスルーレートを検出する立ち上がり時間依存活性化回路と、

前記立ち上がり時間依存活性化回路およびESD消散回路に結合される消散継続時間制御回路と、

前記消散継続時間制御回路に結合される前記ESD消散回路と、を備え、

前記立ち上がり時間依存活性化回路が、前記入力信号のスルーレートが第1のしきい値よりも大きいと判定する場合には、前記入力信号を前記ESD事象であるとし、かつ前記立ち上がり時間依存活性化回路に関連づけられる第1のRC時定数にしたがって短い期間のトリガ信号を生成し、前記第1のしきい値未満のスルーレートを有する入力信号の場合にはトリガ信号を生成せず、

前記立ち上がり時間依存活性化回路から受信したトリガ信号にตอบสนองして前記消散継続時間制御回路を活性化して、前記ESD消散回路を活性化する活性化信号を生成し、前記活性化信号は第1のRC時定数よりも長い前記消散継続時間制御回路に関連づけられる第2のRC時定数にしたがって、前記ESD消散回路を活性化状態に保っておく時間の長さを制御し、前記ESD消散回路が前記入力信号を十分に放電可能となるように十分長く活性化状

10

20

態を保ち、前記消散継続時間制御回路が、前記入力ピンにおいて供給される電圧と接地端子との間で直列に配置され、かつトランジスタのゲート端子とソース端子を接地端子に接続するように配置されるトランジスタおよびキャパシタをさらに備え、それによりシャントインバータを保護するシャント保護回路を形成し、

前記 ESD 消散回路は、前記 ESD 消散回路を活性化することによって、前記消散継続時間制御回路により供給された活性化信号に応答し、それにより前記 ESD 事象に関連づけられるエネルギーを前記内部回路外へ分流し、前記 ESD 事象に関連づけられる十分な量のエネルギーが前記内部回路外へ分流されるまでの期間にわたってエネルギーの分流を保つように前記 ESD 消散回路を構成し、それにより前記内部回路を前記 ESD 事象から保護する ESD 保護回路。

10

【請求項 2】

請求項 1 記載の ESD 保護回路において、

前記 ESD 保護回路は、ラッチ回路を備えずに構成される ESD 保護回路。

【請求項 3】

請求項 1 記載の ESD 保護回路において、

前記立ち上がり時間依存活性化回路の第 1 の RC 時定数は、50 ナノ秒未満であり、

前記消散継続時間制御回路の第 2 の RC 時定数は、第 1 の RC 時定数よりも大きい ESD 保護回路。

【請求項 4】

請求項 3 記載の ESD 保護回路において、

前記立ち上がり時間依存活性化回路の第 1 の RC 時定数は、40 ナノ秒未満であり、

前記消散継続時間制御回路の第 2 の RC 時定数は、400 ナノ秒よりも大きい ESD 保護回路。

20

【請求項 5】

請求項 3 記載の ESD 保護回路において、

前記入力信号のスルーレートが、50 ミリボルト毎ナノ秒に設定された第 1 のしきい値を超える場合に、前記立ち上がり時間依存活性化回路は、前記トリガ信号を発生する ESD 保護回路。

【請求項 6】

請求項 1 記載の ESD 保護回路において、

前記消散継続時間制御回路は、通常の動作条件が原因でこむるノイズを受けた際に、前記 ESD 保護回路の安定性を保つためにラッチ回路をさらに備える ESD 保護回路。

30

【請求項 7】

請求項 1 記載の ESD 保護回路において、

前記 ESD 保護回路は、集積回路パッケージ内に組み込まれ、

前記集積回路パッケージは、

基板と、

前記基板上に全て配置される、電源ピン、前記 ESD 保護回路および前記内部回路と、を備え、

前記電源ピンは、素子の前記内部回路に動作可能に結合され、かつ前記入力ピンに印加された入力信号が前記 ESD 事象を含む場合に、前記 ESD 保護回路が活性化されるように、前記電源ピンは前記 ESD 保護回路に結合される ESD 保護回路。

40

【請求項 8】

請求項 7 記載の ESD 保護回路において、

前記電源ピンは、初期の ESD 事象を吸収し、かつ ESD エネルギーを前記 ESD 保護回路内にゆっくりと消散させるキャパシタにさらに結合される ESD 保護回路。

【請求項 9】

IC 素子であって、

入力ピンと、

前記入力ピンに結合される内部回路と、

50

前記入力ピンおよび前記内部回路に動作可能に結合され、過剰な電圧スパイクから前記内部回路を保護するように配置される静電放電（ESD）保護回路と、を備え、

前記ESD保護回路は、トリガ回路、シャント継続時間回路、およびシャント回路を備え、

前記トリガ回路は、前記入力ピンにおける入力信号がスルーレートの第1のしきい値を超える場合に、前記シャント継続時間回路を活性化するトリガ信号を前記トリガ回路が生成することを可能にする小さい第1のRC時定数を有し、

前記シャント継続時間回路は、前記入力信号がスルーレートの第1のしきい値を超えると、前記トリガ信号によって前記シャント継続時間回路を活性化する場合に、活性化信号を生成するように配置され、

10

前記シャント回路は、前記活性化信号を受信し、かつ前記活性化信号を受信しながら、前記入力信号を前記内部回路外へ経路変更し、

前記シャント継続時間回路は、より大きい第2のRC時定数を有し、前記トリガ回路の第1のRC時定数によって規定されるものを超えて前記シャント継続時間回路を活性化状態に保ち、それによりESD事象が前記内部回路を損傷することがない程度まで前記ESD事象を放電させるのに十分な期間にわたって前記シャント継続時間回路が前記シャント回路を活性化状態に保つのを可能にするように構成され、

前記シャント継続時間回路は、前記入力ピンにおいて供給される電圧と接地端子との間に配置され、かつトランジスタのゲート端子とソース端子を接地端子に接続するように配置されるトランジスタおよびキャパシタをさらに備え、それにより前記シャント継続時間回路のシャントインパルスを保護するシャント保護回路を形成するIC素子。

20

【請求項10】

請求項9記載のIC素子において、

前記シャント継続時間回路は、通常の動作条件のノイズを受けた際に、前記ESD保護回路の安定性を高めるように構成されるラッチ回路を含むIC素子。

【請求項11】

請求項9記載のIC素子において、

前記トリガ回路は、前記入力ピンにおいてESD事象が起きた場合には前記シャント継続時間回路を活性化するように構成されるが、前記入力信号が意図された入力信号である場合には前記シャント継続時間回路を活性化しないIC素子。

30

【請求項12】

請求項11記載のIC素子において、

前記意図された入力信号は、電源投入時の電圧による突入電流であるIC素子。

【請求項13】

静電放電（ESD）保護回路であって、

第1の電圧線路に接続して、前記第1の電圧線路上の静電放電にตอบสนองして第1のRCベースのトリガ信号を生成するために第1のRC時定数に関連づけられる第1のRC回路と、

静電放電（ESD）事象にตอบสนองして活性化される場合に、エネルギーを被保護回路外へ分流するように構成されたシャント回路と、

40

第2のRCベースの活性化信号を生成する第2のRC回路と、を備え、

前記第2のRC回路は、前記第1のRC回路および前記シャント回路に結合され、かつ前記第1のRC回路から受信された第1のRCベースのトリガ信号にตอบสนองして第2のRCベースの活性化信号を生成するための継続時間制御回路として機能するように構成され、

第2のRCベースの活性化信号が前記シャント回路を活性化し、かつ前記第2のRC回路に関連づけられる第2のRC時定数に関連する延長された期間にわたって前記シャント回路を活性化状態に保ち、

第2のRC時定数が第1のRC時定数よりも大幅に長いことにより、前記第2のRC回路が静電放電のエネルギーを安全に放電するのに十分に長く第2のRCベースの活性化信号を保つことを可能にし、

50

前記第2のRC回路は、前記第1の電圧線路と接地端子との間に配置されるキャパシタおよびトランジスタをさらに備え、

前記トランジスタは、インバータ降伏電圧がインバータに達する前に、前記シャント回路に関連づけられる前記インバータを保護するように配置されるインバータ保護回路として配置されるESD保護回路。

【請求項14】

請求項13記載のESD保護回路において、
ラッチ回路を備えないように構成されるESD保護回路。

【請求項15】

入力ピンに結合される内部回路を備える電気回路素子のための静電放電(ESD)保護を提供する方法であって、

前記入力ピンにおいて供給される入力信号のスルーレートを検出する工程と、
前記入力信号において検出されたスルーレートが第1のしきい値よりも大きい場合には

第1のRC時定数にしたがって短い期間のトリガ信号を生成する工程と、

前記トリガ信号にตอบสนองして、消散信号を生成する工程であって、前記消散信号は、消散回路を活性化し、かつ第1のRC時定数よりも長い第2のRC時定数にしたがって、前記消散回路を動作状態に保ち、前記消散回路が静電放電(ESD)事象を十分に放電可能となるように十分長く活性状態を保ち、前記消散回路が、シャントインバータを備え、また前記入力ピンにおいて供給される電圧と接地端子との間で直列に配置され、かつトランジスタのゲート端子とソース端子を接地端子に接続するように配置されるトランジスタおよびキャパシタも備え、それにより前記シャントインバータを保護するシャント保護回路を形成する、消散信号を生成する工程と、

前記消散信号にตอบสนองして、前記内部回路を損傷することがないように、前記ESD事象を放電するのに十分な期間にわたって前記ESD事象に関連づけられるエネルギーを前記内部回路外へ分流する工程と、

前記入力信号において検出されたスルーレートが前記第1のしきい値未満である場合には、トリガ信号を生成しない工程と、

を含む方法。

【請求項16】

請求項15記載の方法において、

前記スルーレートを検出する工程は、前記ESD事象を特定するべく選定された第1のRC時定数にしたがって選定された第1のしきい値を使用し、

前記ESD事象が放電されるまで前記消散回路を活性状態に保つことは、前記ESD事象が十分に消散されるまで前記消散回路を動作状態に保つ第2のRC時定数にしたがってなされる方法。

【請求項17】

請求項16記載の方法において、

第1のRC時定数は、前記電気回路素子のための標準的な電源投入スルーレートよりも大きいスルーレートを有する前記入力信号にตอบสนองする方法。

【請求項18】

請求項16記載の方法において、

第1のRC時定数は40ナノ秒未満であり、第2のRC時定数は500ナノ秒よりも大きい方法。

【請求項19】

請求項15記載の方法において、

第1のRC時定数は、50ミリボルト毎ナノ秒よりも大きいスルーレートを有する前記入力信号にตอบสนองする方法。

【請求項20】

請求項15記載の方法において、

10

20

30

40

50

前記消散回路を活性状態に保つことは、残留電圧が前記内部回路の通常の動作電圧の1.5倍未満となるレベルにESDエネルギーが消散されるまで前記消散回路を活性状態に保つことを含む方法。

【請求項21】

請求項15記載の方法において、

前記方法により、通常の動作条件のノイズを受けた際に、前記ESD保護を提供する方法の安定性を高めるように構成されるラッチ回路を操作する方法。

【請求項22】

請求項15記載の方法において、

前記入力ピンにおいてESD事象が起きた場合には前記トリガ信号が活性化し始めるが、前記入力信号が意図された入力信号である場合には前記トリガ信号が活性化し始めないように、前記第1のしきい値を設定する方法。

10

【請求項23】

請求項15記載の方法において、

前記入力信号が電源投入時の電圧による突入電流である場合には、前記トリガ信号が活性化し始めないように、前記第1のしきい値を設定する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は集積回路に関し、より具体的には、静電放電によって生じるもの等の、高スループレート、過電圧および/または過剰電流条件によって生じる損傷から集積回路部品を保護する回路に関する。

20

【背景技術】

【0002】

以下の記載および例は背景技術としてのみ示される。

集積回路は、静電放電(ESD: electrostatic discharge)事象の間に発生されるもの等の過剰電荷の印加から損傷を受けやすい。例えば、集積回路(IC)は、集積回路(ウェハレベル)の製造、パッケージング後の集積回路の取り扱いおよび/または組み立て後のプリント回路板の取り扱いの間に静電荷に曝される恐れがある。場合によっては、集積回路が、プラズマエッチング技法または荷電粒子を生成する他の製造プロセスの使用から生じる電荷に曝される恐れがある。別の場合では、回路パッケージ上の露出したピンに人がうっかり触れると、あるいは導電性の表面を横切るパッケージの動きが原因でパッケージが静電的に帯電すると、パッケージングされた集積回路が静電荷に曝される恐れがある。

30

【0003】

ESD事象の間に集積回路(IC)に伝達される電気パルスは、集積回路の敏感な部品に重大な損傷を与えうる。例えば、集積回路の1つ以上のピンと別の導電物との間で短時間に、通例、数十~数百ナノ秒間に、過剰な量の電荷が伝達されると、集積回路上のトランジスタおよび他の電気素子が損傷を受ける恐れがある。伝達される電荷(静電放電と呼ばれる)は、回路上の絶縁膜(ゲート酸化膜等)を破壊したり、あるいは回路内の電熱的な破損(コンタクトスパイク、シリコン溶融および金属相互接続部溶融等)を生じさせるのに十分なエネルギーを消散させたりするのに足りるほど大きい電圧を発生させうる。

40

【0004】

それゆえ、ESD事象から電界効果トランジスタ(FET)素子および他の敏感な回路を保護する問題に特に注意を払って集積回路を保護する方法を開発しようとして試みている者たちもいる。場合によっては、ESD事象の間に発生されるエネルギーを敏感な回路外へ経路変更するために入出力(I/O)パッドとICの内部回路との間にESD保護素子が接続される。ESD事象の間の損傷を防ぐために保護素子が電源パッドに接続されるかまたは電源バス同士の間で接続される場合もある。現在までのところ、これらの素子は、既存のかつ絶えず発展しているESD問題を完全に解決できてはいない。既存の素子は最初

50

の正常な電源投入条件に敏感すぎて、正常な電源投入電圧を誤って接地に経路変更し、IC内に不要かつ望ましくない電圧スパイクを発生してしまうことがある。このような「誤検知 (False Positive)」は非常に望ましくないものであり、内部回路の正常な機能を妨げる。「誤検知」および他の正常な電源条件に対するこの過敏性を是正しようとして、正常な電源投入をESD事象と区別するのに足りるほどの感性をもつ保護回路を構成しようと試みている者たちもいる。この種の周知の回路は、ESD事象を十分放電させるのに足りるほど長くは活性状態に留まらないことが多い。それゆえ、未放電の残留ESDエネルギーは被保護回路に過負荷をかけ、それを損傷する能力が十分にある。

【0005】

1つの従来技術のアプローチでは、ESD保護素子が、「スナップバック素子」、すなわち大抵の半導体集積回路に固有のバイポーラ接合トランジスタ (BJT) およびサイリスタを含む寄生バイポーラ素子に依存する素子を用いる。これらのバイポーラ素子は、相補型金属酸化半導体 (CMOS) ベースの集積回路等の、電界効果トランジスタ (FET) を用いる技術において通常、寄生素子と見なされる素子を含みうる。ESD事象の間、バイポーラ素子は導電状態に入ってESD放電を安全に消散させることができる。このようなスナップバック素子はESD保護素子内でしばしば用いられるが、それらは不利な点がないわけではない。例えば、シリコンで製作された実際のスナップバック素子の挙動を予測/制御することは難しい。なぜならば、それらの寄生BJTの挙動を正確にシミュレートすることができず (スナップバック素子は、大部分モデル化されていない領域 (スナップバック領域) で動作するという事実ゆえ)、それらのパラメータは実際の実装例において制御することが困難であるからである。予測可能性のこの欠如は、低いESD保護性能または過剰設計された回路網あるいはその両方をもたらす。結果的に、このようなESD保護方式は、比較的、大量のシリコン面積を費やしうるし、チップを用いるのに必要な、チップのスタンバイ電流量に影響を及ぼす。

【0006】

これらの問題を解決しようとする他の試みでは、ESD保護を実装するために能動シャントネットワーク (そのほか、「能動スイッチネットワーク」または「線路ベースのネットワーク」と称される) が用いられる。このようなネットワーク内では、ESD電圧は能動スイッチネットワークを通じて導かれる。このような回路は、集積回路の通常動作とESD事象とを区別するように意図されている。都合のよいことに、このような能動ネットワークを従来の回路シミュレータを用いてシミュレートすることができ、その結果、ESD放電からの保護がより予測可能になり、同じESD性能のために保護が要する面積を比較的、より小さくできる。しかし、能動ネットワーク回路はいくつかの深刻な限界を欠点として有し、全ての場合において適切なESD保護を提供することができなくなることがありうる。スナップバック素子と同様に、能動ネットワーク回路の挙動も、プロセスばらつきを制御することが難しい。回路部品の多くにあるプロセスばらつきが、それぞれのESD活性化条件を大幅により高いかまたはより低いレベルに変えることによって、トリガ回路の動作に影響を与える場合がある。場合によっては、ESD保護回路の動作パラメータに影響を及ぼすプロセスばらつきので、能動ネットワーク回路は本当のESD事象から内部回路を保護することに失敗する可能性がある。このような失敗は、損傷を与える可能性のある静電荷が集積回路の内部回路に供給されるのを許してしまう場合がある。通例、これらのネットワークの感性を、実験データを用いて調整することができる。例えば、特定の能動ネットワーク回路設計のESD事象感性は、それぞれの集積回路が製作された後にテストされればよい。能動ネットワーク回路がESD事象を完全に放電させることができなければ、通例、ESD保護回路のプロセスパラメータは、所望のESD性能を得るために改められる。適当な変更がなされれば、集積回路は再びテープアウトされればよく、回路が製作されれば、ESD保護は研究室で再検証されればよい。その後、このプロセスは、ESD事象を検出するのに十分な感性が能動ネットワーク回路に提供される (すなわち、集積回路に提供されるESD保護が或るESD要件を満たす) まで試行錯誤によって継続すればよい。残念ながら、このようなプロセスは時間がかかるしコストも

10

20

30

40

50

かさむ。加えて、このようなプロセスの結果できる ESD 回路を、他のチップ（例えば、異なるサイズおよび/または ESD 要件を有する）のために再利用することができない。従って、新しい回路ごとに、個別調整された回路が設計されテストされなければならない。

【0007】

他の周知の解決策として、メーカーおよび設計要求によって異なる単一の RC 時定数を有する単純な回路が挙げられる。従来技術では、短い RC 時定数を有する ESD 回路が用いられる。このような回路は ESD 事象に敏感であるが、それらは ESD 事象を十分に放電させることができないという欠点を持っているため、所望のレベルの ESD 保護を提供しない。より長い RC 時定数を用いる ESD 保護回路は、向上した放電能力を特徴とするが、通常動作およびシステムのノイズを実際の ESD 事象と効果的に区別することができないという欠点を有し、そのために、それらの有用性を著しく制限する。

10

加えて、プログラム可能な ESD 保護回路も発明されている。しかし、これらの回路は大規模で複雑であり、コストを著しく増大させるほどのプログラミング時間を必要とする。

従って、改良された ESD 保護回路が必要である。

【発明の概要】

【0008】

本発明の原理によると、ESD 保護素子および手法が開示される。

静電放電 (ESD) 保護回路の一実施形態は、第 1 の RC 時定数に関連づけられる第 1 の RC 回路を含む。この回路は第 1 の電圧線路に接続され、第 1 の線路上の静電放電にตอบสนองして第 1 の RC ベースのトリガ信号を生成する。ESD 回路は、活性化されると ESD エネルギーを被保護回路外へ分流するように構成されるシャントも有する。この実施形態は、第 2 の RC ベースの活性化信号を生成するために第 2 の RC 回路も含む。第 2 の回路は第 1 の RC 回路およびシャント回路に結合され、回路が継続時間制御回路として機能するように構成される。従って、第 1 の RC 回路から受信されたトリガ信号にตอบสนองして活性化信号を生成する。活性化信号はシャント回路を活性化し、第 2 の RC 回路の第 2 の RC 時定数に関連づけられる延長された期間にわたりシャントを活性化状態に保つ。第 2 の RC 時定数は第 1 の RC 時定数よりも大幅に長い。関連実施形態によっては、追加のラッチ回路を備えることなく所望の性能を達成することができるものがある。

20

30

【0009】

別の実施形態では、静電放電 (ESD) 保護回路が、入力ピンにおいて供給される入力信号のスルーレートを検出して入力信号のスルーレートが第 1 のしきい値よりも大きいかどうかを判定することができる立ち上がり時間依存活性化回路を含む。入力信号が ESD 事象である場合、立ち上がり時間依存活性化回路はトリガ信号を発生する。立ち上がり時間依存活性化回路は、ESD 消散回路にも結合される ESD 消散継続時間制御回路に結合され、ESD 消散継続時間制御回路がトリガ信号にตอบสนองして活性化されることを可能にする。ESD 消散継続時間制御回路は、ESD 消散回路を活性化する活性化信号であって、ESD 消散回路が活性化状態であり続ける時間の長さを制御して、入力信号の十分な放電を可能にするのに足りるほど長く ESD 消散回路を活性化状態のままにさせる活性化信号を生成する。ESD 消散回路は、ESD 消散継続時間制御回路に結合され、活性化信号にตอบสนองして ESD 消散回路内のシャントを活性化し、それにより ESD 事象に関連づけられるエネルギーを被保護内部回路外へ分流する。ESD 消散継続時間制御回路は、活性化信号にตอบสนองして、十分な量のエネルギーが内部回路外へ分流されるまで ESD 事象に関連づけられるエネルギーの分流を保つようにさらに構成され、それにより内部回路を ESD 事象から保護する。

40

【0010】

他の実施形態は、検出器回路およびトリガ回路を備える立ち上がり時間依存活性化回路を有する素子を含む。このような検出器回路は入力ピンに結合され、入力信号のスルーレートを検出してそれが第 1 のしきい値よりも大きいスルーレートを有するかどうかを判定

50

するように構成される。このような信号の場合、検出器はこれをESD事象として扱い、作動信号を発生する。トリガ回路は検出器回路に結合され、トリガ信号を発生することによって作動信号に応答し、トリガ信号はESD消散継続時間制御回路によって受信され、するとESD消散継続時間制御回路は、事象を放電させるべくESD消散回路を活性化し維持する。

【0011】

素子の他の実施形態は、立ち上がり時間依存活性化回路が、高スルーレート入力信号の場合のトリガ信号の発生を可能にする小さいRC時定数を有するように構成される。さらに、ESD消散継続時間制御回路が、立ち上がり時間依存活性化回路のRC時定数によって決まるものを超えて消散期間を延ばすように構成される。従って、実施形態によっては、ESD消散継続時間制御回路のRC時定数は立ち上がり時間依存活性化回路のものよりも大きい。実施形態によっては、トリガ信号は、50mV/ns(ミリボルト毎ナノ秒)を超えるスルーレートを有する入力信号に応答するように構成される。別の実施形態では、ESD消散継続時間制御回路は、入力信号が放電されて内部回路内への通常動作の電源投入入力の約1.5倍の電圧レベルになるまでESD消散回路を活性モードに保つ。同様に、素子の実施形態は、ESD消散継続時間制御回路内にラッチ回路をさらに用いることができる。

10

【0012】

別の実施形態では、ESD保護回路は、電源ピン、ESD保護回路および内部回路を有する基板を含む集積回路パッケージ内に組み込まれる。電源ピンは素子の内部回路に結合され、かつ入力ピンに印加された入力信号がESD事象を含む場合にESD保護回路が活性化されるようにESD保護回路に結合される。

20

【0013】

別の実施形態では、IC素子が、内部回路に結合される入力ピンと、入力ピンにおいて印加される過剰電圧スパイクから内部回路を保護するべく配置される静電放電(ESD)回路とを含む。このようなESD回路はトリガ回路およびシャント回路を含む。トリガは小さいRC時定数を有する。トリガは、入力信号がスルーレートのためのしきい値を超えるとシャントを活性化するように構成される。シャント回路は、トリガによって活性化されると、入力信号を内部回路外へ経路変更する。ESD回路は、トリガ回路のRC時定数によって規定されるものを超えてシャントを活性化状態に保ち、それにより、ESD事象が内部回路を損傷することがない程度までシャント回路がESD事象を放電させることを可能にするように構成されるシャント継続時間回路をさらに含む。

30

【0014】

別の実施形態では、シャント継続時間回路は、ノイズの多い環境および被保護回路の通常動作に固有の他の電圧変動においてESD保護回路の安定性を高めるラッチ回路を含む。一実施形態は、トリガが、電源入力ピンにおいて静電放電事象が起きたときはシャントを活性化するが、入力信号が意図された入力信号であるときはシャントを活性化しないように構成させることができる。IC素子の実施形態は、入力信号からの電圧が内部回路の正常な動作電圧の約1.5倍未満になるまでシャント継続時間回路がシャントを活性化状態に保つように構成させることができる。

40

【0015】

本発明の方法の一実施形態では、静電放電保護が、入力ピンにおいて入力信号を受信することと、入力信号がしきい値を超えるスルーレートを有するかどうかを判定することによって提供される。しきい値を超えるスルーレートを有する入力信号が静電放電(ESD)事象として確定される。ESD事象に応答してトリガ信号が発生され、トリガ信号に応答してシャントが活性化される。活性化されたシャントは入力信号を内部回路外へ経路変更する。ESD事象が放電されるまでシャントを活性化状態に保つ。

【0016】

別の実施形態では、入力信号がESD事象を含むかどうかを判定して確定する方法は、入力信号が第1のRC時定数に関連づけられるしきい値スルーレートをを超えるかどうかを

50

判定することを含む。このようなESD事象にตอบสนองして、トリガ信号が発生され、同様に、ESD事象が放電されるまで第2のRC時定数に従ってシャントが活性化状態に保たれる。前述した実施形態は、第1のRC時定数が、素子のための標準的な電源投入スルーレートよりも大きいスルーレートを有する入力信号にตอบสนองするように構成させることができる。適当なスルーレートの例は、約50mV/nsよりも大きいスルーレートである。当然、これは単なる1つの例であり、より大きいしきい値スルーレートを用いることもできる。このような実施形態では、ESD事象から残っている電圧が内部回路の通常動作電圧の約1.5倍未満となるまで活性化状態にシャントを保つことができる。

【0017】

本発明のこれらの態様および他の態様が、本願明細書において後述される以下の発明を実施するための形態においてさらに詳細に記載される。

10

以下の発明を実施するための形態は、添付の図面と併せることでより容易に理解されるはずである。

図面において、同様の参照符号は同様の構造要素を示すことを理解するべきである。同様に、図面における図は必ずしも原寸に比例してはいないことも理解するべきである。

【図面の簡単な説明】

【0018】

【図1】本発明の原理によるESD保護回路の機能部品を示す機能ブロック図である。

【図2(a)】本発明の原理によるESD保護回路のより詳細な概略図である。

【図2(b)】ラッチ回路を含むESD保護回路の実施形態の詳細な概略図である。

20

【図3(a)】ESD事象条件下における回路挙動を含む、本発明の原理に従って構成された1つのESD保護回路の例の回路挙動のグラフを示す図である。

【図3(b)】ESD事象条件下における回路挙動を含む、本発明の原理に従って構成された1つのESD保護回路の例の回路挙動のグラフを示す図である。

【図3(c)】標準的な電源投入条件下における回路挙動を含む、本発明の原理に従って構成された1つのESD保護回路の例の回路挙動のグラフを示す図である。

【図4】本発明の原理による、半導体パッケージ上に形成されるESD保護回路を示す図である。

【図5】本願明細書において記載されているESD保護回路の1つの実施形態についての動作モードを示すフローチャートである。

30

【発明を実施するための形態】

【0019】

本発明が、いくつかの実施形態およびその特定の特徴に関して具体的に示され記載されている。本願明細書において後述される実施形態は、限定的ではなく、例示的なものとして見なされるべきである。本発明の趣旨および範囲から逸脱することなく形態および細部における種々の変更および変形がなされてよいことは当業者には容易に理解されるはずである。

【0020】

以下の詳細な説明はESD保護素子およびその利用方法の種々の実施形態を記載する。特に、本発明の実施形態は、非常に高いスルーレートを有するESD事象に迅速にตอบสนองし、かつ延長された期間にわたり回路保護を保ち、非常に高い電圧が被保護回路外へ十分に経路変更されることを可能にするように構成される。

40

【0021】

ESD事象の耐性は保護対象の正確な回路に大きく依存するが、「過剰電圧」、「ESDエネルギー」、「ESD電荷」、「ESD電圧」という用語は全てあまねく「ESD事象」を記述する。このようなESD事象は、ESD保護を必要とする敏感な回路に損傷を与えるのに足りるほどの大きさの短いパルス状の電圧として大まかに記述される。

【0022】

図1は、本発明の1つの実施形態のブロック図を示す。本発明の素子の一実施形態は、入力ピン11に動作可能に結合される内部回路16を含む。内部回路16は、ESD損傷

50

を防ぐために静電放電事象（「ESD事象」）から保護されるべき回路を含む。ピン11は接合パッドまたは他の導電性構造物等の導電性接触子である。例えば、ピンを正電源（ V_{DD} ）29または他の外部入力との接続のために構成することができる。ESD保護回路10は、ピン11と内部回路16との間に動作可能に結合される。

【0023】

ここで示されるESD保護回路10（12、13、15、および任意に14）は、ピン11から入力信号17を受信するように構成される立ち上がり時間依存活性化回路12を含む。活性化回路12は非ESD事象と実際のESD事象とを区別するように構成される。ESD事象を含む入力信号17の場合、活性化回路12はESD事象にตอบสนองしてトリガ信号18を生成する。トリガ信号18を、内部回路16を損傷することなくESD事象が放電されることを可能にする延長された期間にわたって（一般的には500ns以上）関連するESD消散回路15を活性状態に保つように構成させることができるESD消散継続時間制御回路13に送信することができる。本件出願人は、ESD消散継続時間制御回路13が、通常の動作条件下で発生されるノイズ条件に直面する回路10の安定性を向上させることができる任意のラッチ回路14が補われることができることを指摘する。このようなラッチ回路14は構成によっては有利となりうるが、本発明を実施するために必ずしも必要とされるものではない。活性化されると、ESD消散継続時間制御回路13は、ESD消散回路15によって受信される活性化信号19を発生し維持する。それにตอบสนองして、ESD消散回路15はESD事象のエネルギーを内部回路16外へ分流する。通例、ESD事象は負電源 V_{SS} または接地に放電される。この図に示された実施形態は限定ではなく例示的なものであり、他の構成が可能である。

10

20

【0024】

通常の単純なESD保護回路は、シャントに結合される立ち上がり時間依存活性化回路（またはトリガ回路）のみを含む。このような従来技術回路が短いRC時定数を有する場合、それらはESD事象に非常に敏感であり、一般に、「誤検知」（すなわち、非ESD事象が起きたときにトリガしてしまうこと）によって煩わされることはないのであるが、短い時定数のせいで、それらはESDエネルギーを放電させるのに足りるほど長くシャント回路を開いておくことができない。他のより長いRC時定数の回路では、非ESDノイズ事象および正常な回路動作に固有の単純な電圧スパイクに過度に敏感になってしまうことが分かっている。これらの問題ゆえに、改良されたESD回路が必要である。

30

【0025】

設計要求は、ESD事象に対してさらに強い耐性を有するESD保護回路を要求することである。この要求は、ESD電圧レベルが高くなるほど解決が難しくなる。これは、非常に大きなESD事象の場合には著しく解決が難しい。例えば、1つのこのような事象はESD事象の人体モデル（HBM）に相当しうる。HBM ESD事象を記述する1つの例では、100pFのキャパシタ上の5,000ボルト（V）が1,500オームの抵抗器を通じて放電されるのに伴い、ESD電流は3.33アンペア（A）に達しうる。このような電流および電圧は、内部回路の電界効果トランジスタ（および他の回路要素）に深刻な損傷を与えるのにおそらく十分である。これほど高い電圧は既存のESD保護技術には非常に厄介である。発明者は、とりわけ、ESD事象に選択的にตอบสนองし、かつESD事象が、内部回路を損傷することなく害を及ぼさずに放電されることを可能にする延長された消散期間を有するESD保護回路の実施形態を提案する。例えば、本発明の実施形態は、少なくとも500ns間、シャントを活性状態に保つように構成させることができる。

40

【0026】

1つの特定の実装例において、図2（a）は、本発明の原理に従って構成されるESD回路の1つの特定の実施形態の、選択された詳細を示す。

まず、ESD保護回路は立ち上がり時間依存活性化回路12（点線で示される）を含む。この回路は、非常に短いRC時定数を備えるように構成される。1つの実装例では、時定数を40ナノ秒（ns）以下に構成することができる。それゆえ、回路12は、実際のESD事象と通常の回路動作による電圧変動との間の良好な選択力をもってESD事象に

50

迅速に応答することができる。特に、この回路は通常のランプアップ電圧とESD事象とを区別することができる。

【0027】

1つの実施形態では、立ち上がり時間依存活性化回路12は、スルーレート検出器21として配置されるRC回路を備えるように構成される。検出器21は入力ピン11（および V_{DD} 線路）とトリガ回路22とに結合される。実施形態によっては、スルーレート検出器21は、関連キャパシタ C_1 （または他の容量性回路要素）と直列に配置される抵抗器 R_1 （または他の抵抗要素）を少なくとも1つ、ただし通例は複数含む。入力ピンにおける入力信号のスルーレートを検出するように配置される検出器回路、入力信号のスルーレートが第1のしきい値よりも大きいとき、検出器は入力信号をESD事象として特定する。1つの例では、検出されるスルーレートはシステムのための通常の電源ランプアップの場合のスルーレートよりも大きい。1つのシステム例では、50ミリボルト毎ナノ秒（ mV/ns ）以上の特に有用なしきい値である。他の実施形態は、例えばランプアップスルーレートに応じて異なるしきい値を適用することができる。かくして、ノード25における電圧は作動信号としてトリガ回路22（一般にインバータ回路、例えば I_1 を含む）に

10

【0028】

ピン11において起きる事象の種類に応じて、インバータ回路 I_1 の出力18は変化することができる。ただし、 R_1 、 C_1 は非常に短い時定数を有することに留意するべきである。従って、「高」信号18は、ピン11における電圧に密接に追従しかつ非常に短い継続時間のものである。この短い「高」信号18は T_1 をオンに切り替え、 T_1 は消散継続時間回路13の動作を開始し、21の短いRC定数のゆえにその直後に信号18は降下する。本発明の実施形態によっては、インバータ I_1 は V_{DD} 電圧の25～50%のレンジ内の切り替わり電圧を有する。従って、3Vのシステムの場合、適当な切り替わり電圧は約1～1.5Vのレンジ内にある。同様に、5Vのシステムの場合、切り替わりのしきい値のためのレンジは約1.5～2.5Vである。

20

【0029】

ESD保護回路10の次の段階に消散継続時間制御回路13がある。継続時間制御回路13は、立ち上がり時間依存活性化回路12のインバータ I_1 に結合されるトランジスタ回路 T_1 （例えば、IGFET、MOSFET等）を含む。トランジスタ T_1 は、並列に配置される1組の容量性要素 C_2 および抵抗要素 R_2 に動作可能に結合される。さらに、インバータ I_2 にも結合される。インバータ I_2 の出力は、消散回路15に直接入力されるかまたは消散回路15に次に結合される任意のラッチに入力されるかのいずれかの様式で入力される。

30

【0030】

さらに詳細には、ノード27は、並列のキャパシタ C_2 および抵抗器 R_2 と、第2のインバータ I_2 との間に配置される。このインバータ I_2 の動作は活性化信号19を選択的に発生し、信号19は、場合によって、延長された期間（例えば、500ns以上）にわたって持続することができる。この延長された期間は13のより長い時定数のゆえである。結果として、インバータ I_2 の出力28（および最も単純な場合には19）は、シャントトランジスタ T_0 を、延長された期間（例えば、ESDエネルギーを放電させるのに十分な期間）にわたってオンにすることができる。ESD消散継続時間制御回路13のRC時定数 τ_2 は立ち上がり時間依存活性化回路12のRC時定数 τ_1 よりもはるかに大きいことを指摘するべきである。これは、活性化信号19が、消散回路15が開放状態を維持する期間を延ばす、はるかに長い継続時間を有することを可能にする。これは、消散回路15がESDエネルギーを被保護内部回路16外へ分流または経路変更することを可能にするより長い消散期間を生み出す。典型的な例では、 τ_2 は τ_1 よりも通例、約1.2倍大きく、内部回路16のESD保護のニーズおよび遭遇する可能性があるとして予想されるESD事象の性質によってはもっと長くなりうる。1つの典型的な例では、 τ_1 は約40ns以下であり、 τ_2 は約500ns以上である（約500ns～2マイクロ秒（ μs ）の範

40

50

圈内が典型的である)。従って、12、15、20より大きい、またはさらに大きい τ_2 / τ_1 比を有するESD保護回路は、本発明の原理による効用がある。

【0031】

1つのこのような回路の動作モードの例のより詳細な説明が、図3(a)、図3(b)および図2(a)を参照しながら示される。

図3(a)は、図に示された回路の選択された場所における電圧を、時間の関数として描くグラフである。この図では、電圧はESD事象に関連づけられる。例えば、図に示されている放電は人体モデル(HBM)の放電である。本発明の実施形態は、この種のESD事象を放電するのに非常によく適している。縦軸301はボルト(V)単位で区切られ、横軸302はナノ秒(ns)単位で時間(t)を表している。ピン11におけるESD事象は時間変動電圧曲線311として示されている。例えば、これは、パッケージの外周で印加される8,000ボルト(8kV)の(または他の)ESD事象でありうる。ただし、本発明のESD回路はいかなるESD事象に対しても同様に反応する。11のピンにおける初期電圧スパイクおよび最大電圧311が示されている。加えて、ノード25における電圧が示されている。図に示されているESD事象は約40ns足らずで最大電圧(この例では、約4.5V)に達する。これは、本発明のいくつかの実施形態のために設けられた50mV/nsのしきい値を十分に超える。このような事象は、より遅いかまたはより速い立ち上がり時間ならびにより低い最大電圧を有し、なお極めて破壊力があるものでありうる。しかし、発明者は、50mV/nsのしきい値は、広範なESD事象に対処するのに十分であると理解している。

【0032】

同様に示されているように、曲線312は、ピン電圧311に密接に追従する、ノード25における電圧を描いている。同様に示されているように、ここでの電圧はピン11のものより若干遅れるが、ESD事象にตอบสนองして同様に急速に上昇する。ノード25における電圧はインバータ I_1 への入力役割を果たす。インバータ I_1 は、ノード25における電圧が所定のしきい値電圧値を過ぎると25における信号を「逆転させる」ように設定される。ここで、この例では、インバータ I_1 は約1.5Vの入力電圧(曲線312)において反転するように設定されている。従って、ノード25における電圧が1.5Vに達すると(曲線312を参照)、インバータ I_1 の出力18は切り替わって「低」になる(曲線313を参照)。その結果、ピン11の電圧は、回路16の破壊を防ぐのに足りるほど低い約4.5Vにおいてピークに達する。これらのしきい値を任意の所望のレベルに設定することができるが、前に示されたように、これは、保護対象の内部回路16のニーズによって大部分決定される。ポイントは、回路10がESDエネルギーを被保護回路16外へ分流することを可能にする電圧においてインバータ I_1 が反転することである。

【0033】

要点をまとめると、ピン電圧11(曲線311)、ノード25の電圧(曲線312)、およびインバータ I_1 の出力(曲線313による)が示されている。このように、ESD事象の間、インバータ I_1 の出力18(曲線313)は、11(曲線311)におけるESD事象とともに急上昇し、さらに、時刻323における極めて速い降下によって特徴付けられる。時刻において、インバータ I_1 は、インバータ I_1 の状態を反転させる1.5Vの入力25にตอบสนองして「低」になる。このように、ESD事象が始まると出力18は「高」になる。これは、323において出力18が「低」に切り替わり、 T_1 を閉じて「オフ」にする前に、トランジスタ T_1 を少しの間、「オン」にする。 T_1 が「オン」になると、曲線314によって示されるように、ノード27は「低」になる。27における電圧が「低」になると、それは、継続時間制御回路13の長いRC時定数 τ_2 のゆえに、延長された期間にわたって(T_1 への入力が「低」に戻った後も)「低」に留まる。例えば、ESD事象の間、電圧27は最初上昇するが(曲線314)、インバータ I_2 (例えば、約1.5Vにおいて反転するように設定されている)を反転させるのに足りるほど高くなるはず、次に、 T_1 がオンにされると(例えば、曲線314、時刻323において)「低」になる。27における電圧は、延長された期間(例えば、1 μ sまたは通例500ns

より大きい他の所定の期間)にわたって「低」に留まる。加えて、ピン11におけるESDエネルギーが大幅に消散されると(曲線311)、次に、それがESD事象後の期間の間に(ここでは、例えば、324におけるように約1 μ s後)漸減するに従い、ノード27における電圧はピン11における電圧(曲線311)をトレースする。ノード27は、消散回路15のシャントトランジスタ T_d を駆動するインバータ I_2 への入力として機能する。インバータ I_2 は任意の所望のレベルを「低」とするように設定させることができるが、この図に示された例では、「低」は1.5V未満としている(曲線314を参照)。ノード27(曲線314)が「低」に低下し、延長された期間にわたって「低」に留まるので、インバータ I_2 への入力は、延長された期間にわたって「低」に留まる。その結果、インバータ I_2 の出力28は「高」となり、継続時間制御回路13の長いRC時定数 τ_2 のゆえに、延長された期間にわたって高に維持される。

10

【0034】

インバータ I_2 の延長された「高」出力28が、図3(b)を参照して示される。曲線315は、出力28がピン11における電圧(曲線311)に追従することを示している。この「高」は次に消散回路15のシャントトランジスタ T_d に入力される。トランジスタ T_d は、ESDエネルギーを消散させるのに足りるだけ長くオンのままであり続けるように構成される。回路をより長い期間用に設定することができるが、一般に、有効な消散をわずか500nsほどで達成することができる。これは継続時間制御回路13の R_2C_2 の時定数 τ_2 によって事実上決定される。典型的な例では、トランジスタ T_d のための「オン」電圧を、用途に応じて、トランジスタ T_d が約0.4~0.6Vの範囲内の電圧を受けると「オン」になるように設定することができる。ただし、これは重要なことではない。

20

【0035】

これを非ESD電圧事象の場合の回路挙動と対比させる。1つのこのような例において、電源オン時における標準的なランプアップ電圧が、図3(c)および図2(a)を参照しながら説明される。

図3(c)は、正常な電源ランプアップの間の電圧を描くグラフである。グラフは電圧を時間の関数として描いている。この図では、電圧を標準的な事象に関連づける。例えば、図に示されたランプアップは約100~105nsで5Vまで達するものである。これはピン11における50mV/ns未満の立ち上がり時間を与える。従って、ランプアップ電圧のスルーレートは、スルーレート検出器21の動作のために設定されたしきい値(例えば、50mV/ns)未満である。検出器21のためのスルーレートしきい値を任意の所望のレベルに設定することができることを指摘しておくことは重要である。一般に所与の回路の通常のスルーレートに合わせられる。それゆえ、本発明の実施形態はスルーレートに非常に敏感であり、所望のレベルに設定されるスルーレートしきい値を持つように設定させることができる。

30

【0036】

図3(c)に戻ると、縦軸331はボルト(V)単位で区切られ、横軸332はナノ秒(ns)単位で時間(t)を表している。ピン11における電圧は電圧曲線341によって反映されている。加えて、ノード25における電圧が示されている(曲線342)。ノード25における電圧(342)は、若干の遅れをもってピン11の電圧(341)をトレースする。従って、11および25における電圧は比較的制御された速度で「高」になり、「高」に留まる。これは、電圧が非常に迅速に「高」になるが、その後、急速に降下するESD事象の間のピン11と対照的である。かくして、21のスルーレート依存性は、回路12が、非ESD事象の場合はトリガせず、ESD事象に選択的に応答することを可能にする。従って、ESD事象の間とは異なり、ランプアップの間、ピン11およびノード25は最大電圧(この回路では5V)に達し、その後「高」に留まる。ノード25からのこの電圧(曲線342)が I_1 への入力となる。それゆえ、曲線343によって示されるように、 I_1 の出力は短い立ち上がり期間の後、「低」にされる。21のスルーレートしきい値はESDと図に示されたランプアップ電圧曲線との間の区別を可能にするよう

40

50

に設定される。それゆえ、曲線 3 4 3 において示されているように、インバータ I_1 の出力 1 8 はわずかに上昇し（約 $500 \mu V$ 未満）、その後降下する。いずれにせよ、電圧（曲線 3 4 3）はトランジスタ T_1 をオンにするには不十分である。 T_1 が「オフ」に留まるので、ノード 2 7 における電圧はピン 1 1 における電圧に追従し、曲線 3 4 4 を特徴付ける。それゆえ、ノード 2 7 における電圧はピン 1 1 の曲線 3 4 1 に非常によく似たものになる。ノード 2 7 はインバータ I_2 への入力として機能し、インバータ I_2 は、ラッチ 1 4 が省かれる場合には、消散回路 1 5 のシャントトランジスタ T_d に直接入力される出力 2 8 を提供する。それゆえ、ランプアップの間、インバータ I_2 への入力（曲線 3 4 4）は「高」まで上昇し、「高」に留まる。結果として、インバータ I_2 は、比較的「低」に留まる出力 2 8 を生成する。これは曲線 3 4 5 によって示される。曲線 3 4 5 はわずかに上昇して（インバータ I_2 を「高」に反転させない $500 \mu V$ 未満）、その後降下し、それにより継続的に「低」において動作する。いずれの条件でも、この出力 2 8 はトランジスタ T_d をオンにしない。その結果、2 8 における「低」はトランジスタ T_d をオフに保持し、それゆえ、ピン 1 1 における電圧は、低線路 2 4 に分流されることなく、内部回路 1 6 への入力となる。

10

【0037】

発明者は追加の実施形態を数例記載する。例えば、インバータ I_1 、 I_2 およびそれらの関連する回路を保護するために内部保護回路を用いることができる。1つのアプローチでは、立ち上がり時間依存活性化回路 1 2 は、ノード 2 5 における電圧が高すぎる場合にインバータ I_1 を過負荷から保護するために用いることができる任意の保護回路 P_1 を含むことができる。ノード 2 5 における電圧が保護回路 P_1 についての降伏電圧を超えると、電圧は V_{SS} 線 2 4 に分流される。1つの例では、保護回路 P_1 は、保護回路 P_1 が 7 V 以上の範囲内の降伏電圧を有するように構成されたトランジスタを 1 つ以上含む。1つの例では、保護回路 P_1 は、8 V の降伏電圧を有する CMOS トランジスタを含む。

20

【0038】

追加的に、継続時間制御回路 1 3 は、ノード 2 7 における電圧が高すぎる場合にインバータ I_2 を過負荷から保護するために用いることができる別の任意の保護回路 P_2 を含むことができる。ノード 2 7 における電圧が保護回路 P_2 についての降伏電圧を超えると、電圧は V_{SS} 線 2 4 に分流される。このような保護回路 P_2 は、保護回路 P_2 が 7 V 以上の範囲内の降伏電圧を有するように構成されたトランジスタを 1 つ以上含むことができる。

30

【0039】

同様に、発明者は、任意のラッチ回路 1 4 を用いて消散継続時間回路 1 3 を強化することができることを指摘する。本発明のいくつかの実施形態はラッチ 1 4 を必要としないが、このようなラッチを用いて非常に有用な実装例を提供することができる。本件出願人は、図 2 (a) に示されている前述した実施形態を、ラッチ 1 4 を用いて強化することができることを指摘する。図 2 (b) では、任意のラッチ 1 4 の一実施形態が、回路内に組み込まれた状態で示されている。簡単に説明すると、ラッチ 1 4 は、通常の動作条件下で安定性を保つために含まれる。ラッチはラッチ出力 1 9 を「低」に保つように構成され、それにより通常動作の間シャントトランジスタ T_d をオフに保持する。これは、「ノイズの多い」動作環境において非常に有用である。1つの場合の例では、通常動作の間、内部回路はときどき電力線 V_{dd} から電力を取り入れる。これは、ESD のような事象によく似たものとなりうる、 V_{dd} における電圧の一瞬の降下を生じさせうる。ラッチは、高い切り替わりしきい値を有するインバータ 4 2 を用いることによって安定性を提供することができる。例えば、切り替わりしきい値は V_{dd} の 60 ~ 80 % とすることができる。この例では、3 V のシステムの場合、切り替わりしきい値は例えば 2.0 ~ 2.2 V とすることができる。これは、インバータ I_2 の状態に変化を生じさせてそれを一瞬だけ「高」にさせる可能性がある電圧変化（例えば、小さな電圧変動または短い期間にわたるもの）がインバータ 4 2 を反転させることはないということを意味する。従って、それは、十分な電圧変化事象がそれを変化させるように作用するまでは、その状態（一般に「高」）を保つ。しかし、「本当の」ESD 事象の場合には、 I_2 から大きな電圧が出力される 2 8（図 3（

40

50

b)の曲線315を参照)。この出力は、かなり高い切り替わりしきい値(例えば、2.0~2.5ボルトの範囲内)を有するように設定されたラッチインバータ42を反転させるのに十分である。それゆえ、インバータ42は、本物のESD事象の場合は切り替わることになるが、通常動作の間の電源オン線路29内における過渡的な変動の場合は切り替わらない。

【0040】

典型的な一実施形態では、ESD保護回路は、消散回路15が、内部回路16を損傷することなくESD事象を放電させるのに十分な時間にわたってESDエネルギーを分流するべく機能し続けるように作動させる。例えば、ESD事象を内部回路16の正常な動作電圧の約1.5倍の安全マージン電圧まで放電させるようにESD保護回路を構成することができる。例えば、3Vの正常動作電圧を有する内部回路の場合、ESD保護回路10はESD電圧を約4.5Vまで放電させるように機能する。5Vの正常動作電圧を有する内部回路の場合には、ESD保護回路10はESD電圧を約7.5Vまで放電させるように機能する。当然、これらは厳格な限定ではなく、むしろいくつかの実施形態の性能パラメータの大まかな目安である。それゆえ、状況に応じて、異なる放電レベルおよび放電の速度がESD保護回路に要求されることになる。一般に、ESD保護回路10はESDエネルギーを約500nsで消散させるように構成される。ただし、エネルギーをわずか200nsほどで消散させるようにこのような素子10を構成することができる。しかし、ほとんどの場合、ESD保護回路は、回路10の要素の正確な構成に応じて約500ns~2μs(またはさらに長い)の時間の範囲内でESDエネルギーを安全なレベルまで分

10

20

【0041】

本件出願人は、ESD保護回路10の回路要素のための代表値をいくつか提供する。例えば、立ち上がり時間依存活性化回路のためのRC時定数は通常、 $\tau_1 = R_1 C_1$ が40ナノ秒未満となるように構成される。加えて、ESD保護回路10は、 $\tau_2 = R_2 C_2$ が約600ナノ秒より大きくなるように構成される。このような実装例では、比 τ_2 / τ_1 は約15よりも大きくなる。当然、提示されている図は多くのありうる実装例のうちの1つに関連しているにすぎない。別の一般的な実装例では、 τ_1 は50~100nsの範囲内とし、 $\tau_2 = R_2 C_2$ は約800~1,200ナノ秒の範囲内とすることができる。より長い τ_2 はより長い消散時間を可能にする。一方、より短い τ_1 は、正常な動作条件下における過度の誤トリガのない、実際のESD事象に対するより大きな感性を可能にする。

30

【0042】

図4は、本発明のESD保護回路を組み込んだ半導体素子パッケージの図を示す。パッケージ30は基板31を含み、その上に、当業者に周知の半導体処理およびプロセス技法を用いて回路要素が形成され接続されている。回路要素は、ESD保護回路10および内部回路に結合される入力ピン11を含むことができる。一般に、ピン11は、ESDエネルギーの一部を吸収するべく配置される大容量キャパシタを用いて強化され、エネルギーの一部はその後、さらに延長された期間を通して回路16に送られる。ピン11に通例、印加されるのはこの電圧である。素子30は通例、成型キャップ32または他の封入構造物内に封入されている。

40

【0043】

前述した例は、本発明の原理によって構成されるサンプル素子の実施形態を数例提供しているが、それらは本発明の範囲を限定するものとして解釈されては決してならない。なぜならば、このような値および構成を本発明の原理によって多数構成することができるからである。

【0044】

図5は、被保護回路にESD保護を提供する方法の一実施形態を記述する。方法は以下の一連の工程を含む。ESD保護回路とESD事象から保護されるべき内部回路とに結合された回路入力部(例えば、入力ピン)において入力信号が受信される(工程401)。

50

このような入力信号は多数の信号源に由来するものでありうる。それは標準的な入力信号または内部回路を損傷する能力があるESD事象でありうる。入力信号がESD事象であるのかまたは何らかの他の事象であるのかについて判定がなされる(工程403)。一般に、所定のしきい値を超えるスルーレートを有する入力信号がESD事象として特定される。1つの例では、有用なスルーレートしきい値は約50~200mV(ミリボルト)毎ナノ秒の範囲内のものである。一般に、しきい値は、当該システムのための標準的なランブアップスルーレートを越えるスルーレートに設定される。入力信号がESD事象として特定されると(工程405)、トリガ信号が発生される(工程407)。本発明のいくつかの実施形態の立ち上がり時間依存活性化回路によって発生することができる。このようなトリガ信号は、立ち上がり時間依存活性化回路に関連づけられる短時間RC時定数に関連して迅速に消散する短い信号とすることができる。それゆえ、トリガ信号はパルスのオン・オフを非常に速く行い、それにより誤トリガを回避する。トリガ信号に応答して、制御回路が活性化される。制御回路はシャント回路を活性化する。かくして、ESD事象によって発生されたエネルギーは被保護回路外へ経路変更され、回路への損傷を防ぐ(工程409)。経路変更は接地または負電力線へとなされることができる。通例、この経路変更を、本発明のいくつかの実施形態のESD消散回路15によって達成することができる。加えて、経路変更は、ESD事象を被保護回路外へ経路設定するものである限り、適当である。この回路15を、ESD消散継続時間制御回路の実施形態によって活性化することができる。加えて、経路変更は、回路への損傷を防ぐべくESD事象から十分なエネルギーが放電されるまで、延長された期間にわたって保たれる(工程411)。例えば、シャント回路が活性化されると、制御回路はシャントを制御回路のRC時定数に関連づけられる延長された期間にわたって作動状態に保つ。制御回路のRC時定数はトリガ回路のRC時定数よりもはるかに長いので、シャントは、トリガ回路のみの場合よりも格段に長く作動状態のままであり続ける。この延長された期間は、内部回路を損傷から保護するために十分なエネルギーがシャント回路を通じて放電されることを可能にする。

【0045】

このような本発明のESD保護回路のさらなる利点は、従来技術の「スナップバック」ESD保護素子よりもプロセスばらつきに対する許容性があることである。それゆえ、その挙動はより予測性が高く、かつ素子はより製造性が高い。加えて、本発明の素子はより小さい。同様に、本発明の素子は、いわゆる「能動シャントネットワーク」(「能動スイッチネットワーク」または「線路ベースのネットワーク」とも称される)と比べても、いくつかの利点がある。スナップバック素子と同様に、このような回路におけるプロセスばらつきは、被保護回路を損傷する過剰電流または過電圧を生じさせうる予測不可能な応答を生じさせうる。同様に、このESD保護回路は、ほとんどの従来技術の保護回路に要求される広範かつ時間のかかるテスト検証手続きを必要としない。同様に、本発明の回路はプログラム可能なESD保護回路に対して格段に単純である。これらの理由および他の理由のために、本願明細書において記載されている発明は最新の技術に対して多くの利点を有する。

【0046】

従って、記載されている発明は、短RC時定数回路に固有の問題(すなわち、不十分な消散時間)、および同様に、長RC時定数回路に固有の問題(すなわち、正常な動作条件下における回路の誤トリガ)を克服する。それは極めて単純な回路を用いてこの課題を達成し、その選択された実施形態は、向上したESD性能を提供するためにラッチさえ必要としない。

【0047】

本発明が、いくつかの好ましい実施形態およびその特定の特徴に関して具体的に示され記載されている。ただし、前述した実施形態は、本発明の原理を記載するように意図されたものであって、その範囲を限定するように意図されたものではないことに留意すべきである。従って、当業者には容易に理解されるように、添付の特許請求の範囲において説明されているとおりの本発明の趣旨および範囲から逸脱することなく、形態および細部に

10

20

30

40

50

おける種々の変更および変形がなされてよい。他の実施形態および図に示された実施形態に対する変形が当業者には明らかであり、また添付の特許請求の範囲において定義されているとおりの本発明の趣旨および範囲から逸脱することなくなされてよい。例えば、立ち上がり時間依存活性化回路およびESD消散継続時間制御回路はESD保護素子に関して開示されている。しかし、これらの回路を、しきい値検出と、活性化回路のRC時定数によって可能になるものを超えて及ぶように維持される活性化信号とを必要とする、実質的に任意の回路で用いることができる。さらに、添付の特許請求の範囲における単数形の要素への言及は、明記されない限り、「1つおよび1つだけ」を意味するように意図されるのではなく、むしろ「1つ以上」を意味するように意図される。さらに、本願明細書において例示的に開示されている実施形態を、本願明細書において具体的に開示されていない要素を備えなくても実施することができる。

10

【図1】

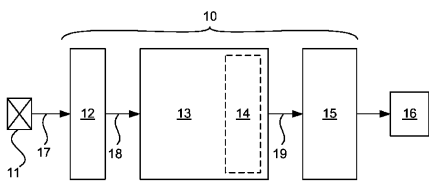


Fig. 1

【図2(b)】

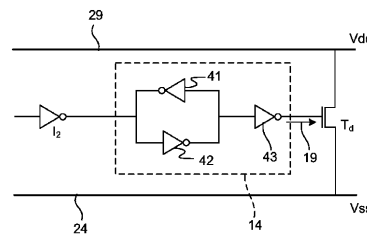


Fig. 2(b)

【図2(a)】

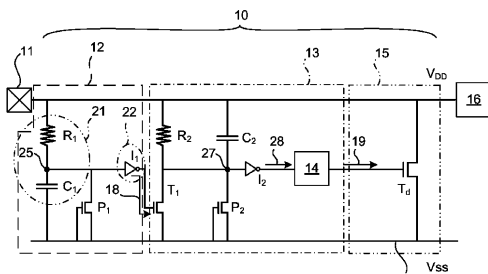
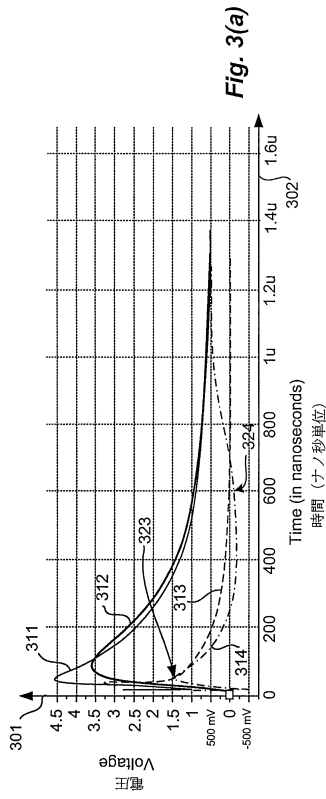
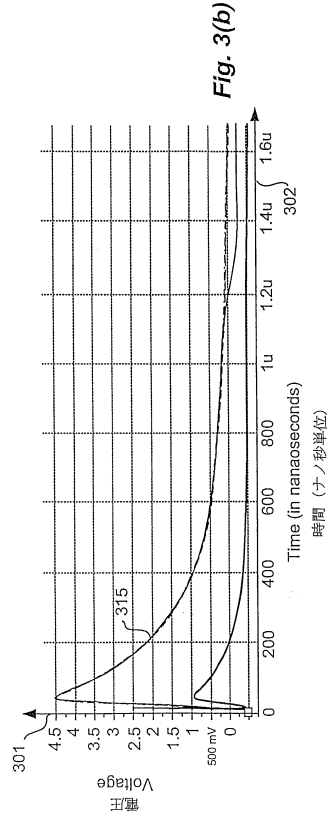


Fig. 2(a)

【 図 3 (a) 】



【 図 3 (b) 】



【 図 3 (c) 】

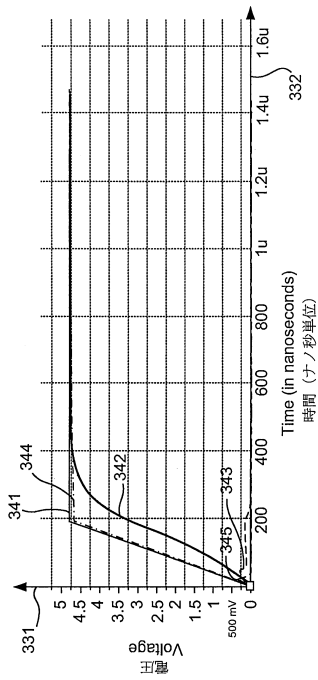


Fig. 3(c)

【 図 4 】

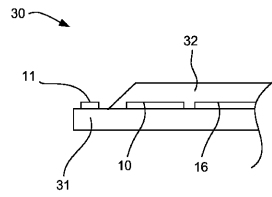


Fig. 4

【 図 5 】

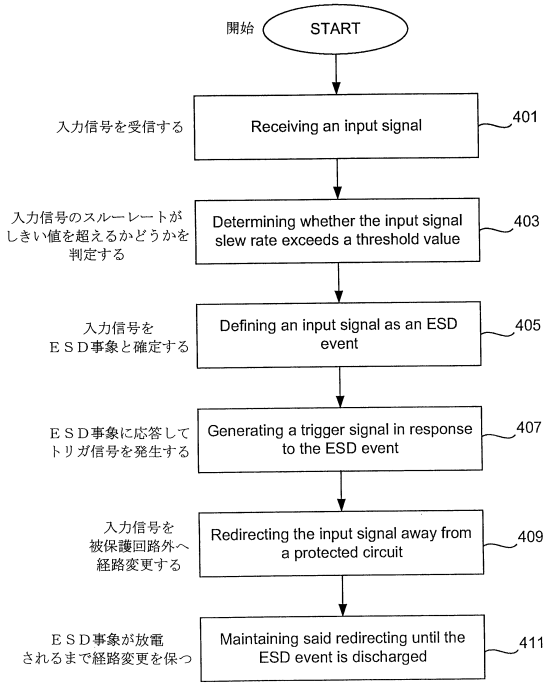


Fig. 5

フロントページの続き

(74)代理人 100075144

弁理士 井ノ口 壽

(72)発明者 ホン, リチャード ジェー. ケー.

アメリカ合衆国、94086、カリフォルニア州、サニーベール、セコイア ドライブ 724

審査官 宇多川 勉

(56)参考文献 米国特許第05946177(US, A)

米国特許出願公開第2004/0109270(US, A1)

米国特許出願公開第2008/0007882(US, A1)

特開2006-261427(JP, A)

米国特許第06249410(US, B1)

米国特許出願公開第2008/0106834(US, A1)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822

H01L 21/8234

H01L 27/04

H01L 27/088