

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
【部門区分】第 6 部門第 3 区分
【発行日】令和 3 年 5 月 27 日 (2021.5.27)

【公開番号】特開 2021-61028 (P2021-61028A)
【公開日】令和 3 年 4 月 15 日 (2021.4.15)
【年通号数】公開・登録公報 2021-018
【出願番号】特願 2020-213887 (P2020-213887)
【国際特許分類】

G 0 6 F 12/00 (2006.01)

【F I】

G 0 6 F 12/00 5 5 0 Z

G 0 6 F 12/00 5 9 7 U

【手続補正書】

【提出日】令和 3 年 2 月 5 日 (2021.2.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

不揮発性メモリと、

ウェアレベリング制御回路とを具えたデバイスであって、

前記不揮発性メモリは、

複数の物理的メモリセクターにマッピングされる複数の論理的メモリセクターと、

前記複数の論理的メモリセクターから、ユーザ定義の境界を有する複数のメモリ・パーティションへのマッピングを記憶するように構成されたスーパーバイザーのメモリセクターとを具え、前記スーパーバイザーのメモリセクターは前記不揮発性メモリ内の 1 つの記憶場所にあり、

前記ウェアレベリング制御回路は、

ユーザ入力に基づく複数のウェアレベリングのパラメータを受信して前記マッピング内に記憶し、

前記複数のウェアレベリングのパラメータに基づくウェアレベリング特性を決定して前記不揮発性メモリに適用するように構成され、

前記複数のメモリ・パーティションの各メモリ・パーティションは、当該メモリ・パーティションがウェアレベリングから除外されるか否かを示すウェアレベリングのパラメータに関連し、

前記ウェアレベリング特性は、前記複数のメモリ・パーティションの各メモリ・パーティションに許容されるウェアレベリングの量を示すデバイス。

【請求項 2】

前記複数の物理的メモリセクターの各々のサイズが、消去、プログラム、または上書き動作に含まれるメモリ部分のサイズである、請求項 1 に記載のデバイス。

【請求項 3】

前記ウェアレベリング制御回路が、前記ウェアレベリング特性を、ウェアレベリングのプール内に含まれる複数の前記物理的メモリセクターにわたる前記論理的メモリセクターに適用するように構成されている、請求項 1 に記載のデバイス。

【請求項 4】

より多いプログラム及び消去 (P E) サイクルの回数を有する前記物理的メモリセクタ

一内のデータが、より少ない P E サイクルの回数を有する他の前記物理的メモリセクターへ移動するように、前記ウェアレベリング制御回路が前記ウェアレベリング特性を適用する、請求項 1 に記載のデバイス。

【請求項 5】

前記スーパーバイザーのメモリセクターが、複数の所定のパーティション・マッピング、及び該複数の所定のパーティション・マッピングのうちの 1 つを選択するためのユーザが与えた設定パラメータを記憶する、請求項 1 に記載のデバイス。

【請求項 6】

前記ウェアレベリング特性は、さらに、前記複数の論理的メモリセクターの各々に許容されるウェアレベリングの量を識別する、請求項 1 に記載のデバイス。

【請求項 7】

前記複数のウェアレベリングのパラメータが、前記複数の論理的メモリセクターのうちの 1 つ以上に関連するプログラム及び消去 (P E) サイクルの回数を指定する 1 つ以上のパラメータを含む、請求項 1 に記載のデバイス。

【請求項 8】

前記複数の論理的メモリセクターが均一なサイズのメモリセクターを含む、請求項 1 に記載のデバイス。

【請求項 9】

前記複数のメモリ・パーティションが均一なサイズのメモリ・パーティションを含む、請求項 1 に記載のデバイス。

【請求項 10】

前記複数のメモリ・パーティションの前記ユーザ定義の境界が、メモリアドレスを示すユーザ指定のパーティションに基づいて決定される、請求項 1 に記載のデバイス。

【請求項 11】

不揮発性メモリと、
ウェアレベリング制御回路と、
通信インタフェースと、
1 つ以上のプロセッサと
を具えたシステムであって、
前記不揮発性メモリは、
複数の物理的メモリセクターにマッピングされる複数の論理的メモリセクターと、
前記複数の論理的メモリセクターから、ユーザ定義の境界を有する複数のメモリ・パーティションへのマッピングを記憶するように構成されたスーパーバイザーのメモリセクターとを具え、前記スーパーバイザーのメモリセクターは前記不揮発性メモリ内の 1 つの記憶場所にあり、
前記ウェアレベリング制御回路は、
ユーザ入力に基づく複数のウェアレベリングのパラメータを受信して前記マッピング内に記憶し、
前記複数のウェアレベリングのパラメータに基づくウェアレベリング特性を決定して前記不揮発性メモリに適用するように構成され、
前記通信インタフェースは、前記ウェアレベリング制御回路をデータ処理システムと通信結合するように構成され、
前記 1 つ以上のプロセッサは、前記不揮発性メモリに関連するプログラム及び消去動作を実行するように構成され、
前記複数のメモリ・パーティションの各メモリ・パーティションは、当該メモリ・パーティションがウェアレベリングから除外されるか否かを示すウェアレベリングのパラメータに関連し、
前記ウェアレベリング特性は、前記複数のメモリ・パーティションの各メモリ・パーティションに許容されるウェアレベリングの量を示すシステム。

【請求項 12】

前記複数の物理的メモリセクターの各々のサイズが、消去、プログラム、または上書き動作に含まれるメモリ部分のサイズである、請求項 1 1 に記載のシステム。

【請求項 1 3】

前記ウェアレベリング制御回路が、前記ウェアレベリング特性を、ウェアレベリングのプール内に含まれる複数の前記物理的メモリセクターにわたる前記論理的メモリセクターに適用するように構成されている、請求項 1 1 に記載のシステム。

【請求項 1 4】

より多いプログラム及び消去（P E）サイクルの回数を有する前記物理的メモリセクター内のデータが、より少ない P E サイクルの回数を有する他の前記物理的メモリセクターへ移動するように、前記ウェアレベリング制御回路が前記ウェアレベリング特性を適用する、請求項 1 1 に記載のシステム。

【請求項 1 5】

前記スーパーバイザーのメモリセクターが、複数の所定のパーティション・マッピング、及び該複数の所定のパーティション・マッピングのうちの 1 つを選択するためのユーザが与えた設定パラメータを記憶する、請求項 1 1 に記載のシステム。

【請求項 1 6】

前記ウェアレベリング特性は、さらに、前記複数の論理的メモリセクターの各々に許容されるウェアレベリングの量を識別する、請求項 1 1 に記載のシステム。

【請求項 1 7】

前記複数のウェアレベリングのパラメータが、前記複数の論理的メモリセクターのうちの 1 つ以上に関連するプログラム及び消去（P E）サイクルの回数を指定する 1 つ以上のパラメータを含む、請求項 1 1 に記載のシステム。

【請求項 1 8】

前記複数の論理的メモリセクターが均一なサイズのメモリセクターを含む、請求項 1 1 に記載のシステム。

【請求項 1 9】

前記複数のメモリ・パーティションが均一なサイズのメモリ・パーティションを含む、請求項 1 1 に記載のシステム。

【請求項 2 0】

前記複数のメモリ・パーティションの前記ユーザ定義の境界が、メモリアドレスを示すユーザ指定のパーティションに基づいて決定される、請求項 1 1 に記載のシステム。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 3

【補正方法】変更

【補正の内容】

【0 0 0 3】

不揮発性メモリデバイスはメモリセル・アレイを含み、これらのメモリセル・アレイは、システムの他の種々の構成要素によるアクセス用にデータ値を記憶するように構成することができる。メモリセルはメモリ素子を含み、これらのメモリ素子は、有効データをより短時間保持することによって長い時間と共に劣化し得る、というのは、セルに対して行われるプログラム及び消去動作の回数（P E（program and erase）サイクル数）が増加するからである。こうしたメモリセルは、物理セクターにグループ化された物理的な記憶場所を含むことができ、これらのセクターは、メモリセル・アレイのメモリ空間を表現する論理アドレス及び論理セクターにマッピングされる。ウェアレベリングは、データの物理的記憶場所を変化させて、P E サイクルによる劣化（ウェア）をいくつかの物理セクターにわたって拡散するように実現することができる。しかし、こうしたウェアレベリングは、より低頻度のサイクルのデータも、既に多数回の P E サイクルが行われた物理セクターへ移動させることがある。従って、ウェアレベリング技術は、P E サイクルが稀にしか行われないデータの保持時間を不用意に低下させることがある。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正の内容】

【0012】

さらに、これらのセクターはパーティションにグループ化することができる。従って、メモリアレイ102は種々のメモリ・パーティションを含むことができ、これらは論理セクターの連続したグループであり、境界によって規定することができる。例えば、メモリアレイ102は、第1境界110、第2境界112、第3境界114、及び第4境界116を含むことができ、これらの境界は第1パーティション118、第2パーティション120、第3パーティション122、第4パーティション124、及び第5パーティション126を規定する。以下により詳細に説明するように、こうした境界は、ユーザ指定とすることができるウェアレベリングのパラメータに基づいて設定可能にすることができる。従って、ユーザはサイズ及び境界をパーティションに関連して規定及び指定することができる。さらに、ウェアレベリングのパラメータは、特定パーティションを、ウェアレベリングにおいて使用する物理セクターに含めるか否かを示すことができる。以下により詳細に説明するように、パーティションのサイズはフレキシブルにすることも、ユーザ入力に基づいて設定可能にすることもできる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

以下により詳細に説明するように、制御回路128のような制御回路、及びスーパーバイザーのメモリセクター130のような専用の記憶場所またはレジスタを利用して、論理セクター-ウェアレベリングを施す物理セクターのマッピングを設定する。本明細書中に説明するように、本明細書中では制御回路をウェアレベリング制御回路と称することができる。より具体的には、ウェアレベリングのパラメータを受信して、どの論理セクターを、ウェアレベリングのプール内に含めてウェアレベリングを施す物理セクターにマッピングするべきかを識別することができる。これらのウェアレベリングのパラメータを用いて、どの論理セクターを、ウェアレベリングのプール内に含めず、ウェアレベリングを施さない物理セクターにマッピングするべきかを明示的に識別することもできる。以上に説明したように、メモリデバイス100のようなメモリデバイスは、ウェアレベリングのプール内に含まれウェアレベリングが施される種々のメモリセクターを含むことができ、ウェアレベリングのプール内に含まれずウェアレベリングが施されないメモリセクターをさらに含むことができる。このようにして、ウェアレベリングのパラメータは、どのパーティション及び対応する論理的メモリセクターを、ウェアレベリングが施される物理セクターに含め、どのパーティション及び対応する論理的メモリセクターを除外するべきかを識別するように設定することができる。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0017

【補正方法】変更

【補正の内容】

【0017】

より具体的には、スーパーバイザーのメモリセクター130は、マッピングを識別する1つ以上のデータ値を記憶するように構成することができ、このマッピングは、論理的メモリセクターを識別し、さらに、こうしたメモリセクターが含まれるパーティションを識

別し、さらに、こうしたパーティションに関連するウェアレベリング設定値を識別する。
こうしたマッピングの表現の例を以下の表 1 に示す：

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正の内容】

【0020】

本明細書中には、論理的メモリセクターをウェアレベリングのプールに割り当てることに関する種々の実施形態を考えに入れ開示する。例えば、明示的なパーティションのラベル付けを前に説明しているが、他の適切な技術も実現することができる。例えば、スーパーバイザーのメモリセクター130のような記憶場所は、いくつかの所定のパーティション・マップを記憶することができ、そして設定パラメータまたは設定値を用いて、使用するマップを選択することができる。一部の実施形態では、こうした所定のマップを、メモリアレイ102のアドレス空間の異なる見方に基づいて生成することができる。例えば、所定のマップは、メモリアドレス空間のうち下位8分の1のアドレスをウェアレベリングから除外する第1マップを含むことができる。所定のマップは、アドレス空間の下位4分の1をウェアレベリングから除外する第2マップをさらに含むことができる。所定のマップは、アドレス空間の下位2分の1をウェアレベリングから除外する第3マップを含むこともできる。この例では、ユーザは、設定パラメータを含む入力を与えて、適用すべき特定の所定マップを選択することができる。こうした所定のパーティション・マップの例を以下の表2、3、及び4に示す：

【手続補正 7】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

図2に、いくつかの実施形態により構成した、均一なセクターサイズを含む設定可能なウェアレベリング付きメモリデバイスの例を示す。以上に説明したように、メモリデバイス200のようなメモリデバイスは、ウェアレベリングにおいて使用する物理的メモリセクターの集合またはプール内に含めるための、メモリのいくつかの論理セクターをユーザが明示的に選択することを可能にするように構成することができ、さらに、他の論理的メモリセクターをこうしたウェアレベリングにおける使用からユーザが明示的に除外することを可能にするように構成されている。また、以上に説明したように、メモリアレイ102のようなメモリアレイは、種々の境界によって規定される種々のパーティションを含むことができ、制御回路128と通信結合することができる。例えば、メモリアレイ102は、第1境界110、第2境界112、第3境界114、及び第4境界116を含むことができ、これらの境界は第1パーティション118、第2パーティション120、第3パーティション122、第4パーティション124、及び第5パーティション126を規定することができる。以上に説明したように、こうした境界はウェアレベリングのパラメータに基づいて設定可能であり、これらのパラメータはユーザ指定とすることができる。従って、ユーザはサイズ及び境界をパーティションに関連して規定及び指定することができる。さらに、ウェアレベリングのパラメータは、パーティションを、ウェアレベリングを行う物理セクターの集合またはプール内に含めること、あるいはウェアレベリングを行う物理セクターの集合またはプールから除外することを示すこともでき、こうしたことは、制御回路128及びスーパーバイザーのメモリセクター130によって管理することができる。

【手続補正 8】

【補正対象書類名】明細書

【補正対象項目名】 0 0 3 7

【補正方法】 変更

【補正の内容】

【 0 0 3 7 】

種々の実施形態では、メモリアレイ 1 0 2 を、固定サイズを有する複数のパーティションを有するように構成することができる。従って、これらのパーティションのサイズは、ハードウェアの製造業者が指定することができ、あるいは、メモリアレイ 1 0 2 のサイズのようなメモリデバイス 1 0 0 のハードウェア上の特徴に基づいて決定することができる。さらに、一部の実施形態では、こうしたパーティションを均一なサイズにすることができる。以上に説明したように、パーティション内に含まれる論理的メモリセクターを含めること及び除外することは、スーパーバイザーのメモリセクター 1 3 0 に記憶されているウェアレベリングのパラメータに基づいて決定することができる。以下に図 4 及び図 5 を参照してより詳細に説明するように、こうしたウェアレベリングのパラメータはユーザ指定とすることができ、そしてユーザから通信インタフェース経由で受信することができる。