

I239640

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：92136678

※申請日期：92.12.24

※IPC 分類：H01L27/15

壹、發明名稱：(中文/英文)

非揮發性半導體記憶裝置

NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

瑞薩科技股份有限公司

RENESAS TECHNOLOGY CORP.

代表人：(中文/英文) 伊藤達 / ITO, SATORU

住居所或營業所地址：(中文/英文)

日本國東京都千代田區丸之內二丁目4番1號

4-1, Marunouchi 2-chome, Chiyoda-ku, Tokyo, Japan

國籍：(中文/英文) 日本國 / JAPAN

參、發明人：(共2人)

姓名：(中文/英文)

1. 遠藤誠一 / ENDO, SEIICHI

2. 石井元治 / ISHII, MOTOHARU

住居所地址：(中文/英文)

1.2. 地址同

日本國東京都千代田區丸之內二丁目4番1號

瑞薩科技股份有限公司內

c/o RENESAS TECHNOLOGY CORP., 4-1, Marunouchi 2-chome,

Chiyoda-ku, Tokyo, Japan

國籍：(中文/英文)

1.2. 日本國 / JAPAN

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項 ☐ 第一款但書或 ☐ 第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家(地區)申請專利 ☒ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本國；2003 年 07 月 15 日；特願 2003-274728 (主張優先權)

2.

3.

4.

5.

☐ 主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

玖、發明說明：

【發明所屬之技術領域】

本發明係有關於一種非揮發性半導體記憶裝置，尤指關於具有單層閘極構造之記憶單元(memory cell)之非揮發性半導體記憶裝置。

【先前技術】

習知之快閃記憶體(flash memory)之記憶單元係具有在通道區域上隔著通道氧化膜而形成漂浮閘(floating gate)，且隔著絕緣膜而在漂浮閘上形成控制閘(control gate)之積層閘構造。但在上述積層閘構造中，將使其構造及製程趨於複雜。

相對於此，為簡化構造及製程，因而提案出一種具有將通道區域上的閘極僅作為漂浮閘之單層閘構造的記憶單元。

在習知單層閘構造之記憶單元中，由於基板及漂浮閘進行電容耦合，因此對基板施加電壓時，漂浮閘的電位亦將自動地變成接近基板的電位的值。因此，難以在基板與漂浮閘之間施加較大的電位差。

因此，要採用電性消除幾乎為不可能，而由於僅可藉由紫外線照射來進行消除，因此習知單層閘構造的記憶單元僅可使用在 OTPROM(One Time Programmable Read-Only Memory，一次可程式唯讀記憶體)等幾乎不進行重新改寫的用途上。

此外，於單層閘構造之記憶單元中，可以電氣方法消

除的構造已揭示於例如日本專利特表平 8-506693 號公報、日本專利特開平 3-57280 號公報等。

根據該構造，使形成於半導體基板表面的雜質擴散區域與漂浮閘相對向，俾以藉此控制該雜質擴散區域之漂浮閘的電位。

然而，於上述二公報中所揭示之記憶體電晶體係為 n 通道 MOS 電晶體 (Metal Oxide Semiconductor transistor, 金屬—氧化物—半導體電晶體)，具有難以以低電壓寫入資料的問題點。茲就此點說明如下。

當記憶體電晶體為 n 通道 MOS 電晶體時，於寫入動作方面係對汲極施加較高的正電壓，以藉此使得從源極引出的電子高速朝向汲極而於半導體基板表面的通道內移動，而在汲極附近形成稱為熱電子 (hot electron) 的高能量狀態。該熱電子被注入漂浮閘，而呈已寫入資料的狀態。

此時，由於對汲極施加較高的正電壓，因此，熱電子若在半導體基板與漂浮閘之間不施加較大的電位差時，僅藉由向汲極側注入的方式，將難以注入漂浮閘中。因此，當記憶體電晶體為 n 通道 MOS 電晶體時，於進行寫入動作時，必須施加高電壓，而具有難以以低電壓寫入資料的問題點。

尤其是，當為單層閘構造時，由於在漂浮閘上沒有控制閘，因此，必須藉由以漂浮閘與半導體基板之間的電容耦合所產生的電位差來將熱電子注入漂浮閘中。當不以上述方式施加高電壓時，將難以寫入資料，不過，於單層閘

參照第 2B 圖，漂浮閘 5 係由漂浮閘電晶體形成區域延伸至漂浮閘控制區域。於該漂浮閘控制區域中形成有用以控制漂浮閘 5 之電位的控制用雜質擴散區域 6。該控制用雜質擴散區域 6 係由形成於半導體基板 1 之主表面的 p 型雜質擴散區域所構成，且隔著絕緣層 4b 而與漂浮閘 5 相對向。該控制用雜質擴散區域 6 係形成於 n 型井區 2b 內，而該 n 型井區 2b 係形成於半導體基板 1 的主表面。

參照第 3 圖，於漂浮閘電晶體形成區域與漂浮閘控制區域之間的半導體基板 1 的主表面形成有場絕緣層 7。該場絕緣層 7 的正下方係半導體基板 1 之 p 型區域所在位置。

接著說明本實施形態之記憶單元之寫入及消除之動作。

其中，本實施形態中所謂記憶單元之「寫入」狀態係指電子已貯存於漂浮閘 5 之狀態，而「消除」狀態則係指已從漂浮閘 5 抽出電子之狀態。

參照第 2A 圖及第 2B 圖，寫入記憶單元的動作係藉由將漂浮閘電晶體 10 中因衝擊離子化而產生的熱載子(hot carrier)注入漂浮閘 5 的方式來進行。熱載子的產生係藉由將表 1 所示之電壓施加至各區域的方式來進行。

表 1

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	0V
另一方之 p 型雜質擴散區域 3	~ 8V
控制用雜質擴散區域 6	~ 10V
n 型井區 2a	~ 8V
n 型井區 2b	~ 10V
p 型半導體基板 1	0V

*對另一方之 p 型雜質擴散區域 3 與 n 型井區 2a 施加相同電壓。

*對控制用雜質擴散區域 6 與 n 型井區 2b 施加相同電壓。

此時，控制用雜質擴散區域 6 係用來控制漂浮閘 5 之電位。具體而言，熱載子係在漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位約為 -1V 時產生最多，為形成上述電位，因而對控制用雜質擴散區域 6 施加電壓，並控制漂浮閘 5 的電位。

此外，藉由分別對一方之 p 型雜質擴散區域 3、另一方之 p 型雜質擴散區域 3 及 n 型井區 2a 施加高電位，並以富爾諾罕(Fowler-Nordheim, FN)穿隧效應(tunneling)抽出儲存於漂浮閘 5 的電子，來進行記憶單元的消除。為了引起 FN 穿隧效應，分別對一方之 p 型雜質擴散區域 3、另一方之 p 型雜質擴散區域 3 及 n 型井區 2a 施加如表 2 所示之正電位。

表 2

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	~ 15V
另一方之 p 型雜質擴散區域 3	~ 15V
控制用雜質擴散區域 6	~ -15V
n 型井區 2a	~ 15V
n 型井區 2b	0V
p 型半導體基板 1	0V

*對一方之 p 型雜質擴散區域 3、另一方之 p 型雜質擴散區域 3 及 n 型井區 2a 施加相同電壓。

此時，對控制用雜質擴散區域 6 亦施加如表 2 所示之負電壓，而使漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位下降。為有效進行消除，最好儘可能將漂浮閘 5 與一方之 p 型雜質擴散區域 3、另一方之 p 型雜質擴散區域 3 及 n 型井區 2a 彼此之間的耦合電容比減小，而將電位差加大。

根據本實施形態，由於可藉由控制用雜質擴散區域 6 來控制漂浮閘 5 的電位，因而可以在半導體基板 1 與漂浮閘 5 之間施加較大的電位差。藉此方式，由於可藉由 FN 穿隧效應抽出漂浮閘 5 內的電子，故可以電性方法進行資料消除。

此外，漂浮閘電晶體 10 係由 p 通道 MOS 電晶體所構成。因此，於進行寫入動作時，對汲極施加負側電壓，以藉此使得由源極供應的電洞高速朝向汲極而於半導體基板

1 表面的通道內移動，使得在汲極附近與原子發生衝撞而產生電子電洞對。然後，該電子電洞對的電子被注入漂浮閘 5，而呈已寫入資料的狀態。

此時，由於施加至汲極的電壓為負側電壓，因此使得電子難以注入汲極側，而易於注入漂浮閘 5 側。因此，即便於半導體基板 1 與漂浮閘 5 之間並未施加那麼大的電位差，亦可將電子注入漂浮閘 5，且可以低電壓寫入資料。
(第 2 實施形態)

參照第 4 圖及第 5 圖，本實施形態之記憶單元之構成相較於第 1 實施形態之構成，其不同之處在於本實施形態之記憶單元具有元件分離用 p 型雜質擴散區域 8。

該元件分離用 p 型雜質擴散區域 8 係形成於在漂浮閘電晶體區域與漂浮閘控制區域之間的半導體基板 1 主表面上所形成之場絕緣層 7 正下方的半導體基板 1 上。該元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

根據本實施形態可獲致以下效果。

於進行寫入及消除時，雖對 n 型井區 2a、2b 施加如表 1 及表 2 所示之電壓，不過，此時會在 p 型半導體基板 1 與各 n 型井區 2a、2b 的 pn 接合部產生空乏層。隨著該空乏層的延伸加大，伴隨衝穿(punch-through)而產生的漏洩

電流將增加。

根據本實施形態，由於元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度，因此可抑制該空乏層的延伸。藉此方式，可減小 n 型井區 2a 與 n 型井區 2b 的間隔，其結果使得記憶單元尺寸可更小於第 1 實施形態。

(第 3 實施形態)

參照第 6 圖至第 8 圖，本實施形態之記憶單元之構成相較於第 1 實施形態之構成，其在漂浮閘控制區域內的控制用雜質擴散區域之構成方面有所不同。

本實施形態中的控制用雜質擴散區域係由一對 n 型源極／汲極用雜質擴散區域 11、11 所構成。一對源極／汲極用雜質擴散區域 11、11 係以包夾位於漂浮閘 5 下側之半導體基板 1 之區域的方式形成於 p 型半導體基板 1 的主表面。藉由該一對源極／汲極用雜質擴散區域 11、11 與絕緣層 4b 與漂浮閘 5，而構成由 n 通道 MOS 電晶體所形成的控制電晶體 20。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

接著就本實施形態之記憶單元的寫入及消除動作加以說明。

參照第 7A 圖及第 7B 圖，寫入記憶單元的動作係藉由將漂浮閘電晶體 10 中因衝擊離子化而產生的熱載子(hot

carrier)注入漂浮閘 5 的方式來進行。熱載子的產生係藉由將表 3 所示之電壓施加至各區域的方式來進行。

表 3

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	0V
另一方之 p 型雜質擴散區域 3	~ 8V
一方之源極／汲極用雜質擴散區域 11	~ 10V
另一方之源極／汲極用雜質擴散區域 11	~ 8V
n 型井區 2a	~ 8V
p 型半導體基板 1	0V

*對另一方之 p 型雜質擴散區域 3 與 n 型井區 2a 施加相同電壓。

此時，控制電晶體 20 的一對源極／汲極用雜質擴散區域 11、11 係用來控制漂浮閘 5 之電位。具體而言，熱載子係在漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位約為 -1V 時產生最多，為形成上述電位，因而對一對源極／汲極用雜質擴散區域 11、11 施加電壓，並控制漂浮閘 5 的電位。

此外，記憶單元的消除係藉由對一方之 p 型雜質擴散區域 3(或另一方之 p 型雜質擴散區域 3)施加高電位，並以 FN(Fowler-Nordheim)穿隧效應抽出儲存於漂浮閘 5 之電子的方式來進行。為了引起 FN 穿隧效應，對一方之 p 型雜質擴散區域 3(或另一方之 p 型雜質擴散區域 3)施加如表 4 所示之正電位。

表 4

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	~-10V
另一方之 p 型雜質擴散區域 3	~-10V
一方之源極／汲極用雜質擴散區域 11	~20V
另一方之源極／汲極用雜質擴散區域 11	0V
n 型井區 2a	0V
p 型半導體基板 1	0V

*對一方之 p 型雜質擴散區域 3 與另一方之 p 型雜質擴散區域 3 施加相同電壓。

*一方之源極／汲極用雜質擴散區域 11 與另一方之源極／汲極用雜質擴散區域 11 的電壓相反亦可。

此時，對一對 p 型雜質擴散區域 3、3 亦施加如表 4 所示之負電壓，而使漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位下降。為有效進行消除，最好儘可能將漂浮閘 5 與一方之源極／汲極用雜質擴散區域 11(或另一方之源極／汲極用雜質擴散區域 11)之間的耦合電容比減小，而將電位差加大。

根據本實施形態，由於可藉由一對源極／汲極用雜質擴散區域 11、11 來控制漂浮閘 5 的電位，因而可以在半導體基板 1 與漂浮閘 5 之間施加較大的電位差。藉此方式，由於可藉由 FN 穿隧效應抽出漂浮閘 5 內的電子，故可以電性方法進行資料消除。

此外，由於漂浮閘電晶體 10 係由 p 通道 MOS 電晶體

所構成，因此，與第 1 實施形態相同地，可以低於使用 n 通道 MOS 電晶體時的電壓來進行寫入動作。

(第 4 實施形態)

參照第 9 圖至第 11 圖，本實施形態之記憶單元之構成相較於第 3 實施形態之構成，其不同之處在於本實施形態在漂浮閘控制區域內追加 p 型井區 12。

p 型井區 12 係形成於在半導體基板 1 之主表面。於 p 型井區 12 內形成有一對源極／汲極用雜質擴散區域 11、11。 p 型井區 12 具有高於半導體基板 1 的載子濃度。

其中，關於上述以外的構造，由於大致與第 3 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

根據本實施形態可獲致以下效果。

於進行寫入及消除時，雖對 n 型井區 2a 及一方之源極／汲極用雜質擴散區域 11(或另一方之源極／汲極用雜質擴散區域 11)施加如表 3 及表 4 所示之電壓，不過，此時會在 n 型井區 2a 與 p 型半導體基板 1 之 pn 接合部以及一方之源極／汲極用雜質擴散區域 11(或另一方之源極／汲極用雜質擴散區域 11)與 p 型井區 12 之 pn 接合部產生空乏層。隨著該空乏層的延伸加大，伴隨衝穿(punch-through)而產生的漏洩電流將增加。

根據本實施形態，由於 p 型井區 12 具有高於半導體基板 1 的載子濃度，因此可抑制該空乏層的延伸。藉此方式，可減小 n 型井區 2a 與一方之源極／汲極用雜質擴散區域

11(或另一方之源極／汲極用雜質擴散區域 11)的間隔，其結果使得記憶單元尺寸可更小於第 3 實施形態。

(第 5 實施形態)

參照第 12 圖及第 13 圖，本實施形態之記憶單元之構成相較於第 4 實施形態之構成，其不同之處在於本實施形態具有元件分離用 p 型雜質擴散區域 8。

該元件分離用 p 型雜質擴散區域 8 係形成於在漂浮閘電晶體區域與漂浮閘控制區域之間的半導體基板 1 主表面上所形成之場絕緣層 7 正下方的半導體基板 1 上。該元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

根據本實施形態可獲致以下效果。

於進行寫入及消除時，雖對 n 型井區 2a 及一方之源極／汲極用雜質擴散區域 11(或另一方之源極／汲極用雜質擴散區域 11)施加如表 3 及表 4 所示之電壓，不過，此時會在 n 型井區 2a 與 p 型半導體基板 1 之 pn 接合部以及一方之源極／汲極用雜質擴散區域 11(或另一方之源極／汲極用雜質擴散區域 11)與 p 型井區 12 之 pn 接合部產生空乏層。隨著該空乏層的延伸加大，伴隨衝穿(punch-through)而產生的漏洩電流將增加。

根據本實施形態，由於元件分離用 p 型雜質擴散區域

8 具有高於半導體基板 1 的載子濃度，因此可抑制該空乏層的延伸。藉此方式，可減小 n 型井區 2a 與一方之源極／汲極用雜質擴散區域 11(或另一方之源極／汲極用雜質擴散區域 11)的間隔，其結果使得記憶單元尺寸可更小於第 4 實施形態。

(第 6 實施形態)

參照第 14 圖及第 15 圖，本實施形態之記憶單元之構成相較於第 1 實施形態之構成，其在漂浮閘控制區域內的控制用雜質擴散區域等之構成方面有所不同。

本實施形態中的控制用雜質擴散區域係由一對 p 型源極／汲極用雜質擴散區域 22、22 所構成。而且，p 型半導體基板 1 的主表面上形成有 n 型井區 21。一對源極／汲極用雜質擴散區域 22、22 係以包夾位於漂浮閘 5 下側之半導體基板 1 之區域的方式而在 n 型井區 21 內形成於 p 型半導體基板 1 的主表面。藉由該一對源極／汲極用雜質擴散區域 22、22 與絕緣層 4b 與漂浮閘 5 而構成由 p 通道 MOS 電晶體所形成的控制電晶體 30。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

接著就本實施形態之記憶單元的寫入及消除動作加以說明。

參照第 15A 圖及第 15B 圖，寫入記憶單元的動作係藉由將漂浮閘電晶體 10 中因衝擊離子化而產生的熱載子(hot

carrier)注入漂浮閘 5 的方式來進行。熱載子的產生係藉由將表 5 所示之電壓施加至各區域的方式來進行。

表 5

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	0V
另一方之 p 型雜質擴散區域 3	~ 8V
一方之源極／汲極用雜質擴散區域 22	~ 5V
另一方之源極／汲極用雜質擴散區域 22	~ 5V
n 型井區 2a	~ 8V
n 型井區 21	~ 5V
p 型半導體基板 1	0V

*對另一方之 p 型雜質擴散區域 3 與 n 型井區 2a 施加相同電壓。

*對一方之源極／汲極用雜質擴散區域 22 與另一方之源極／汲極用雜質擴散區域 22 與 n 型井區 21 施加相同電壓。

此時，控制電晶體 30 的一對源極／汲極用雜質擴散區域 22、22 係用來控制漂浮閘 5 之電位。具體而言，熱載子係在漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位約為 -1V 時產生最多，為形成上述電位，因而對一對源極／汲極用雜質擴散區域 22、22 及 n 型井區 21 施加電壓，並控制漂浮閘 5 的電位。

此外，記憶單元的消除係藉由對一方之源極／汲極用雜質擴散區域 22、另一方之源極／汲極用雜質擴散區域 22 及 n 型井區 21 施加高電位，並以 FN 穿隧效應抽出儲存於

漂浮閘 5 之電子的方式來進行。為了引起 FN 穿隧效應，對一方之源極／汲極用雜質擴散區域 22(或另一方之源極／汲極用雜質擴散區域 22)及 n 型井區 21 施加如表 6 所示之正電位。

表 6

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	~-10V
另一方之 p 型雜質擴散區域 3	~-10V
一方之源極／汲極用雜質擴散區域 22	~15V
另一方之源極／汲極用雜質擴散區域 22	~15V
n 型井區 2a	0V
n 型井區 21	~15V
p 型半導體基板 1	0V

*對一方之 p 型雜質擴散區域 3 與另一方之 p 型雜質擴散區域 3 施加相同電壓。

*對一方之源極／汲極用雜質擴散區域 22 與另一方之源極／汲極用雜質擴散區域 22 與 n 型井區 21 施加相同電壓。

此時，對一對 p 型雜質擴散區域 3、3 亦施加如表 6 所示之負電壓，而使漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位下降。為有效進行消除，最好儘可能將漂浮閘 5 與一方之源極／汲極用雜質擴散區域 22、另一方之源極／汲極用雜質擴散區域 22 及 n 型井區 21 之間的耦合電容比減小，而將電位差加大。

根據本實施形態，由於可藉由一對源極／汲極用雜質

擴散區域 22、22 來控制漂浮閘 5 的電位，因而可以在半導體基板 1 與漂浮閘 5 之間施加較大的電位差。藉此方式，由於可藉由 FN 穿隧效應抽出漂浮閘 5 內之電子，故可以電性方法進行資料消除。

此外，由於漂浮閘電晶體 10 係由 p 通道 MOS 電晶體所構成，因此，與第 1 實施形態相同地，可以低於使用 n 通道 MOS 電晶體時的電壓來進行寫入動作。

(第 7 實施形態)

參照第 16 圖及第 17 圖，本實施形態之記憶單元之構成相較於第 6 實施形態之構成，其不同之處在於本實施形態具有元件分離用 p 型雜質擴散區域 8。

該元件分離用 p 型雜質擴散區域 8 係形成於在漂浮閘電晶體區域與漂浮閘控制區域之間的半導體基板 1 主表面上所形成之場絕緣層 7 正下方的半導體基板 1 上。該元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

根據本實施形態可獲致以下效果。

於進行寫入及消除時，雖對 n 型井區 21 施加如表 5 及表 6 所示之電壓，不過，此時會在 p 型半導體基板 1 與 n 型井區 21 之 pn 接合部產生空乏層。隨著該空乏層的延伸加大，伴隨衝穿(punch-through)而產生的漏洩電流將增

加。

根據本實施形態，由於元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度，因此可抑制該空乏層的延伸。藉此方式，可減小 n 型井區 2a 與 n 型井區 21 的間隔，其結果使得記憶單元尺寸可更小於第 6 實施形態。

(第 8 實施形態)

參照第 18 圖至第 20 圖，本實施形態之記憶單元之構成相較於第 1 實施形態之構成，其在漂浮閘控制區域內的控制用雜質擴散區域等之構成方面有所不同。

本實施形態中的控制用雜質擴散區域係由 n 型雜質擴散區域 31 所構成。n 型雜質擴散區域 31 係形成於 p 型半導體基板 1 的主表面上，且隔著絕緣層 4b 而與漂浮閘 5 相對向。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

接著就本實施形態之記憶單元的寫入及消除動作加以說明。

參照第 19A 圖及第 19B 圖，寫入記憶單元的動作係藉由將漂浮閘電晶體 10 中因衝擊離子化而產生的熱載子(hot carrier)注入漂浮閘 5 的方式來進行。熱載子的產生係藉由將表 7 所示之電壓施加至各區域的方式來進行。

表 7

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	0V
另一方之 p 型雜質擴散區域 3	~ 8V
控制用雜質擴散區域 31	~ 5V
n 型井區 2a	~ 8V
p 型半導體基板 1	0V

*對另一方之 p 型雜質擴散區域 3 與 n 型井區 2a 施加相同電壓。

此時，控制用雜質擴散區域(n 型雜質擴散區域)31 係用來控制漂浮閘 5 之電位。具體而言，熱載子係在漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位約為 -1V 時產生最多，為形成上述電位，因而對控制用雜質擴散區域 31 施加電壓，並控制漂浮閘 5 的電位。

此外，記憶單元的消除係藉由對控制用雜質擴散區域 31 施加高電位，並以 FN 穿隧效應抽出儲存於漂浮閘 5 之電子的方式來進行。為了引起 FN 穿隧效應，對控制用雜質擴散區域 31 施加如表 8 所示之正電位。

表 8

電壓施加部位	電壓
一方之 p 型雜質擴散區域 3	~ -10V
另一方之 p 型雜質擴散區域 3	~ -10V
控制用雜質擴散區域 31	~ 15V
n 型井區 2a	0V
p 型半導體基板 1	0V

*對一方之 p 型雜質擴散區域 3 與另一方之 p 型雜質擴散區域 3 施加相同電壓。

此時，對一對 p 型雜質擴散區域 3、3 亦施加如表 8 所示之負電壓，而使漂浮閘 5 之(從一方之 p 型雜質擴散區域 3 觀察到的)電位下降。為有效進行消除，最好儘可能分別將漂浮閘 5 與一方之 p 型雜質擴散區域 3、另一方之 p 型雜質擴散區域 3 及 n 型井區 2a 之間的耦合電容比減小，而將電位差加大。

根據本實施形態，由於可藉由控制用雜質擴散區域 31 來控制漂浮閘 5 的電位，因而可以在半導體基板 1 與漂浮閘 5 之間施加較大的電位差。藉此方式，由於可藉由 FN 穿隧效應抽出漂浮閘 5 內之電子，故可以電性方法進行資料消除。

此外，由於漂浮閘電晶體 10 係由 p 通道 MOS 電晶體所構成，因此，與第 1 實施形態相同地，可以低於使用 n 通道 MOS 電晶體時的電壓來進行寫入動作。

(第 9 實施形態)

參照第 21 圖至第 23 圖，本實施形態之記憶單元之構成相較於第 8 實施形態之構成，其不同之處在於本實施形態在漂浮閘控制區域內追加 p 型井區 32。

p 型井區 32 係形成於在半導體基板 1 之主表面。於 p 型井區 32 內形成有控制用雜質擴散區域(n 型雜質擴散區域)31。p 型井區 32 具有高於半導體基板 1 的載子濃度。

其中，關於上述以外的構造，由於大致與第 3 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

根據本實施形態可獲致以下效果。

於進行寫入及消除時，雖對 n 型井區 2a 及控制用雜質擴散區域(n 型雜質擴散區域)31 施加如表 7 及表 8 所示之電壓，不過，此時會在 n 型井區 2a 與 p 型半導體基板 1 之 pn 接合部以及控制用雜質擴散區域(n 型雜質擴散區域)31 與 p 型井區 32 之 pn 接合部產生空乏層。隨著該空乏層的延伸加大，伴隨衝穿(punch-through)而產生的漏洩電流將增加。

根據本實施形態，由於 p 型井區 32 具有高於半導體基板 1 的載子濃度，因此可抑制該空乏層的延伸。藉此方式，可減小 n 型井區 2a 與控制用雜質擴散區域(n 型雜質擴散區域)31 的間隔，其結果使得記憶單元尺寸可更小於第 8 實施形態。

(第 10 實施形態)

參照第 24 圖及第 25 圖，本實施形態之記憶單元之構成相較於第 9 實施形態之構成，其不同之處在於本實施形態具有元件分離用 p 型雜質擴散區域 8。

該元件分離用 p 型雜質擴散區域 8 係形成於在漂浮閘電晶體區域與漂浮閘控制區域之間的半導體基板 1 主表面上所形成之場絕緣層 7 正下方的半導體基板 1 上。該元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度。

其中，關於上述以外的構造，由於大致與第 1 實施形態的構造相同，故對相同構件標註同一符號，並省略其說明。

根據本實施形態可獲致以下效果。

於進行寫入及消除時，雖對 n 型井區 2a 施加如表 7 及表 8 所示之電壓，不過，此時會在 p 型半導體基板 1 與 n 型井區 2a 之 pn 接合部產生空乏層。隨著該空乏層的延伸加大，伴隨衝穿(punch-through)而產生的漏洩電流將增加。

根據本實施形態，由於元件分離用 p 型雜質擴散區域 8 具有高於半導體基板 1 的載子濃度，因此可抑制該空乏層的延伸。藉此方式，可減小 n 型井區 2a 與 n 型井區 31 的間隔，其結果使得記憶單元尺寸可更小於第 9 實施形態。

本發明之詳細說明僅為例示性質，不應藉以限制本發明，應可明顯理解本發明的精神與範圍僅藉由附後之申請

專利範圍加以界定。

【圖式簡單說明】

第 1 圖係概略表示本發明第 1 實施形態之半導體記憶裝置之構造俯視圖。

第 2A 圖係第 1 圖 IIA-IIA 線的概略剖視圖，以及第 2B 圖係第 1 圖 IIB-IIB 線的概略剖視圖。

第 3 圖係第 1 圖 III-III 線的概略剖視圖。

第 4 圖係概略表示本發明第 2 實施形態之半導體記憶裝置之構造俯視圖。

第 5 圖係第 4 圖 V-V 線的概略剖視圖。

第 6 圖係概略表示本發明第 3 實施形態之半導體記憶裝置之構造俯視圖。

第 7A 圖係第 6 圖 VIIA-VIIA 線的概略剖視圖，以及第 7B 圖係第 6 圖 VIIB-VIIB 線的概略剖視圖。

第 8 圖係第 6 圖 VIII-VIII 線的概略剖視圖。

第 9 圖係概略表示本發明第 4 實施形態之半導體記憶裝置之構造俯視圖。

第 10A 圖係第 9 圖 XA-XA 線的概略剖視圖，以及第 10B 圖係第 9 圖 XB-XB 線的概略剖視圖。

第 11 圖係第 9 圖 XI-XI 線的概略剖視圖。

第 12 圖係概略表示本發明第 5 實施形態之半導體記憶裝置之構造俯視圖。

第 13 圖係第 12 圖 XIII-XIII 線的概略剖視圖。

第 14 圖係概略表示本發明第 6 實施形態之半導體記憶

8	元件分離用 p 型雜質擴散區域	
10	漂浮閘電晶體	
11	n 型源極／汲極用雜質擴散區域	
12	p 型井區	20 控制電晶體
21	n 型井區	
22	p 型源極／汲極用雜質擴散區域	
30	控制電晶體	
31	控制用雜質擴散區域(n 型雜質擴散區域)	
32	p 型井區	

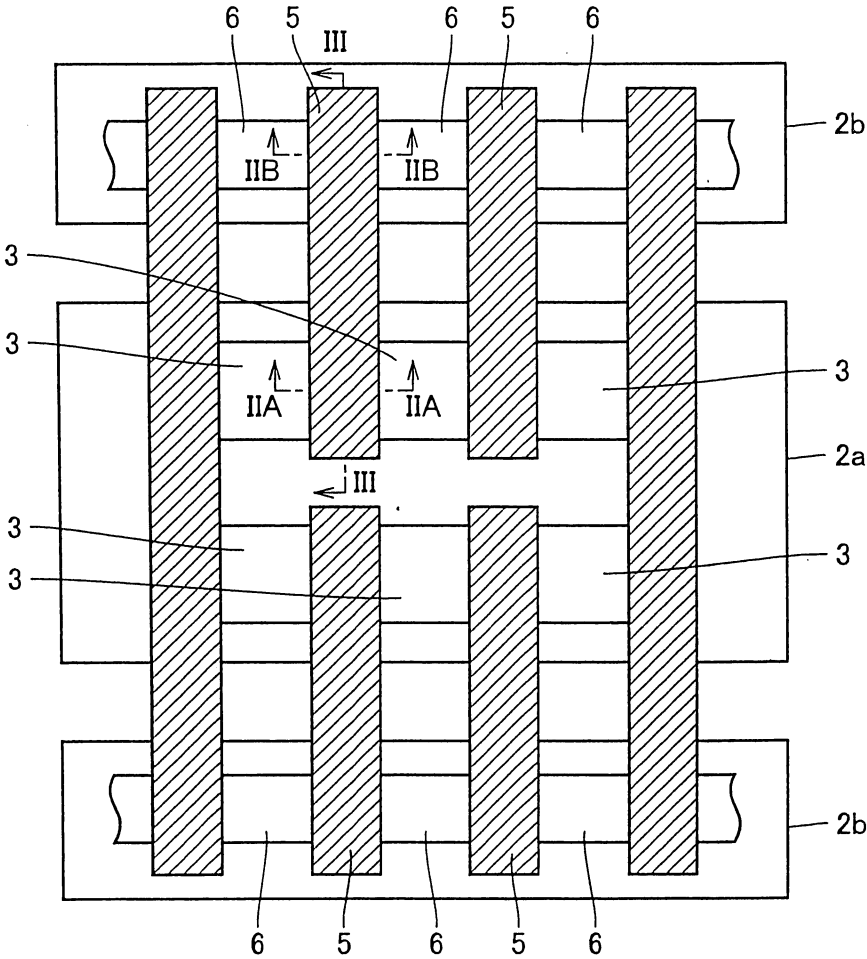
柒、指定代表圖：

(一)本案指定代表圖為：第 (2) 圖。

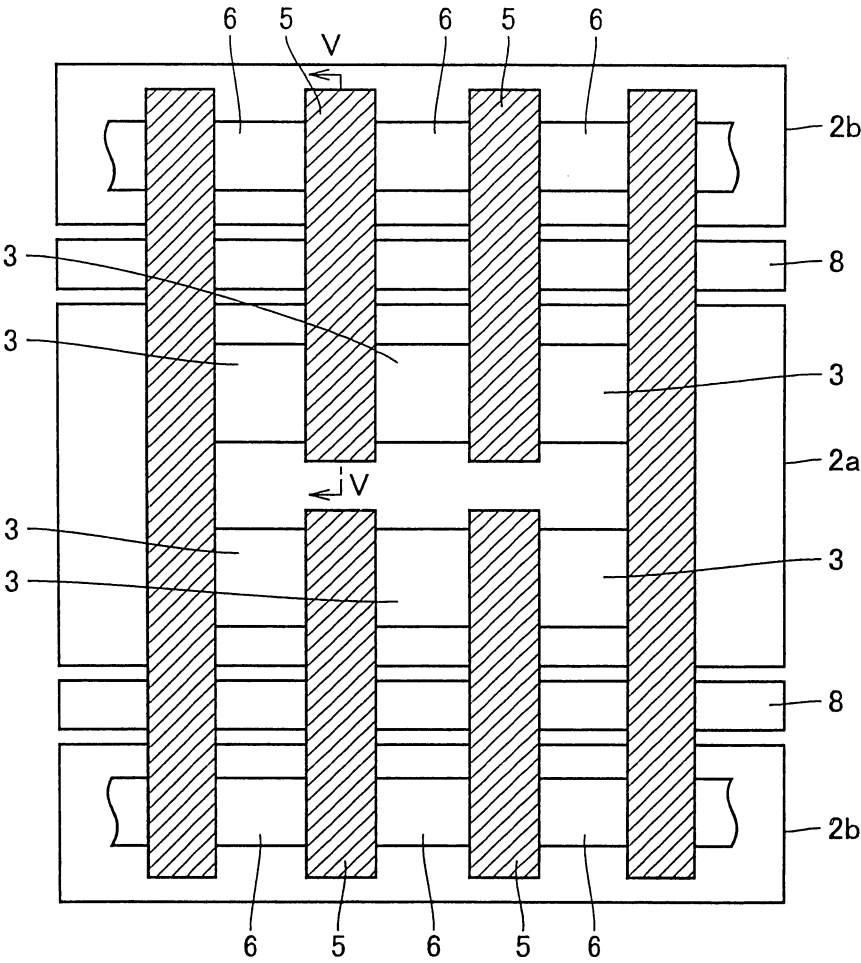
(二)本代表圖之元件代表符號簡單說明：

1	半導體基板	2a、2b	n 型井區
3	p 型雜質擴散區域	4a、4b	絕緣層
5	漂浮閘	6	控制用雜質擴散區域
10	漂浮閘電晶體		

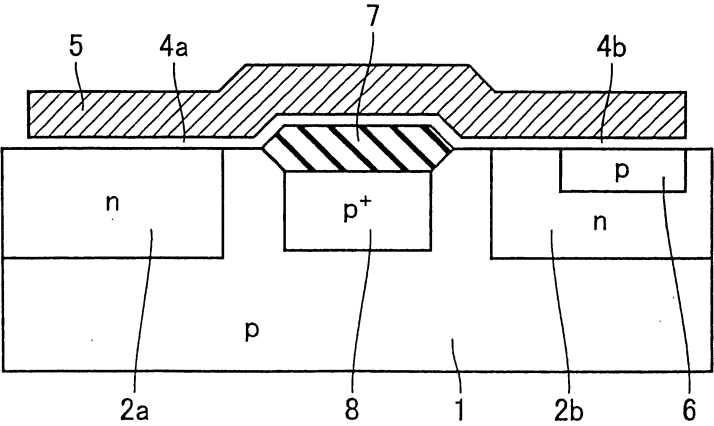
捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：



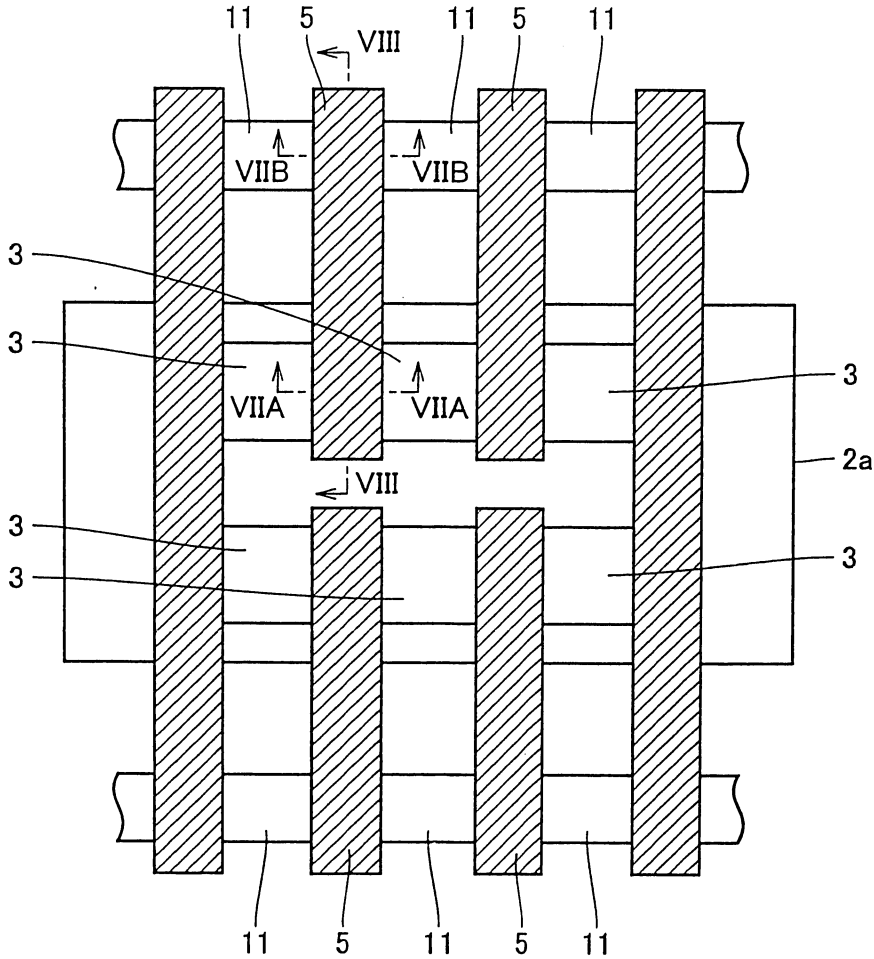
第 1 圖



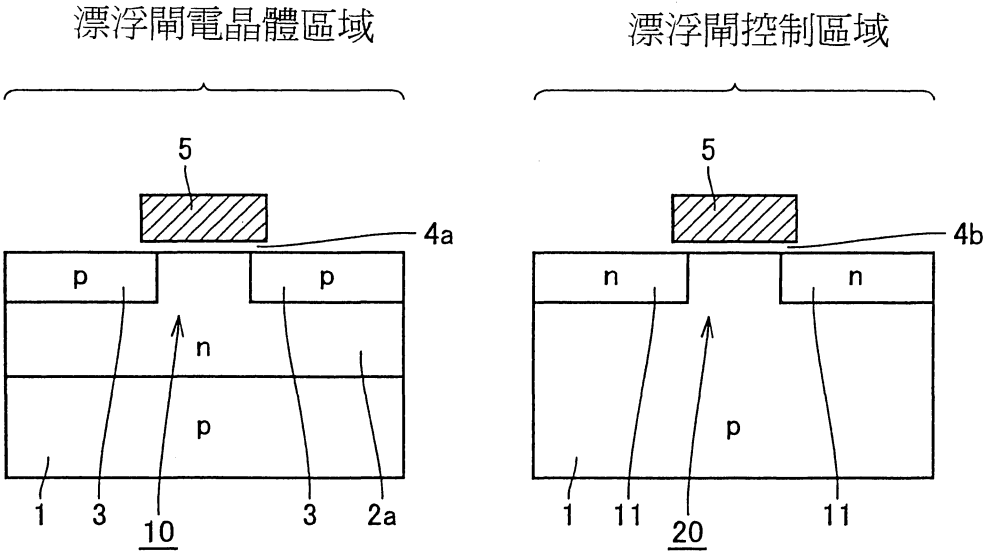
第 4 圖



第 5 圖

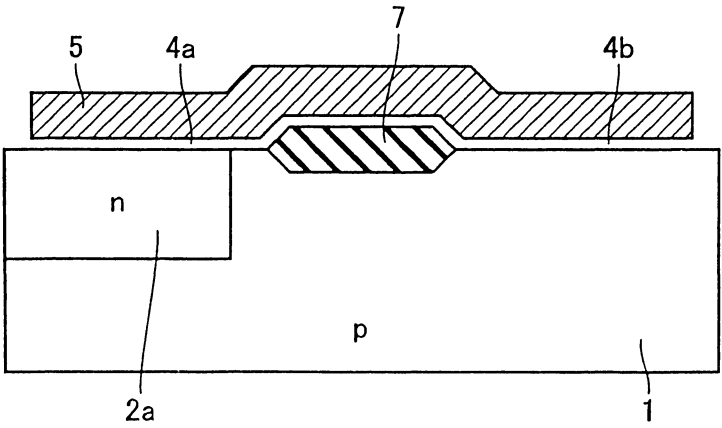


第 6 圖

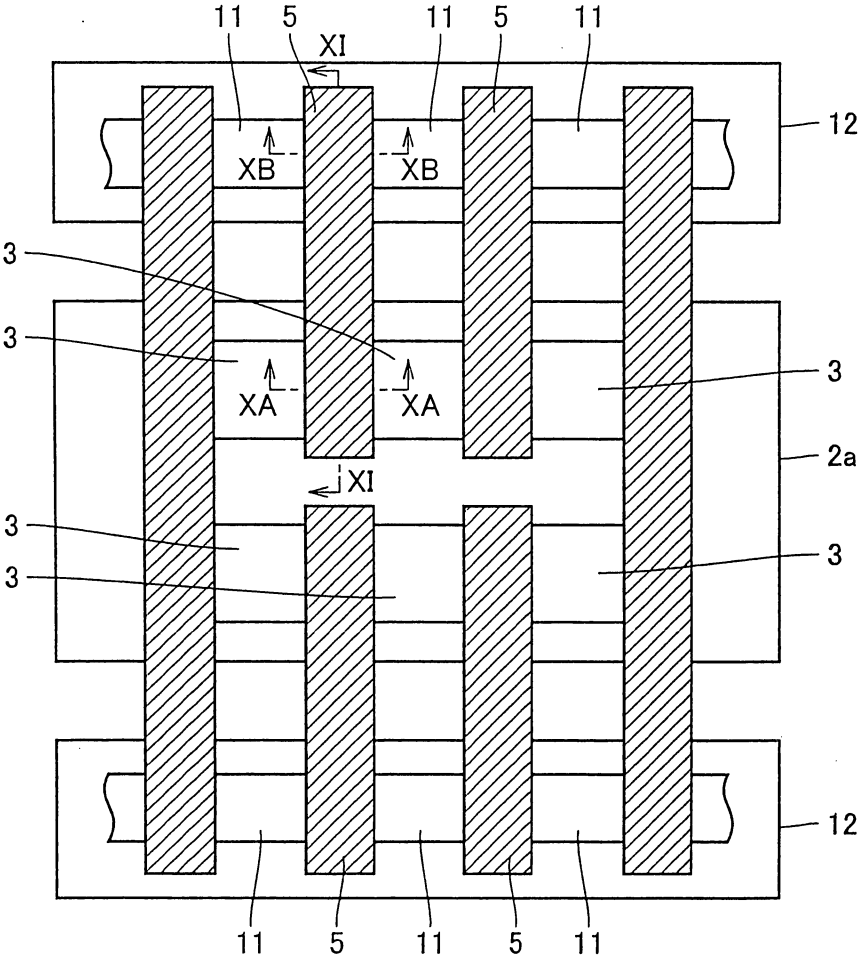


第 7A 圖

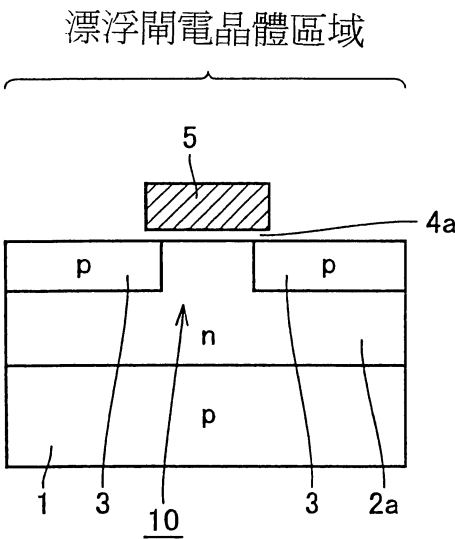
第 7B 圖



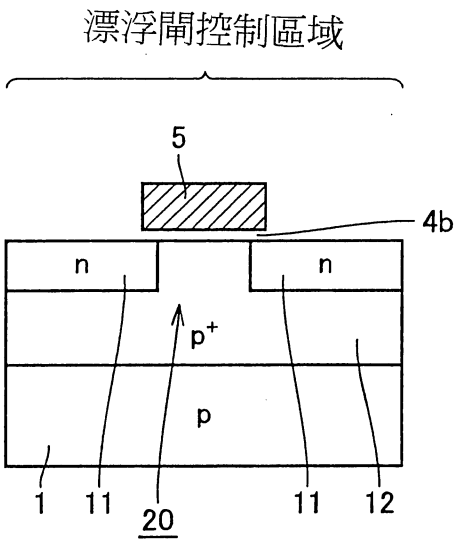
第 8 圖



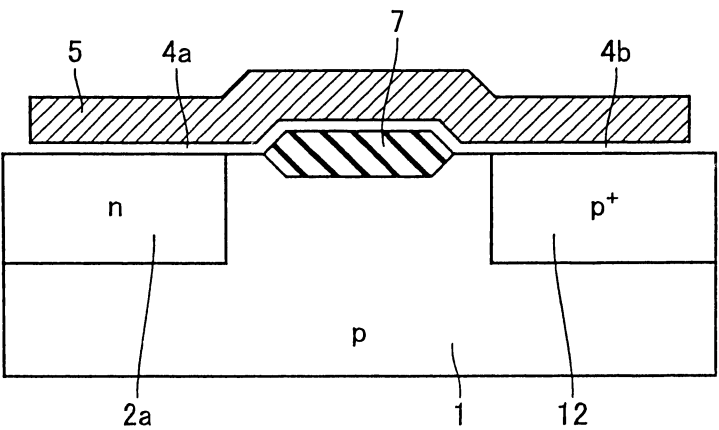
第 9 圖



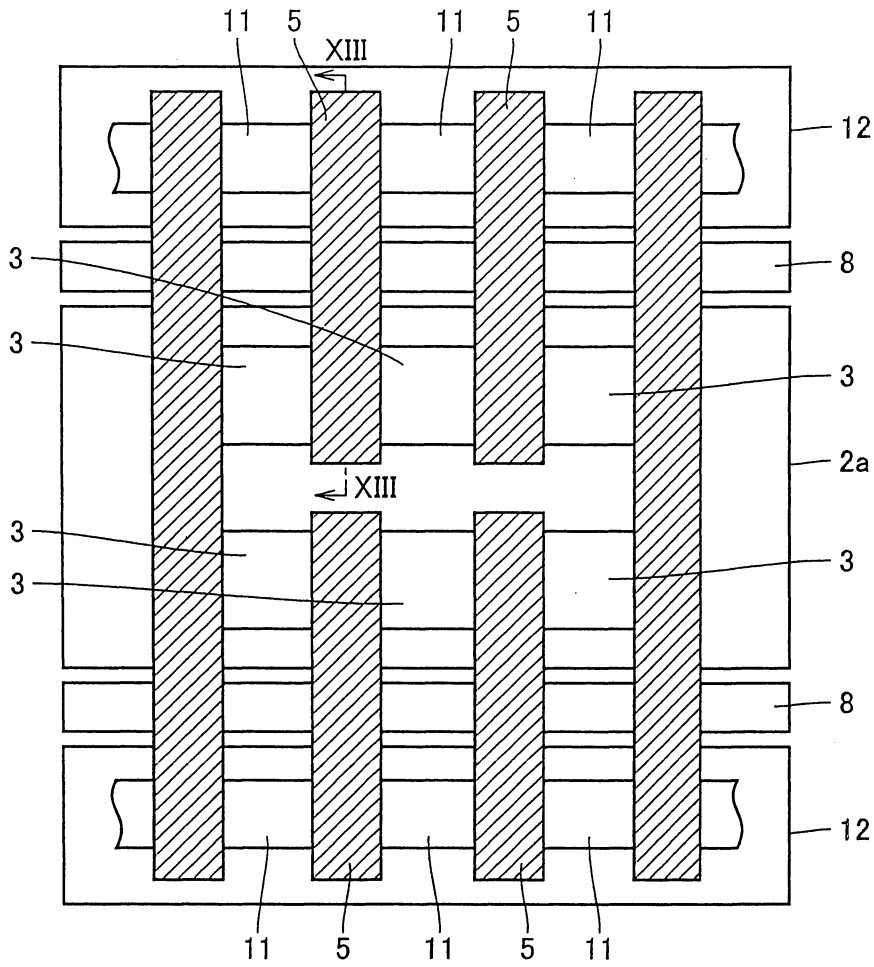
第 10A 圖



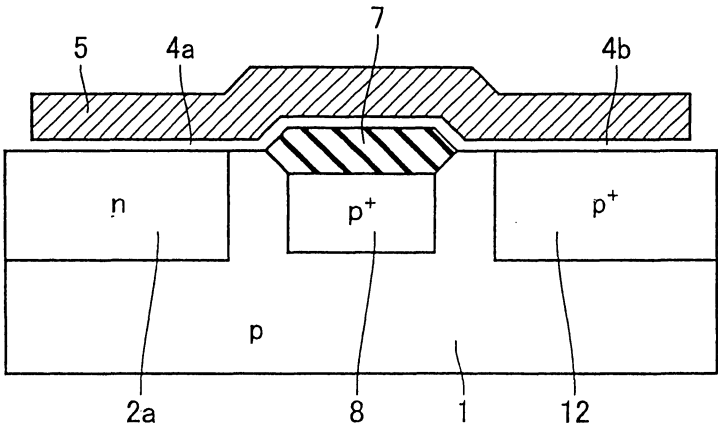
第 10B 圖



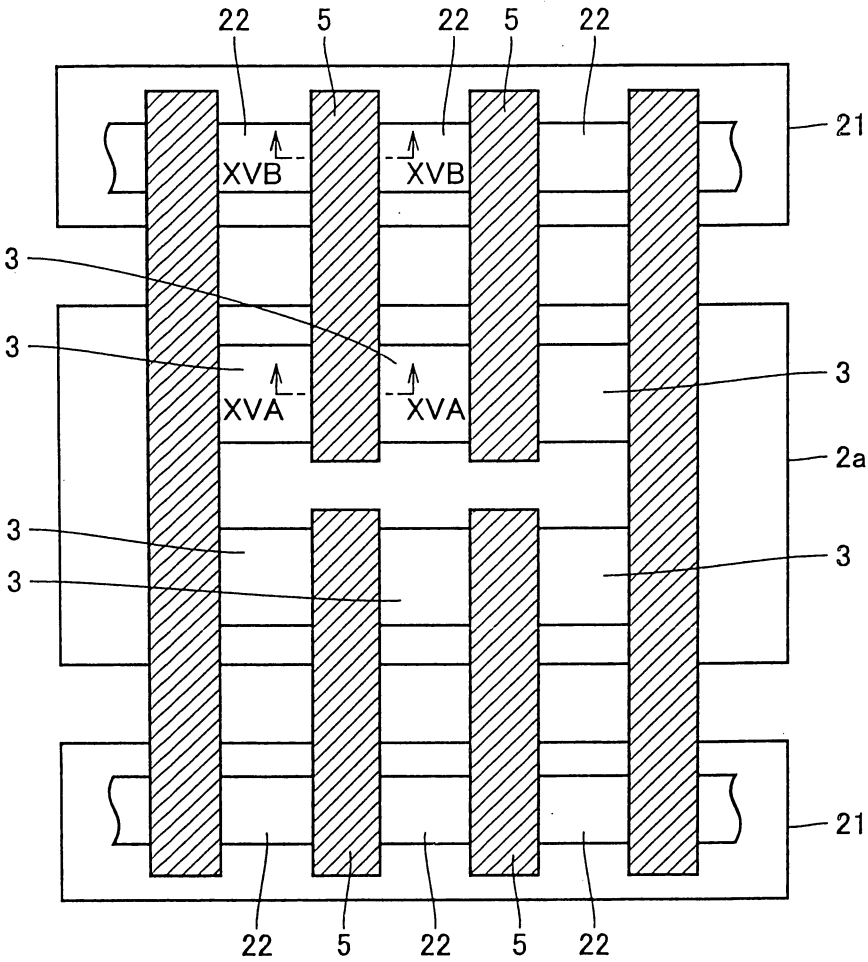
第 11 圖



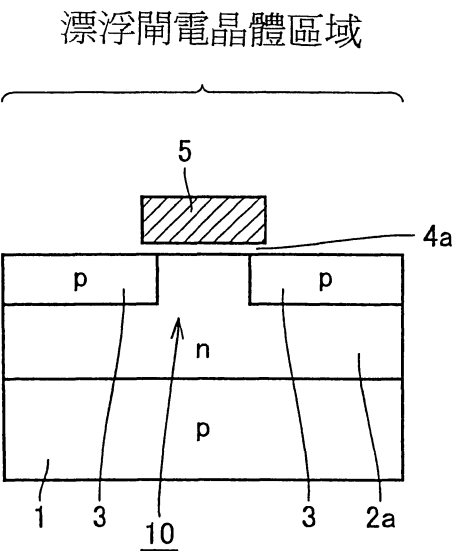
第 12 圖



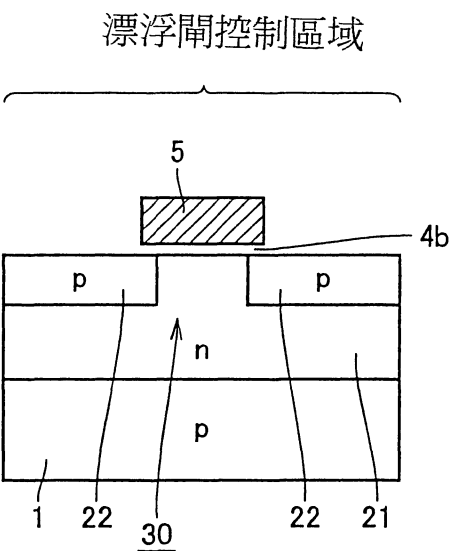
第 13 圖



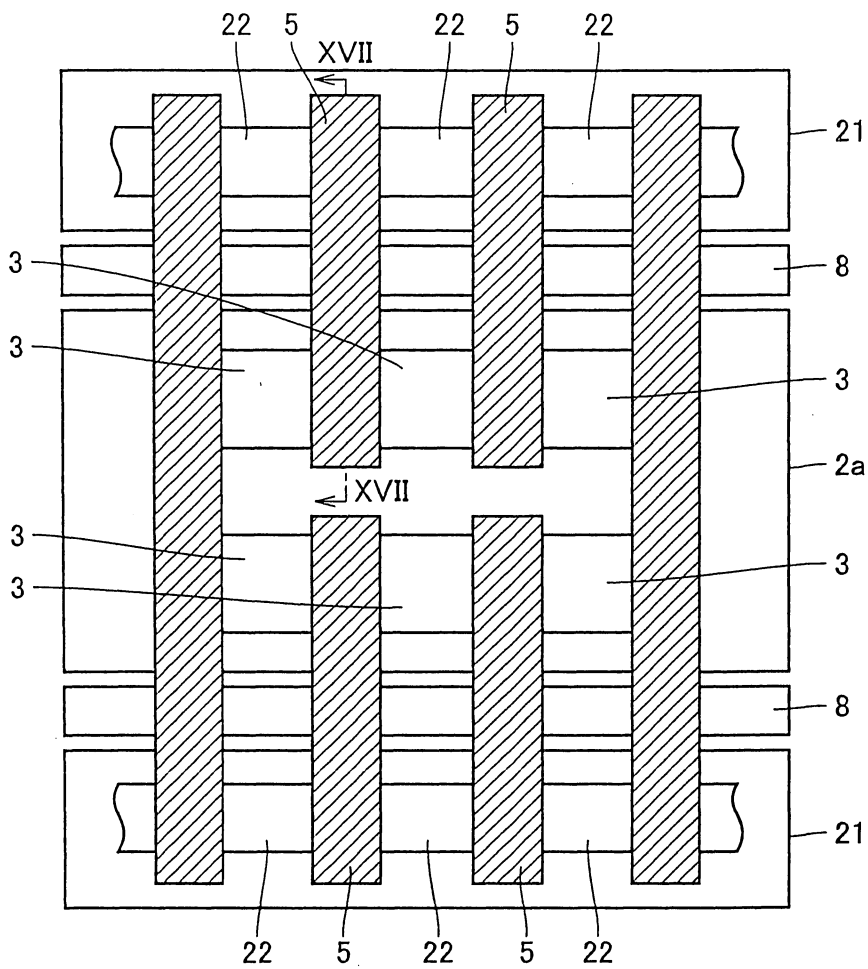
第 14 圖



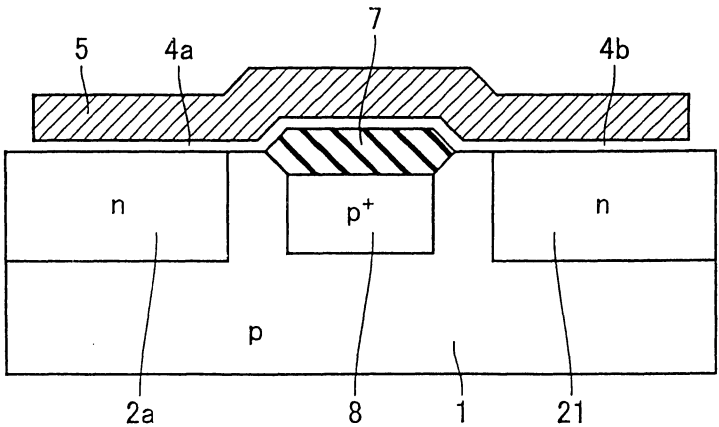
第 15A 圖



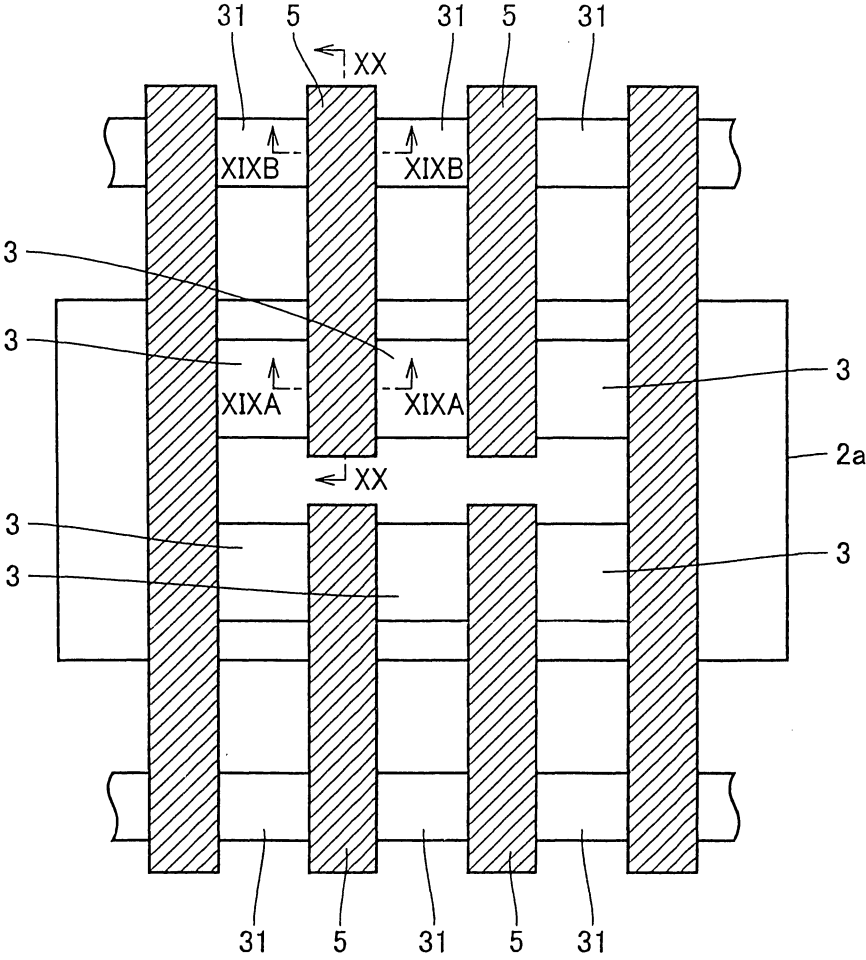
第 15B 圖



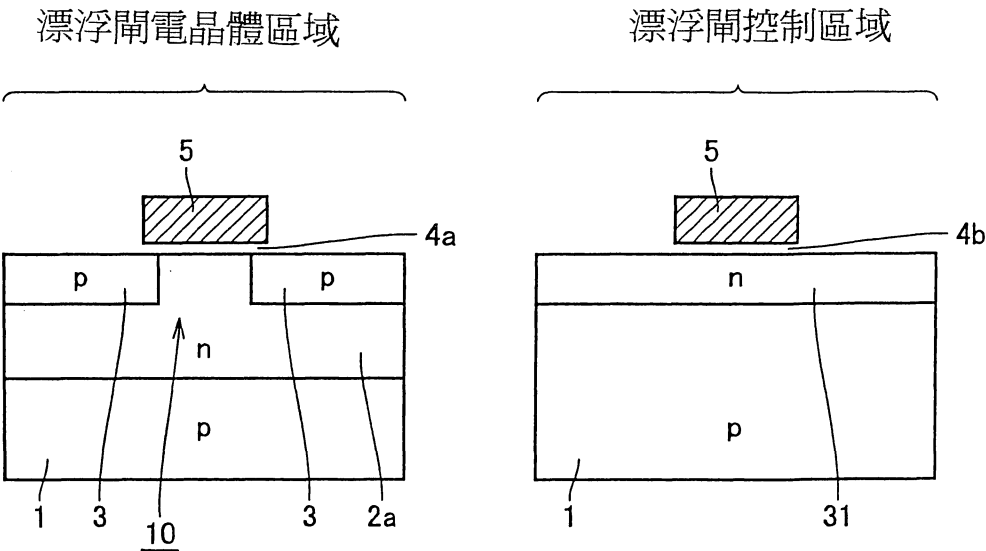
第 16 圖



第 17 圖

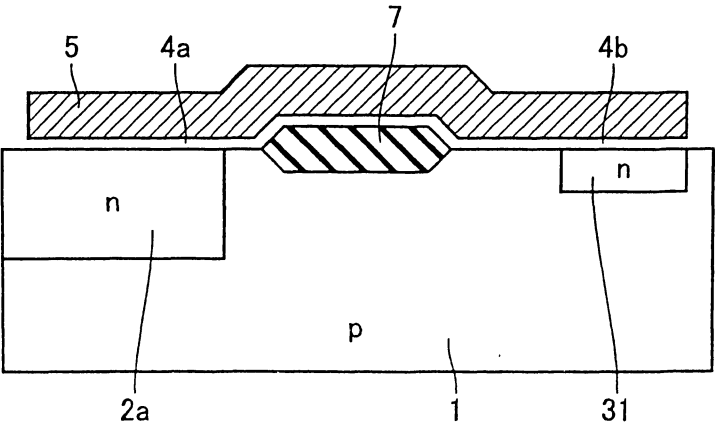


第 18 圖

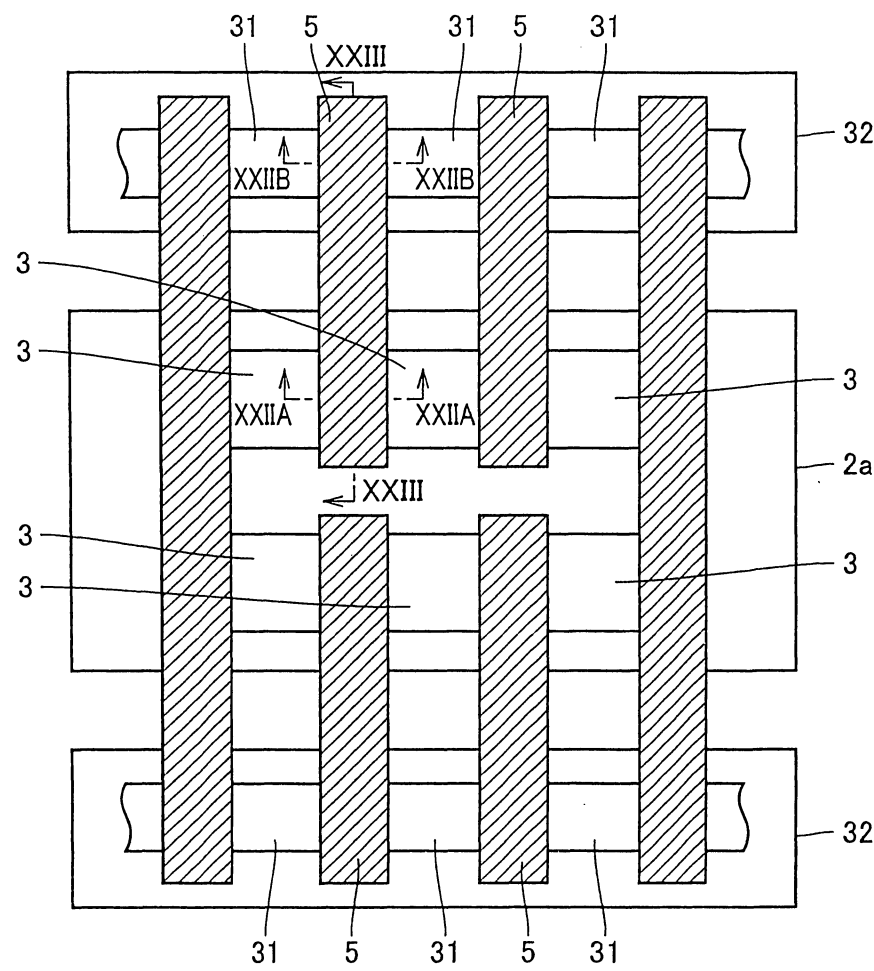


第 19A 圖

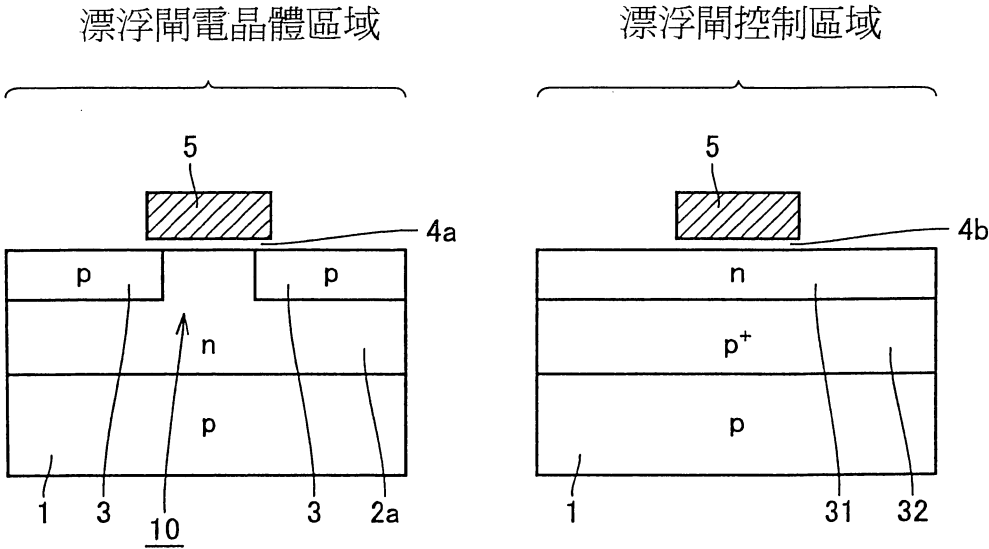
第 19B 圖



第 20 圖

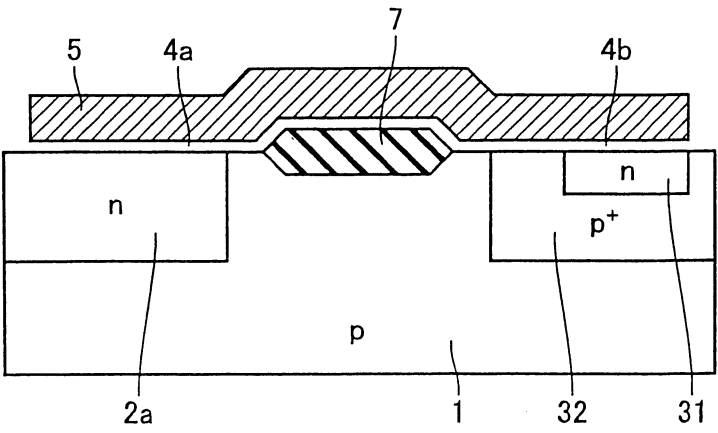


第 21 圖

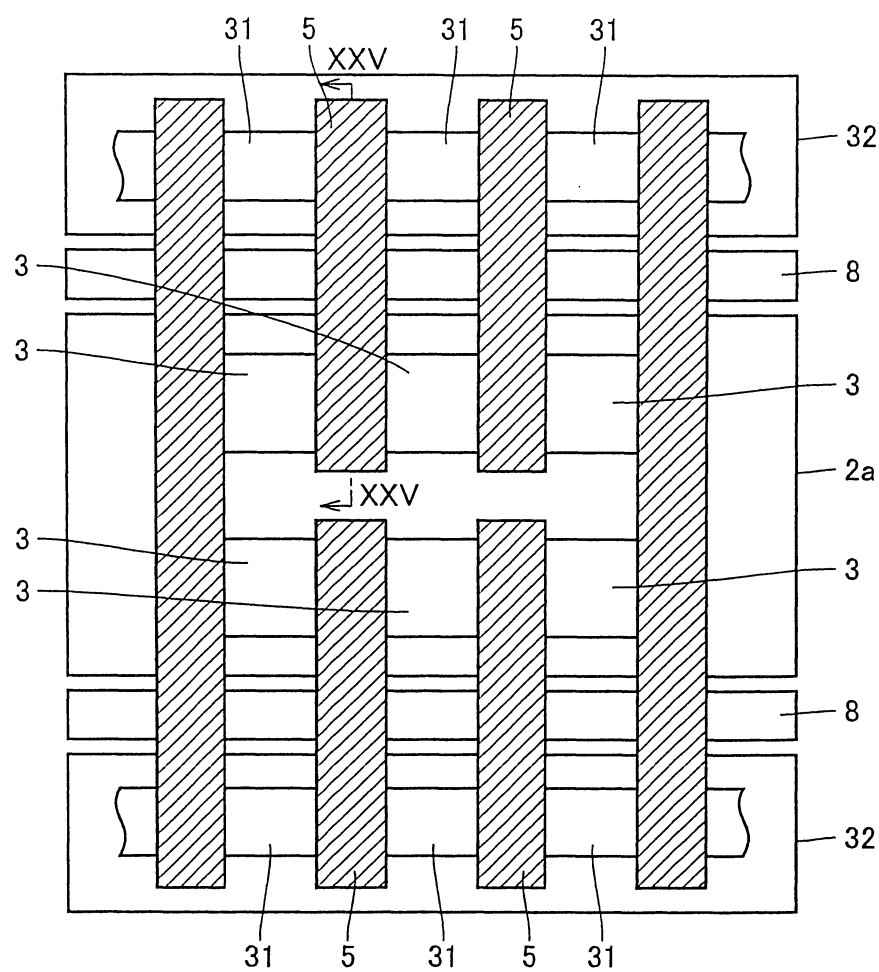


第 22A 圖

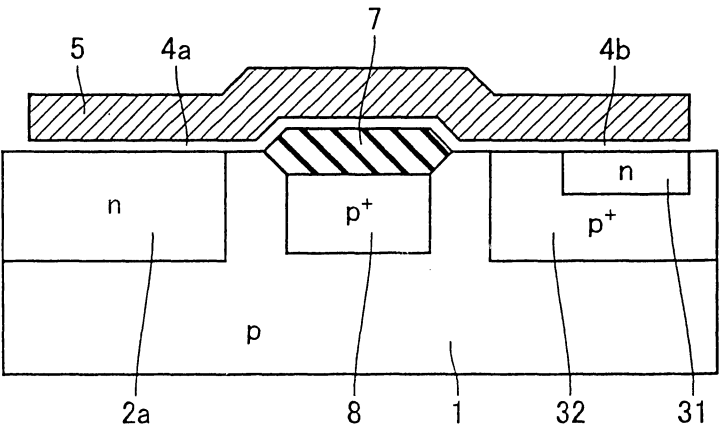
第 22B 圖



第 23 圖



第 24 圖



第 25 圖

構造中亦難以施加高電位，因此具有難以進行資料寫入動作之問題點。

【發明內容】

本發明之目的在於提供一種可以電性方法消除資料，而且可易於以低電壓寫入資料的非揮發性半導體記憶裝置。

本發明之非揮發性半導體記憶裝置係具有：半導體基板、形成源極／汲極的一對 p 型雜質擴散區域、漂浮閘以及控制用雜質擴散區域。半導體基板係具有主表面。形成源極／汲極的一對 p 型雜質擴散區域係形成於半導體基板的主表面上。漂浮閘係隔著隧道絕緣層而形成於一對 p 型雜質擴散區域所包夾的半導體基板的區域上方。控制用雜質擴散區域係形成於半導體基板的主表面，其係用以控制漂浮閘的電位。

根據本發明之非揮發性半導體記憶裝置，由於用以控制漂浮閘電位的控制用雜質擴散區域係形成於半導體基板的主表面，因此可容易在基板與漂浮閘之間施加較大的電位差。藉此方式，可容易抽出漂浮閘的電子，而可以電性消除。

而且，由於源極／汲極為 p 型雜質擴散區域，因此，記憶體電晶體係為 p 通道電晶體。若為該 p 通道電晶體之情形，當進行寫入動作時，係對汲極施加負電壓，以藉此使得由源極供應的電洞高速朝向汲極而於半導體基板表面的通道內移動，使得在汲極附近與原子發生衝撞而產生電

子電洞對。然後，該電子電洞對的電子被注入漂浮閘，而呈已寫入資料的狀態。

此時，由於對汲極施加的電壓為負電壓，因此使得電子難以注入汲極側，而易於注入漂浮閘側。因此，即便於半導體基板與漂浮閘之間並未施加那麼大的電位差，亦可將電子注入漂浮閘，且可以低電壓寫入資料。

【實施方式】

以下根據圖面說明本發明之實施形態。

(第 1 實施形態)

原本記憶單元係每一位元(bit)具有選擇用電晶體，不過，由於選擇用電晶體與本實施形態的動作原理不相關，因此，除了第 1 圖之外並未圖示，亦省略其說明。此外，關於選擇用電晶體，在其他實施形態亦做相同的處理。

參照第 1 圖至第 3 圖，本實施形態之記憶單元主要係具有：漂浮閘電晶體 10 以及用以控制漂浮閘 5 之部分。

參照第 2A 圖，於漂浮閘電晶體形成區域中，於 p 型半導體基板 1 的主表面形成有 n 型井區 2a，於 n 型井區 2a 形成有作為 p 通道 MOS 電晶體之漂浮閘電晶體 10。漂浮閘電晶體 10 係具有：形成源極／汲極的一對 p 型雜質擴散區域 3、3；隧道絕緣層 4a；以及漂浮閘 5。形成源極／汲極的一對 p 型雜質擴散區域 3、3 係形成於 n 型井區 2a 內的半導體基板 1 的主表面。漂浮閘 5 係隔著隧道絕緣層 4a 而形成於一對 p 型雜質擴散區域 3、3 所包夾的半導體基板 1 的區域上方。

修正替換頁
94年5月30日

裝置之構造俯視圖。

第 15A 圖係第 14 圖 XVA-XVA 線的概略剖視圖，以及第 15B 圖係第 14 圖 XVB-XVB 線的概略剖視圖。

第 16 圖係概略表示本發明第 7 實施形態之半導體記憶裝置之構造俯視圖。

第 17 圖係第 16 圖 XVII-XVII 線的概略剖視圖。

第 18 圖係概略表示本發明第 8 實施形態之半導體記憶裝置之構造俯視圖。

第 19A 圖係第 18 圖 XIXA-XIXA 線的概略剖視圖，以及第 19B 圖係第 18 圖 XIXB-XIXB 線的概略剖視圖。

第 20 圖係第 18 圖 XX-XX 線的概略剖視圖。

第 21 圖係概略表示本發明第 9 實施形態之半導體記憶裝置之構造俯視圖。

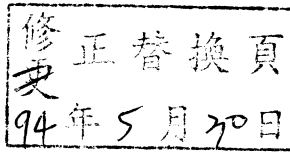
第 22A 圖係第 21 圖 XXIIA-XXIIA 線的概略剖視圖，以及第 22B 圖係第 21 圖 XXIIB-XXIIB 線的概略剖視圖。

第 23 圖係第 21 圖 XXIII-XXIII 線的概略剖視圖。

第 24 圖係概略表示本發明第 10 實施形態之半導體記憶裝置之構造俯視圖。

第 25 圖係第 24 圖 XXV-XXV 線的概略剖視圖。

- | | | | |
|----|-----------|-------|-------|
| 1 | 半導體基板 | 2a、2b | n 型井區 |
| 3 | p 型雜質擴散區域 | 4a | 隧道絕緣層 |
| 4b | 絕緣層 | 5 | 漂浮閘 |
| 6 | 控制用雜質擴散區域 | 7 | 場絕緣層 |



伍、中文發明摘要：

本發明提供一種非揮發性半導體記憶裝置，係具備：具有主表面之半導體基板 1；形成於半導體基板 1 主表面之源極／汲極的一對 p 型雜質擴散區域 3、3；隔著隧道絕緣層 4a 而形成於一對 p 型雜質擴散區域 3、3 所包夾的半導體基板 1 的區域上方的漂浮閘 5；以及，形成於半導體基板 1 的主表面且用以控制漂浮閘 5 之電位的控制用雜質擴散區域 6。以上述結構，可得到一種可以電性方法消除資料，而且可易於以低電壓寫入資料的非揮發性半導體記憶裝置。

陸、英文發明摘要：

The nonvolatile semiconductor memory device disclosed in the present invention comprises of a semiconductor substrate 1 having a main surface, a pair of P-type impurity diffusion regions 3, 3 rendering as source/drain formed on the main surface of semiconductor substrate 1, a floating gate 5 formed above the region of semiconductor 1 sandwiched by a pair of P-type impurity diffusion region 3, 3 with a tunnel insulating layer 4a interposed therebetween, and an impurity diffusion region 6 formed on the main surface of semiconductor and used for controlling the potential of floating gate 5, whereby a nonvolatile substrate 1 semiconductor memory device, from which the data is electrically erasable and the data writing at low voltage is easy, is obtainable.

第 92136678 號專利申請案

申請專利範圍修正本

(94 年 5 月 30 日)

1. 一種非揮發性半導體記憶裝置，係具備：

具有主表面之半導體基板；

形成於前述半導體基板之第 1 井及第 2 井；

形成於前述第 1 井作為源極／汲極的一對 p 型雜質擴散區域；

隔著隧道絕緣層而形成於前述一對 p 型雜質擴散區域所包夾的前述半導體基板的區域上方的漂浮閘；以及，

形成於前述第 2 井且用以控制前述漂浮閘之電位的控制用雜質擴散區域。

2. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，前述控制用雜質擴散區域係具有 p 型導電型，而且隔著絕緣層而與前述漂浮閘相對向。
3. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，前述控制用雜質擴散區域係以包夾位於前述漂浮閘下側之前述半導體基板之區域的方式而形成於前述半導體基板之主表面的一對源極／汲極用雜質擴散區域。
4. 如申請專利範圍第 3 項之非揮發性半導體記憶裝置，其中，前述一對源極／汲極用雜質擴散區域係具有 n 型導電型。
5. 如申請專利範圍第 4 項之非揮發性半導體記憶裝置，其

中，前述第 2 井係 p 型井區，而且，n 型之前述一對源極／汲極用雜質擴散區域係形成於前述 p 型井區內。

6. 如申請專利範圍第 3 項之非揮發性半導體記憶裝置，其中，前述一對源極／汲極用雜質擴散區域係具有 p 型導電型。
7. 如申請專利範圍第 6 項之非揮發性半導體記憶裝置，其中，前述第 2 井係 n 型井區，而且，p 型之前述一對源極／汲極用雜質擴散區域係形成於前述 n 型井區內。
8. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，前述控制用雜質擴散區域係具有 n 型導電型，而且隔著絕緣層而與前述漂浮閘相對向。
9. 如申請專利範圍第 8 項之非揮發性半導體記憶裝置，其中，前述第 2 井係 p 型井區，而且，n 型之前述控制用雜質擴散區域係形成於前述 p 型井區內。
10. 如申請專利範圍第 1 項之非揮發性半導體記憶裝置，其中，復具備有：

形成於前述第 1 井與前述第 2 井之間之前述半導體基板主表面的場絕緣層；以及，

形成於前述場絕緣層正下方之前述半導體基板的元件分離用 p 型雜質擴散區域。

11. 一種非揮發性半導體記憶裝置，係具備：

具有主表面之半導體基板；

形成於前述半導體基板主表面作為源極／汲極的一對 P 型雜質擴散區域；

隔著隧道絕緣層而形成於前述一對 P 型雜質擴散區域所包夾的前述半導體基板的區域上方的漂浮閘；以及，

形成於前述半導體基板主表面且用以控制前述漂浮閘之電位的控制用雜質擴散區域，

而且前述控制用雜質擴散區域係以包夾位於前述漂浮閘下側的前述半導體基板的區域的方式而形成於前述半導體基板主表面的一對源極／汲極用雜質擴散區域。