

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-89391

(P2009-89391A)

(43) 公開日 平成21年4月23日(2009.4.23)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 3/037 (2006.01)	H03K 3/037 Z	5J001
H03K 5/04 (2006.01)	H03K 5/04	5J043

審査請求 未請求 請求項の数 20 O L (全 13 頁)

(21) 出願番号 特願2008-248784 (P2008-248784) (22) 出願日 平成20年9月26日 (2008. 9. 26) (31) 優先権主張番号 10-2007-0098225 (32) 優先日 平成19年9月28日 (2007. 9. 28) (33) 優先権主張国 韓国 (KR) (31) 優先権主張番号 10-2008-0089271 (32) 優先日 平成20年9月10日 (2008. 9. 10) (33) 優先権主張国 韓国 (KR)	(71) 出願人 591024111 株式会社ハイニックスセミコンダクター HYNIX SEMICONDUCTOR INC. 大韓民国京畿道利川市夫鉢邑牙美里山136-1 San 136-1, Ami-Ri, Bubaal-Eup, Ichon-Shi, Kyoungki-Do, Korea (74) 代理人 100081776 弁理士 大川 宏 (72) 発明者 ユン デ コン 大韓民国京畿道利川市夫鉢邑牙美里山136-1
---	---

最終頁に続く

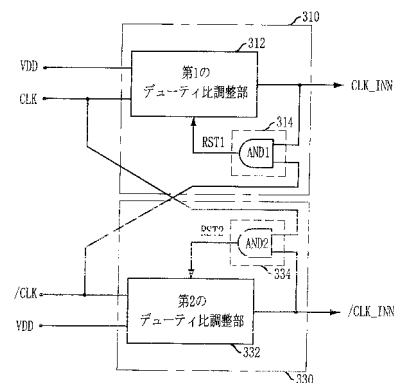
(54) 【発明の名称】 フリップフロップ及びこれを用いたデューティ比補正回路

(57) 【要約】

【課題】 入力される外部クロック信号の活性化エッジを用いてデューティ比を補正することができるデューティ比補正回路を提供し、また、クロック信号及びリセット信号にตอบสนองして自体の電源電圧が自体の出力ノードをプリチャージすることにより、同期化動作を行うことができるフリップフロップを提供すること。

【解決手段】 本発明のフリップフロップは、基準クロック信号及びリセット信号を受信する第1のステージと、前記基準クロック信号にตอบสนองして自体の出力ノードを第1のレベルに遷移させ、前記リセット信号に対応する前記第1のステージの出力信号にตอบสนองして前記出力ノードをプリチャージさせて第2のレベルに遷移させる第2のステージとを備えることを特徴とする。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

基準クロック信号及びリセット信号を受信する第 1 のステージと、
前記基準クロック信号に応答して自体の出力ノードを第 1 のレベルに遷移させ、前記リセット信号に対応する前記第 1 のステージの出力信号に
10 応答して前記出力ノードをプリチャージさせて第 2 のレベルに遷移させる第 2 のステージと
を備えることを特徴とするフリップフロップ。

【請求項 2】

前記出力ノードをラッチして前記基準クロック信号に同期化した出力信号を出力するラッチ手段をさらに備えることを特徴とする請求項 1 に記載のフリップフロップ。

10

【請求項 3】

前記出力ノードが、前記第 1 のレベルに維持する期間が前記リセット信号の活性化エッジに
15 応答して制限され、前記出力ノードが、前記第 2 のレベルにプリチャージされる期間が前記基準クロック信号の活性化エッジに
応答して制限されることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 4】

前記第 2 のレベルが電源電圧に対応し、前記第 1 のレベルが接地電圧に対応することを
20 特徴とする請求項 1 に記載のフリップフロップ。

【請求項 5】

前記第 2 のステージが、
前記基準クロック信号に
25 応答して前記出力ノードを前記第 1 のレベルに駆動させる第 1 の駆動部と、
前記リセット信号に
応答して、前記出力ノードを前記第 2 のレベルにプリチャージさせる第 2 の駆動部と
を備えることを特徴とする請求項 1 に記載のフリップフロップ。

20

【請求項 6】

前記第 1 のステージが、
前記基準クロック信号を受信する第 1 の入力部と、
前記リセット信号を受信して前記第 2 の駆動部を制御する制御信号を出力する第 2 の入力部と
30 を備えることを特徴とする請求項 5 に記載のフリップフロップ。

30

【請求項 7】

前記第 2 のステージが、
前記制御信号に
35 応答して前記第 1 の駆動部を活性化させる活性化部をさらに備えることを特徴とする請求項 6 に記載のフリップフロップ。

【請求項 8】

前記第 1 のステージが、
第 1 の電源電圧端に一端が接続され、前記基準クロック信号がゲートに
40 入力される第 1 の MOS トランジスタと、
該第 1 の MOS トランジスタに一端が接続され、前記リセット信号がゲートに
入力される第 2 の MOS トランジスタと、
該第 2 の MOS トランジスタと第 2 の電源電圧端との間にソース・ドレイン経路が形成
され、前記リセット信号がゲートに
45 入力される第 3 の MOS トランジスタと
を備え、
前記第 2 のステージが、
前記第 1 の電源電圧端と出力ノードとの間にソース・ドレイン経路が形成され、前記第 2 の MOS トランジスタと前記第 3 の MOS トランジスタとの
50 共通ノードにゲートが接続された第 4 の MOS トランジスタと、
前記出力ノードに一端が接続され、前記基準クロック信号がゲートに
入力される第 5 の MOS トランジスタと、

50

該第 5 の MOS トランジスタと前記第 2 の電源電圧端との間にソース・ドレイン経路が形成され、前記共通ノードにゲートが接続された第 6 の MOS トランジスタとを備えることを特徴とする請求項 1 に記載のフリップフロップ。

【請求項 9】

第 1 の基準クロック信号及びリセット信号に応じて定義されるデューティ比の内部クロック信号を生成するデューティ調整手段と、

第 2 の基準クロック信号及びフィードバックされる前記内部クロック信号にตอบสนองして前記リセット信号を生成するリセット信号生成手段とを備えることを特徴とするデューティ比補正回路。

【請求項 10】

前記第 2 の基準クロック信号が、前記第 1 の基準クロック信号に対応して半周期の位相差を有することを特徴とする請求項 9 に記載のデューティ比補正回路。

【請求項 11】

前記内部クロック信号が、前記第 1 の基準クロック信号にตอบสนองして活性化され、前記リセット信号にตอบสนองして非活性化されることを特徴とする請求項 9 に記載のデューティ比補正回路。

【請求項 12】

前記リセット信号が、前記第 2 の基準クロック信号及び前記内部クロック信号の両方が活性化されると、活性化されることを特徴とする請求項 9 に記載のデューティ比補正回路。

【請求項 13】

前記デューティ調整手段が、

前記第 1 の基準クロック信号及び前記リセット信号を受信する第 1 のステージと、

前記第 1 の基準クロック信号にตอบสนองして自体の出力ノードを第 1 のレベルに遷移させ、前記リセット信号に対応する前記第 1 のステージの出力信号にตอบสนองして前記出力ノードをプリチャージさせて第 2 のレベルに遷移させる第 2 のステージと

を備えることを特徴とする請求項 9 に記載のデューティ比補正回路。

【請求項 14】

前記デューティ調整手段が、

前記出力ノードをラッチして前記第 1 の基準クロック信号に同期化した前記内部クロック信号として出力するラッチ手段をさらに備えることを特徴とする請求項 13 に記載のデューティ比補正回路。

【請求項 15】

前記出力ノードが、前記第 1 のレベルに維持する期間が前記リセット信号の活性化エッジにตอบสนองして制限され、前記出力ノードが、前記第 2 のレベルにプリチャージされる期間が前記第 1 の基準クロック信号の活性化エッジにตอบสนองして制限されることを特徴とする請求項 13 に記載のデューティ比補正回路。

【請求項 16】

前記第 2 のレベルが電源電圧に対応し、前記第 1 のレベルが接地電圧に対応することを特徴とする請求項 13 に記載のデューティ比補正回路。

【請求項 17】

前記第 2 のステージが、

前記第 1 の基準クロック信号にตอบสนองして前記出力ノードを前記第 1 のレベルに駆動させる第 1 の駆動部と、

前記リセット信号にตอบสนองして前記出力ノードを前記第 2 のレベルにプリチャージさせる第 2 の駆動部と

を備えることを特徴とする請求項 13 に記載のデューティ比補正回路。

【請求項 18】

前記第 1 のステージが、

前記第 1 の基準クロック信号を受信する第 1 の入力部と、

10

20

30

40

50

前記リセット信号を受信して前記第2の駆動部を制御する制御信号を出力する第2の入力部と

を備えることを特徴とする請求項17に記載のデューティ比補正回路。

【請求項19】

前記第2のステージが、

前記制御信号に応答して前記第1の駆動部を活性化させる活性化部をさらに備えることを特徴とする請求項18に記載のデューティ比補正回路。

【請求項20】

前記第1のステージが、

第1の電源電圧端に一端が接続され、前記第1の基準クロック信号がゲートに入力される第1のMOSトランジスタと、

該第1のMOSトランジスタに一端が接続され、前記リセット信号がゲートに入力される第2のMOSトランジスタと、

該第2のMOSトランジスタと第2の電源電圧端との間にソース・ドレイン経路が形成され、前記リセット信号がゲートに入力される第3のMOSトランジスタと

を備え、

前記第2のステージが、

前記第1の電源電圧端と出力ノードとの間にソース・ドレイン経路が形成され、前記第2のMOSトランジスタと前記第3のMOSトランジスタとの共通ノードにゲートが接続された第4のMOSトランジスタと、

前記出力ノードに一端が接続され、前記第1の基準クロック信号がゲートに入力される第5のMOSトランジスタと、

該第5のMOSトランジスタと前記第2の電源電圧端との間にソース・ドレイン経路が形成され、前記共通ノードにゲートが接続された第6のMOSトランジスタと

を備えることを特徴とする請求項14に記載のデューティ比補正回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体設計技術に関し、特に、入力されるクロック信号に同期化する出力信号を生成することができるフリップフロップ (flip flop) と、これを用いて入力されるクロック信号のデューティ比を50:50に補正することができるデューティ比補正回路 (duty rate correction circuit) とに関する。

【背景技術】

【0002】

一般的に、DDR SDRAM (Double Data Rate Synchronous DRAM) をはじめとする半導体装置は、大容量化、高速化、小型化、及び低電力化のための方向に発展している。そのうち、高速化を達成するための一環として、外部クロック信号の周波数を高めており、半導体装置は、このような外部クロック信号に対応する内部クロック信号を生成して高速で動作している。しかし、外部クロック信号の周波数を高めるには限界があり、これを克服するために、最近、クロックの活用度を高める方式が利用されている。そのうちの1つがDDR (Double Data Rate) 方式である。

【0003】

従来に使用していたSDR (Single Data Rate) 方式は、1つのクロックを基準にクロック信号の立上がりエッジ (rising edge) に応答して1つのデータが出力されるが、DDR方式は、1つのクロックを基準にクロック信号の立上がりエッジと立下がりエッジ (falling edge) とでそれぞれ1つずつのデータ、すなわち、2つのデータが出力される方式である。そのため、DDR方式はSDR方式に比べて同じ外部クロック信号を受信しても2倍のデータ処理が可能である。

【0004】

10

20

30

40

50

このように、DDR方式は、クロック信号の立上がりエッジと立下がりエッジとでデータを出力していることから、クロック信号のデューティ比を50:50に保障しなければならない必要性が生じた。なぜなら、クロック信号にジッタ(jitter)成分及び他の理由により、デューティ比が50:50から大きく外れると、半導体装置はデータを出力しようとするが、タイミングがずれて、安定したデータの出力の動作が保障され得ないためである。そこで、半導体装置の内部には、これを防止するためのデューティ比補正回路が設けられる。

【0005】

図1は、従来のデューティ比補正回路を説明する回路図である。

【0006】

同図に示すように、デューティ比補正回路は、第1の加重値反映部110と、第2の加重値反映部130と、クロック出力部150とを備える。

【0007】

第1の加重値反映部110は、立上がりクロック信号RCLKに加重値を反映して出力するためのものであって、第1の加重値制御信号ないし第4の加重値制御信号CTRL、/CTRL、CTRL、/CTRL、CTRL、/CTRL、CTRL、/CTRLにตอบสนองして活性化される複数のインバータを備える。

【0008】

第2の加重値反映部130は、立下がりクロック信号FCLKに加重値を反映して出力するためのものであって、第1の加重値制御信号ないし第4の加重値制御信号CTRL、/CTRL、CTRL、/CTRL、CTRL、/CTRL、CTRL、/CTRLにตอบสนองして活性化される複数のインバータを備える。

【0009】

クロック出力部150は、共通ノードSUMで生成される出力信号を受信して内部クロック信号CLK_INNとして出力する。

【0010】

以下、従来のデューティ比補正回路の簡単な動作を説明する。

【0011】

まず、第1の加重値反映部及び第2の加重値反映部110、130を構成する複数のインバータは、それぞれ対応するインバータが互いに反対の動作を行う。言い替えれば、もし、第1の加重値反映部110内で3つのインバータが活性化されると、第2の加重値反映部130内で1つのインバータが活性化され、もし、第1の加重値反映部110内で1つのインバータが活性化されると、第2の加重値反映部130内で3つのインバータが活性化される。

【0012】

そのため、第1の加重値反映部110は、立上がりクロック信号RCLKに該当する加重値を反映して共通ノードSUMに出力し、第2の加重値反映部130は、立下がりクロック信号FCLKに該当する加重値を反映して共通ノードSUMに出力する。次いで、このように加重値が反映された第1の加重値反映部及び第2の加重値反映部110、130の出力信号は共通ノードSUMで衝突し、このため、デューティ比が補正された内部クロック信号CLK_INNを生成する。

【0013】

以上で説明したように、従来のデューティ比補正回路の構成は複数のインバータを備えてデューティ比を補正する。ここで、複数のインバータは、比較的大きなサイズを占める回路であって、比較的多くの電流消費が発生する。これは、この頃、半導体装置が低電力化、小型化に発展する傾向に反する要因であるといえる。また、従来のデューティ比補正回路は、PVT(Process、Voltage、Temperature)によって次のような問題点を有している。

【0014】

図2は、図1のデューティ比補正回路に係る各信号の波形を説明するための波形図であ

10

20

30

40

50

る。ここで、立上がりクロック信号 R C L K と立下がりクロック信号 F C L K とは一般的に P V T によって歪み、図 2 のような波形を有し得る。すなわち、立上がりクロック信号 R C L K の論理「ハイ」期間が立下がりクロック信号 F C L K の論理「ハイ」期間に比べて非常に短く生成され得る。

【0015】

一般的に、立上がりクロック信号 R C L K に加重値を反映することと、立下がりクロック信号 F C L K に加重値を反映することとは、極めて正確な制御を必要とする。もし、加重値の制御が正確になされなかった場合、図 2 のように、共通ノード S U M に階段形態の波形が発生し得る。この場合、最終的に出力される内部クロック信号 C L K _ I N N は、最初の立上がりクロック信号 R C L K 及び立下がりクロック信号 F C L K に比べてデューティ比が少し補正されるだけで、所望の 50 : 50 のデューティ比を保障することはできない。

10

【0016】

一方、加重値制御は、ウエハ工程 (wafer fab-out) 後、マスク修正 (mask revision) を介してなされ、このようなマスク修正には高い費用が発生して半導体装置の製品費が増加する。

【発明の開示】

【発明が解決しようとする課題】

【0017】

本発明は、上記した従来の技術の問題を解決するためになされたものであって、その目的は、入力される外部クロック信号の活性化エッジを用いてデューティ比を補正することができるデューティ比補正回路を提供することにある。

20

【0018】

また、本発明の他の目的は、クロック信号及びリセット信号に応答して自体の電源電圧が自体の出力ノードをプリチャージすることにより、同期化動作を行うことができるフリップフロップを提供することにある。

【課題を解決するための手段】

【0019】

そこで、上記の目的を達成するための本発明によるフリップフロップは、基準クロック信号及びリセット信号を受信する第 1 のステージと、前記基準クロック信号に응答して自体の出力ノードを第 1 のレベルに遷移させ、前記リセット信号に対応する前記第 1 のステージの出力信号に응答して前記出力ノードをプリチャージさせて第 2 のレベルに遷移させる第 2 のステージとを備える。

30

【0020】

上記の目的を達成するための本発明によるデューティ比補正回路は、第 1 の基準クロック信号及び第 1 のリセット信号に依りて定義されるデューティ比の第 1 の内部クロック信号を生成するデューティ調整手段と、第 2 の基準クロック信号及びフィードバックされる前記第 1 の内部クロック信号に응答して前記第 1 のリセット信号を生成するリセット信号生成手段とを備える。

【0021】

本発明に係るフリップフロップは、クロック信号及びリセット信号に응答して出力ノードをプリチャージすることにより、最も安定したフリップフロップ動作を保障することができる。また、このようなフリップフロップを備えるデューティ比補正回路は、第 1 の基準クロック信号と、第 1 の基準クロック信号に比べて半周期だけ位相差を有する第 2 の基準クロック信号とを用いて所望のデューティ比の内部クロック信号を生成することができる。特に、本発明に係るデューティ比補正回路は、従来用いられていた複数のインバータを用いないため、半導体装置の面積を減らすことができ、消費電力もまた減らすことができる。

40

【発明を実施するための最良の形態】

【0022】

50

以下、本発明の属する技術分野における通常の知識を有した者が、本発明の技術的思想を容易に実施できる程度に詳細に説明するために、本発明の最も好ましい実施形態を添付した図面を参照して説明する。

【0023】

図3は、本発明に係るデューティ比補正回路を説明する図である。

【0024】

同図に示すように、デューティ比補正回路は、第1の内部クロック生成部310と、第2の内部クロック生成部330とを備えることができる。

【0025】

第1の内部クロック生成部310は、電源電圧である外部電源電圧VDDを受信し、正の基準クロック信号CLK及び負の基準クロック信号／CLKに応答して正の基準クロック信号CLKに対応する正の内部クロック信号CLK__INNを生成するためのものであって、第1のデューティ比調整部312と第1のリセット信号生成部314とを備えることができる。

【0026】

第1のデューティ比調整部312は、正の基準クロック信号CLKの活性化エッジと第1のリセット信号RST1の活性化エッジとによって定義されるデューティ比の正の内部クロック信号CLK__INNを生成することができる。第1のデューティ比調整部312の詳細な回路構成については、図4でさらに説明する。

【0027】

第1のリセット信号生成部314は、フィードバックされる正の内部クロック信号CLK__INN及び負の基準クロック信号／CLKに応答して第1のリセット信号RST1を生成するためのものであって、正の内部クロック信号CLK__INN及び負の基準クロック信号／CLKを受信して第1のリセット信号RST1を出力する第1の論理積ゲートAND1を備えることができる。そこで、第1の論理積ゲートAND1は、正の内部クロック信号CLK__INN及び負の基準クロック信号／CLKの両方が論理「ハイ」に活性化される場合、論理「ハイ」に活性化される第1のリセット信号RST1を出力し得る。

【0028】

ここで、負の基準クロック信号／CLKは、正の基準クロック信号CLKに対応して半周期の位相差を有する信号である。ここで、半周期とは、正の基準クロック信号CLKの1tCKの1/2周期を意味する。

【0029】

図4は、図3の第1のデューティ比調整部312を説明する回路図である。

【0030】

同図に示すように、第1のデューティ比調整部312は、第1のステージ410と、第2のステージ430と、ラッチ部450とを備えることができる。

【0031】

第1のステージ410は、正の基準クロック信号CLK及び第1のリセット信号RST1を受信し、正の基準クロック信号CLKを受信する第1の入力部412と、第1のリセット信号RST1を受信して第2の駆動部434を活性化させる制御信号CTRを出力する第2の入力部414とを備えることができる。

【0032】

より詳細に説明すると、第1のステージ410は、外部電源電圧VDD端と第2のPMOSトランジスタPM2との間にドレイン・ソース経路が形成され、正の基準クロック信号CLKがゲートに入力される第1のPMOSトランジスタPM1と、第1のPMOSトランジスタPM1と第1のNMOSトランジスタとの間にソース・ドレイン経路が形成され、第1のリセット信号RST1がゲートに入力される第2のPMOSトランジスタPM2と、第2のPMOSトランジスタPM2と接地電源電圧VSS端との間にソース・ドレイン経路が形成され、第1のリセット信号RST1がゲートに入力される第1のNMOSトランジスタNM1とを備えることができる。参考に、制御信号CTRは、第2のPMO

10

20

30

40

50

SトランジスタPM2と第1のNMOSTランジスタNM1との共通ノードに出力される。

【0033】

一方、第2のステージ430は、正の基準クロック信号CLKに応答して出力ノードAを第1のレベルに遷移させ、第1のリセット信号RSTに対応する制御信号CTRに응答して出力ノードAを外部電源電圧VDDによってプリチャージさせて第2のレベルに遷移させるためのものであって、正の基準クロック信号CLKに응答して出力ノードA電圧が接地電源電圧VSSと同一になるように駆動する第1の駆動部432と、制御信号CTRに응答して出力ノードAを外部電源電圧VDDによってプリチャージする第2の駆動部434とを備えることができる。そして、制御信号CTRに응答して第1の駆動部432を活性化させる活性化部436を備えることができる。

10

【0034】

より詳細に説明すると、第2のステージ430は、外部電源電圧VDD端と出力ノードAとの間にソース・ドレイン経路が形成され、制御信号CTRがゲートに入力される第3のPMOSTランジスタPM3と、出力ノードAと第3のNMOSTランジスタNM3との間にソース・ドレイン経路が形成され、正の基準クロック信号CLKがゲートに入力される第2のNMOSTランジスタNM2と、第2のNMOSTランジスタNM2と接地電源電圧VSS端との間にソース・ドレイン経路が形成され、制御信号CTRがゲートに入力される第3のNMOSTランジスタNM3とを備えることができる。

20

【0035】

ラッチ部450は、出力ノードAをラッチして正の基準クロック信号CLKに同期化した正の内部クロック信号CLK__INNを出力するためのものであって、出力ノードAの出力を受信する第1のインバータINV1と、第1のインバータINV1の出力信号を受信して出力ノードAに出力する第2のインバータINV2と、出力ノードAを介して出力される信号を正の内部クロック信号CLK__INNとして出力する第3のインバータINV3とを備えることができる。

【0036】

参考に、一般的なフリップフロップの場合、データ信号が複数のゲートを経ることになり、所望しなかった遅延時間がデータに反映される可能性があるが、図4の構成は、電源電圧を用いるため、このような遅延時間を制御することができる。すなわち、高速のフリップフロップ動作を行うことができる。

30

【0037】

図5は、図4の第1のデューティ比調整部312の動作タイミングを説明するタイミング図であって、正の基準クロック信号CLKと、第1のリセット信号RST1と、正の内部クロック信号CLK__INNとが図示されている。

【0038】

図4及び図5に示すように、第1のリセット信号RST1が論理「ロー」の状態では正の基準クロック信号CLKが論理「ロー」から論理「ハイ」に遷移すると、第2のNMOSTランジスタNM2がターンオンされて、出力ノードAは接地電源電圧VSSによって、すなわち出力ノードAが論理「ロー」で駆動され、正の内部クロック信号CLK__INNは論理「ハイ」となる。ここで、活性化部436である第3のNMOSTランジスタNM3は、正の基準クロック信号CLKが論理「ハイ」に遷移する前にターンオンされているため、第1の駆動部432である第2のNMOSTランジスタNM2が活性化され得る。

40

【0039】

以後、第1のリセット信号RST1が論理「ロー」から論理「ハイ」に遷移すると、制御信号CTRが論理「ロー」になり、かつ、第2の駆動部434の第3のPMOSTランジスタPM3をターンオンさせる。そのため、出力ノードAは、外部電源電圧VDDによってプリチャージされ、正の内部クロック信号CLK__INNは論理「ロー」になる。

【0040】

つまり、出力ノードAが論理「ロー」を維持する期間は、第1のリセット信号RST1

50

の活性化エッジに応答して制限される。すなわち、出力ノードAは、第1のリセット信号RST1に
応答して論理「ロー」から論理「ハイ」に遷移され得る。そして、出力ノードAが論理「ハイ」
になる期間は正の基準クロック信号CLKの活性化エッジに
応答して制限される。すなわち、出力ノードAは、正の基準クロック信号CLKに
応答して論理「ハイ」から論理「ロー」に遷移され得る。

【0041】

さらに、図3を参照すると、第2の内部クロック生成部330は、外部電源電圧VDD
が印加され、負の基準クロック信号／CLKの活性化エッジと正の基準クロック信号CLK
の活性化エッジとに
応答して負の基準クロック信号／CLKに対応する負の内部クロック
信号／CLK__INNを生成するための
ものである。第2のデューティ比調整部332と第2のリセット信号生成部334とを備えることができる。

10

【0042】

第2のデューティ比調整部332は、負の基準クロック信号／CLKの活性化エッジと
第2のリセット信号RST2の活性化エッジとによって定義されるデューティ比の負の内
部クロック信号／CLK__INNを生成することができる。第2のデューティ比調整部3
32の回路構成及び回路動作は、図4及び図5で説明した第1のデューティ比調整部31
2と類似しているため、詳しい説明を省略する。ただし、第2のデューティ比調整部33
2は、図4の正の基準クロック信号CLKの代りに負の基準クロック信号／CLKが入力
され、第1のリセット信号RST1の代りに第2のリセット信号RST2が入力され得る
。また、出力される信号において、第2のデューティ比調整部332は、正の内部クロ
ック信号CLK__INNと反対の位相を有する負の内部クロック信号／CLK__INNを出
力し得る。これに対するより詳細な波形は図6で説明する。

20

【0043】

図6は、図3のデューティ比補正回路の動作タイミングを説明するタイミング図であ
って、正の基準クロック信号CLKと、負の基準クロック信号／CLKと、第1のリセット
信号RST1と、正の内部クロック信号CLK__INNと、第2のリセット信号RST2
と、負の内部クロック信号／CLK__INNとが図示されている。

【0044】

図3及び図6に示すように、正の内部クロック信号CLK__INNは、正の基準クロ
ック信号CLKの立上がりエッジに
応答して活性化され、第1のリセット信号RST1の立
上がりエッジに
応答して非活性化される。ここで、第1のリセット信号RST1は、負の
基準クロック信号／CLKの立上がりエッジに
応答して活性化され、正の内部クロック信
号CLK__INNの立下がりエッジに
応答して非活性化される信号である。言い替えれば
、正の内部クロック信号CLK__INNは、正の基準クロック信号CLKに
応答して論理「ハイ」に遷移し、負の基準クロック信号／CLKに
応答して論理「ロー」に遷移され得る。

30

【0045】

次いで、負の内部クロック信号／CLK__INNは、負の内部クロック信号／CLKの
立上がりエッジに
応答して活性化され、第2のリセット信号RST2の立上がりエッジに
応答して非活性化される。ここで、第2のリセット信号RST2は、正の基準クロ
ック信号CLKの立上がりエッジに
応答して活性化され、負の内部クロック信号／CLK__INN
の立下がりエッジに
応答して非活性化される信号である。言い替えれば、負の内部クロ
ック信号／CLK__INNは、負の基準クロック信号／CLKに
応答して論理「ハイ」に
遷移し、正の基準クロック信号CLKに
応答して論理「ハイ」に遷移し得る。

40

【0046】

つまり、正の内部クロック信号CLK__INNは、正の基準クロック信号CLKに対応
してデューティ比を50：50に補正することができ、負の内部クロック信号／CLK__
INNは、負の基準クロック信号／CLKに対応してデューティ比を50：50に補正す
ることができる。図6に示すように、正の内部クロック信号CLK__INN及び負の内部
クロック信号／CLK__INNは互いに反対の位相を有し得る。

50

【0047】

従来のデューティ比補正回路は、複数のインバータに加重値を反映して内部クロック信号のデューティ比を補正したため、様々な問題点が発生した。しかし、本発明に係るデューティ比補正回路は、複数のインバータ構造ではない、新たな構造を採択することにより、加重値に対する制御なしに所望のデューティ比の内部クロック信号を生成することができる。そのため、本発明に係るデューティ比補正回路は、従来におけるインバータ及び加重値制御から起こり得る問題点を全て制御することができる。

【0048】

前述したように、本発明に係るデューティ比補正回路は、速く動作できるフリップフロップを用いて所望のデューティ比の内部クロック信号を生成することができる。そのため、半導体装置から出力されるデータが外部クロック信号の立上がりエッジと立下がりエッジとにおいて正確に同期化することにより、データの信頼性を高めることができる。また、本発明は、従来のデューティ比補正回路に用いられていた複数のインバータの除去が可能であるため、半導体装置の面積及び消費される電力を減らすことができ、PVTによる変化に鈍感に動作することができる。なお、従来のデューティ補正のためのマスク修正動作を行わずに済むことから、それに掛かる費用を節約することができる。

10

【0049】

本発明は、電源電圧のプリチャージ動作を介してより速いフリップフロップ動作を行うことにより、半導体装置の動作速度を高めることができるという効果を得ることができる。

20

【0050】

また、本発明は、所望のデューティ比の内部クロック信号を生成して、半導体装置から出力されるデータが外部クロック信号の立上がりエッジと立下がりエッジとに正確に同期化することによって、データの信頼性を高めることができるという効果を得ることができる。

【0051】

なお、本発明は、従来のデューティ比補正回路に用いられていた複数のインバータの除去が可能であるため、半導体装置の面積及び消費される電力を減らすことができ、PVTによる変化に鈍感に動作することができるという効果を得ることができる。

【0052】

さらに、本発明に係るデューティ比補正回路は、ウエハ工程後、加重値を制御するためのマスク修正動作を行わずに済むことから、従来においてマスク修正のために発生していた費用を減らすことができるという効果を得ることができる。

30

【0053】

本発明の技術思想は、前記好ましい実施形態によって具体的に記載されたが、上記の実施形態は、その説明のためのものであり、その制限のためのものではないことに注意しなければならない。また、本発明の技術分野の通常の専門家であれば、本発明の技術思想の範囲内で様々な置換、変形、及び変更により、様々な実施形態が可能であることが理解できるであろう。

【0054】

また、前述した実施形態では、外部から入力される正の基準クロック信号CLK及び負の基準クロック信号／CLKが、外部クロック信号または内部クロック信号であり得るし、前述した実施形態で例示した論理ゲート及びトランジスタは、入力される信号の極性によって、その位置及び種類が異なるように実現されるべきであろう。

40

【図面の簡単な説明】

【0055】

【図1】従来のデューティ比補正回路を説明する回路図である。

【図2】図1のデューティ比補正回路に係る各信号の波形を説明する波形図である。

【図3】本発明に係るデューティ比補正回路を説明する図である。

【図4】図3の第1のデューティ比調整部312を説明する回路図である。

50

【図 5】図 4 の第 1 のデューティ比調整部 3 1 2 の動作タイミングを説明するタイミング図である。

【図 6】図 3 のデューティ比補正回路の動作タイミングを説明するタイミング図である。

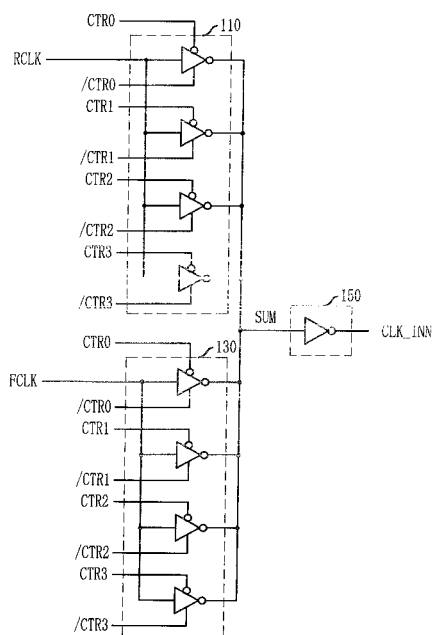
【符号の説明】

【 0 0 5 6 】

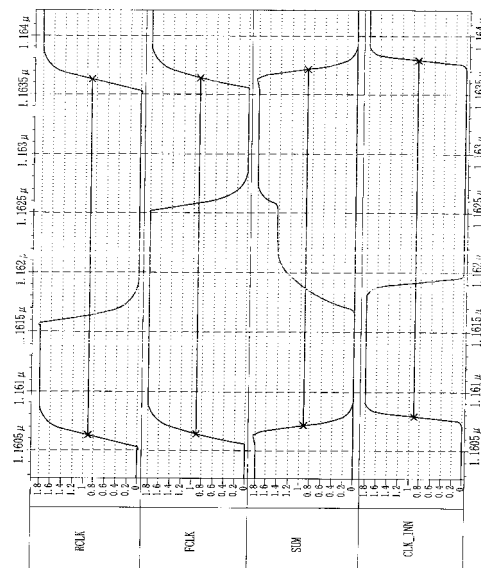
- | | |
|-------|----------------|
| 3 1 0 | 第 1 の内部クロック生成部 |
| 3 1 2 | 第 1 のデューティ比調整部 |
| 3 1 4 | 第 1 のリセット信号生成部 |
| 3 3 0 | 第 2 の内部クロック生成部 |
| 3 3 2 | 第 2 のデューティ比調整部 |
| 3 3 4 | 第 2 のリセット信号生成部 |

10

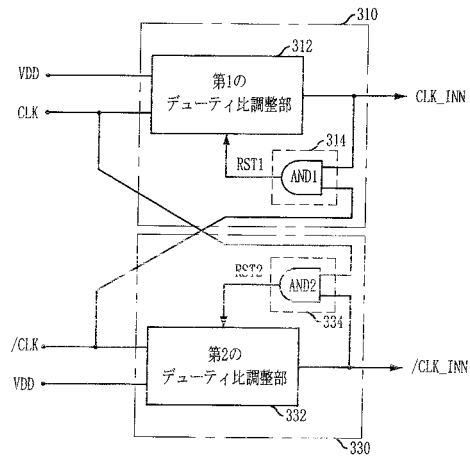
【 図 1 】



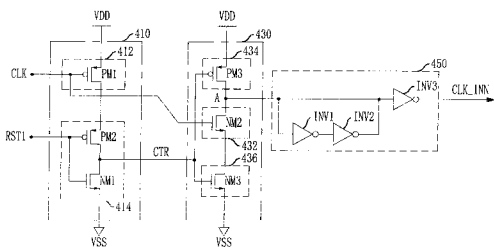
【 図 2 】



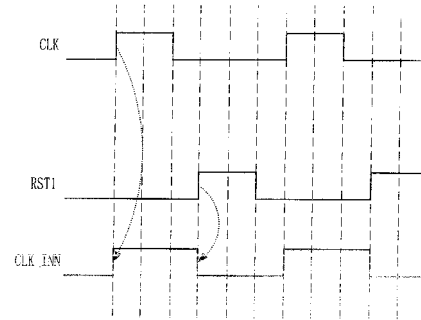
【図 3】



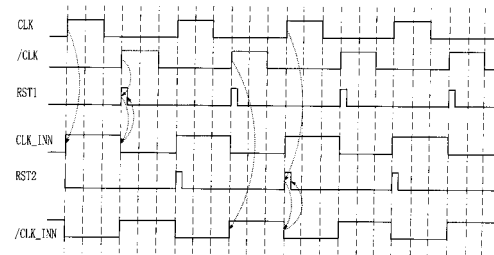
【図 4】



【図 5】



【図 6】



フロントページの続き

(72)発明者 ソン テク サン

大韓民国京畿道利川市夫鉢邑牙美里山136-1

Fターム(参考) 5J001 AA05 BB03 BB12 CC03 DD02 DD03 DD09

5J043 AA01 AA02 AA27 HH02 JJ01